

30 789 1973

438973

P.- 60.623

Docket  
RA 9-73-013

MEMORIA DESCRIPTIVA

Int. Cl.:

G06K

para solicitar PATENTE DE INVENCION

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad norteamericana

establecida en Armonk, Nueva York 10504, Estados Unidos  
de América

por: "UN DISPOSITIVO DE TRATAMIENTO PARA SELECCIONAR  
SEÑALES DE CODIGO POTENCIALMENTE VALIDAS".



## Principios Básicos del Invento

### 1.- Campo del Invento:

El invento se refiere a exploración de eti  
quetas codificadas no orientadas en general, y más  
5 particularmente a un dispositivo para aceptar la sa-  
lida de un explorador de etiqueta. codificada e iden  
tificar aquellas combinaciones de corrientes de datos  
contiguas que cumplen criterios o características pre  
determinadas que les identifican como una combinación  
10 de código potencialmente válida que se extiende a tra  
vés de una porción importante de la etiqueta codifica  
da o en la totalidad de ella.

### 2.- Descripción de la Técnica anterior:

El problema principal en la exploración de  
15 etiquetas no orientadas situadas sobre contenedores de  
mercancía o similares es localizar o identificar la  
etiquetas. Típicamente, una caja o contenedor para mer-  
cancías tendrá muchos centímetros cuadrados de área  
con una variedad de motivos impresos sobre el mismo  
20 adicionalmente a la etiqueta codificada que tendrá un  
área de poco mas de seis centímetros cuadrados. El mo  
tivo impreso producirá señales similares a códigos cuan  
do es explorado, las cuales deben ser examinadas para  
determinar si son o no caracteres codificados válidos.  
25 Puesto que los datos sin analizar relacionados con la



etiqueta representan un porcentaje muy pequeño de los datos totales sin analizar suministrados por el explorador, deben disponerse algunos medios para limitar el tratamiento de los datos.

5                   La técnica anterior enseña la utilización de caracteres singulares de principio y final o caracteres de encuadre que no se encuentran en los datos codificados para indicar la presencia de datos de etiqueta válidos. Esta técnica no ha demostrado ser enteramente fiable o satisfactoria puesto que es completamente posible que motivos impresos extraños recuerden en muchos casos a los caracteres de encuadre singulares. Una solución obvia es ampliar o aumentar la complejidad de los caracteres de encuadre. Esta solución no es totalmente aceptable puesto que aumenta el espacio requerido para imprimir el código y complica el código y el problema de exploración. La complicación del problema de exploración resulta directamente del tamaño aumentado requerido puesto que el número de exploraciones y la dirección de las mismas están limitados y el hecho de aumentar las dimensiones de la etiqueta hace disminuir la probabilidad de que una exploración cruce el área mínima requerida.

Resumen del Invento

25                   El invento contempla un dispositivo o unidad



de tratamiento para utilización en combinación con un explorador de etiqueta codificada que explora secuencialmente etiquetas no orientadas y proporciona una señal de niveles múltiples continua que tiene al menos dos estados que corresponden a los estados o información contenida en la etiqueta codificada. La unidad de tratamiento examina concurrentemente todas las fases posibles de la señal suministrada por el explorador sobre un período igual a la totalidad o a una porción importante de la etiqueta codificada y presenta solamente aquellas señales codificadas que tienen configuraciones predeterminadas a un circuito descodificador para descodificación y ulterior tratamiento.

Breve descripción de los Dibujos

La figura 1 es un diagrama de bloques de una unidad de tratamiento de datos de nueva concepción construida de acuerdo con el invento para seleccionar códigos potencialmente válidos procedentes de un explorador de etiqueta,

La figura 2 es un diagrama esquemático de bloques que representa un único canal de tratamiento con mayor detalle que como se ha representado en la figura 1;

La figura 3 es una serie de representaciones gráficas de señales generadas y utilizadas en las figu-



ras 1 y 2; y

La figura 4 es un diagrama esquemático de bloques del generador de impulsos de sincronismo representado en forma de bloques en la figura 2.

5 Descripción de la Realización Preferida

En la figura 1 está dispuesto un explorador 11 de cualquier diseño convencional para explorar en direcciones múltiples una etiqueta 12 portadora de signos codificados en forma de barras. El movimiento relativo entre la etiqueta 12 y el explorador 11 está indicado por la flecha 13. La etiqueta 12 codificada puede tener cualquier orientación con respecto al explorador 11. Puesto que se realizan exploraciones múltiples durante el paso de la etiqueta 12 a través del campo del explorador, al menos una de las exploraciones interceptará la totalidad de las barras codificadas representadas sobre la etiqueta 12 en el dibujo. El explorador generará una señal de salida similar a una onda rectangular cuando está explorando el código. Tal señal de salida está ilustrada en el primer gráfico de la figura 3. La salida del explorador 11 consiste en datos sin analizar de etiqueta y esta aplicada a un circuito 14 de tratamiento previo.

Este circuito proporciona una señal similar a una señal de impulsos de sincronismo a cuatro circuitos 15-1 a 15-4 lógicos idénticos sobre un conductor



16. El circuito 14 de tratamiento previo de datos proporciona también una pluralidad de señales de control sobre los cables 17-1 a 17-4 a circuitos 15-1 a 15-4 lógicos, respectivamente. Adicionalmente, son aplicadas 5 señales de datos correspondientes a los datos sin analizar, por intermedio del circuito 14 de tratamiento previo, a una memoria 18 intermedia de datos bajo control de una señal de control suministrada por el circuito 14 de tratamiento previo. Los circuitos 15-1 10 a 15-4 lógicos individuales en combinación con las señales suministradas por intermedio del conductor 16 y los conductores 17-1 a 17-4 examinan continuamente las diferentes fases de los datos sin analizar en un intervalo de tiempo predeterminado de la señal de datos. Cuando cualquiera de estos exámenes da como resultado 15 que se detecte una condición predeterminada, el circuito lógico que detecta esa condición proporciona una señal a una puerta 19 por intermedio de un circuito "0" 20 que hace que los datos entonces almacenados en la memoria 18 intermedia sean transmitidos a un circuito 21 descodificador donde son descodificados los datos y comprobada su exactitud.

Mientras ninguno de los circuitos 15 lógicos determine que existen condiciones predeterminadas, los 25 datos contenidos en la memoria 18 intermedia no son



transmitidos sino que son sustituidos por datos sub-  
siguientes; de este modo, mientras el dispositivo de  
exploración está explorando porciones del contenedor  
no relacionadas con las etiquetas codificadas, tales  
5 como motivos impresos o ilustraciones gráficas sobre  
el contenedor, la corriente de datos que procede del  
dispositivo 11 de exploración es transmitida a través  
del circuito 14 de tratamiento previo y es introduci-  
da en la memoria 18 intermedia, donde permanece y es  
10 sustituida con elementos de datos sucesivos. Tan pron-  
to como es explorada información correctamente codifi-  
cada y llegan señales válidas de datos sin analizar  
sobre la línea de datos sin analizar y el circuito 14  
de tratamiento previo, se detectan las condiciones an-  
15 teriormente expuestas por los circuitos 15-1 a 15-4 ló-  
gicos y los datos que residen entonces en la memoria  
18 intermedia de datos son transmitidos a través de la  
puerta 19 al circuito 21 descodificador.

Los circuitos ilustrados en las figuras 1 y  
20 2 y la representación gráfica representada en la figu-  
ra 3 son específicos del código universal de productos  
recientemente adoptado por la industria de comestibles  
en los Estados Unidos. Se describe un código sustancial-  
mente similar en una publicación titulada "Proposed UPC  
25 Symbol", Revisión Número 2, Diciembre de 1972" y publi-

30



cada por la International Business Machines Corporat  
ion. El símbolo adoptado incluye doce caracteres, seis  
de los cuales están dispuestos sobre uno de los costa-  
dos de un carácter separador central y otros seis de  
5 los cuales están dispuestos sobre el otro costado del  
carácter separador central. Adicionalmente, están dis-  
puestas barras de seguridad en ambos costados del sím-  
bolo o etiqueta. Cada uno de los caracteres contenidos  
en el símbolo incluye dos espacios de alta reflectivi-  
10 dad y dos espacios de baja reflectividad, tales como  
dos barras blancas y dos barras negras. Cada uno de los  
caracteres es de longitud uniforme e incluye siete in-  
tervalos selectores de tiempo o distancias iguales que  
están divididos entre las barras descritas anteriormen  
15 te de un modo descrito en la antes mencionada publica-  
ción. El carácter separador central incluye tres espa-  
cios blancos y dos barras negras. La unidad de trata-  
miento previo de datos del dispositivo de exploración  
y los circuitos lógicos descritos buscan solamente una  
20 mitad del símbolo; es decir, la porción del símbolo si-  
tuada indistintamente a la izquierda o a la derecha del  
carácter separador central. El código contiene suficien-  
te información para identificar si una exploración ha  
atravesado un costado izquierdo de la etiqueta o un cos-  
25 tado derecho de la etiqueta y si la exploración tuvo lu

30 ABO 1975



gar desde el interior hacia el exterior o desde el exterior hacia el interior, facilitando así la descodificación. La descodificación del símbolo no está descrita en esta solicitud puesto que no constituye parte del invento.

El primer gráfico de la figura 3 representa los datos sin analizar en un tiempo en que está siendo explorada una etiqueta correctamente codificada. El primer impulso positivo corresponde a un espacio brillante que esta siendo atravesado por el dispositivo de exploración. El siguiente impulso negativo corresponde a un espacio oscuro, y así sucesivamente. Los dos primeros ciclos completos corresponden a un único carácter si se suponen las relaciones de fase correctas y cubrirían normalmente siete periodos de tiempo, como se ha descrito anteriormente. Puesto que el ángulo que forma el haz de exploración con respecto a la dirección de la etiqueta es desconocido, el tiempo requerido para explorar el carácter a una velocidad de exploración uniforme variará en función del ángulo. Un haz de exploración atravesando la etiqueta perpendicularmente requeriría la duración mínima para una velocidad de exploración fija. El tiempo requerido para cualquier otro ángulo será función del ángulo según el cual el haz atraviesa la etiqueta codificada. De este

30  
30 ABO 1975

modo, las medidas absolutas de tiempo carecen de significado en cuanto a determinar si la exploración es o no resultado de atravesar una etiqueta codificada válida.

5                   Adicionalmente, deben considerarse las relaciones de fase correctas puesto que los caracteres sobre el lado izquierdo de la etiqueta comienzan con una barra blanca y terminan con una barra oscura y los caracteres sobre el lado derecho de la etiqueta empiezan  
10 con una barra oscura, es decir, una barra oscura a la izquierda, y terminan con una barra blanca a la derecha. Si se explorase en la dirección inversa, sería cierto lo contrario para ambos lados de la etiqueta. Se observará que el código establecido para los caracteres  
15 del lado derecho y el lado izquierdo, es decir, los lados derecho e izquierdo con respecto al separador central, son diferentes. Una media etiqueta izquierda explorada desde la izquierda a la derecha estará en fase correcta con una relación de blanco, negro, blanco, negro,  
20 para cada uno de los caracteres. Mientras que una media etiqueta izquierda explorada de derecha a izquierda sería negra, blanca, negra, blanca. Esta relación se invierte si se considera la mitad derecha de una etiqueta vertical como se ilustra en la figura 1 de la antes  
25 mencionada publicación. Los circuitos lógicos ilustra-

30 1975



dos en la figura 1 y con mas detalle en la figura 2  
examinan caracteres sucesivos para determinar si los  
caracteres son o no portadores de una cierta relación  
de tiempo entre sí. Cuando se detecta la relación  
5 correcta de tiempos por uno de los circuitos lógicos,  
los datos almacenados en la memoria 18 intermedia de  
datos se consideran potencialmente válidos puesto que  
tienen la forma correcta. Estos datos son transmitidos  
en este instante por una puerta al circuito 21 desco-  
10 dificador para su descodificación. De este modo, el  
circuito 21 descodificador se ve libre de la tarea de  
intentar descodificar señales similares que no contie-  
nen datos.

En la figura 2, los datos sin analizar pro-  
15 cedentes del dispositivo 11 de exploración son aplica-  
dos a un circuito 22 diferenciador que proporciona una  
salida ilustrada en el gráfico 2 de la figura 3. La sa-  
lida del circuito 22 diferenciador está aplicada a un  
circuito 23 rectificador que proporciona la salida ilus-  
20 trada en el gráfico 3 de la figura 3. Adicionalmente,  
la salida del circuito 22 diferenciador está aplicada  
a un circuito 24 generador de impulsos de sincronismo  
que recibe también la salida procedente de un oscilador  
25 de frecuencia fija. El generador 24 de impulsos de  
sincronismo proporciona las salidas ilustradas en los



gráficos 4, 5, 6 y 7 de la figura 3 a partir de las  
dos señales recibidas. Son proporcionados once impulsos A, B, C, D, E, F, G, H, J, K y L sobre once conductores diferentes. Estas once señales son generadas  
5 iniciándose con cada segunda transición positiva de la señal de datos sin analizar y se generan repetitivamente. En el gráfico 5, se producen repetitivamente once señales A' a L' adicionales similares a las ilustradas en el gráfico 4 sobre las transiciones positivas  
10 alternas de la señal de datos sin analizar. El gráfico 6 ilustra once señales a a l de control producidas sobre cada segunda transición negativa de la señal de datos sin analizar y el gráfico 17 ilustra once señales a' a l' proporcionadas sobre las transiciones negativas  
15 alternas de la señal de datos sin analizar. Las señales ilustradas en el gráfico 4 están aplicadas al circuito lógico 15-1 identificado como circuito P lógico. Las señales ilustradas en el gráfico 5 están aplicadas al circuito 15-2 lógico identificado como circuito p  
20 lógico. Las señales representadas en el gráfico 6 están aplicadas al circuito 15-3 lógico identificado como circuito M lógico y las señales de circuito ilustradas en el gráfico 7 están aplicadas al circuito 15-4 lógico identificado como circuito m lógico.

25 La salida del oscilador 25 de frecuencia fi-

ja está también aplicada a un circuito 26 contador  
 que cuenta los impulsos del oscilador. La entrada  
 de reposición del contador 26 está conectada, por  
 intermedio de un circuito 27 de retardo, a la sali-  
 5 da del circuito 23 rectificador y se repone en cada  
 transición de la señal de datos sin analizar y de es-  
 te modo el contador 26 en cada transición incluye un  
 cómputo correspondiente al ancho de la barra o espa-  
 cio que se acaba de explorar. El contenido del conta-  
 10 dor 26 es desplazado al interior de la memoria 18 in-  
 termedia de datos bajo control de la salida del rec-  
 tificador 23 y de este modo la memoria 18 intermedia  
 almacena en formato en serie valores de contador corres-  
 pondientes a los anchos de impulso sucesivos de las se-  
 15 ñales de datos sin analizar suministradas por el dispo-  
 sitivo de exploración. El número de señales almacena-  
 das en la memoria intermedia de datos es igual a los  
 seis caracteres en una media etiqueta mas el carácter  
 separador central.

20 En la figura 2 está ilustrado con detalle so-  
 lamente un circuito 15-1 lógico. El circuito 15-2 lógi-  
 co es idéntico en todos los aspectos al circuito 15-1  
 lógico. Los circuitos 15-3 y 15-4 lógicos son sustan-  
 25 cialmente idénticos con una modificación sin importan-  
 cia que se describirá posteriormente en el curso de la



descripción del invento. Por consiguiente, se conside  
ra innecesario describir o ilustrar con detalle la to  
talidad de los cuatro circuitos lógicos.

La salida del oscilador 25 de frecuencia fi-  
5 ja está aplicada a un contador 28 que se repone a un  
valor predeterminado al producirse la señal B del ge-  
nerador 24 de impulsos de sincronismo. Se observará  
por el gráfico 4 de la figura 3 que la señal B del ge-  
nerador 24 de impulsos de sincronismo se produce inme-  
10 diatamente después del comienzo del ciclo correspon-  
diente a transiciones positivas alternas de las señales  
de datos sin analizar. El valor prefijado del contador  
28 está seleccionado para permitir que el cómputo alcan-  
ce el valor correcto por efecto de la señal A subsiguien-  
15 te del siguiente ciclo P y de este modo el valor alcan-  
zado por el contador 28 en el instante de la señal A  
subsiguiente en el ciclo P corresponde al intervalo de  
tiempo o ancho de lo que parecería ser un carácter com-  
pleto, es decir, dos ciclos completos de la señal de da-  
20 tos sin analizar. Esto puede verse por referencia a los  
gráficos 1 y 4 de la figura 3. Lo anterior es también  
válido para el ciclo p, el ciclo M y el ciclo m repre-  
sentados en los gráficos 5, 6 y 7, respectivamente. La  
única diferencia es la relación de fase de estas señales,  
25 cada una de las cuales corresponde a una de las fases po



sibles de la señal de datos sin analizar. El contador 28 está conectado por una puerta "Y" 29 a un registro 30 y al producirse cada una de las señales A procedentes del generador 24 de impulsos de sincronismo, el valor entonces alcanzado del contador 28 es insertado en el registro 30. El registro 30 está designado por la letra n para indicar la enésima muestra de la señal de datos sin analizar correspondiente a un carácter potencial que está siendo tratado. Sobre la siguiente señal de control procedente del generador 24 de impulsos de sincronismo, el contador 28 es repuesto para acumular nuevamente un cómputo durante el siguiente carácter potencial en la señal de datos sin analizar.

El contenido del registro 30 es transferido a un registro 31 por intermedio de un circuito "Y" 32 al tener lugar la alimentación del impulso de control L procedente del circuito 24 generador de impulsos de sincronismo. El impulso L de control es el último de la serie de impulsos de control ilustrada en el gráfico 4 de la figura 3. Al producirse el siguiente impulso A de control procedente del generador 24 de impulsos de sincronismo, están contenidos dos valores sucesivos en los registros 30 y 31 que corresponden a dos caracteres potenciales adyacentes, como se ve en el gráfico 1 de la figura



ra 3, a saber, las porciones de la señal correspondien  
tes a  $P_i$  y  $P_{i+1}$ . Se ha dado al registro 31 la designa  
ción  $n-1$  para indicar que es el correspondiente a la  
mas antigua de las dos muestras. La muestra enésima es  
5 la muestra en curso y está en el registro 30. Estas dos  
muestras son aplicadas, por intermedio de circuitos que  
se describirán posteriormente, a un circuito 33 sumador.  
Al producirse cada señal B de control procedente del ge  
nerador 24 de impulsos de sincronismo, el contenido del  
10 registro 30 es aplicado al circuito 33 sumador por inter  
medio de un circuito 34 "Y", un registro 38 de señal B,  
y un circuito 39 complementador. El circuito "Y" 34 es  
habilitado por la señal B del generador 24 de impulsos  
de sincronismo. El contenido del registro 31 es aplicado  
15 al circuito 33 sumador por intermedio de un circuito "Y"  
37, un circuito "O" 35 y un registro 36 de señal A. El  
circuito "Y" 37 es habilitado por la señal B procedente  
del generador 24 de impulsos de sincronismo. De este mo  
do, el circuito 33 sumador proporciona la diferencia en  
20 tre los contenidos del registro 36 de señal A y del re  
gistro 38 de señal B.

La salida del sumador 33 está aplicada, por in  
termedio de una puerta "Y" 40, a un registro 41 de señal  
C. La puerta "Y" 40 es habilitada por intermedio de un  
25 circuito "O" 42 al tener lugar las señales C, F. y H de



control procedentes del generador 24 de impulsos de sincronismo. La salida del registro 41 de señal C está conectada a un circuito 43 detector que proporciona una salida siempre que sea cero el contenido del registro 41. La salida del registro 41 está también aplicada, por intermedio de un circuito "Y" 44, a otra entrada del circuito "O" 35. El circuito "Y" 44 es habilitado por la salida de un circuito "O" 45 durante las salidas E y G del generador 24 de impulsos de sincronismo. El contenido del registro 38 de señal B es desplazado una posición por la salida de un circuito "O" 46 conectado a las salidas E y G del generador 24 de impulsos de sincronismo. Con la disposición de circuito hasta aquí descrita, el circuito 33 resta el contenido del registro 30 de orden  $n$  del contenido del registro 31 de orden  $n-1$  a continuación de la aparición de la señal B del generador 24 de impulsos de sincronismo. El resultado de esta substracción es insertado durante la señal C en el registro 41 de señal C. Si los contenidos de estos registros son idénticos, el circuito 43 detector detecta el estado 0 en el registro 41 de señal C y proporciona una salida por intermedio de un circuito "Y" 47 a un registro 48 de desplazamiento, haciendo que sea desplazado un "1" al interior del registro 48. Este incidente ocurre durante la señal



D del generador 24 de impulsos de sincronismo que es aplicada, por intermedio de un circuito "0" 49, a la puerta "Y" 47. Cuando es proporcionada la señal E por el generador 24 de impulsos de sincronismo, es aplicado el contenido del registro 41 de señal C, por intermedio del circuito "Y" 44 y el circuito "0" 35, al registro 36 de señal A y simultáneamente con ello es desplazado una posición el contenido del registro 38 de señal B y el contenido del registro de señal C se convierte en  $(n-1)-n-1/2n$ . Esta señal es almacenada en el registro 41 durante el intervalo de señal F procedente del generador 24 de impulsos de sincronismo por intermedio del circuito "0" 42 y el circuito "Y" 40. Durante el intervalo de señal G del generador 24 de impulsos de sincronismo, el contenido del registro 41 de señal C es aplicado, por intermedio del circuito "Y" 44, el circuito "0" 35 y el registro 36 de señal A, al sumador 33. Durante este mismo período de tiempo, el contenido del registro 38 de señal B es desplazado nuevamente en una posición y la salida del sumador se convierte en  $(n-1)-n-1/2n-1/4n$  que se reduce a  $(n-1)-7/4n$ . Si esta cantidad es igual a cero, es desplazado un "1" al interior del registro 48 durante el intervalo de señal J procedente del generador 24 de impulsos de sincronismo por intermedio del circuito "0" 49 y la puerta "Y" 47.



30 A60. 1975

En la anterior descripción, si el contenido del registro 41 de señal C no es igual a 0, es desplazado un cero durante los intervalos de señal D y J al interior del registro 48 en lugar del "1" descrito anteriormente. De este modo, para cada ciclo de carácter de la señal de datos sin analizar, son desplazados al interior del registro 48 dos bits, indistintamente un 0 o un 1. El registro 48, correspondiente al símbolo UPC considerado en esta solicitud, contiene doce posiciones. La pauta de bits contenida en el registro 48 de desplazamiento identificará cuándo ha sido examinada una combinación de código válido. La salida del registro 48 de desplazamiento está conectada a un descodificador 50 de puerta "Y" que busca la pauta correcta de unos y ceros en el registro de desplazamiento en el intervalo de señal L. Cuando es descodificada la pauta correcta, la puerta 19 es habilitada por la puerta "0" 20 y el contenido de la memoria 18 intermedia de datos es transmitido al circuito 21 descodificador descrito anteriormente en relación con la figura 1.

Los circuitos 15-3 y 15-4 lógicos, como se ha establecido anteriormente, son sustancialmente idénticos al circuito 15-1 lógico. La única diferencia entre los dos circuitos lógicos es la conexión de las salidas de los registros 30 y 31. Para estos dos circuitos, las co

30  5

nexiones de las salidas de estos circuitos están invertidas. Es decir, la puerta "Y" 34 está conectada al circuito "O" 35 mientras que la puerta "Y" 37 está conectada al registro 38 de señal B. Las operaciones siguen siendo idénticas cambiando simplemente los cálculos matemáticos realizados. Las razones para este cambio se comentarán posteriormente.

Al final de los períodos de tiempo,  $P_i$ ,  $p_i$ ,  $M_i$ ,  $m_i$ , los contenidos de los contadores 28 están almacenados en los  $n$  registros 30 y los valores almacenados que ocuparon primeramente estos registros son transferidos a los  $n-1$  registros 31. Los datos contenidos en los registros son transferidos entonces, como se ha descrito, a los registros 36 y 38 de señal A y B, respectivamente. Se realizan las subtracciones descritas anteriormente. Si el resultado de la substracción es cero, entonces se satisface la expresión  $B \div A = 1$ . Esta satisfacción, si se produce, es "recordada" almacenando un "1" en el registro de desplazamiento. Si no se satisface, la condición es recordada almacenando un 0.

El registro 38 de señal B es desplazado a la derecha una posición y los resultados de la anterior substracción son transferidos al registro 36 de señal A. El contenido del registro 38 de señal B es restado nuevamente del contenido del registro A haciendo el conte-

nido total del registro C en este instante igual a  $A - B - 1/2 B$ . El contenido del registro 41 de señal C es transferido nuevamente al registro A al mismo tiempo que el registro B es desplazado nuevamente a la derecha una posición y se completa otra vez la resta haciendo que el contenido del registro 41 de señal C en este instante sea igual a  $A - B - 1/2 B - 1/4 B$ . Esta expresión puede reducirse a  $A - 7/4 B$ . Si el contenido del registro C después de esta última substracción es 0, entonces  $A/B = 7/4$ . Este hecho es recordado almacenando un "1" en el registro de desplazamiento si se cumple la condición. Si el contenido del registro 41 de señal C no es igual a 0, es almacenado un 0 en el registro 48 de desplazamiento. Entonces si  $B = n$  y  $A = n-1$  como en el circuito 15-1 y 15-2, la operación aritmética realizada es  $n \div n-1 = 4/7$ . Si  $B = n-1$  y  $A = n$  como en los circuitos 15-3 y 15-4, la operación aritmética realizada es  $n \div n-1 = 7/4$ . Estas son las relaciones para la porción de separador central que incluye dos barras blancas y dos barras negras en un carácter para la fase correcta. El resultado de la descodificación del registro de desplazamiento para los circuitos 15-1 y 15-2 es 101010101001 y para los circuitos 15-3 y 15-4, es 011010101010.

El descodificador 50 examina el contenido del



registro 48 de desplazamiento en el intervalo de señal  
L en cuanto a la combinación de pauta de bitios correcta  
ta que indica que los datos que residen en la memoria  
18 intermedia de datos son válidos. La puerta 19 es ha-  
5 bilitada y los datos son transferidos al circuito 21 des  
codificador.

Los cuatro circuitos lógicos funcionan concu-  
rrentemente examinando el contenido de los datos sin  
analizar. Obviamente, en cualquier instante de tiempo,  
10 solamente uno de los circuitos lógicos habilitará la  
puerta 19 puesto que solamente una de las combinaciones  
que están siendo examinadas corresponderá a datos váli-  
dos. En atención a una mayor simplicidad, se han supues-  
to circuitos 33 sumadores múltiples en la anterior des-  
15 cripción. Sin embargo, debido a la velocidad de explora-  
ción implicada, podría utilizarse un único circuito su-  
mador en régimen de tiempo compartido entre los cuatro  
circuitos lógicos, como será evidente para los expertos  
en esta técnica . Adicionalmente, resultará evidente pa-  
20 ra los expertos en la técnica que indistintamente un com-  
putador digital especial o de fines generales puede pro-  
gramarse para realizar muchas de las funciones descritas  
anteriormente utilizando memoria para el espacio de re-  
gistro y las funciones lógicas de la máquina así como la  
25 unidad aritmética para realizar las funciones descritas.



En la figura 4, un circuito 51 de báscula que responde a impulsos positivos está conectado mediante un diodo 51D al circuito 22 diferenciador. Los impulsos positivos ilustrados en el gráfico 2 de la

5 figura 3 hacen que el circuito 51 de báscula cambie de estado y las dos salidas 52 y 53 del circuito de báscu la corresponden a las salidas A-L y A' - L' ilustradas en los gráficos 4 y 5, respectivamente, de la figura 3. Está conectado un segundo circuito 54 de báscula a la

10 salida del circuito 22 diferenciador por un diodo 54D y un circuito 55 inversor haciendo así que el circuito 54 de báscula cambie de estado con los impulsos negativos del diferenciador 22. Las dos salidas 56 y 57 del

15 circuito 54 de báscula corresponden a las salidas a-1 y a-1' ilustradas en los gráficos 6 y 7, respectivamente, de la figura 3.

Las salidas 52, 53, 56 y 57 están aplicadas a circuitos idénticos generadores de impulsos de sincronismo que proporcionan los impulsos ilustrados en los

20 gráficos 4, 5, 6 y 7, respectivamente, de la figura 3. La salida 52 está conectada a un circuito 58-1 de báscula monoestable que proporciona una salida de habilitación a una de las entradas de una puerta "Y" 59-1 para hacer que la puerta 59-1 transmita impulsos desde el

25 oscilador 25 a un contador 60-1. El contador 60-1, bajo



control de los impulsos procedentes del oscilador 25,  
proporciona las salidas secuenciales A, B, C, D, E,  
F, G, H, J, K y L descritas anteriormente. El conta-  
dor incrementa en un intervalo adicional y proporcio  
5 na una salida L41 que está aplicada a una de las entra  
das de una puerta "Y" 61-1 que tiene una segunda entra  
da conectada a la salida 53. Cuando se satisfacen ambas  
condiciones, la puerta "Y" 61-1 proporciona una salida  
que es utilizada para reponer el contador 60-1 de ani-  
10 llo de modo que está listo para funcionar nuevamente co  
mo se ha descrito anteriormente.

Aun cuando el invento ha sido expuesto y des-  
crito particularmente con referencia a una realización  
preferida del mismo, se entenderá por los expertos en  
15 la técnica que pueden realizarse en ella diversos cam-  
bios en la forma y detalles sin apartarse de la esencia  
y campo de aplicación del invento.

La presente solicitud que corresponde a la pre  
sentada en Estados Unidos de América, el 1 de Julio de  
20 1974, bajo el número 484.509, se acoge a los beneficios  
del artículo 51 del vigente Estatuto sobre Propiedad In  
dustrial.

#### REIVINDICACIONES

Los puntos de invención propia y nueva que se  
25 presentan para que sean objeto de esta solicitud de Pa-



tente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

5           1ª.- Un dispositivo de tratamiento para se  
leccionar señales de código potencialmente válidas  
suministradas por un dispositivo de exploración de  
etiqueta codificada que explora en serie etiquetas  
codificadas no orientadas y proporciona señales con-  
10           tinuas que tienen al menos dos niveles correspondien-  
tes a la información codificada sobre la etiqueta, te  
niendo dicha etiqueta codificada una pluralidad de ca  
racteres codificados cada uno de los cuales incluye  
una pluralidad de barras adyacentes sustancialmente rec  
15           tangulares de diferentes características, teniendo di-  
chas barras para cada uno de dichos caracteres sustan-  
cialmente el mismo ancho total en la dirección del con  
tenido de información, y teniendo al menos un carácter  
adicional al menos tantas barras como los antes mencio-  
20           nados caracteres, y en la cual el ancho total de un nú  
mero de barras igual al número de barras contenidas en  
cada uno de los antes mencionados caracteres es de un an  
cho total sustancialmente diferente en la dirección del  
contenido de información, caracterizado por primeros me  
25           dios (18) conectados a dicho dispositivo (11) de explo-  
ración para almacenar una época de la señal correspon-

22-8-75

30 AGO



diente al código potencialmente válido a ser seleccionado de entre las señales recibidas desde el dispositivo (11) de exploración, segundos medios (14) que responden a las señales procedentes de dicho dispositivo (11) de exploración para formar señales eléctricas para cada una de las fases de carácter, cuyas señales corresponden al ancho total del carácter en la dirección del contenido de información, terceros medios (15) para comparar sustancialmente de un modo simultáneo, para cada una de las mencionadas fases de carácter de la señal, el ancho total en la dirección del contenido de información de caracteres sucesivos y codificar al menos dos relaciones predeterminadas, cuartos medios (20) para examinar sustancialmente de un modo simultáneo las relaciones codificadas y proporcionar señales de salida siempre que las mencionadas relaciones codificadas sean de un formato predeterminado, y quintos medios (19) que responden a las señales de salida proporcionadas por dichos cuartos medios (20) para dejar pasar la época de la señal entonces almacenada en los primeros medios (18) a un dispositivo (21) de utilización.

2ª.- Un dispositivo de tratamiento como se ha expuesto en la reivindicación 1ª, caracterizado porque dichos primeros medios (18) incluyen medios (22) de circuito para proporcionar señales de control coincidentes



con las transiciones de la señal de onda rectangular  
suministrada por el dispositivo (11) de exploración,  
un oscilador (25) de frecuencia fija para proporcionar  
señales eléctricas a una frecuencia fija predeter-  
5 minada, y medios (26) contadores que responden a las  
señales de control procedentes de dichos medios (22)  
de circuito y a dichas señales eléctricas procedentes  
del oscilador (25) de frecuencia fija para proporci-  
onar una señal de cómputo correspondiente al tiempo -  
10 transcurrido entre transiciones de dicha señal de onda  
rectangular procedente del dispositivo (11) de explora-  
ción, cuyas señales son almacenadas bajo control de di-  
chas señales de control por dichos primeros medios (18).

3ª.- Un dispositivo de tratamiento como se ha  
15 expuesto en la reivindicación 2ª, caracterizado porque  
dichos segundos medios (14) incluyen un generador (24)  
de señal de sincronismo que responde a dichos medios  
(22) de circuito y a dicho oscilador (25) para propor-  
cionar continuamente n señales (A.... L, a....l; A'....L'  
20 a'....l') de sincronismo cada una de las cuales está  
sincronizada con n transiciones secuenciales de las men-  
cionadas señales de control, y n medios (28) de conta-  
dor cada uno de los cuales responde al oscilador (25)  
y a una señal diferente de dichas n señales de sincro-  
25 nismo para acumular un cómputo entre señales de sincro-



nismo sucesivas cuyo cómputo corresponde a la longitud de un carácter en la dirección del contenido de información, y n medios (30, 31) de registro cada uno de los cuales responde a uno de dichos n medios (28) de contador y a las antes mencionadas señales de sincronismo asociadas para almacenar el cómputo alcanzado por el mencionado contador (28) conectado bajo control de las antes mencionadas señales de sincronismo asociadas.

10                   4ª.- Un dispositivo de tratamiento como se ha expuesto en la reivindicación 3ª, caracterizado por que dichos terceros medios (15) incluyen n canales (35, 36; 38, 39) de tratamiento cada uno de los cuales está conectado a uno de dichos n medios (30, 31) de registro y cada uno de los cuales responde a las antes mencionadas señales de sincronismo asociadas para recibir y almacenar el contenido de los medios (30, 31) de registro conectados bajo control de las antes mencionadas señales de sincronismo asociadas, y para comparar el mencionado contenido almacenado con el contenido de los medios (30, 31) de registro conectados bajo control de las antes mencionadas señales de sincronismo, a fin de codificar y registrar al menos dos relaciones predeterminadas de los contenidos comparados.

25                   5ª.- Un dispositivo de tratamiento para selec

30 AGO



cionar señales de código potencialmente válidas.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

5 Esta Memoria consta de veintinueve hojas escritas a máquina por una sola cara.

Madrid, 30 AGO. 1975

P.A.

Alberio de Albornoz  
Por Poder  
*Alberio*

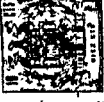
10

15

20

25

22-8-75 CAL.



80

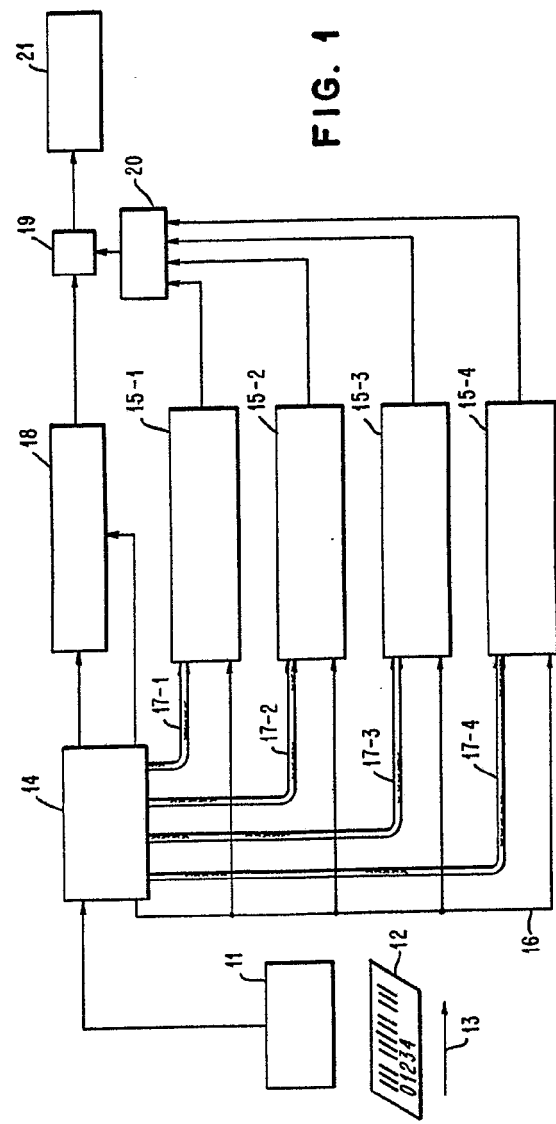
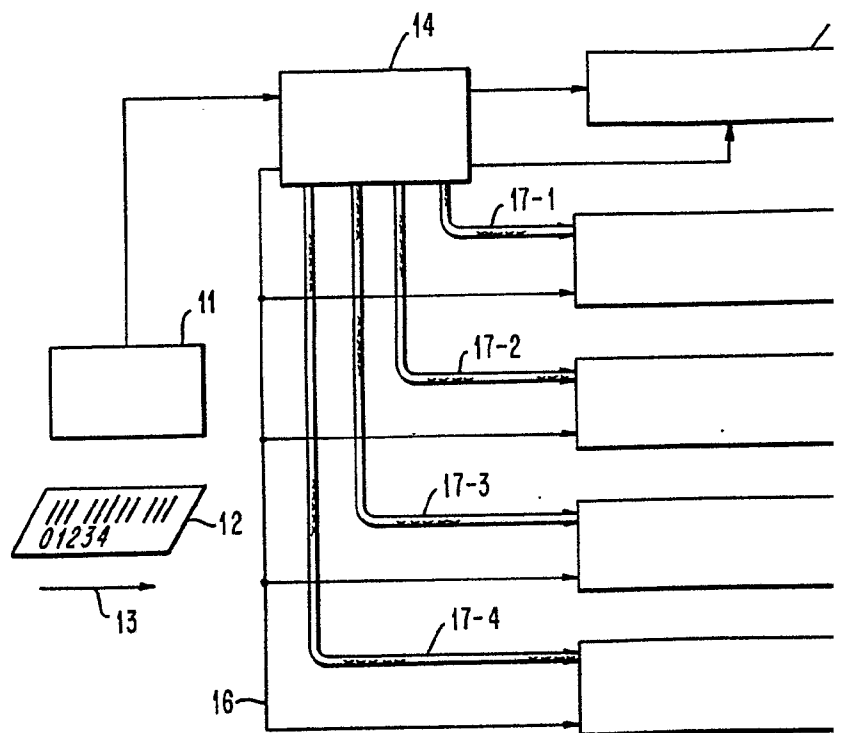


FIG. 1

Alberta  
For Power





30

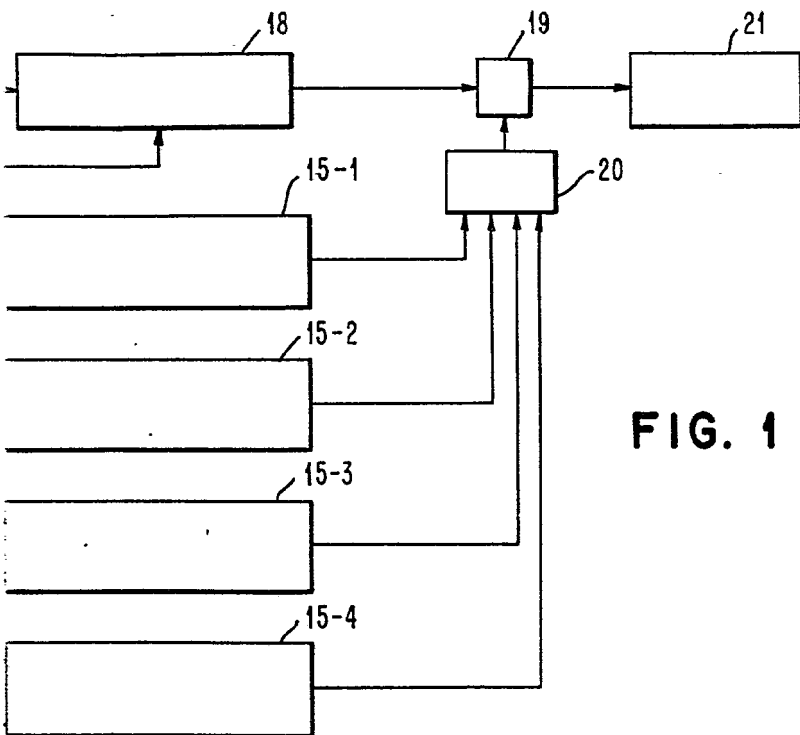


FIG. 1

Alberto de *[Signature]*  
Por Poder.

650673

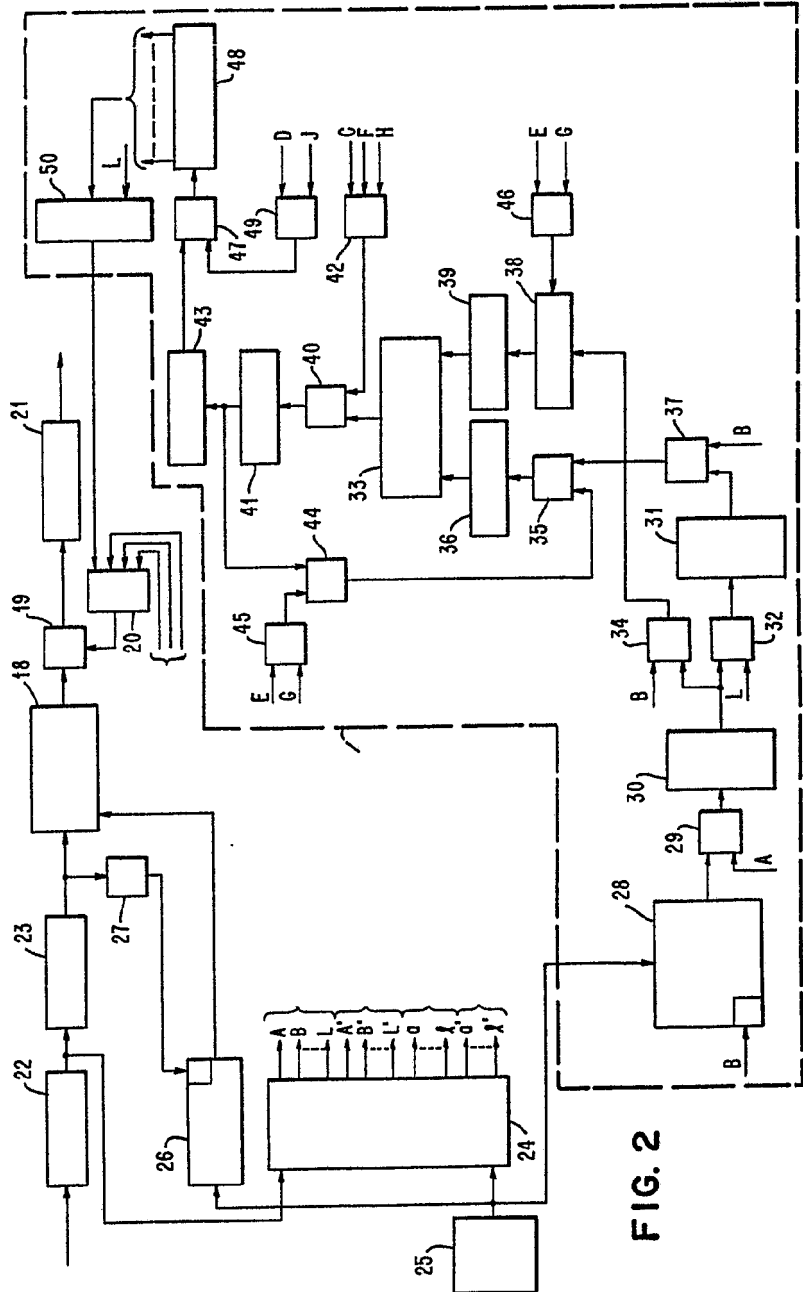


FIG. 2

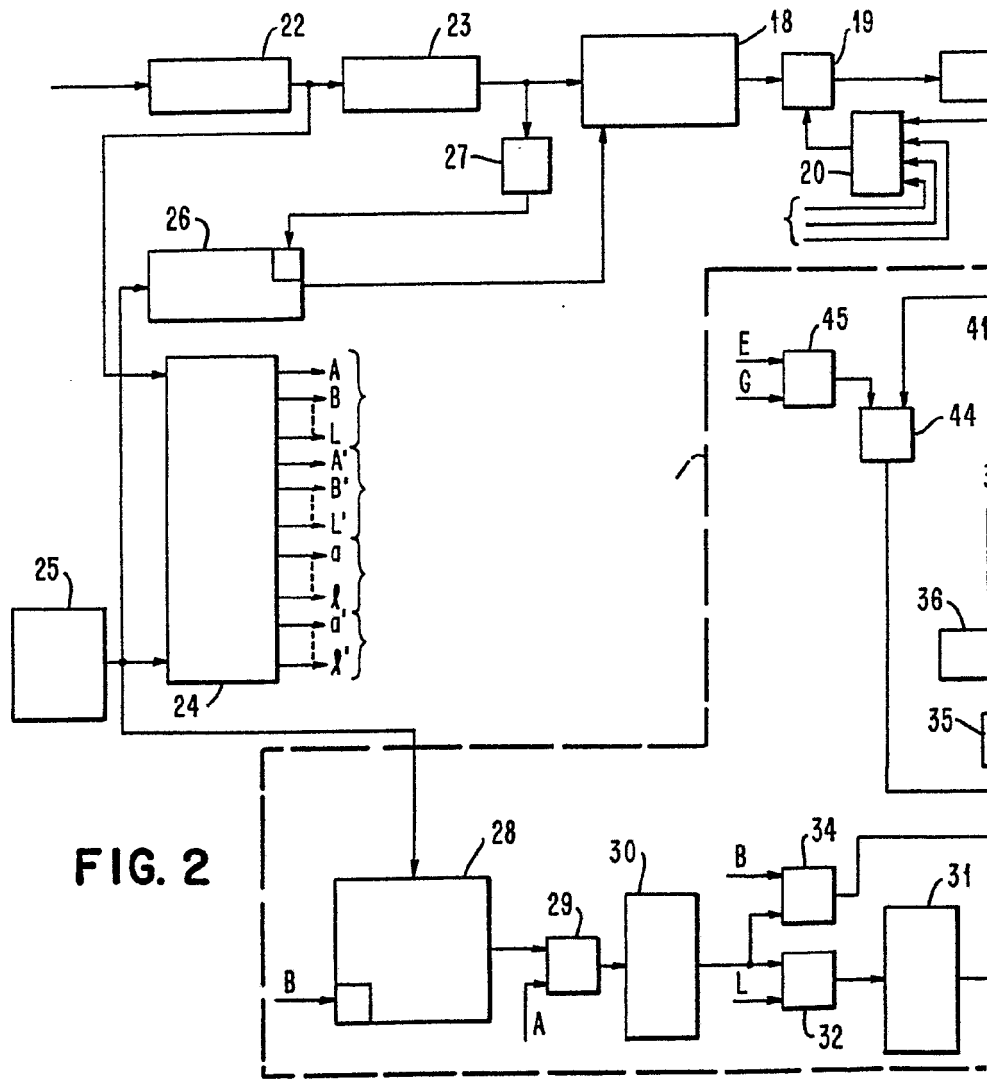


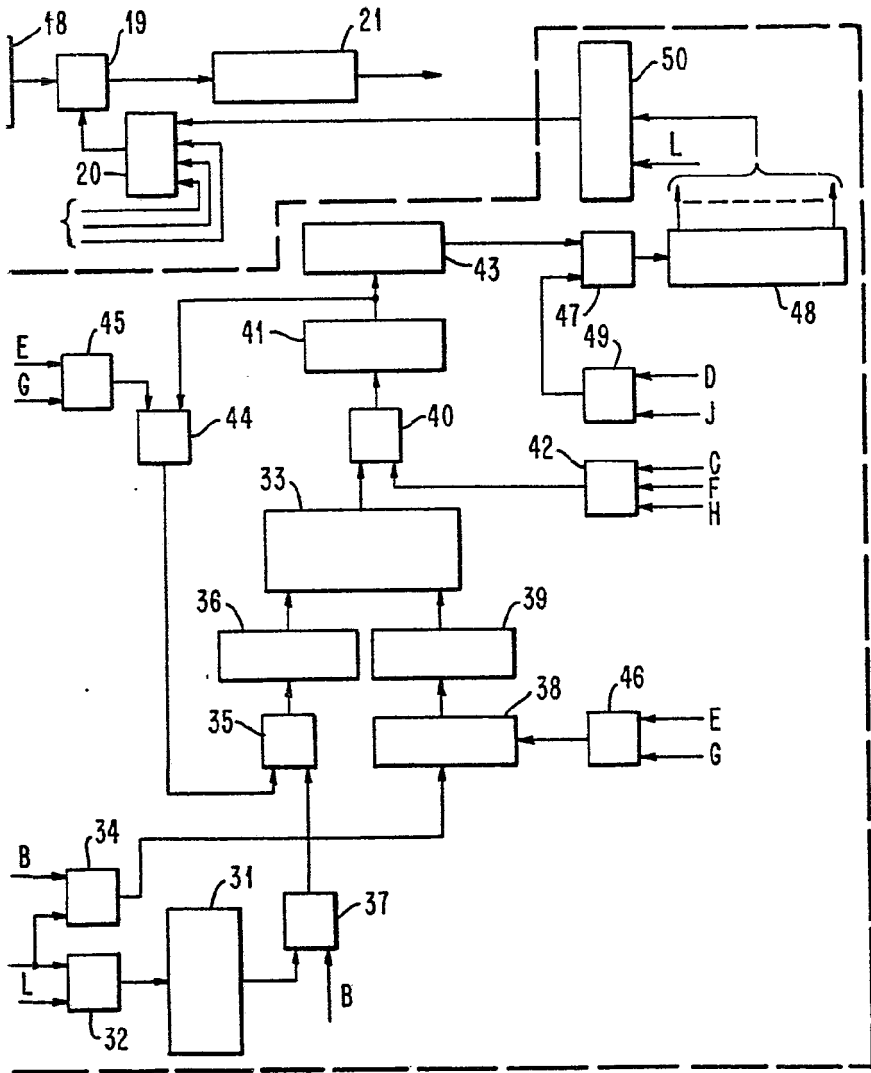
FIG. 2

650673

II/IV



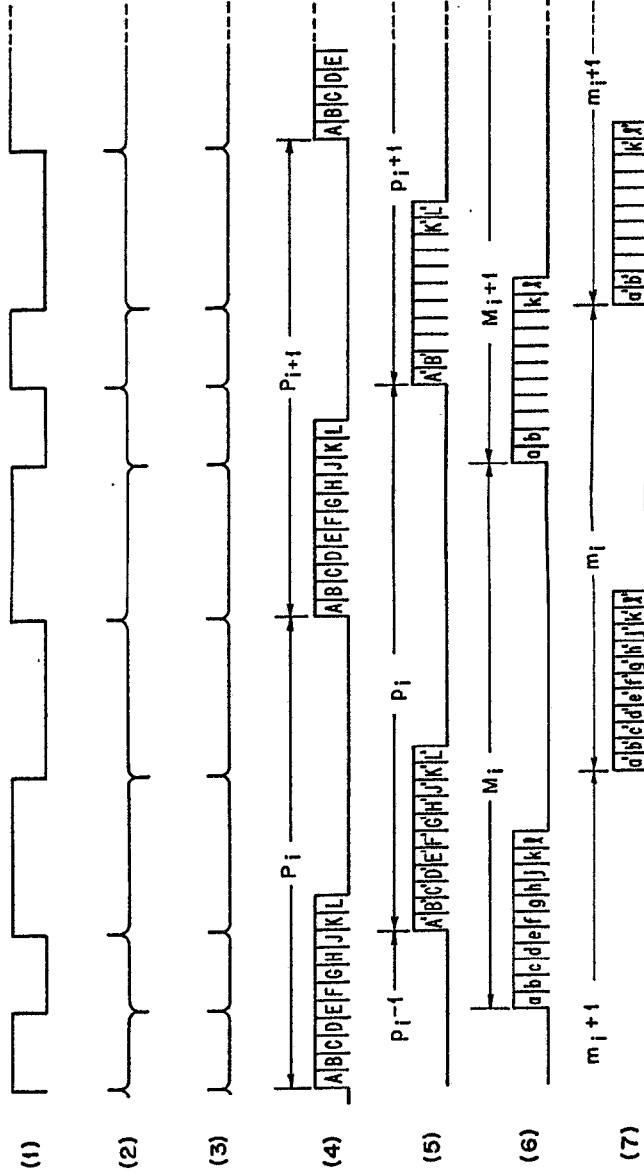
30



Alberto de E...  
Per Podar

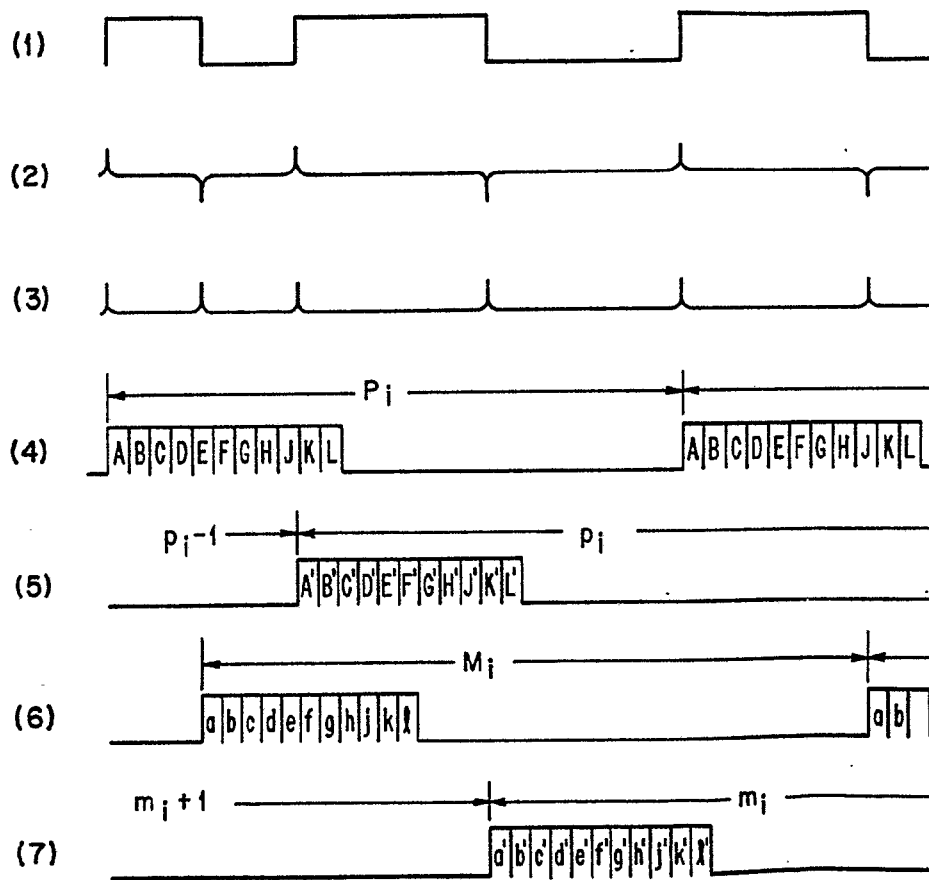


FIG. 3



Alberto El Guarni  
Per Podar

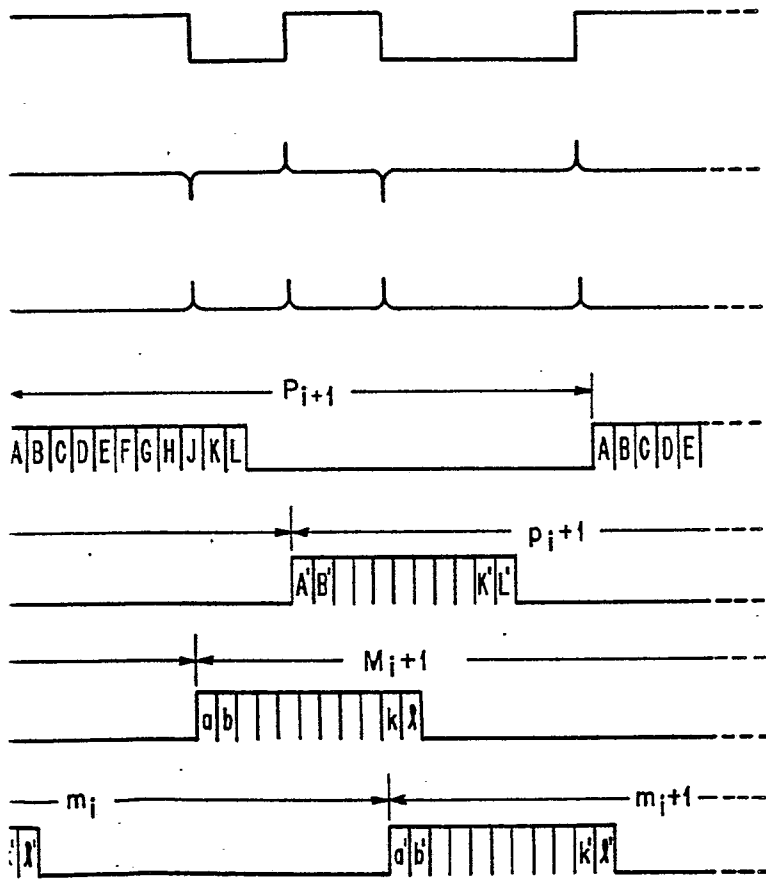
FIG. 3





30

IG. 3



Alberto de Elizaburu  
 Por País.

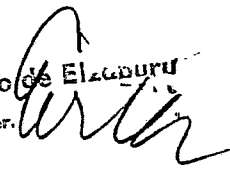
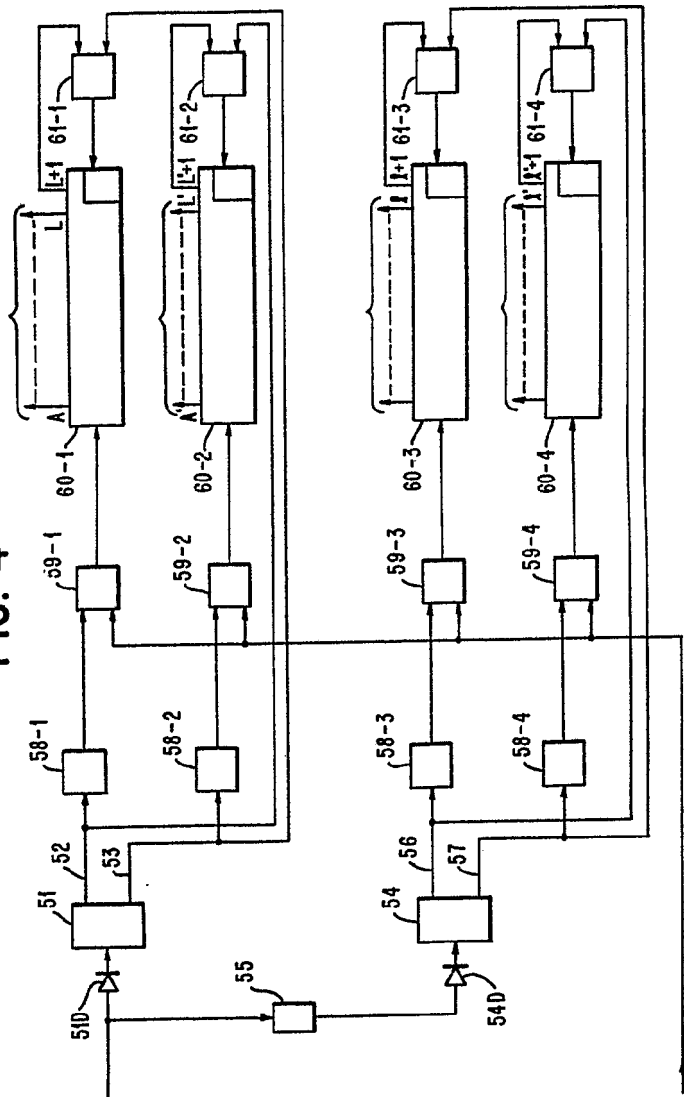


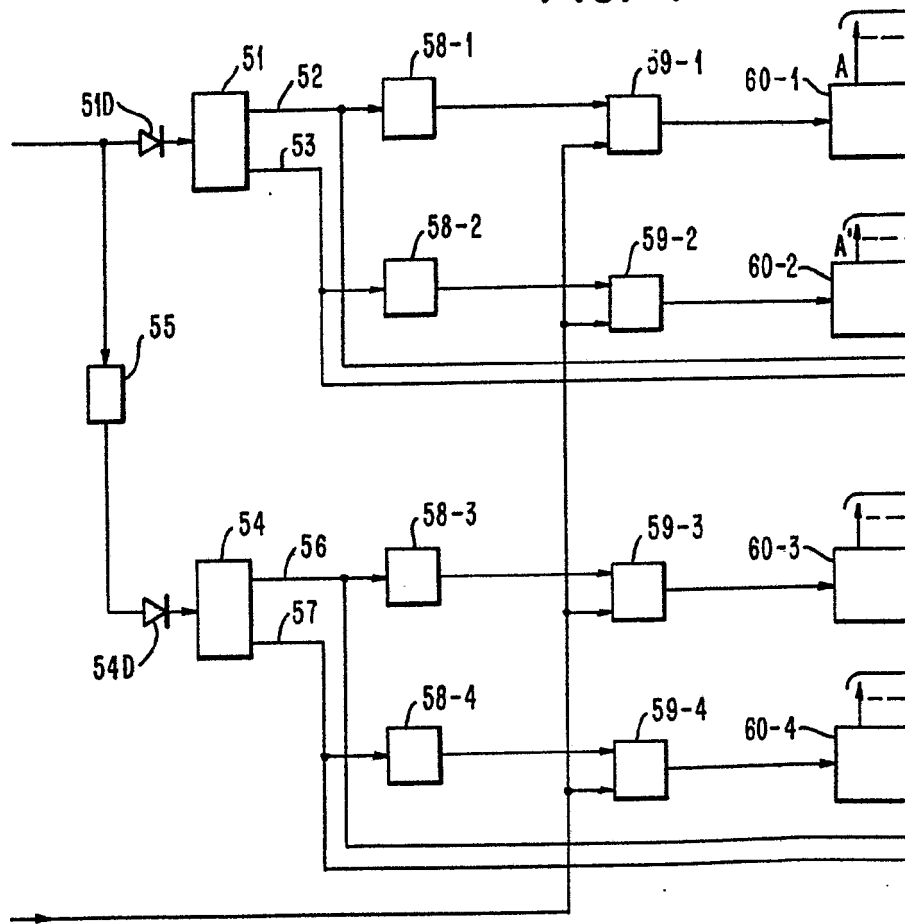


FIG. 4

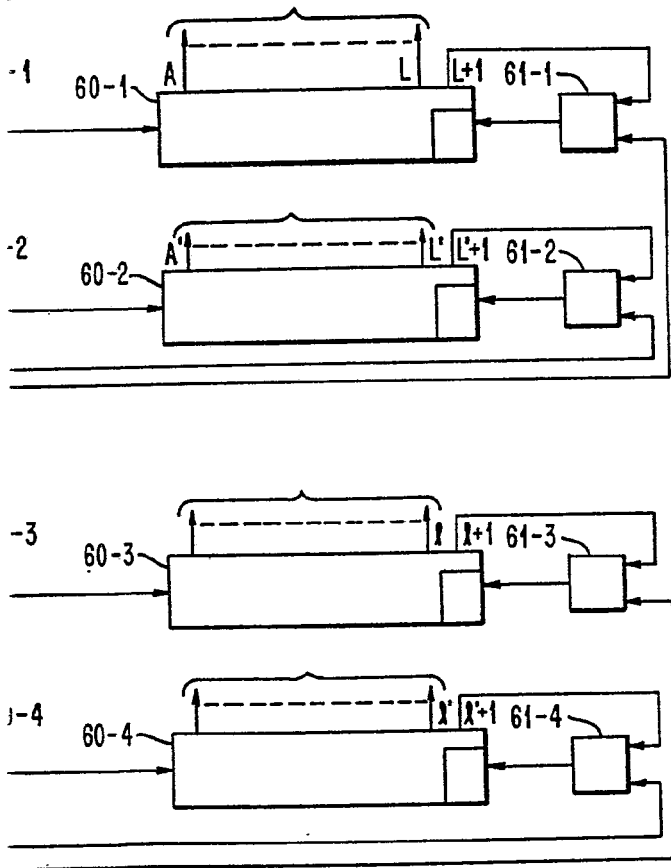


Alberto E. Elizalde  
Pat. Techn.

FIG. 4



30



Alberto de Elcayure  
Por Poder