

438727

28 SET 1975

P.- 60.652

Docket Nº YO 9-73-040

Int. Cl.: G06K 3/00; G11C 5/10;
H03K

MEMORIA DESCRIPTIVA

para solicitar PATENTE DE INVENCION por 20 años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad norteamericana

establecida en Armonk, N.Y. 10504, Estados Unidos de
América.

por; "PERFECCIONAMIENTOS INTRODUCIDOS EN UN SISTEMA DE
TRATAMIENTO DE DATOS"

Principios Básicos del Invento

En sistemas de computador en general y en pequeños sistemas en particular, es deseable reducir la cantidad total de dispositivos físicos requeridos para el sistema consistentes con algún nivel especificado de funcionamiento de máquina. Las líneas de datos que conectan diversos dispositivos externos tales como terminales de teclado, aparatos de visualización de tubo de rayos catódicos, lectores de tarjetas de crédito, etc, a un ordenador central requerirían normalmente conexiones de terminales de entrada/salida independientes para cada línea de datos. En computadores modernos, se utilizan ampliamente circuitos integrados en gran escala (LSI), y como es bien conocido, estos módulos de circuito están limitados en el número de conexiones de circuito exteriores o terminales que pueden ser colocados sobre un módulo LSI. Por tanto, utilizando las mismas líneas de datos tanto para la entrada como para la salida, se reduce a la mitad el número de terminales requeridos. En sistemas de computación grandes, de alta velocidad, no ha sido generalmente factible utilizar las mismas líneas de datos tanto para leer datos en el sistema como para extraer datos por lectura del sistema, ya que muchas operaciones son retenidas esperando la terminación de una operación existente. Aun cuando tal

espera es necesaria con una memoria central u otra unidad funcional compartida, ello no es tan crítico dentro de la unidad de tratamiento central ya que los computadores modernos tienen circuitos de memoria de velocidad extremadamente alta, etc, capaces de realizar operaciones requeridas en períodos de tiempo extremadamente cortos. Sin embargo, en el caso de computadores mas pequeños de velocidad inferior en donde tanto el coste como la posibilidad práctica de fabricación son factores importantes y el tiempo es algo secundario, se hace posible considerar líneas de datos bidireccionales u operaciones del tipo de transmisión simultánea doble semicompartida.

Con el advenimiento de los circuitos integrados modernos y la tecnología microelectrónica, ha sido posible construir computadores poco costosos y relativamente pequeños utilizando líneas de origen y destino independientes dentro de los computadores lo que permite operaciones de velocidad considerablemente mas alta sin aumentar grandemente el coste de construcción. Sin embargo, anteriormente, tales computadores de dos líneas generales requerian grandes números de terminales de conexión para conectar el computador tanto a las líneas de datos de entrada como a las líneas de datos de salida. Como se ha establecido anteriormente, esto origina serios problemas de conexión de terminales cuando se utilizan circuitos LSI en el com-

putador principal. La finalidad del presente invento es proporcionar una solución al problema de terminales o de conexión de patillas terminales.

5 Se ha encontrado que es posible el funcionamiento satisfactorio del sistema total con una línea general de datos bidireccional conectada a un pequeño sistema de computador de dos líneas generales internas independientes disponiendo medios internos de control y puerta para conectar selectivamente la línea general de entrada/salida a la línea general de origen y destino de dicho computador utilizando circuitos internos de control junto con un adaptador especial que conecta dispositivos de entrada/salida a la línea general de entrada/salida y para efectuar el control de entrada/salida requerido.

10
15 Se ha encontrado adicionalmente que las funciones de control requeridas pueden ser realizadas eficientemente y de un modo poco costoso mediante la utilización de microprogramas almacenados en una memoria fija que tiene circuitos especiales de descodificación y control para efectuar las operaciones de puerta deseadas.

Objetos del Invento

25 Por consiguiente, un objeto principal del presente invento es crear un subsistema de control de acceso de entrada-salida para permitir la conexión de una línea gene-

ral de datos bidireccional de entrada/salida a un sistema de computación central que tiene líneas generales independientes de origen y destino.

5 Un objeto adicional del invento es crear un subsistema de esta clase cuyo funcionamiento está controlado por un conjunto de microinstrucciones almacenadas en la memoria de microprograma del computador central.

10 Aún un objeto adicional es crear un subsistema de esta clase que incluye dos puertas primarias para controlar el paso de datos desde la línea general de destino del sistema a la línea general bidireccional de entrada/salida y para conectar los datos procedentes de la línea general bidireccional de entrada/salida a la línea general de origen del sistema.

15 Aún un objeto adicional del invento es crear un subsistema de esta clase en donde dichas dos puertas primarias están controladas por circuitos descodificadores conectados a la salida de dicha memoria de microprograma, a cuyas instrucciones adecuadas se establece acceso por
20 interrupción monocíclica o modos de funcionamiento de entrada/salida programada.

25 Estos y otros objetos del invento se pondrán de manifiesto por la siguiente descripción más particular de la realización preferida del invento, como se ilustra en los dibujos que se acompañan,

Breve descripción de los dibujos

5 La figura 1 comprende un diagrama de bloques funcionales de alto nivel que ilustra la configuración global del presente subsistema de control de accesos de entrada/salida con una pluralidad de adaptadores conectados a la línea general bidireccional de entrada/salida en donde están representados una pluralidad de dispositivos independientes unidos a cada adaptador.

10 La figura 2 comprende un dibujo de organización para las figuras 2A y 2B.

15 Las figuras 2A y 2B comprenden la combinación de un esquema lógico y un diagrama de bloques funcionales de la realización preferida del presente invento, representando los detalles del conjunto de circuitos necesarios para realizar el presente subsistema de control de acceso de entrada/salida.

Descripción de la Realización Preferida

20 Los objetos del presente invento se consiguen en general por un sistema de tratamiento de datos que comprende una pluralidad de dispositivos de entrada-salida conectados a un ordenador central por una línea general que contiene una pluralidad de líneas de datos bidireccionales y una pluralidad de líneas de control, medios para efectuar el funcionamiento bidireccional de dichas líneas de

25

datos entre dispositivos seleccionados de dichos dispositivos y dicho controlador mediante asignación controlable de la función de datos de dichas líneas de datos para realizar el direccionamiento y transferencia de órdenes y
5 datos, cuyos medios comprenden una primera puerta excitadora controlada para conectar selectivamente dichas líneas de datos de entrada-salida a una línea general de origen interior a dicho ordenador central para proporcionar entradas seleccionadas a unidades funcionales contenidas
10 en el mismo. Está dispuesta una segunda puerta excitadora controlable para conectar selectivamente una línea general de destino interior a dicho ordenador a dichas líneas de datos de entrada/salida, siendo conectadas selectivamente a dicha línea general de destino dichas salidas de unidad
15 funcional interna. Están dispuestos medios de subsistema de control de entrada-salida interiores a dicho ordenador que responden a instrucciones de entrada-salida programadas o a interrupciones generadas en dispositivos externos o a solicitudes de interrupción monocíclica para operar dichas
20 puertas excitadoras y la selección de dichas entradas a dichas unidades funcionales y dichas salidas de las mismas de dicho sistema y dichos dispositivos exteriores para realizar las operaciones deseadas de entrada-salida.

El presente concepto de subsistema de control
25 de accesos de entrada-salida puede ser incorporado en un

sistema de computación central de al menos dos líneas generales de datos y ha de entenderse que el presente invento no está limitado a ello. Por consiguiente, solamente se comentará y expondrá con tanto detalle como sea necesario la disposición general de componentes físicos del sistema central. Estos incluyen, como se ha establecido anteriormente, una memoria fija utilizada como memoria de microprograma en la presente realización y los circuitos descodificadores asociados a la misma así como la memoria de sistema central de la cual y en la cual son leídos datos de entrada-salida así como las líneas generales de origen y destino.

La realización expuesta ilustra un sistema gobernado por terminal. En tal sistema, los diversos terminales, tales como teclados, lectores de tarjeta de crédito, etc, inician realmente el funcionamiento del sistema señalizando interrupciones o solicitudes para interrupción monocíclica en niveles de prioridad predeterminados.

El presente sistema de acoplamiento de control de accesos de entrada-salida funciona en modo controlado por programa o en modo de interrupción monocíclica, en donde está controlado por circuitos en los dispositivos externos que pueden utilizar la memoria más rápidamente que las instrucciones normales de entrada-salida programadas.

La siguiente es una visión general de la organización del sistema con referencia a la figura 1 en la cual la memoria 10 central está representada conectada generalmente al ordenador 12 central que, deberá entenderse claramente, define un sistema de dos líneas generales de datos internas que tienen líneas generales independientes de origen y destino. En la porción inferior del bloque 12, está indicado el control 14 de acceso de entrada-salida constituyendo una porción del ordenador central, puesto que el circuito de control de acceso de entrada-salida utilizará la memoria de microprograma de sistema que en la realización expuesta es una memoria fija (ROS). Similarmente, la salida del descodificador de memoria fija principal y la unidad de control harán que los circuitos de retención de control requeridos del presente subsistema de control de accesos tomen nivel alto para establecer la salida de las diversas líneas de identificación a las unidades 16 adaptadoras de dispositivo externo a través de las cuales están conectados los dispositivos 18 externos a la línea 20 general principal de datos. Adicionalmente, está representada una línea 22 general de control conectada entre el subsistema 14 de control de acceso de entrada-salida y los diversos adaptadores 16. Como se explicará subsiguientemente con respecto a la descripción de la figura 2, esta línea general de

control comprende una serie de líneas fijas que conducen a los diversos adaptadores en paralelo. En la presente realización, estas son líneas unidireccionales y no funcionan bidireccionalmente como en el caso de la línea 20 general de datos.

5

Mediante la utilización del sistema expuesto, el subsistema de control de acceso de entrada-salida permite al ordenador central comunicar con los dispositivos designados y a ciertos dispositivos comunicar con el ordenador central por intermedio de los circuitos de puerta necesarios sobre la línea general de datos de entrada-salida, sobre la línea general de origen, o desde la línea general de destino sobre la línea general de datos, como se requiera por una operación particular que esté siendo tratada. También incluye circuitos de control requeridos para evitar que se produzcan conflictos, es decir, el hecho de que un dispositivo esté intentando transmitir mientras otro está tratando de transmitir o cuando el ordenador está intentando comunicar con un dispositivo.

10

15

20

Antes de proseguir con una descripción detallada del funcionamiento de los elementos de circuito funcionales específicamente expuestos representados en el diagrama de bloques de la figura 2, se da a continuación una descripción general del funcionamiento del sistema.

25

El objetivo del presente diseño de subsistema de

control de acceso de entrada-salida es conseguir las dos funciones siguientes. La primera es realizar el control de entrada-salida de un modo asíncrono. La segunda es permitir el modo de funcionamiento compartido de mecanismos de control de entrada-salida y la línea general de entrada-salida para entrada-salida programada, interrupción monocíclica UC y señalización de interrupción.

5

Las figuras 2 (2A y 2B) representan los circuitos de control de acceso de entrada-salida del ordenador central y la línea general de entrada-salida con un adaptador conectado. La línea general de entrada-salida contiene dieciseis líneas bidireccionales, una agrupación de bitios superior y una agrupación de bitios inferior, cada una de las cuales tiene un ancho de ocho bitios. Cuando el sistema no esté realizando una interrupción monocíclica u operación programada de entrada-salida, se utiliza la agrupación de bitios inferior de la línea general de entrada-salida para enviar solicitudes de interrupción desde el adaptador al ordenador central. Cuando está siendo muestreada la línea general de entrada-salida para localizar interrupciones por el sistema, se utiliza la identificación TD para inhibir el cambio de los circuitos de retención de solicitud de interrupción durante el intervalo de muestreo. Con el fin de comenzar una instrucción de entrada-salida programada u operación de interrupción monocíclica

10

15

20

25

es elevado el nivel de la señal de identificación de entrada-salida anteriormente en estas operaciones para liberar la línea general de entrada-salida (es decir, se inhiben las solicitudes de interrupción).

5 El ordenador central es una máquina microcodificada en la cual toda operación tiene una dirección de comienzo (descodificación de instrucción) en la memoria fija que puede estar seguida solamente por un número fijo de otras pautas de bitios de memoria fija hasta que se complete la instrucción. La salida ROS REG envía señales de control sobre las líneas de identificación dentro de la máquina para intervalos fijos de tiempo, excepto para operaciones de entrada-salida y operaciones de interrupción monocíclica. Para estas operaciones, la línea de activación ROS REG es inhibida de dar salida al registro de memoria fija (ROS REG) dentro de pautas especificadas hasta que se satisfacen ciertas condiciones por el adaptador. Esto permite que estas operaciones sean llevadas a cabo con mas rapidez por adaptadores más rápidos y con más lentitud por adaptadores más lentos. Existe un límite sobre el intervalo de tiempo que el sistema esperará una respuesta de un adaptador y cuando se alcanza este límite de tiempo el ordenador central entrará en su secuencia de parada de comprobación de máquina (MCK). La señal de identificación de parada será elevada de nivel para indicar al adaptador

10

15

20

25

cuándo ocurre esto. Esto es un diagnóstico que detecta un mal funcionamiento de algún tipo y puede hacer cualquiera de muchas cosas que incluyen algo tan simple como una "revisión" de la última operación.

5 El ordenador central puede funcionar sobre la línea general de entrada-salida indistintamente con una agrupación de bitios o dos agrupaciones de bitios de datos dependiendo del tipo de dispositivo y/o de la operación. Existen dos instrucciones de entrada-salida programadas: IO e IOH. La instrucción IO puede utilizarse para leer o escribir agrupaciones de bitios de datos a un dispositivo de agrupación de bitios o de media palabra (HW), mientras que la instrucción IOH puede utilizarse solamente con un dispositivo HW. Una operación IO de escribir extrae datos de la memoria y los envía al adaptador sobre la línea general IO. Una lectura siguiendo una instrucción IO extrae datos de la línea general IO y los almacena en memoria.

10

15

En ambas instrucciones IO e IOH es necesario enviar la dirección del dispositivo y la orden (leer o escribir) al dispositivo externo antes de que los datos sean leídos o escritos. La dirección y la orden constituyen la información de cada agrupación de bitios y por consiguiente deben enviarse individualmente a dispositivos de agrupación de bitios mientras que pueden ser enviadas al mismo tiempo para dispositivos HW. Como ejemplo de cómo funciona

20

25

el procedimiento, supóngase que se requiere una instrucción de escritura IO a un dispositivo de agrupación de bitios. El descodificador de instrucción envía como salida la pauta de memoria fija (ROS) inicial para la instrucción IO. Durante esta pauta inicial las líneas de señal de identificación de entrada-salida y de agrupación de bitios son activadas para liberar la línea general de entrada-salida y se abre la puerta a la línea general IO procedente de la salida de memoria intermedia. El contenido de la memoria en una posición especificada por la instrucción está siendo enviado fuera de la memoria a la memoria intermedia y la salida de la memoria intermedia está conectada a la línea general de entrada-salida. El contenido de memoria tiene la dirección del dispositivo sobre la agrupación de bitios de orden superior (bitios 0-7) y la orden sobre la agrupación de bitios de orden inferior (bitios 8-15). El adaptador responde a la señal de identificación I/O haciendo que desaparezca la señal VB (agrupación válida de bitios-adaptador de agrupación de bitios) para indicar que han sido eliminadas las interrupciones de la línea general I/O y que el adaptador es un adaptador de agrupación de bitios. El ordenador central eleva entonces el nivel de la señal de identificación TA para "decir" al adaptador que la dirección de un dispositivo está contenida en la agrupación de bitios de orden superior de la línea general I/O (y también que la orden está contenida en la agrupación de bitios infe-

rior para un adaptador HW). El adaptador responde entonces elevando el nivel de la señal VB para indicar que ha sido transmitida una dirección válida por el ordenador central. Este retorno a dirección válida repone la señal de identificación TA y ahora la orden es transferida a la agrupación de bitios de orden superior fuera de la memoria intermedia y pasa a la línea general I/O. También, el adaptador debe desactivar la señal VB como resultado de la reposición de la señal de identificación TA. Cuando está desactivada la señal VB la señal de identificación TC es elevada de nivel para "decir" al adaptador que la orden está contenida en la agrupación de bitios de orden superior de la línea general I/O. La señal VB es activada para indicar al ordenador central que la orden ha sido almacenada en el registro de órdenes y que puede reponerse la señal de identificación TC. El bitio de orden 15 fuera de la memoria intermedia es comprobado para ver si la orden es de lectura o escritura de modo que sea descodificada la pauta de microcódigo correcta.

20 Como resultado de la reposición de la señal de identificación TC, se desactiva la línea VB. Ahora son leídos datos de una posición de memoria especificada por el descodificador de instrucción y son enviados a través de la memoria intermedia hasta la agrupación de bitios de orden superior de la línea general I/O. Puede elevarse el

nivel de la señal de identificación TD después que se ha desactivado la señal VB para indicar al adaptador que los datos están contenidos en la agrupación de bitios de orden superior de la línea general I/O. Cuando los datos son almacenados en el registro de "entrada de datos" por el adaptador, se desactiva la señal VB para indicar al ordenador central que el adaptador tiene los datos. A continuación son repuestas las señales I/O y de identificación de grupo de bitios para indicar que se ha completado la instrucción I/O y es desactivada la línea IRP, si es utilizada, para señalar que se devuelven órdenes de interrupción sobre la línea general.

Para dispositivos HW, no se requiere la señal de identificación TC puesto que el dispositivo puede leer la dirección y la orden al mismo tiempo. Puede producirse un intervalo de bloqueo mientras el ordenador central está esperando una respuesta de la línea de identificación VB, la línea de identificación VH, la línea de identificación IRP, y la línea de identificación EOC. La línea de excepción es utilizada durante interrupción monocíclica para inhibir el intervalo de bloqueo.

Las únicas líneas adicionales requeridas para realizar la interrupción monocíclica son las líneas de solicitud CS, identificación CSG, e identificación EOC. La interrupción monocíclica se inicia por el adaptador y por

consiguiente no requiere una dirección. En vez de ello es enviada una palabra de control desde el adaptador al ordenador central. Esta palabra de control contiene información para indicar al ordenador central si deberá hacerse una lectura o una escritura, y una dirección de iniciación para el control de dirección y para dirigir la transferencia de grupo de bitios, cuyo grupo de bitios está destinado para iniciar la lectura o la escritura. La finalidad de la interrupción monocíclica es leer o escribir muchas agrupaciones de bitios o medias palabras de datos a una velocidad alta. La línea de solicitud de interrupción monocíclica puede activarse en cualquier instante, pero es ignorada hasta que se completa la presente instrucción que está siendo ejecutada en el ordenador central. Cuando finaliza esta instrucción, el ordenador central está listo para comenzar la interrupción monocíclica y la pauta inicial de interrupción monocíclica contenida en la memoria fija origina la activación de la línea de identificación I/O. Esto libera la línea general I/O y debe desactivarse un grupo de bitios válido o media palabra válida para indicar que se ha hecho esto. Entonces el ordenador central eleva el nivel de la línea de concesión de interrupción monocíclica (identificación CSG) para indicar que está listo para recibir la palabra de control. La señal de identificación válida (VB o VH) debe retornar para

indicar que la palabra de control está sobre la línea general.

Después que se ha almacenado la dirección inicial en el control de direcciones, la dirección es actualizada en una posición para transferencias de datos de grupos de bitios o en dos para transferencias de datos HW hasta que se activa la línea de señal de identificación EOC (final de cadena) para indicar que el adaptador ha completado la interrupción monocíclica. Antes de esto, fué utilizada la señal de identificación TD del mismo modo que la señal de identificación de entrada-salida programada para datos. El final de la interrupción monocíclica es similar al final de la entrada-salida programada. Otra solicitud de interrupción monocíclica puede seguir a una operación de interrupción monocíclica o el ordenador central retornará a su instrucción siguiente.

Los circuitos de retención AC para señales de identificación de entrada desde el adaptador hasta el ordenador central son utilizados para evitar que el ordenador central responda a impulsos de ruido que pudieran aparecer sobre estas líneas.

En resumen, se ha dado una descripción bastante extensa para mostrar cómo se han conseguido dos objetivos. El diagrama representa solamente un adaptador para mayor simplicidad que puede tener varios dispositivos asociados,

pero la máquina puede tener varios adaptadores cada uno con varios dispositivos y por consiguiente es necesario determinar cómo utilizará la información de dirección para una configuración particular del sistema.

5 Con referencia a la figura 2 (figuras 2A y 2B), se describirán los bloques individuales con relación a las funciones realizadas por ellos. En la porción superior de la figura 2A, aparece la línea general de origen y destino del sistema de computador principal. Similarmente, la memo-
10 ria 10 es idéntica a la representada en la figura 1. El circuito 30 de control de dirección realiza rutinas de direccionamiento convencionales e incluye el registro de dirección de memoria. Adicionalmente, tiene características para realizar operaciones de modificación de direcciones.
15 La memoria 32 intermedia CW de interrupción monocíclica es una memoria intermedia convencional de palabra de control en donde esta palabra de control es transferida desde la memoria 62 intermedia CW de interrupción monocíclica en el adaptador y es utilizada para controlar las operaciones
20 de interrupción monocíclica.

 La memoria 34 intermedia es una memoria intermedia convencional para recibir datos de la memoria 10 y almacenar datos en la misma. El mecanismo 36 de interrupción recibe y analiza solicitudes de interrupción y contiene los
25 circuitos de control lógicos necesarios para seleccionar

la solicitud de interrupción de más alta prioridad. Se entenderá fácilmente que existen muchos tipos de sistemas de interrupción disponibles en las técnicas de los computadores y que uno de estos tipos podría ser tan simple como un sistema de prioridad de interrupción preconexiona-
5 do en donde dispositivos particulares tendrán prioridad sobre todos los demás dispositivos, o algún otro esquema más complejo. El tipo contemplado en el presente sistema es un esquema de prioridad preconexionado simple en donde
10 la activación de líneas de datos particulares durante una llamada de interrupción indica designaciones de prioridad de un dispositivo externo particular conectado a la línea general de datos a través de su adaptador particular.

Las puertas 38 y 40 son las puertas de datos primarias para transferir datos desde la línea de destino a
15 la línea general de entrada-salida (I/O) o desde la línea general I/O hasta la línea general de origen, respectivamente. El descodificador 42 de instrucción es un descodificador convencional de instrucción conectado al registro
20 de instrucción (no representado) y hasta donde concierne al presente invento solamente estén representadas aquellas funciones que se aplican al presente invento. La línea representada que va desde el descodificador 42 de instrucción hasta el descodificador 44 de dirección ROS está activa
25 cuando se solicita una operación programada de I/O. Esto

como se pondrá de manifiesto por la descripción subsiguiente, selecciona una dirección de comienzo particular en la memoria fija (ROS) a cuya dirección se establece acceso y son leídas ordenes subsiguientes hasta que se ha completado la operación particular I/O solicitada. El descodificador de dirección de memoria fija (descodificador ROS) es activado similarmente cuando se requiere un tipo de operación de interrupción monocíclica. La memoria fija 46 es totalmente convencional y transfiere datos al registro 48 de memoria fija (registro ROS). La salida de este registro va al descodificador 50 de memoria fija, cuyas líneas de salida estén conectadas a su vez al bloque marcado "circuitos 52 de retención" que elevará el nivel o desactivará uno o más de las líneas de identificación de salida de este bloque. Las dos líneas de salida del bloque 50 designadas Activación y Reposición activarán o repondrán todos los circuitos de retención, mientras que las líneas intermedias, indicadas por las líneas discontinuas, activan líneas seleccionadas de las líneas de identificación que están conectadas a su vez al bloque 54 de control de adaptador. El bloque de control de adaptador funciona de un modo convencional para realizar las operaciones usuales de confirmación de conexión entre los dispositivos externos y el ordenador central y contiene también los controles para establecer el modo de funcionamiento de interrupción monocíclica.

clica en la realización preferida aquí expuesta. En otras palabras, cuando una de las líneas de identificación toma nivel alto activada desde los circuitos 52 de retención, el circuito de control de adaptador indica que ha de realizarse una cierta operación por el dispositivo externo y cuando esta operación ha sido realizada, el dispositivo lo notifica al circuito de control de adaptador y la línea de identificación VH o VB es elevada de nivel indicando que la operación particular ha sido realizada y notifica al circuito 56 de control de memoria fija que se necesita la siguiente instrucción. El bloque de control de adaptador consiste esencialmente en circuitos de retención y circuitos de temporización que aceptan y transmiten las diversas señales de control desde el sistema de control y los dispositivos, y automáticamente proporciona el tiempo requerido para completar las operaciones solicitadas. Los dos bloques 58 y 60 en la parte inferior de la figura 2A, designados "circuitos de retención AO", están previstos para el fin de retener sus salidas a nivel alto cuando es recibida una señal específica sobre una de las cuatro líneas de identificación que van a estos bloques desde el bloque de control de adaptador y están diseñados de tal modo que el ruido aleatorio que aparece sobre estas líneas no puede originar funcionamiento erróneo del circuito 56 de control de memoria fija.

Como se pondrá de manifiesto por la descripción subsiguiente, el sistema ahora expuesto incluye un modo de funcionamiento llamado de interrupción monocíclica en donde un dispositivo particular solicita una cadena de datos bastante larga de la memoria en posiciones de dirección consecutivas. En la operación de interrupción monocíclica, no se requiere que cada palabra de datos transferida desde la memoria siga curso a través de una solicitud de acceso completa, sino que en vez de ello la cadena completa de datos es indistintamente leída en la memoria o extraída de la misma hasta que la cadena se ha completado en cuyo punto termina la operación de interrupción monocíclica y el sistema retorna supuestamente a una operación normal de entrada-salida programada. Esto será comentado, sin embargo, con detalle adicional subsiguientemente. La memoria 62 intermedia CW de interrupción monocíclica comprende parte del mecanismo de interrupción monocíclica que se acaba de mencionar y es utilizada durante la operación de interrupción monocíclica.

El descodificador 64 de dirección almacena una dirección y descodifica la dirección para identificar el dispositivo particular que está siendo direccionado por el sistema. Una línea de salida va desde el descodificador de dirección a cada dispositivo individual indicando que ha sido seleccionado. El registro 66 de órdenes está pre-

visto para la finalidad de almacenar una orden particular para los dispositivos. La orden puede incluir una orden particular de leer/escribir, y se transmite a través del bloque 54 de control de adaptador y después a los registros 5 68 y 60 de entrada de datos y salida de datos que podrían estar situados indistintamente en los dispositivos individuales externos o ser comunes al adaptador. Sin embargo, como resultará evidente, podría utilizarse un único par de tales registros con circuitos de puerta adecuados 10 utilizados en combinación con el descodificador de dirección de modo que cualquier dispositivo dado podría utilizar estos registros de datos y así evitar una duplicación. La orden puede incluir un número de otras operaciones dependientes de dispositivo, que pueden o no incluir transferencia de datos por sí mismas. Sin embargo, con el fin de explicar 15 el funcionamiento global del presente subsistema de control de accesos de entrada-salida, la operación de leer/escribir es la más general. El bloque de líneas discontinuas marcado con 72 comprende el mecanismo de solicitud de interrupción donde se observará que las puertas 74 estarán excitadas cuando un dispositivo externo particular solicite una interrupción del sistema. Se observará adicionalmente que hay tantas puertas 74 como dispositivos. Las puertas 20 74 alimentan los circuitos 76 de solicitud de interrupción con el fin obvio de mantener con nivel alto las líneas du-

rante un tiempo predeterminado. Se observará que podrían activarse uno o más de los circuitos de retención de solicitud de interrupción en un instante dado y, de acuerdo con la presente realización, se excita una línea particular de las líneas de datos en la línea general de entrada-salida. Así, el sistema decidirá cuál de los dispositivos externos va a recibir servicio en un instante particular.

La precedente descripción de la disposición de circuitos detallada en las figuras 2A y 2B describe claramente las funciones particulares realizadas por cada uno de los bloques expuestos. La siguiente descripción del funcionamiento de este sistema y la tabla de líneas de control expondrán con mayor claridad la operación de interrupción y las secuencias de interrupción monocíclica incluidas en ella.

La siguiente tabla muestra la función de cada una de las líneas de control que conectan directamente los dispositivos de adaptador con el ordenador central. Estas líneas están dedicadas a comunicación unidireccional en la realización expuesta aunque podrían hacerse bidireccionales con la adición de un soporte de programa adecuado y circuitos de control de puerta en el conexionado. Sin embargo, se prefiere la realización expuesta. La dirección del flujo de señal sobre estas líneas está representada claramente en la tabla (es decir, desde el ordenador cen-

tral al adaptador, o viceversa).

5 Se entenderá que los circuitos de los bloques de control de adaptador están configurados de un modo convencional, de modo que pueden producirse diversas operaciones indistintamente en el flanco de subida o en el flanco de bajada de las señales presentes en las líneas de identificación de control y líneas válidas. Esto se consi-
gue convencionalmente tomando el control de cualquiera de los extremos de "activación" o "reposición" de un circui-
10 to de báscula biestable.

Tabla de Funciones de Líneas de Control

<u>Líneas</u>	<u>Funciones Atendidas</u>
15 IDENTIFICACION ENTRADA/SALIDA (Ordenador Central → Adaptador)	Libera la línea de entrada/salida de señales procedentes de los circuitos de retención de solicitud de interrupción.
20	Abre la puerta desde la línea general de destino a la línea general de entrada/salida para "escribir"
25	Indica instrucción de

Líneas

Funciones Atendidas

	entrada/salida completada.
	Indica el comienzo de la instrucción OS.
IDENTIFICACION DE GRUPO DE BITIOS (Ordenador Central → Adaptador)	Indica la operación de grupo de bitios.
IDENTIFICACION TA (Cordenador Central → Adaptador)	"Dice" al adaptador que el grupo de bitios de datos de orden superior contiene una dirección (y que la orden está contenida en el grupo de bitios de orden inferior para un adaptador HW) Indica que la orden es desplazada a líneas de datos de "grupo de bitios de orden superior" (para un adaptador de grupo de bitios).
IDENTIFICACION TO (Ordenador Central → Adaptador)	Indica que la orden está contenida en el grupo de bitios de orden superior. Indica que la orden es almacenada. (No requerido para adaptadores HW que pueden leer dirección y orden en la misma línea)

Líneas

IDENTIFICACION TD (Ordenador
Central → Adaptador)

IDENTIFICACION DE PARADA
(Ordenador Central
→ Adaptador)

IDENTIFICACION IRP
(Adaptador → Ordenador
Central)

IDENTIFICACION VH
(Adaptador → Ordenador
Central)

Funciones Atendidas

Inhibe el cambio de los circuitos de retención de solicitud de interrupción en el adaptador durante el muestreo de las líneas de interrupción.

Indica que los datos están contenidos en la agrupación de bits de orden superior.

En operación de interrupción monocíclica indica que los datos están presentes sobre la línea general.

"Dice" al adaptador que se ha excedido el límite de cómputo para la respuesta VB o VH o LPP o EOC del adaptador, o circuito de retención interno (cualquier comprobación de máquina que originaría un nivel de interrupción).

Indica que están presentes interrupciones sobre la línea general.

Lo mismo que en el caso de VB para un dispositivo de media palabra.

<u>Líneas</u>	<u>Funciones Atendidas</u>
IDENTIFICACION VB (Adaptador -> Ordenador Central)	Indica que se han eliminado las interrupciones y el dispositivo es un dispositivo de agrupación de bitios. Indica la recepción de una dirección válida. Indica orden almacenada en el registro 66 de órdenes.
IDENTIFICACION VB	Indica que el adaptador ha almacenado datos. En interrupción monocíclica indica que la palabra de control está sobre la línea general de entrada/salida.
SOLICITUD CS (Adaptador -> Ordenador Central)	Indica una solicitud para interrupción monocíclica. (Iniciada por adaptador-ignorada hasta que se ha completado una instrucción).
IDENTIFICACION CSG (Ordenador Central -> Adaptador)	Indica que el ordenador esté listo para recibir una palabra de control de interrupción monocíclica (CSCW).
IDENTIFICACION EOC (Adaptador -> Ordenador Central)	Indica final de la cadena de interrupciones monocíclicas.
EXC (Adaptador -> Ordenador Central)	Inhibe el intervalo de bloqueo durante CS.

TABLA DE FUNCIONES DE LINEAS DE DATOS

(LINEA GENERAL I/O)

<u>Lineas</u>	<u>Funciones Atendidas</u>
"Datos" AGRUPACION SUPERIOR 0-7 (Ordenador Central → Adaptador)	La agrupación de bitios de orden superior "escribe" datos al adaptador HW. Dirección de dispositivo para operación de agrupación de bitios. Datos de agrupación de bitios a adaptador de agrupación de bitios.
"Datos" AGRUPACION SUPERIOR 0-7 (Adaptador → Ordenador Central)	La agrupación de bitios superior "lee" datos del adaptador HW. Datos de agrupación de bitios procedentes de adaptador, de agrupación de bitios.
"Datos" AGRUPACION INFERIOR 8-15 (Ordenador Central → Adaptador)	La agrupación de bitios inferior "escribe" datos a la orden de adaptador HW para operación de agrupación de bitios.
"Datos" AGRUPACION INFERIOR 8-15 (Adaptador → Ordenador Central)	Interrumpe solicitudes procedentes de adaptador (cuando el sistema no está en modo de funcionamiento CS o I/O.). La agrupación de bitios inferior "escribe" datos del adaptador HW.

Las siguientes son breves descripciones del sistema de interrupción utilizado para dar servicio a dispositivos externos que solicitan interrupción y de la propia operación de interrupción monocíclica que permite la lectura de cadenas de datos relativamente largas en o del sistema sin operaciones individuales de confirmación de conexión entre ciclos de memoria.

INTERRUPCION DE ENTRADA/SALIDA

La siguiente descripción supone un posible esquema de prioridad de interrupción de entrada conexas donde la elevación de nivel de una línea o líneas de datos particulares indica automáticamente el nivel de la interrupción. Este esquema de interrupción I/O funciona en dos pasos suponiendo que hay varios dispositivos sobre cualquier nivel de interrupción dado. En primer lugar, es examinada la línea general de entrada/salida para ver qué niveles estén altos. Puede haber varios dispositivos solicitando servicio sobre cualquier nivel dado. La determinación del nivel de solicitud más alto se realiza en circuitos descodificadores convencionales. Se recurre entonces a una rutina de programa para investigar el nivel más alto para encontrar qué dispositivos solicitan servicio en ese nivel. (Si hay más de un dispositivo sobre cualquier nivel, estos dispositivos deben operar a partir de adaptadores "espe-

ciales" que utilizarán también la línea general I/O para
indicar, durante un intervalo de escrutinio, que necesitan
servicio). Si, por ejemplo, el nivel de solicitud más al-
to es un 4, el programa es entonces cambiado al nivel 4
5 I/O y se realiza una instrucción sobre las líneas de da-
tos. Cualquiera de los adaptadores tiene la capacidad de
establecer una señal de identificación de adaptador sobre
una única línea I/O para identificar que necesitan servicio
en su interrupción. La línea general de datos es leída y
10 una instrucción adicional determina qué dispositivos nece-
sitan servicio en nivel 4. Los dispositivos son entonces
tomados en una secuencia predeterminada hasta que hayan
sido atendidas todas las interrupciones de nivel 4 y serán
entonces atendidas las interrupciones de nivel inferior.

15

INTERRUPCIÓN MONOCÍCLICA (CS)

Cuando un Adaptador de Interrupción Monocíclica
eleva el nivel de la línea de Solicitud CS (CS Req), es
activado un circuito de retención en la SALIDA de la ins-
20 trucción normalmente en curso. Esto hace que el registro
de dirección de memoria fija (registro ROS) sea cargado
con la dirección inicial de microprograma. CS. La línea
I/O es elevada de nivel, lo cual indica al adaptador que
el controlador ha entrado en la rutina CS. El adaptador ele-
25 va el nivel de una línea válida (VB o VH), lo que es reco-

nocido por la línea de Concesión de Interrupción Monocíclica (línea CSG).

5 El adaptador sitúa entonces la Palabra de Control de Interrupción Monocíclica (CSCW) sobre la línea general I/O. La palabra de control de interrupción monocíclica es transmitida a la memoria 32 intermedia de palabra de control de interrupción monocíclica mediante una operación de puerta adecuada.

10 La palabra de control de interrupción monocíclica identifica si la operación es leer o escribir (Bitio 8 de Línea General de Dirección) y proporciona una dirección inicial en la memoria 10. Son direccionados ciclos subsiguientes de leer o escribir por el bloque 30 de control de dirección de memoria hasta que el Adaptador ha completado el número deseado de ciclos, en cuyo instante eleva el nivel de la línea EOC. Esto origina la terminación del microprograma de interrupción monocíclica. La dirección de la última instrucción completada antes de que empezase la operación de interrupción monocíclica es cargada en retorno en el registro de dirección de memoria y puede reanudarse la operación de entrada/salida normal programada o puede iniciarse otra operación de ciclo.

15

20

25 La descripción precedente del presente sistema de control de accesos de entrada/salida ilustra claramente la posibilidad de aplicación general del concepto. Aún

cuando la realización expuesta presenta un ordenador central microprogramado con una memoria fija (memoria ROS), será evidente que podría modificarse adecuadamente un ordenador central convencional de programa almacenado que
5 utiliza memoria central para programas de control internos. También, podrían utilizarse muchas variaciones del mecanismo de interrupción y de las operaciones de interrupción monócíclicas. El concepto expuesto en su sentido más amplio es el del mecanismo de control de accesos que proporciona
10 caminos de puerta adecuados y controles internos al ordenador central para permitir la conexión selectiva de las líneas generales de origen y destino a las líneas de datos de entrada/salida para la transferencia requerida tanto de información de datos como de información de órdenes,
15 según se necesite.

Esta solicitud que corresponde a la presentada en Estados Unidos de América, el 26 de Junio de 1974, con el nº 483.464, se recoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

20

REIVINDICACIONES

25

Los puntos de invención propia y nueva que se

presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

5 1ª.- Perfeccionamientos introducidos en un sistema de tratamiento de datos que incluye un ordenador central que tiene una memoria de lectura/escritura direccionable, una pluralidad de registros de trabajo direccionables, una unidad funcional de tratamiento, una primera línea general interna, una segunda línea general interna, un
10 registro de instrucciones y una pluralidad de dispositivos externos de entrada/salida conectados al mismo por una línea general de entrada/salida que contiene una pluralidad de líneas bidireccionales de datos y una pluralidad de líneas de control, y medios de subsistema de control de accesos de entrada/salida para controlar el flujo de datos sobre dichas líneas de datos entre dispositivos seleccionados de dichos dispositivos y dicho ordenador por asignación
15 controlable de la función de datos de dichas líneas para realizar la transferencia necesaria de solicitudes de servicio de entrada/salida, direcciones, órdenes y datos,
20 cuyo sistema comprende: una primera puerta excitadora de control para conectar selectivamente dichas líneas de datos a dicha primera línea general, una segunda puerta excitadora de control para conectar selectivamente dicha segunda
25 línea general a dichas líneas de datos, y medios de control

que responden a circuitos lógicos de control que funcionan por instrucciones de entrada/salida solicitadas que se originan en el ordenador o los dispositivos para activar dichas puertas excitadoras y la selección de entradas a dichos registros de trabajo de unidad funcional y a dicha memoria y la selección de salidas de los mismos para realizar las operaciones de entrada/salida requeridas.

5

10

2ª.- Perfeccionamientos de acuerdo con la reivindicación 1ª, según las cuales dichos dispositivos externos están conectados a dicha línea general de entrada/salida a través de un adaptador que incluye medios de control para recibir órdenes de dispositivo procedentes de los medios de control de accesos y para transmitir dichas órdenes a y desde dichos dispositivos y en retorno a dichos medios de control de accesos en dicho ordenador central, incluyendo adicionalmente dicho adaptador primeros medios de registro de palabra de orden para almacenar órdenes utilizadas para controlar el funcionamiento de dichos dispositivos externos y segundos medios de registro de palabra de orden para almacenar órdenes a ser transferidas a dicho ordenador central para controlar operaciones de entrada/salida especificadas.

15

20

25

3ª.- Perfeccionamientos de acuerdo con la reivindicación 1ª, según los cuales dichos medios de control de accesos incluyen una serie de secuencias de microprogra-

5 ma almacenadas en dicho ordenador central y medios que responden a una solicitud particular de servicio de entrada/salida para establecer acceso y descodificar una secuencia particular de microprograma para realizar operaciones de entrada/salida deseadas.

10 4a.- Perfeccionamientos de acuerdo con la reivindicación 3a, según los cuales dicho adaptador incluye adicionalmente un mecanismo de control de interrupción que incluye medios de circuito de retención activables en donde solicitudes de interrupción procedentes de dispositivos externos pueden ser vigiladas periódicamente por dicho ordenador central para determinar qué dispositivo externo va a recibir servicio en un instante particular.

15 5a.- Perfeccionamientos de acuerdo con la reivindicación 3a, según los cuales dicho adaptador incluye registros comunes de entrada de datos y salida de datos que reciben datos a ser transmitidos sobre dicha línea general de entrada/salida e y desde los diversos dispositivos externos conectados a dicho adaptador.

20 6a.- Perfeccionamientos de acuerdo con la reivindicación 3a, según los cuales dicho sistema de datos incluye una pluralidad de dichos adaptadores conectados en paralelo a dicha línea general de entrada/salida en donde cada adaptador tiene al menos un dispositivo externo conectado al mismo.

25

7^a.- Perfeccionamientos de acuerdo con la reivindicación 3^a, según los cuales dicho adaptador incluye medios para iniciar una secuencia de microprograma de interrupción monocíclica en donde un bloque predeterminado de datos puede ser transmitido secuencialmente entre dicho ordenador central y un dispositivo externo particular sin comprobar solicitudes de servicio pendientes entre cada operación de transferencia de lectura; y medios para retornar el control a procedimientos normales de interrupción al completarse la transmisión de dicho bloque de datos.

8^a.- Perfeccionamientos introducidos en un sistema de tratamiento de datos.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de treinta y ocho hojas escritas a máquina por una sola de sus caras.

Madrid, 23 SET. 1975
P.A.

Alberto de Eizaburu
Por Poder

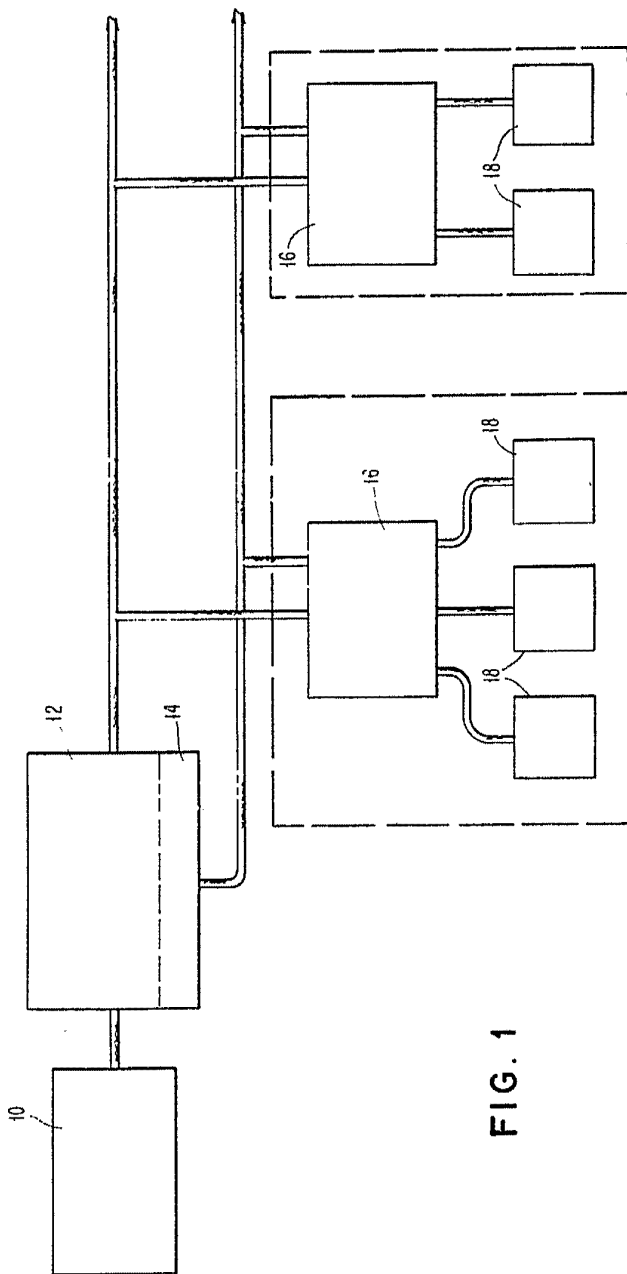


FIG. 1

Authorized representative of
IBM

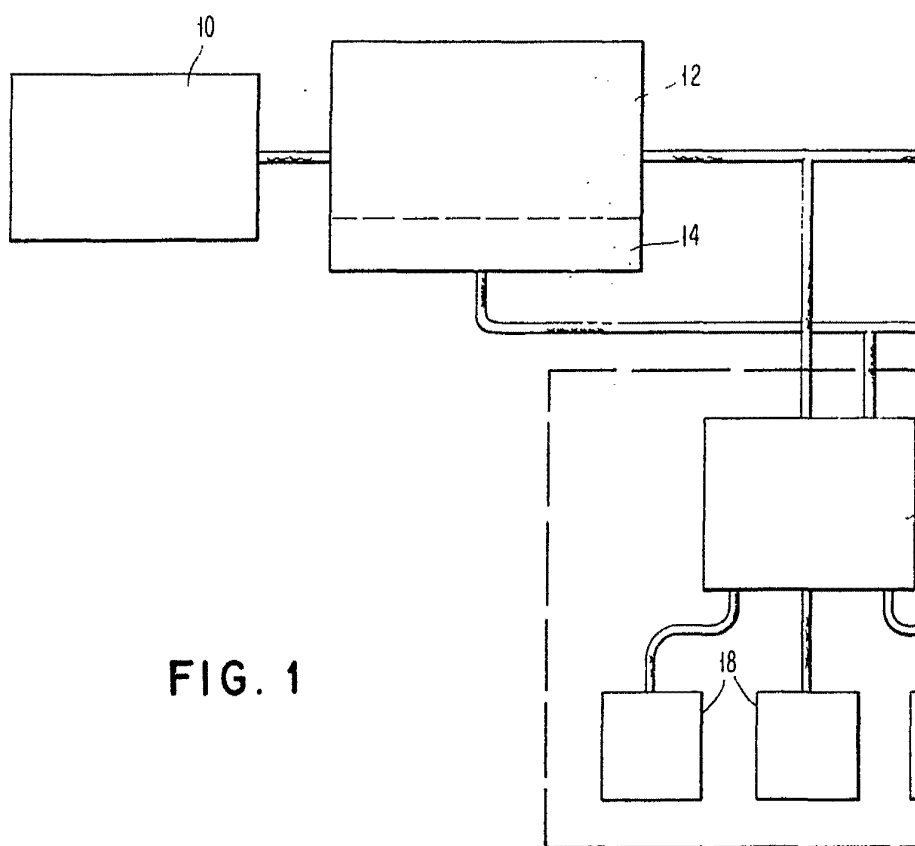
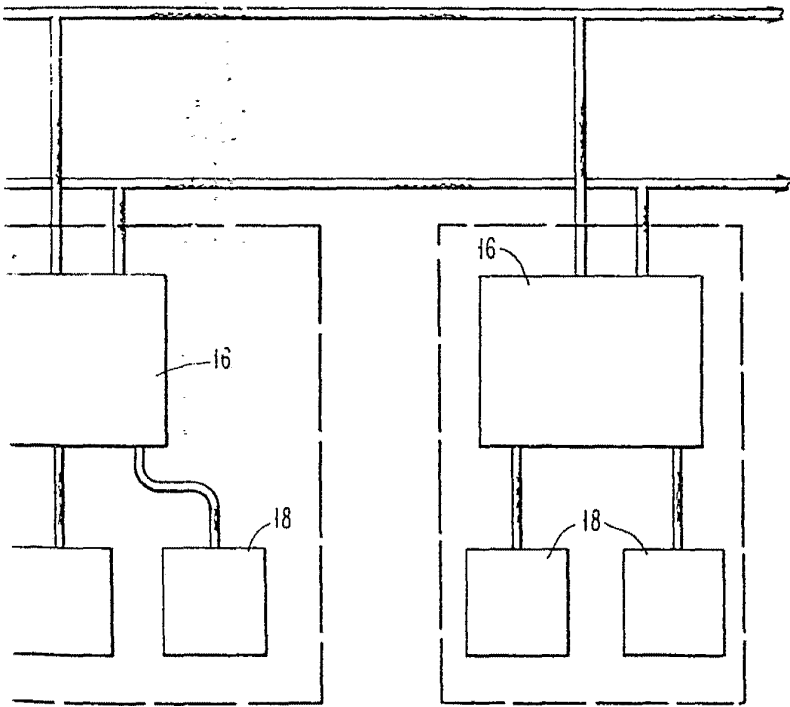


FIG. 1



Albert C. ...
Arch

560612

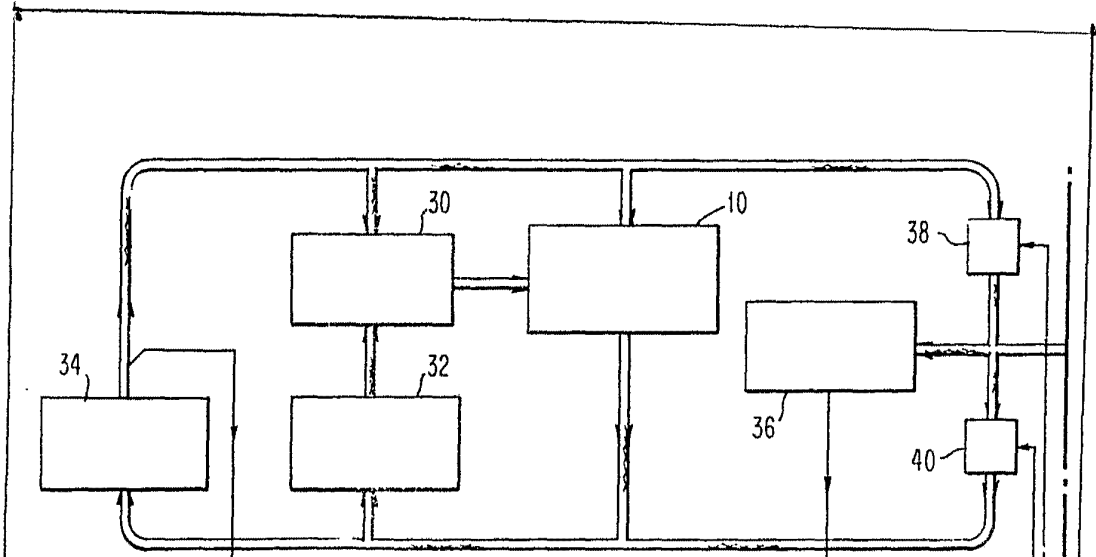


FIG. 2A

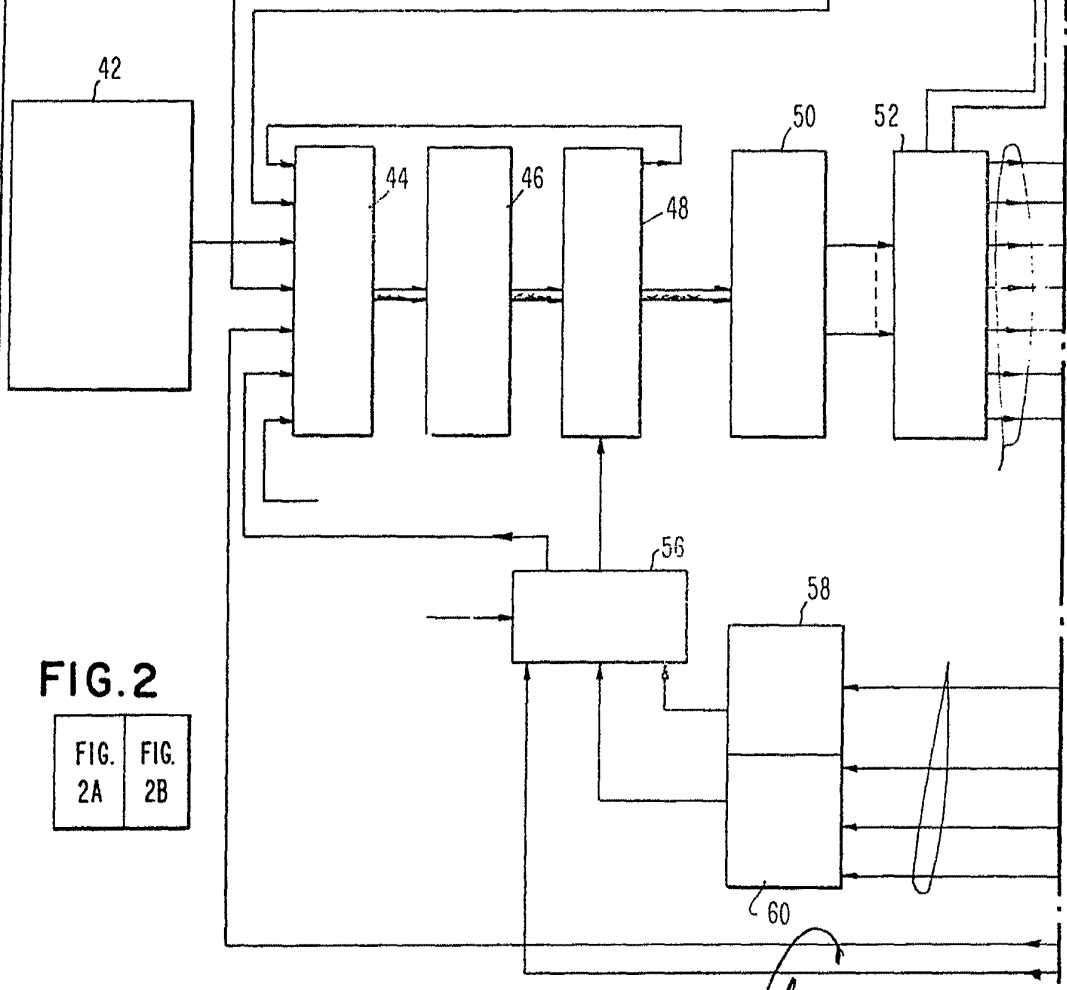
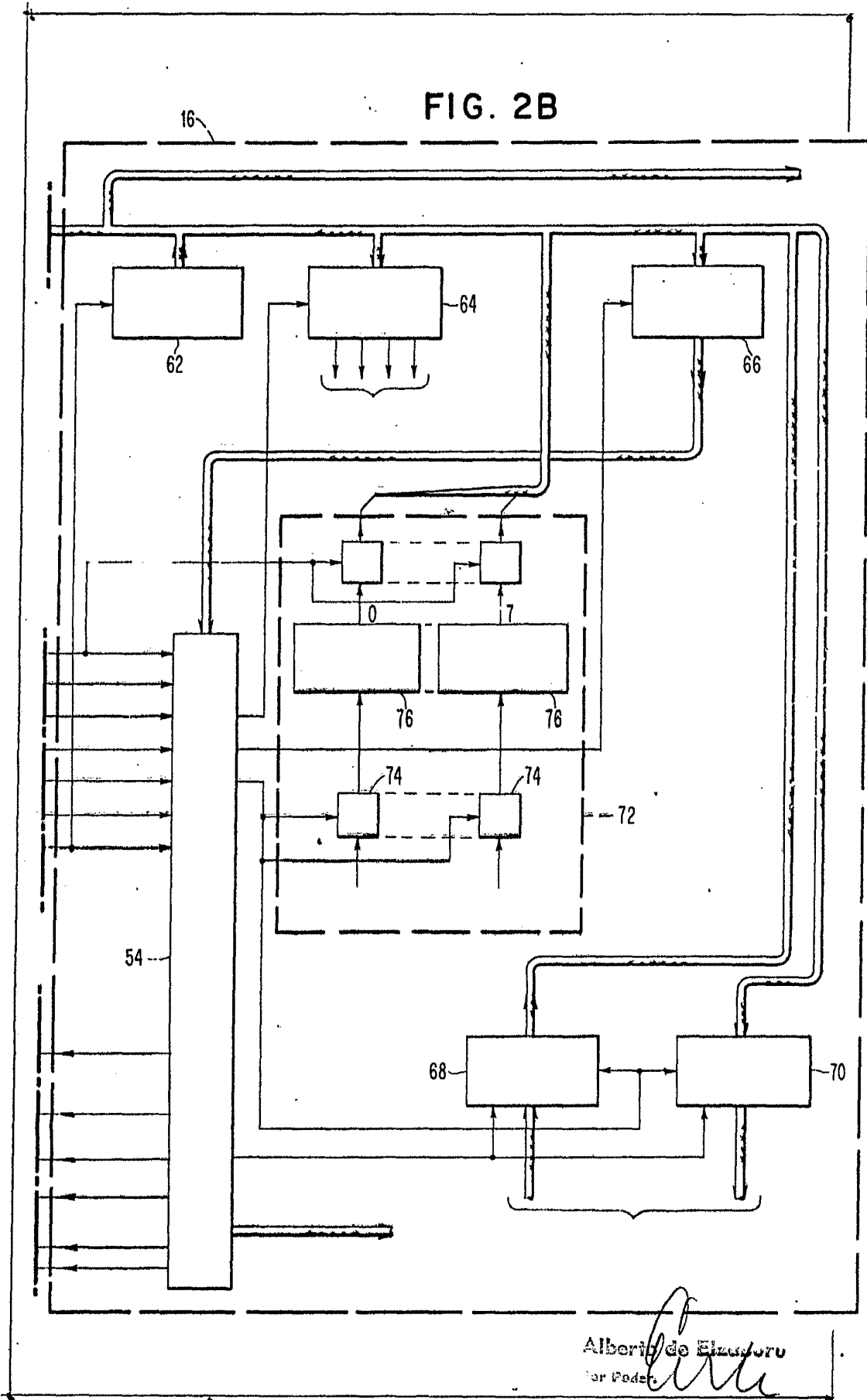


FIG. 2

FIG. 2A	FIG. 2B
------------	------------

Handwritten signature or initials

FIG. 2B



Alberto de Elzuru
Per Fedet