

438666

P.- 60.659

IBM Docket
FI9-73-097

22 AGO. 1975

MEMORIA DESCRIPTIVA

Int. Cl.: H 01 L

para solicitar PATENTE DE INVENCION por 20 años

A nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad norteamericana

establecida en Armonk, N.Y. 10504, Estados Unidos de
América

por: "PERFECCIONAMIENTOS INTRODUCIDOS EN UNA ESTRUCTURA
DE PASTILLA SEMICONDUCTORA DE CIRCUITOS INTEGRA-
DOS EN UN PLANO"

13.8.75

- 1 -

La presente invención se refiere a estructuras monolíticas de circuitos integrados en gran escala, y en particular a estructuras de este género que tienen unas formaciones o disposiciones regulares de células de
5 c circuito lógico. La invención se dirige especialmente a nuevas disposiciones de las formaciones de células en combinación con disposiciones de la metalización de superposición utilizada para proveer de niveles de alimentación de tensión a las células, interconectar células o intra-
10 conectar los dispositivos semiconductores que constituyen la célula de circuito particular.

Con la creciente microminiaturización de los circuitos integrados y la mayor densidad correspondiente de tales circuitos, en los circuitos integrados en gran
15 escala, la disposición del diseño de distribución de metalización utilizada para la intraconexión dentro de las células, la interconexión de células y la distribución de tensiones de alimentación a las células respectivas, se van haciendo cada vez más difíciles. Dentro de la técnica del
20 ramo, se considera muy deseable utilizar el menor número posible de niveles de metalización separados por capas aislantes. También se considera altamente deseable tener los dispositivos y las metalizaciones de circuitos integrados dispuestos o colocados de tal manera que se facilite
25 la automatización del diseño, así como el proyecto o

diseño de circuitos integrados con auxilio de ordenadores o computadoras.

5 Por todo ello, es objeto principal de la presente invención una estructura de circuitos integrados en un plano, adecuada para la integración en gran escala, en la que se reduce al mínimo el número de niveles de metalización requeridos.

10 Otro objeto de la presente invención reside en una estructura de pastilla de circuitos integrados en un plano, que tiene una combinación de disposiciones de implantación de dispositivos y de distribución de metalización, tal que se facilita la colocación del "conexiona-
do fijo" de metalización por automatización de proyecto o por proyecto auxiliado por computadora.

15 Otro objeto más del presente invento reside en una estructura de pastilla de circuitos integrados en un plano, en la cual la combinación de disposiciones de implantación de dispositivos y de metalizaciones es tal que se prevén unos canales abiertos para conexiones entre
20 circuitos y para sistemas de distribución de niveles de tensión o potencial eléctrico en el mismo nivel de metalización en el que se hacen las conexiones básicas de "in-
tracircuito".

25 La presente invención consigue los objetos arriba indicados, por medio de una combinación, nueva en

su género, de disposiciones de implantación de dispositivos y de metalizaciones. En la implantación de dispositivos, los dispositivos están formados por una pluralidad de regiones de distintos tipos de conductividad que se extienden penetrando en la pastilla, para habilitar los transistores y resistencias; estos transistores y resistencias están dispuestos en una pluralidad de células repetitivas. Cada una de las células contiene un número suficiente de transistores y de resistencias para formar un tipo seleccionado de circuito lógico, y las células se hallan dispuestas en una formación ortogonal, con las células en filas esencialmente paralelas en ambas direcciones ortogonales.

En combinación con esta disposición de implantación de dispositivos, hay un nivel de metalización dispuesto encima de la formación de dispositivos y aislado de ésta por lo menos por una capa de material eléctricamente aislante. Este nivel de metalización tiene una disposición de implantación en la cual hay una pluralidad de grupos de líneas esencialmente paralelas, respectivamente dispuestos por encima de, y paralelos a, una pluralidad correspondiente de zonas interfaciales o caras de transición entre filas de dichas células en una de dichas direcciones ortogonales. Cada grupo de líneas va conectado a una pluralidad de células que establecen con

tacto con la cara de transición de debajo del grupo, disponiendo unas interconexiones entre dichas células y unas alimentaciones de niveles de tensión para las mismas. El nivel de metalización incluye además unos diseños de distribución o pautas de líneas respectivamente dispuestas entre grupos de líneas y a cierta distancia de separación de éstos, pautas de líneas que se hallan por encima de dichas células y sirven de conexiones intracelulares.

Con arreglo a otro aspecto concreto adicional de la presente invención, las filas de células pueden estar separadas a cierta distancia entre sí, en dichas caras de transición o zonas interfaciales, disponiendo entre las filas unos canales esencialmente exentos de transistores o de resistencias.

En la forma preferida de realización del presente invento, cada una de las células de una pluralidad de células de cada una de las filas que componen las zonas interfaciales en dicha dirección ortogonal primeramente citada tiene una primera configuración de implantación de célula por uno (primero) de los lados de la célula, y una segunda configuración de implantación o disposición por su lado opuesto. Las filas de células de dicha primera dirección ortogonal están dispuestas alternativamente, de manera que los lados de célula de dicha primera configuración se enfrentan, formando filas que tienen

5 cara de transición o zona interfacial, a lados de célula de dicha primera configuración; y los lados de célula de dicha segunda configuración se enfrentan, formando filas que tienen cara de transición o zona interfacial, a lados de célula de la segunda configuración.

10 Con la disposición descrita, se hace sumamente práctico disponer las filas de células de modo que la mayoría, si no la totalidad, de los nodos de entrada/salida de las células, quedan dispuestos en un solo lado de la célula. Con tal estructura, la mayoría de las conexiones que van a tales células pueden hacerse a los lados que se enfrentan, con los nodos de entrada/salida en filas de células que tienen mutua relación interfacial. Por consiguiente, como resultado de la disposición alternativa de las filas de células, la mayoría de los nodos de entrada/salida de las células respectivas se hallarán dispuestos en zonas interfaciales alternadas de fila. Con tal disposición, el diseño o pauta de distribución de la metalización puede estar correspondientemente dispuesto de manera que la mayoría de las líneas paralelas que proporcionan las interconexiones entre células y las alimentaciones de nivel de tensión para las células pueden estar agrupadas de manera que las líneas estén en su mayoría, también, encima de intersecciones alternadas. Esto, naturalmente, dejará mucho más sitio o espacio en el nivel

15

20

25

de metalización entre tales grupos alternos de líneas. Dicho mayor espacio puede usarse más fácilmente para las conexiones intracelulares necesarias para conectar los transistores y las resistencias formando el tipo elegido de circuito lógico.

5 Este enfoque facilita el uso de un solo nivel de metalización para obtener tanto las necesarias conexiones intercelulares como también para obtener las conexiones intercelulares y la distribución de niveles de tensión o voltaje en una de las direcciones ortogona-
10 les.

En los dibujos adjuntos:

- la figura 1 es una vista esquemática en planta del substrato de semiconductor sin la metalización, simplificada la representación para mostrar la dis-
15 posición de las células de circuito repetitivas, con arreglo a una de las formas de realización del presente invento;

- la figura 2 es una vista en planta, en detalle, de uno de los bloques de células de la estructura de la fig. 1, asimismo sin la metalización, para
20 ilustrar las regiones del substrato que constituyen los transistores y las resistencias del circuito;

- la figura 2A es una vista en planta de una porción de un primer nivel de metalización, dispues-
25

to encima del bloque de la fig. 2, para proporcionar principalmente conexiones intracelulares, así como de una barra colectora de distribución de tensión que corre a lo largo de la zona interfacial de unas células emparejadas del bloque;

5

- la figura 3 es una vista en planta de un par de células del bloque de la fig. 2, e ilustra con detalle aún mayor la disposición de implantación de los transistores y las resistencias en la célula, así como la metalización del primer nivel por encima de la célula;

10

- la figura 3A es una vista esquemática en sección recta tomada por la línea 3A-3A de la fig. 3;

- la figura 4A es la mascarilla que proporciona el primer nivel de metalización para la estructura de pastilla de la fig. 1 (la metalización indicada en la fig. 2A es una ampliación de un sector de la metalización de la fig. 4A);

15

- la figura 4B es una vista en planta de la mascarilla destinada a formar los orificios pasantes que atraviesan una capa aislante, orificios pasantes a través de los cuales se interconectará el primer nivel de metalización formado por el diseño o pauta de la fig. 4A con el segundo nivel de metalización, ilustrado en la figura 4C;

20

25

- la figura 4C es una vista en planta de

la mascarilla para el segundo nivel de metalización;

- la figura 4D es una vista en planta de la mascarilla para la formación de los orificios pasantes que vayan a interconectar el segundo nivel de metalización de la fig. 4C con un diseño de metalización de nivel alto, de la fig. 4E;

- la figura 4E es una vista en planta del diseño o pauta de metalización de nivel alto o superior;

10 - las figuras 5A a 5I son unas vistas esquemáticas en sección recta de una porción de la sección recta de la fig. 3A en diversas etapas de la fabricación, a los fines de ilustrar un método para fabricar una pastilla con arreglo a la presente invención;

15 - la figura 6 es una vista esquemática en planta, similar a la de la fig. 1, de la disposición de una pastilla, e ilustra otra forma de realización del presente invento;

20 - la figura 7A es una vista en planta de una mascarilla para la primera capa de metalización por encima de la pastilla de la fig. 6;

25 - la figura 7B es una vista en planta de una mascarilla para unos orificios o taladros pasantes que conectan la metalización formada por la mascarilla de la fig. 7A con la metalización formada por la mascarilla de la fig. 7C;

- la figura 7C es una vista en planta de una mascarilla para la segunda capa de metalización para la pastilla de la fig. 6;

5 - la figura 8 es una vista en planta ampliada de un grupo de células de circuito de la pastilla de la fig. 6, con el primer nivel de metalización indicado en la misma con líneas de trazo y punto;

 - la figura 8A es una vista esquemática en sección recta tomada por la línea 8A-8A de la fig. 8;

10 - la figura 9 es un esquema eléctrico de principio del tipo elegido de circuito lógico, formado en cada una de las células de la formación de circuitos integrados de la fig. 1; y

 - la figura 10 es un esquema eléctrico de principio del tipo elegido de circuito lógico formado en cada una de las células de la formación de circuitos integrados de la fig. 6.

 A continuación se describirán las formas específicas de realización del presente invento. Como
20 la presente invención reside principalmente en la disposición estructural de un circuito integrado en gran escala, en combinación con su disposición o forma de implantación de metalizaciones, en lugar de en métodos específicos o concretos de fabricación para formar circuitos
25 integrados o diseños de metalización aislados, no se des




cribirán con detalle extensivo los métodos de formar los circuitos integrados ni los diversos niveles de metalización. A menos que se indique expresamente lo contrario, puede suponerse que cualquiera de los métodos usuales fotolitográficos de fabricación, en los que se utilice ya sea la difusión, ya sea la implantación de iones, puede emplearse en la formación de los dispositivos en el circuito integrado, y cualquiera de los métodos normales para formar capas aislantes de metalización, incluida la metalización en capas múltiples, puede utilizarse para formar las disposiciones de metalización. Por ejemplo, la pastilla de circuitos integrados puede fabricarse usando los métodos descritos en una u otra de las patentes de EE.UU. números 3.539.876 ó 3.656.028, entre otras. De igual modo pueden usarse las técnicas expuestas en las patentes de EE.UU. números 3.558.992 y 3.725.743, así como en la 3.539.876, entre otras, para formar los diversos niveles de metalización, las capas aislantes que separan los niveles de metalización y las aberturas u orificios pasantes practicados en las capas aislantes, a través de los cuales se interconectan los diversos niveles de metalización.

Con referencia a la fig. 1, se representa en ella, vista esquemáticamente en planta, la disposición de las células de circuito en una pastilla 10 de circui-

tos integrados en gran escala. Cada una de las células
11 está dispuesta regularmente en una fila de la direc-
ción ortogonal X y en una fila de la dirección ortogonal
Y. Cada célula 11 contiene un número suficiente de tran-
5 sistores y resistencias que, intraconectados por la meta-
lización intracelular que más adelante se va a describir,
formarán un tipo seleccionado de circuito lógico. En la
presente forma de realización, el circuito lógico selec-
cionado, cuyo esquema se representa en la fig. 9, es un
10 circuito T²L fijado por diodos de barrera de Schottky.
El circuito, así como las regiones de transistor y de re-
sistencia que constituyen cada célula, se describirá en
lo que sigue con mayor detalle en relación con las figs.
3 y 9. La fig. 3 es una vista ampliada de detalle en
15 planta, que representa una pareja de células de circuito
que se enfrentan o se tocan con una zona interfacial.

En la disposición o formación regular de
la fig. 1, las células están dispuestas en bloque 12 de
dos células de anchura en la dirección Y y cuatro célu-
20 las de anchura en la dirección X. La disposición o for-
ma de implantación de los dispositivos y las regiones
que constituyen los dispositivos para el bloque tipo de
células 12 se ilustra con detalle en la fig. 2. Así, la
fig. 3 representa una vista aún más detallada de la pare-
25 ja de células del bloque 12 de la fig. 2.

Respecto a las figs. 1 y 2, es de notar que, en la formación regular, cada una de las células 11 no tiene una disposición simétrica; tiene una primera configuración 13 de disposición de implantación en uno de los lados de la célula y una segunda configuración 14 de disposición de implantación en el lado opuesto de la célula. Las filas de la dirección X representada están dispuestas de manera que las configuraciones de disposición 14 se enfrentan entre sí en las zonas o regiones interfaciales 15 de las filas en contacto, y las configuraciones de disposición 13 se enfrentan entre sí a lo largo de unas zonas interfaciales 16 de fila canalizadas en la dirección X.

A los fines de la representación esquemática, la variación en la configuración de disposición de cada célula se indica en la fig. 1 por medio del símbolo  dibujado dentro de varias de las células. Por consiguiente, cada célula tiene una primera configuración de disposición, en un (primer) lado de la célula 13, representada por los dos trazos verticales de  y una segunda configuración de disposición 14, en el lado opuesto de la célula, representada por el trazo único horizontal de . Mediante esta disposición de células, de modo que los lados 13 se enfrenten entre sí y los lados 14 se enfrenten entre sí, se facilita grandemente la metalización para distribuir niveles de tensión, y para la intraconexión de células in

dividuales y la interconexión de grupos de células. Como resultado, puede disponerse un solo nivel de metalización, que en el presente caso es el primer nivel de metalización, de manera que facilite esencialmente todas las líneas horizontales que proporcionan la interconexión entre células en la dirección X, así como que proporcione las alimentaciones de nivel de tensión V_{cc} a las células en la dirección X y, además, quede todavía en el nivel de metalización un espacio suficiente para proporcionar esencialmente todas las intraconexiones de cada célula.


La disposición de este primer nivel de metalización se comprenderá con mayor claridad haciendo referencia a la fig. 4A, que representa la máscara destinada a producir el diseño de metalización de primer nivel. Así, todas las áreas oscuras de la disposición de la fig. 4A representan metalización. La metalización ilustrada en la fig. 4A corresponde a la disposición de la pastilla de la fig. 1A. Así, la disposición de metalización de la fig. 4A debe considerarse superpuesta y puesta en coincidencia con la disposición o formación regular de células de circuito de la fig. 1. Como ayuda a esto, en la fig. 4A se representan con líneas de trazos interrumpido las zonas interfaciales o caras de transición horizontales 15 y 16. La metalización horizontal para obtener la distribución de niveles de tensión, y las

interconexiones entre células, están representadas en la fig. 4A por unas líneas relativamente largas que corren en la dirección X, en tanto que la metalización que proporciona la conexión intracelular está representada en forma de agrupamientos o "racimos". Por ejemplo, el racimo 17 representa la metalización intracelular para una sola célula. Una vista más detallada de la metalización intracelular puede tenerse por referencia a la fig. 2A, que representa la parte del diseño de metalización de primer nivel de la Fig. 4A que va superpuesta al bloque 12 de células de la fig. 2. En la fig. 2A, el diseño de metalización para proporcionar conexiones intracelulares para una sola célula se representa rodeado por un círculo y designado con el número 17.

Considerando de nuevo las figs. 1 y 4A, las líneas horizontales de metalización están dispuestas en juegos o grupos de modo que corren por encima de las zonas interfaciales 15 y 16 entre las filas o células en la dirección horizontal. En el caso de las zonas interfaciales o caras de transición 15, en las que las células contiguas se aplican una a otra, los juegos que corren por encima de la cara de transición comprenden cada uno una sola barra colectora horizontal 18 que se utiliza para la distribución de tensión V_{cc} a las células de filas situadas a lo largo de la cara de transición. Por otra

parte, en las caras de transición o zonas interfaciales 16, donde las células contiguas o enfrentadas están separadas a cierta distancia unas de otras, los canales de conexión en el primer nivel de metalización indicado en la fig. 4A son más anchos, y los juegos 19 pueden tener hasta ocho líneas paralelas que corren en la dirección X por encima de las intersecciones 16. Los juegos 19 se utilizan para proporcionar esencialmente todas las interconexiones entre células en las filas de dirección X.

10

Así, puede verse que, agrupando las líneas que corren horizontalmente por encima de las zonas interfaciales de las filas de células que corren en la dirección X y disponiendo las células de modo que cada fila alterna tenga la orientación  opuesta, de modo que los lados de las células enfrentados entre sí sean simétricos o imagen especular uno de otro, entre juegos de líneas existe un espacio suficiente para dar acomodo a toda la metalización necesaria para la intraconexión celular, por complicada que sea, en el mismo nivel de metalización.

15

20

Es de notar asimismo que la disposición estructural da al proyectista de los circuitos integrados una amplia flexibilidad para formar esta capa de metalización. Debido a esta disposición en imagen especular

25


de las células, las células pueden orientarse de manera que los lados de célula con una mayoría de nodos de entrada/salida se enfrenten sólo a unas caras de transición alternas, en tanto que en las otras caras de transición, los lados de célula que se aplican uno a otro, tengan relativamente pocos nodos de entrada/salida, o incluso ninguno. En la disposición representada en la fig. 4A, por ejemplo, las células están dispuestas de manera que los lados de célula a los cuales se van a hacer la mayoría de las conexiones se enfrentan a la cara de transición 16, en tanto que los lados de célula a los cuales se van a hacer relativamente pocas conexiones de entrada/salida se enfrentan a la cara de transición o zona interfacial 15. Dejando un espacio entre células de circuito en caras de transición 16 alternas, el denso conexionado horizontal 19 puede agruparse por encima de la cara de transición 16 y, por tanto, se puede evitar todo problema de superposición con los "racimos" de metalización 17 que proporcionan el conexionado intracelular. La disposición de metalización descrita puede verse con mayor detalle en la fig. 2A.

Si bien la presente forma de realización se ilustra dotada de dichas zonas interfaciales o caras de transición 16 espaciadas para dar acomodo a densos grupos de conexionado 19, se sobrentiende que otras for-

mas de realización del presente invento no requieren separación alguna entre células; la forma de realización de la fig. 6, que no tiene intersecciones espaciadas o separadas, y en la que todas las células llegan a tocarse entre sí, se describirá con mayor detalle más adelante, en esta Memoria.

Además de habilitarse un espacio suficiente para las conexiones intracelulares en el mismo nivel de metalización con las conexiones intercelulares horizontales, la estructura de la presente invención facilita el proyecto de los diseños de distribución de la metalización por métodos de automatización de proyecto ya conocidos, completamente automatizados, o por técnicas de proyecto con la ayuda de computadoras. Tales técnicas requieren en el nivel de metalización unos canales para conexiones intercelulares y distribución de tensiones, canales que se hallan exentos de otras metalizaciones tales como las de conexiones intracelulares. Además, tales técnicas exigen unos canales de metalización selectivamente ajustables, para así dar acomodo a un número seleccionado de líneas paralelas dentro de cada canal. La presente invención proporciona una estructura de ese género.

Si bien en lo que antecede se han explicado las diversas ventajas de la disposición de células en una determinada dirección ortogonal, pueden obtenerse unas

5 ventajas adicionales similares orientando también las células de la menra descrita en las filas que corren en la otra o segunda dirección ortogonal (la Y). Con referencia a las figs. 1 y 2, cada una de las células de las filas que están en la dirección Y tiene una determinada (primera) configuración de disposición de implantación 20 por uno de los lados de la célula y una configuración de disposición opuesta 21 en el lado opuesto de la célula. Las filas de la dirección Y están dispuestas con las 10 células en orientación alterna, de modo que los lados de célula que tienen la configuración 21 se enfrentan entre sí y los lados de célula que tienen la configuración 20 se enfrentan entre sí en zonas interfaciales o caras de transición de filas alternas. Esto viene ilustrado también por el sentido del signo  de la fig. 1.

15 Como se ve por la fig. 1, las filas están dispuestas en la dirección Y de modo que cada cinco zonas interfaciales las filas verticales o de X quedan separadas entre sí por un canal 22. Si bien la disposición de células de la forma de realización de las figs. 1 y 5 tiene 20 unas filas de células que llegan a tocarse, las células podrían estar dispuestas de modo que todas y cada una de las zonas interfaciales de ambas direcciones X e Y fuese un canal separado; en una célula como esa, cada uno de 25 los bloques 21 contendrían un número de resistencias y

transistores suficiente para constituir un circuito de un tipo seleccionado.

5 Asimismo, con respecto a la forma de realización de la fig. 1, que tiene un primer nivel de metalización según lo representado en la fig. 4A, la estructura tiene un segundo nivel de metalización que tiene un diseño de distribución correspondiente a la mascarilla de metalización de segundo nivel representada en la fig. 4C; las áreas oscuras representan las líneas de metalización. El diseño de metalización de segundo nivel está selectivamente conectado al diseño de metalización de primer nivel de la fig. 4A, por medio de una pluralidad de orificios o taladros pasantes indicados en la mascarilla de la fig. 4B.

10 A este punto, es de notar que las capas de metalización, así como las capas aislantes que separan dichas capas de metalización y los orificios pasantes que atraviesan las capas separadoras aislantes están formados con arreglo a la tecnología usual de metalización en varios niveles, descrita en las patentes de EE.UU. n^{os}. 3.558.992, 3.725.743 ó 3.539.876. Las capas aislantes pueden estar hechas de cualquiera de los materiales que suelen usarse para capas aislantes, tales como el dióxido de silicio o el nitruro de silicio; y la metalización puede ser de un tipo cualquiera de metalización usual en

película delgada, de los empleados en circuitos integrados, tal como de aluminio, cromo, paladio o aluminio impurificado con cobre.

5 Asimismo, respecto a la metalización de
segundo nivel de la figura 4C, las barras colectoras 23
de distribución de tensión V_{cc} salvan las zonas interfa-
ciales separadas 22. Además, la metalización que corre
entre barras colectoras 23 incluye unas barras colectoras
24 para la distribución vertical de la alimentación de
10 nivel de tensión V_{bb} y unas barras colectoras 25 para la
distribución vertical de la alimentación de tensión V_{ee} .
Además, el diseño de distribución incluye una pluralidad
de líneas paralelas de interconexión 26 que corren en la
dirección Y para proporcionar la interconexión entre fi-
15 las de células de circuito en la dirección Y. Además de
realizar las interconexiones en la dirección Y, las li-
neas 26 desempeñan la función adicional de habilitar unos
cruces sobre una o más líneas de un juego dado 19 del
primer nivel de metalización, representado en la fig. 4A.
20 Por ejemplo, con referencia a las figs. 4A y 4C, si la
célula 27 hubiera de conectarse a la línea 28 del juego
19', tendrían que cruzarse las líneas 29 y 30. En tal
caso, el segundo nivel de metalización que corre en la
dirección Y habría de utilizarse para establecer conexión
25 desde el circuito 27 a la línea 28 con el fin de cruzar

las líneas 29 y 30. Esto se conseguiría simplemente llevando un orificio pasante desde el nodo apropiado de la metalización del circuito 27, a través de la capa intermedia aislante, hasta una línea que vaya en la dirección Y en la fig. 4C: por ejemplo, el segmento 31 (fig. 4C), que
5 cruzaría las líneas 29 y 30 terminando en un orificio pasante que se extiende en retroceso a través de la capa aislante hasta la línea 28 del primer nivel de metalización.

10 Antes de entrar en detalles respecto al sistema de distribución de tensiones en que intervienen los niveles primero y segundo de metalización, así como el nivel de metalización terminal de tensión indicado en la fig. 4E, se darán ahora algunos detalles adicionales
15 respecto a la disposición de implantación de transistores y resistencias en las células básicas 11 de la fig. 1A, así como de la fabricación de tales estructuras. Con referencia a la fig. 3, que es una vista de detalle de una pareja de células que comparten unas resistencias co
20 munes, cada una de las células comprende dos transistores, T1 y T2, y tres resistencias, R1, R2 y R3. Las resistencias R1, R2 y R3 son, respectivamente, las mitades inferiores de una regiones de resistencia comunes compartidas
25 con la otra célula de la pareja, que están designadas por R'1, R'2 y R'3. El transistor T1 es un transistor de cua

tro emisores, sirviendo como emisores las cuatro regiones N^+ designadas con los números 33, 34, 35 y 36. El transistor T1 incluye además un par de regiones de base 37 y 38, de conductividad del tipo P, cortocircuitadas entre sí por la metalización 81 para dar una base común para el transistor T1. Además, los transistores tienen una región común de colector 40, de tipo N, formada toda ella sobre un subcolector 41 de tipo N^+ .

El transistor T2 comprende una región de base 42 de tipo P, una región de colector 43 de tipo N, una región de emisor 44 de tipo N^+ , formadas todas sobre una región de subcolector 45 de tipo N^+ .

La metalización indicada, así como las aberturas de contacto con esta metalización, se describirán con mayor detalle más adelante, en esta Memoria.

En la fig. 3A se representa una sección recta de la estructura, tomada por la línea 3A-3A de la fig. 3. Con referencia ahora a las figuras 5A a 5I se describirá en lo que sigue el método para fabricar la estructura ilustrada en la fig. 3A. Para mayor sencillez, en las figs. 5A a 5I, que ilustran el procedimiento de fabricación, sólo se representa la mitad izquierda de la estructura de la fig. 3A. Al describir las técnicas de fabricación utilizadas, se darán sólo breves detalles de los mismos, pues dichos métodos son usuales. Para una

descripción más detallada de una etapa cualquiera en particular, se hará referencia a la patente de EE.UU. nº. 3.539.876 ó a la nº. 3.656.028.

5 Con referencia a la fig. 5A, en una "oblea"
adecuada 50 de material de tipo P⁻, esto es, un substrato
de silicio de una resistividad de 10 ohm·cm, se forma una
región 51 de tipo N⁺ que funcionará como subcolector, usando
10 métodos habituales de protección o enmascaramiento fotolitográfico y difusión o implantación de iones con una impureza, tal como el fósforo, según lo descrito en la patente de EE.UU. número 3.539.876. La región de tipo N⁺ tiene una C₀ de unos 10²¹ átomos/cm³. A continuación, por métodos similares, se forma una región 52 de tipo P⁺ (fig. 5B), que va a servir como parte de la región de separación o aislamiento. La impureza determinante de conductividad de la región 12 es, de preferencia, boro de una C₀ de 5 x 10¹⁹ átomos/cm³.

15 Con referencia a la fig. 5C, en el substrato 50 se forma luego una capa epitaxial 53 de tipo N que
20 tiene una máxima concentración de impureza, o nivel máximo de activación de 10¹⁸ átomos/cm³. Esta capa se obtiene por métodos usuales de formación de depósito epitaxial a una temperatura del orden de 950°C a 1150°C, durante un período de aproximadamente diecisiete minutos. Durante
25 la formación de depósito de la capa epitaxial 53, las re-

giones 51 y 52 se difunden parcialmente en la capa epitaxial. La capa epitaxial tiene un espesor aproximado de dos micras. La capa puede formarse empleando el aparato y el método descritos en la patente de EE.UU. número 3.424.629. A continuación (figura 5D), volviendo a utilizar los mismos métodos empleados para obtener las regiones 52, se forman en la superficie de la capa epitaxial 53 unas regiones 54 de tipo P^+ que tienen iguales elementos constitutivos y concentraciones que las regiones 52. Durante la formación de las regiones 54, las regiones 52 salen por difusión entrando en contacto con las regiones 54, de tal modo que las regiones 52 y 54 son continuas, dando una región de aislamiento o separación de tipo P^+ que se extiende a partir de la superficie de la capa epitaxial 53, y bajan hasta el sustrato 50.

A continuación (fig. 5E), volviendo a usar métodos habituales fotolitográficos de fabricación, se forman simultáneamente unas regiones 55 y 56 de tipo N^+ , usando como impurificante o activador el fósforo con una C_0 de 10^{21} átomos por centímetro cúbico. La región 55 proporciona el contacto de alcance pasante desde la superficie de la capa epitaxial 53 al subcolector 51, en tanto que la región 56 proporcionará las resistencias: por ejemplo, la R2. A continuación (fig. 5F), volviendo a usar los métodos fotolitográficos habituales de protec-

ción y fabricación descritos en la patente de EE.UU. número 3.539.876, por ejemplo, se forma la región de base 57 de tipo P, con boro como impurificante o activador. La región 57 tiene una C_0 de 5×10^{19} átomos/cm³.

5 Llegamos a esta etapa (fig. 5G), sobre la capa epitaxial 53 se forma una estructura compuesta de pasivación y protección de tres capas. La estructura comprende una capa inferior 58 de dióxido de silicio, formada por técnicas usuales de oxidación térmica y con un espesor de 1500 Å, una capa intermedia 59 de nitruro de silicio formada por técnicas usuales de depósito químico en forma de vapores y de un espesor de 8000 Å, y una capa superior 60 de dióxido de silicio, depositada por métodos normales de depósito químico en forma de vapores y de un espesor comprendido entre 500 Å y 1000 Å.

10 A continuación (fig. 5H), se practican unas aberturas, sólo en la capa 60, que coincidan con todas las aberturas de contacto que se vayan a hacer a través del compuesto de pasivación hasta las diversas regiones de la capa epitaxial 53. Estas aberturas incluyen el contacto 61 de emisor, el contacto 62 de base, el contacto 63 de colector y los contactos de resistencia 64 y 65. Las aberturas que atraviesan la capa 60 de dióxido de silicio se practican por técnicas fotolitográficas usuales de protección y ataque químico, con un mordiente usual para ata

que químico del dióxido de silicio, tal como el ácido fluorhídrico. Al practicar estas aberturas por ataque químico, la capa 59 de nitruro de silicio, que es relativamente resistente al ácido fluorhídrico, no es atacada y actúa como capa de bloqueo.

5

A continuación, usando métodos apropiados fotolitográficos de ataque químico y protección, se practican unas aberturas 61, 63, 64 y 65 de tal modo que se extienden a través de las capas 58 y 59 hasta la superficie de la capa epitaxial 53 como se ilustra en la fig. 5I. Sólo la abertura 62 del contacto de base permanece bloqueada por las capas 58 y 59. La ejecución de estas aberturas por ataque químico se efectúa utilizando primero un agente de ataque o "mordiente" adecuado para la capa 59 de nitruro de silicio, tal como el ácido fosfórico caliente, hasta dejar al descubierto la capa 58 en las aberturas, después de lo cual se practican las aberturas por ataque a través de la capa 58 usando igualmente un mordiente habitual para el dióxido de silicio, tal como el ácido fluorhídrico. Acto seguido, empleando métodos usuales de difusión, se forman la región de emisor 35 de tipo N^+ , la región de contacto 67 de colector de tipo N^+ y las regiones 68 y 69 de contacto de resistencia, de tipo N^+ , mediante la introducción de una impureza, tal como el arsénico, respectivamente por las aber-

10

15

20

25

5 turas 61, 63, 64 y 65. Estas regiones de tipo N^+ , que se forman simultáneamente, tienen una C_0 de 10^{21} átomos/cm³. Después de la introducción de estas regiones de tipo N^+ , se practica la abertura 62 de contacto de base, a través de las capas 58 y 59, de modo que se extienda hasta llegar al contacto con la región de base 57. En este punto, todas las aberturas de contacto con el substrato están abiertas.

10 A continuación, se aplica al primer nivel de metalización sobre la estructura de la fig. 5I y se forma el diseño de metalización de primer nivel, indicado en la fig. 4A, sobre la estructura entera y por métodos usuales fotolitográficos de ataque químico, tales como los descritos en la patente de EE.UU. núm. 3.539.876.

15 Para la estructura de la fig. 5I, con este primer nivel de metalización, ha de hacerse referencia de nuevo a la fig. 3A, que ilustra el diseño de distribución de metalización 70 depositado en las diversas aberturas de contacto. El diseño de metalización 70 puede estar hecho, convenientemente, de aluminio o de aluminio impurificado o

20 activado con cobre: esto es, una aleación de aluminio que contenga menos del 5% de cobre. Sobre el primer nivel de metalización 70 se deposita una capa de material aislante 71. La capa 71 puede ser, convenientemente,

25 dióxido de silicio depositado químicamente en forma de

vapores. Para hacer las conexiones apropiadas desde la primera capa de metalización 70 hasta el segundo nivel de metalización, indicado en la fig. 4C, pueden practicarse unos orificios pasantes a través de la capa aislante 71, utilizando para ello cualquiera de las técnicas usuales anteriormente descritas.

Las células básicas unidad representadas en sección recta en la fig. 3A, y vistas en planta con el primer nivel de metalización aplicado en la fig. 3, tienen una estructura de circuito como la indicada en la fig. 9. El circuito de la fig. 9 es un circuito m^2L con un transistor T1 de varios (cuatro) emisores, acoplado a un transistor T2 de un solo emisor. En cada uno de los transistores, las bases van respectivamente fijadas al potencial del colector por unos diodos D1 y D2 de barrera de Schottky. Las resistencias R1, R2 y R3 corresponden a las resistencias designadas de igual modo en el circuito de la fig. 3. Los terminales de entrada 72, 73, 74 y 75 a los emisores del transistor T1 están representados por los segmentos de metalización 72, 73, 74 y 75 de la fig. 3. El diodo D1 está formado por una "almohadilla" o área de metalización 76 que, por medio de una abertura de contacto 77, pone en cortocircuito la prolongación 38' de la región de base de tipo P, que es continua con la región de base 38 de tipo P, con la región de colector 40.

El diodo D1 va conectado a la resistencia R1 por un segmento de metalización 79, a través de la abertura de contacto 80. El segmento de metalización 81 pone en cortocircuito la región de base, de tipo P, del transistor T1 conjuntamente en todos los puntos, por medio de contactos 82, 83, 62 y 84, con los diversos sectores de la región de base de tipo P. El segmento de metalización 85 pone en cortocircuito la región de colector del transistor T1 conjuntamente de igual manera. El segmento de metalización 85 es continuo con el segmento 86, el cual está conectado a la resistencia R2 por medio del contacto 64. La región de base 42 del transistor T2 va conectada al transistor T1 por medio de un segmento de metalización 87 a través del contacto de base 88, el cual pone en cortocircuito la unión de base-colector, produciendo el diodo D2. El colector del transistor T2 va conectado a la resistencia R3 por medio de un segmento de metalización 89 que establece comunicación con el colector de T2 por medio de una abertura 90 de contacto con colector, y con la resistencia R3 por medio de una abertura de contacto 91. La salida del circuito se toma también del segmento de metalización 89. Con respecto a las alimentaciones de tensión que van a la célula, la alimentación V_{cc} que va a las resistencias R1, R2 y R3 viene proporcionada por la barra colectora 18 que hay en el primer nivel de meta

lización, que comunica con R1, R2 y R3, respectivamente, por medio de unos contactos 91, 65 y 92. La tensión de alimentación V_{bb} que va al transistor T2 viene proporcionada por el segmento de metalización 93 que comunica con el transistor T2 por medio de las aberturas 94 y 95 de contacto de emisor.

Como se observará por la fig. 3, la otra o segunda célula de la pareja es la simétrica del circuito de célula recién descrito en relación con la zona interfacial 15 por encima de la cual se halla la barra colectora 18 de V_{cc} . A los fines de orientación, los transistores y resistencias de la célula simétrica (la imagen especular) se han designado con las referencias R'1, R'2, R'3, T'1 y T'2. Es de notar que las porciones efectivas de las resistencias (por ejemplo, la región 56 de tipo N^+) son continuas entre las resistencias R y las R', y la toma central de la resistencia, proporcionada desde la barra colectora 18 de V_{cc} por medio de un contacto central como, por ejemplo, el contacto 65, sirve para dividir las resistencias en las dos mitades R y R'.

A continuación se describirá el sistema de distribución de tensiones por toda la pastilla, respecto a las figs. 4A, 4C, y 4B, que son, respectivamente, el primer nivel de metalización, el segundo nivel de metalización y los orificios pasantes que unen los niveles de metaliza-

ción primero y segundo, más la fig. 4E, que es el nivel de metalización superior o de distribución de tensiones, y la fig. 4D que es el diseño o configuración de distribución de orificios pasantes que enlaza con el nivel superior de metalización a partir del segundo nivel de metalización. Con respecto a la fig. 4E, que representa el nivel superior de metalización, hay cinco barras colectoras metálicas: las barras colectoras 101 y 102 que se utilizan para la distribución de V_{cc} y van conectadas a través de una capa de material aislante (no representada), por encima del nivel superior de metalización, a un par de "almohadillas" o áreas de aplicación de terminales de V_{cc} de la pastilla, representadas con líneas de trazo y punto y que están sobre la superficie de la capa aislante de cobertura; las barras colectoras 103 y 104 para la distribución de niveles de tensión de V_{bb} (menos 1,5 voltios), que igualmente van unidas a unas "almohadillas" o áreas de aplicación de terminales, representadas con líneas de trazo y punto y que están sobre la superficie de la capa aislante de cobertura; y la barra colectora 105 de V_{ee} (menos 4,5 voltios), que igualmente va unida a un par de áreas de aplicación de terminales representadas con línea de trazo y punto, que van en la capa de cobertura de material aislante. Además, la capa de cobertura de material aislante contiene una formación circular interna de

5 áreas o "almohadillas" adicionales de aplicación de terminales, situadas en posición central y representadas con líneas de trazo y punto, que sirven para las diversas interconexiones de entrada y salida de una pastilla cualquiera particular con respecto a otras pastillas de circuitos integrados.

10 Para que la disposición de barras colectoras de distribución de tensiones, representada en la fig. 4E, comunique con el segundo nivel de metalización, indicado en la fig. 4C, unos orificios pasantes dispuestos de diversas maneras, indicados en la disposición de orificios pasantes de la fig. 4D, conectan las barras colectoras de la fig. 4E a unas barras colectoras que corren en la dirección Y en el segundo nivel de metalización, representado en la fig. 4C. En la fig. 4D, los orificios pasantes designados con V_{cc} establecen comunicación respectivamente entre las barras colectoras 101 y 102 de la capa superior de metalización y las barras colectoras 23 de V_{cc} del segundo nivel de metalización. Las barras colectoras 20 103 y 104 de V_{bb} , del nivel superior de metalización, comunican a través de unos orificios pasantes, algunos de los cuales se han designado con V_{bb} en la fig. 4D, con unas barras colectoras 24 que corren en la dirección Y, en el segundo nivel de metalización, para la distribución de la alimentación de tensión V_{bb} . Finalmente, la barra 25

colectora 105 de V_{ee} que hay en el nivel superior de metalización comunica por medio de los orificios pasantes, designados con V_{ee} en la fig. 4D, con las barras colectoras 25 de V_{ee} que hay en el segundo nivel de metalización. Como se ha hecho notar anteriormente, la V_{cc} representa la alimentación de tensión de colector en las células de circuito anteriormente descritas y la V_{bb} representa la alimentación de emisor. En un número limitado de células que desempeñan una función excitadora fuera de la pastilla, se usa la alimentación de V_{ee} en lugar de la alimentación de V_{bb} como alimentación de emisor.

Las barras 23 colectoras de tensión V_{cc} de la fig. 4C están conectadas a las barras colectoras 18 de V_{cc} que corren en la dirección X, en el primer nivel de metalización, por medio de una pluralidad de orificios pasantes desde la disposición de orificios o taladros pasantes representada en la fig. 4B. Por mejor conveniencia de la ilustración, en la fig. 4B se designan sólo unos pocos de los orificios pasantes de V_{cc} . De igual modo, las barras, colectoras 24 de V_{bb} orientadas en la dirección Y en el segundo nivel de metalización (fig. 4C) van unidas al primer nivel de metalización por medio de una pluralidad de orificios pasantes emparejados, a través de la capa intermedia de material aislante. Algunos de estos orificios pasantes de V_{bb} están indicados en la

fig. 4B. Estos orificios pasantes establecen contacto cada uno con un segmento de metalización 93 de intracir-
cuito o intraconexión, para proporcionar la alimentación
de V_{bb} al emisor de los transistores T2 de cada una de
5 las células de circuito. Los segmentos de metalización
93 pueden observarse más fácilmente con referencia a las
figs. 2A y 3. Además, los orificios pasantes de V_{bb} coin-
ciden también con unas parejas de "almohadillas" o áreas
106 de aplicación de terminales en una región no intra-
10 circuital del primer nivel de metalización de la fig. 4A.

La alimentación de V_{ee} va conectada desde
las barras colectoras 25 del segundo nivel de metaliza-
ción, a través de la capa intermedia aislante, por medio
de unos orificios pasantes, alguno de los cuales han si-
15 do designados con V_{ee} en la fig. 4B. Estos orificios pa-
santes están unidos a los nodos 107 de alimentación de
 V_{ee} del diseño de primer nivel de metalización de la fig.
4A.

En las figs. 6 a 9 y 10 se ilustra otra
20 forma de realización del presente invento, de manera se-
mejante a la ilustración de la primera forma de ejecu-
ción. Con referencia a la fig. 6, la vista esquemática
en planta de la segunda forma de realización es similar
a la de la figura 1, para la primera forma de realización.
25 Una pastilla 110 de circuitos integrados tiene una forma-

ción o disposición regular de células l11; cada célula está en una fila de la dirección ortogonal X y en una fila de la dirección ortogonal Y. Cada célula l11 contiene un número suficiente de transistores y resistencias que, interconectados por la metalización intracelular, formarán un tipo seleccionado de circuito. En la presente forma de realización, el circuito lógico selectivo, cuyo esquema es el representado en la fig. 10, es un circuito T²L fijado por diodo de barrera de Schottky, similar al de la primera forma de ejecución. La formación de células contiene además una fila de células l12 de excitador, de polarización de tensión, cada una de las cuales desempeña la función de recibir de las alimentaciones de fuera de la pastilla un par de tensiones que tengan una diferencia de 5 voltios y reducir esta diferencia a la caída de tensión operativa entre las células, que es de 1,8 voltios. Estos circuitos de célula excitadora pueden ser de un tipo cualquiera usual que sirva para conseguir este resultado.

Con respecto a las figs. 6 y 8, es de notar que, en la formación, ninguna de las células l11 tiene una disposición simétrica; de igual manera que en la formación de la primera ejecución, cada célula tiene una primera configuración de disposición l13 en uno de los lados de la célula y una segunda configuración de dispo-

sición 114 en el lado opuesto de la célula. Las filas de la dirección X indicada están dispuestas de modo que las configuraciones de disposición 113 se enfrentan entre sí en zonas interfaciales 115 de fila que se tocan, y las configuraciones de disposición 114 se enfrentan entre sí en zonas interfaciales de fila 116 que llegan a tocarse. Es de notar que en la fig. 8, que se describirá con mayor detalle más adelante en esta Memoria, se representa una célula 111 encerrada dentro de líneas de trazo interrumpido, para distinguir las de las líneas de trazo y punto que ilustran una porción de la metalización en la misma figura.

La disposición o implantación del primer nivel de metalización se comprenderá más claramente con referencia a la fig. 7A, que es la mascarilla de protección para producir la metalización de primer nivel. Las áreas oscuras de la disposición de la fig. 7A representan áreas de metalización. La disposición de metalización corresponde a la disposición de células de la fig. 6. Como ayuda para la orientación, algunas de las zonas interfaciales o caras de transición 115 y 116 se indican en la fig. 7A con líneas de trazo y punto. La metalización horizontal que proporciona la distribución de niveles de tensión y las interconexiones entre células está representada por las líneas relativamente largas que corren en la

dirección X, en tanto que la metalización para las conexiones intracelulares se representa en "racimos": por ejemplo, el racimo 117 representa la metalización intracelular para una sola célula. Una vista más detallada de la metalización intracelular, así como de parte de la metalización intracelular, se puede apreciar con referencia a la fig. 8, en la cual se representa una porción de un primer nivel de metalización superpuesta sobre la disposición de células, con líneas de trazo y punto. Aquí, también, la metalización intracelular para una sola célula se representa cercada y designada con el número 117.

Con referencia a la fig. 7A, las líneas horizontales de metalización están también dispuestas en juegos o grupos de manera que van por encima de las zonas interfaciales 115 y 116 en la dirección horizontal. Cada una de las células comprende un par de resistencias, R10 y R11, y un par de transistores, T10 y T11. Las resistencias R10 y R11 constituyen una configuración 113 de disposición lateral de célula y llegan hasta la zona interfacial 115, en tanto que los transistores T10 y T11 constituyen una configuración 114 de disposición lateral de célula y llegan hasta la zona interfacial 116. Una sola barra colectora 118 horizontal, que se utiliza para la distribución de tensiones V_{bb} a las células de las filas que se hallan a lo largo de la zona interfacial 116,

constituye el juego de líneas por encima de la zona interfacial 116. En cambio, en las zonas interfaciales 115, los canales de conexionado del primer nivel de metalización indicado en la fig. 7A son más anchos, y los juegos de líneas horizontales 119, que tienen hasta diez líneas que corren cada uno por encima de las resistencias R10 y R11, se utilizan para proporcionar esencialmente la totalidad de las interconexiones entre células en las filas de la dirección X, así como una barra colectora 120 para la distribución de alimentaciones de tensión V_{cc} a las células. Así, en la disposición de primer nivel de metalización de la fig. 7A, las líneas que corren en la dirección X, en los juegos 118 y 119, proporcionan todas las conexiones intracelulares de la dirección X, así como ambas alimentaciones de tensión V_{cc} y V_{bb} , las dos únicas alimentaciones de tensión que cada una de las células necesita para funcionar.

De manera análoga a la primera forma de realización del presente invento, la segunda forma de ejecución que se está describiendo con respecto a las figs. 6 y 7A tiene las células orientadas en sus filas respectivas en la dirección Y, de modo que cada célula tiene una determinada configuración de disposición por uno de los lados de la célula y una configuración de disposición opuesta por el lado contrario de la célula. De la misma

manera, las filas de la dirección Y están dispuestas con las células en orientación alterna, de modo que los lados de célula que tienen dicha primera configuración de disposición determinada se enfrentan entre sí y los lados de las células que tienen la configuración de disposición opuesta se enfrentan también entre sí, en zonas interfaciales de filas alternas.

Con referencia ahora al segundo nivel de metalización indicado en la mascarilla de la fig. 7C, las áreas oscuras representan las líneas de metalización. El diseño de metalización de segundo nivel va selectivamente conectado al diseño de metalización de primer nivel, indicado en la fig. 7A, a través de una pluralidad de orificios o taladros pasantes, representados en la protección o mascarilla de la fig. 7B. En el segundo nivel de metalización de la fig. 7C, la barra colectora 121 de distribución de tensión (5 voltios) proporciona una de las entradas a las células 112 de circuito excitador de polarización de tensión (fig. 6), en tanto que las barras colectoras 122 (de 0 voltios) proporcionan la otra entrada a estas células de polarización. Por otra parte, la barra colectora 123 recibe la salida de 0,8 voltios que viene de las células 112 excitadoras de polarización, y actúan dando una distribución uniforme de esta salida de 0,8 voltios a todas las células operativas 111, de la ma

nera que se describirá con mayor detalle más adelante, en esta Memoria. La barra colectora 124 está conectada a la salida de 2,6 voltios de las células 112 excitadoras de polarización, y funciona en la distribución de esta salida de 2,6 voltios, de la manera que se describirá a continuación. Además, el segundo nivel de metalización (fig. 7C) incluye una pluralidad de líneas paralelas 125 de interconexión, que van en la dirección Y, para proporcionar la interconexión entre filas de células de circuito en la dirección Y. Además, las líneas 125 desempeñan la función, anteriormente descrita respecto al diseño de metalización de segundo nivel de la fig. 4C, de proporcionar cruces por encima de una o más líneas en un juego dado 119 del diseño de metalización de primer nivel, indicado en la fig. 7A.

Con referencia a las figs. 8 y 8A, se describirá ahora la disposición estructural de las células. Como antes se ha indicado, cada una de las células comprende un par de transistores T10 y T11 y un par de resistencias, R10 y R11. Las células se tocan entre sí por las zonas interfaciales o caras de transición con las resistencias R10 que comprenden una región 130 de conductividad de tipo P que, en efecto, tiene continuidad con una región similar 130' de la resistencia R'10 de la célula de circuito a la que se aplica a lo largo de la zona in-

terfacial 115. El transistor T10 es un transistor de tres emisores, con unas regiones 131, 132 y 133 de tipo N^+ que sirven de emisores. El transistor T10 incluye además una región de base 134, una región de colector 135 y una región 136 de subcolector, de tipo N^+ . La estructura está rodeada por un aislamiento 137 de tipo P^+ .

El transistor T11 comprende una región de base 138, de conductividad de tipo P, una región de colector 139 de tipo N, una región de emisor 140 de tipo N^+ , todas ellas formadas encima de una región de subcolector 141 de tipo N^+ . La resistencia R10, además de la región 130 de tipo P que desempeña la función de resistencia propiamente dicha, comprende una región 142 de tipo N^+ . Con la resistencia R10 se hace contacto por medio de una primera abertura 143 que atraviesa la capa de material aislante que separa la superficie de pastilla del primer nivel de metalización; la otra abertura de contacto 144 va conectada a la barra colectora 120 de V_{cc} del primer nivel de metalización. De igual modo, la resistencia R11 comprende una región 145 de tipo P formada encima de una región 146 de tipo N^+ con una abertura de contacto 147. El contacto 144 es común a la resistencia R11 y sirve de otro o segundo contacto.

Las etapas de la formación de la estructura de esta segunda forma de realización del presente in-

vento, ilustrada en las figs. 8 y 8A, no se describirán por ser ya conocidas en la técnica del ramo. De hecho, la estructura vertical es casi la misma descrita en la patente de EE.UU. número 3.539.876 y, por consiguiente, las técnicas de dicha patente son muy adecuados para la fabricación de la estructura de esta forma de ejecución. Las células unitarias básicas aquí descritas con detalle tienen, cada una de ellas, una estructura de circuito como la indicada en el esquema de la fig. 10. Los circuitos, que son unos circuitos T²L con un transistor T10 de varios (tres) emisores, acoplado a un transistor T11 de un solo emisor, son de funcionamiento muy semejante al de los circuitos de la primera forma de realización del presente invento, ilustrados en la fig. 9. La base 134 del transistor T10 está fijada al colector 135 por un diodo D10 de barrera de Schottky. Las resistencias R10 y R11 se corresponden con las resistencias designadas de igual modo en las estructuras de las figs. 8 y 8A. Los terminales de entrada 150, 151 y 152 de la fig. 10 están representados por unos segmentos de metalización designados de manera análoga en la fig. 8. El diodo D10 está formado por el segmento de metalización 153 de la fig. 8, el cual, a través de la abertura de contacto 154, pone en cortocircuito la región de base 134 de tipo P con la región de colector 135 del transistor T10. El diodo D10 va

conectado a la resistencia R10 por medio del segmento de metalización 153, que va hasta la abertura de contacto 143. Como antes se ha dicho, la alimentación de V_{cc} va acoplada desde la barra colectora 120 a las resistencias R10 y R11 y al contacto 144. Asimismo, en relación con las figs. 8 y 10, la alimentación de V_{bb} que va al emisor 140 del transistor T11 está conectada desde la barra colectora 118 por medio de un interconector metálico 155 y, a través de la abertura de contacto 156, al emisor 140. La salida de la célula se toma del elemento conector 157.

Como se ha dicho anteriormente en relación con la fig. 8, la otra célula de la pareja es simétrica o imagen especular del circuito de célula recién descrito, respecto a la zona interfacial o cara de transición 115 por encima de la cual se encuentra la barra colectora 120 de V_{cc} . A los fines de la orientación, los transistores y las resistencias de la otra o segunda célula (imagen especular de la primera) de la pareja se han designado con T'10, T'11, R'10 y R'11. Es de notar que las porciones efectivas de las resistencias (por ejemplo, las regiones 130 y 130' de tipo P) son continuas entre las resistencias R y R', respecto a la tensión proporcionada desde la barra colectora 120 de V_{cc} por medio de un tercer contacto (por ejemplo, el contacto 144) que sirve pa-

ra separar o dividir las resistencias en las mitades que son R y R'.

5 Ahora se describirá la distribución de ten
siones por toda la pastilla, en relación con las figs. 7A,
7B y 7C y con la fig. 8, si es necesario para algún deta-
lle adicional. Con referencia ahora a la fig. 7C, la es-
10 tructura comprende una pluralidad de "almohadillas" o
áreas de aplicación periféricas, representadas en forma
de cuadrados o cuadrados parciales repartidos en torno a
la periferia, en comunicación con una pluralidad de áreas
circulares de aplicación de terminal, representadas con
líneas de trazo y punto, dispuestas sobre una capa de ma-
terial aislante (no representada) y puestas en comunica-
15 ción, a través de la capa de material aislante, con las
áreas o "almohadillas" del segundo nivel de metalización.

Desde fuera de la pastilla se aplica un
nivel de tensión de 5 voltios a las barras colectoras 121,
por medio de las áreas 160 de aplicación de terminal;
asimismo, se aplica un nivel de tensión o potencial de
20 masa (de cero voltios) a la barra colectora 122, por me-
dio del área de aplicación 161. Las barras colectoras
121 y 122 van conectadas a las células excitadoras de po-
larización 112, a las que sirven de entrada, como sigue;
Las barras colectoras 121 están conectadas por medio de unos
25 orificios pasantes 162 (fig. 7B), a través de la capa de

material aislante que separa las dos capas de metalización, a unos segmentos de metalización 163 que hay en las partes metálicas intracelulares de excitación de polarización representadas en la fig. 7A. De igual modo, la barra colectora 122 del segundo nivel de metalización va conectada, por medio de unos orificios pasantes 164, a unos segmentos metálicos 165 comprendidos en las partes metálicas intracelulares de los excitadores de polarización (fig. 7A).

A su vez, las salidas de las células exci-
doras de polarización dan la tensión V_{bb} (de 0,8 voltios), tomada de unos segmentos metálicos terminales 166, y la tensión V_{cc} (de 2,6 voltios), tomada de un segmento de metalización 167 de excitación de polarización (fig. 7A).

Los terminales de salida de V_{bb} proceden-
tes de los excitadores de polarización van conectados a las barras colectoras 118 de V_{bb} , del primer nivel de metalización. Los terminales 167 de V_{cc} (de 2,6 voltios), comprendidos en los circuitos de excitadores de polarización, están conectados, por medio de unos orificios pasantes 168 a través de la capa intermedia aislante, a la barra colectora 124 comprendida en el segundo nivel de metalización (fig. 7); luego, por medio de unos orificios pasantes 169, vuelven bajando a través de la capa intermedia aislante, desde la barra colectora 124 a las

barras colectoras 120 que corren por encima de las zonas interfaciales 115 de la primera capa de metalización, lo que sirve de distribución de V_{cc} entre las filas de células en la dirección X.

5 Es de notar asimismo que, además de estar conectados a las barras colectoras 118 de V_{bb} , los terminales 166 de excitadores de polarización van también conectados, por medio de unos segmentos de metalización 170 de la primera capa de metalización, a unos orificios pasantes 171 a través de la capa intermedia de material
10 aislante hasta la barra colectoras 123 del segundo nivel de metalización, que sirve para unir entre sí en cortocircuito las salidas de V_{bb} de los circuitos excitadores de polarización de cada una de las filas de la dirección
15 X, con el fin de asegurar un nivel de V_{bb} uniforme en todas las células por toda la pastilla.

 Si bien se han descrito sólo dos formas de realización de manera extensa, con el fin de ilustrar la
20 presente invención, ha de quedar claro para toda persona versada en la materia que los principios de la presente invención pueden ponerse en práctica en una amplia diversidad de formas de ejecución que combina varios de los recursos estructurales ilustrados en relación con las

25

formas de realización primera y segunda. Por ejemplo, las células de circuito respectivas pueden tocarse entre sí por uno o más de sus cuatro lados, o por todos, o bien pueden quedar completamente separadas unas de otras. En combinación con tal disposición de células, puede utilizarse cualquier disposición de áreas de aplicación o de toma, sea interiormente dispuestas respecto al perímetro de la pastilla, sea dispuesta en torno a la periferia de la pastilla.

Si bien la invención se ha ilustrado y descrito en particular con referencia a unas formas preferidas de realización de la misma, los técnicos en la materia comprenderán que pueden hacerse en ellas los indicados y otros cambios de forma y de detalle sin por ello salirse del ámbito ni apartarse del espíritu de la invención.

La presente solicitud que corresponde a la presentada en los Estados Unidos de América, con fecha 26 de Junio de 1.974, bajo el número 483.463, se acoge a los beneficios del Artículo 51 del vigente Estatuto sobre Propiedad Industrial.

REIVINDICACIONES

5 Los puntos de invención propia y nueva,
que se presentan para que sean objeto de esta solicitud
de Patente de Invención en España, por VEINTE años, son
los que se recogen en las reivindicaciones siguientes:

10 1ª.- Perfeccionamientos introducidos en
una estructura de pastilla semiconductor de circuitos
integrados en un plano, estructura que comprende una su-
perficie a partir de la cual se extienden una pluralidad
de regiones de distintos tipos de conductividad que en-
tran en la pastilla formando unos transistores y unas re-
15 sistencias, el perfeccionamiento en el cual dichos tran-
sistores y resistencias se hallan dispuestos en una plura-
lidad de células repetitivas, conteniendo cada una de di-
chas células un número de transistores y resistencias su-
ficiente para formar un tipo elegido de circuito lógico,
20 y estando dichas células dispuestas en una formación or-
togonal, con las células en filas esencialmente paralelas
en ambas direcciones ortogonales; y en el cual la estruc-
tura incluye un nivel de metalización dispuesto por enci-
ma de dicha formación y aislado de ella por lo menos por
25 una capa de material eléctricamente aislante, comprendiendo

do dicho nivel de metalización una pluralidad de grupos de líneas esencialmente paralelas, respectivamente dispuestas por encima de y paralelas a una pluralidad correspondiente de zonas interfaciales o caras de transición entre filas de dichas células en una de dichas direcciones ortogonales, estando cada grupo de líneas conectado a una pluralidad de células que se aplican a la cara de transición de debajo de dicho grupo, disponiendo unas interconexiones entre dichas células, y unas alimentaciones de niveles de tensiones para las mismas, y unos diseños de distribución o pautas de líneas respectivamente dispuestas entre dichos grupos de líneas y a cierta distancia de separación de éstos y por encima de dichas células, proporcionando unas conexiones intracelulares.

15 2ª.- perfeccionamientos de acuerdo con la reivindicación 1ª, según los cuales dichas filas de células están separadas entre sí en dichas caras de transición o zonas interfaciales, disponiendo unos canales esencialmente exentos de transistores o de resistencias en dichas zonas de transición.

20 3ª.- Perfeccionamientos de acuerdo con la reivindicación 2ª, según los cuales dichas filas de células de la otra de dichas direcciones ortogonales están también separadas entre sí.

25 4ª.- Perfeccionamientos de acuerdo con la

reivindicación 1ª, según los cuales cada una de las células de una pluralidad de células de cada una de dichas filas dispuestas en dicha dirección ortogonal primeramente citada tiene una primera configuración de implantación de célula por uno de los lados y una segunda configuración de implantación o disposición por su lado opuesto, y las citadas filas de células de dicha primera dirección ortogonal están dispuestas alternativamente, de manera que los citados lados de célula con dicha primera configuración se enfrentan, formando filas que tienen cara de transición o zona interfacial, a lados de célula con dicha primera configuración; y los lados de célula de dicha segunda configuración se enfrentan, formando filas que tienen cara de transición o zona interfacial, a lados de célula de dicha segunda configuración.

5ª.- Perfeccionamiento de acuerdo con la reivindicación 4ª, según los cuales dichos lados de célula enfrentados de dicha primera configuración son simétricos o imagen especular unos de otros, y dichos lados de célula enfrentados de dicha segunda configuración son asimismo imagen especular unos de otros.

6ª.- Perfeccionamientos de acuerdo con la reivindicación 4ª, según los cuales, por encima de cada una de dichas zonas interfaciales, se hacen unas conexiones desde unas líneas, respectivamente, a cada lado de

unas parejas de lados de célula enfrentados en la zona interfacial.

5 7ª.- Perfeccionamientos de acuerdo con la reivindicación 5ª, según los cuales, por encima de cada una de dichas zonas interfaciales, se hacen unas conexiones desde unas líneas, respectivamente, a cada uno de unas parejas de lados de célula enfrentados en la zona interfacial.

10 8ª.- Perfeccionamientos de acuerdo con la reivindicación 6ª, según los cuales dichas líneas a partir de las cuales se hacen las citadas conexiones son unas barras colectoras que dan unas alimentaciones de niveles de tensión.

15 9ª.- Perfeccionamientos de acuerdo con la reivindicación 7ª, según los cuales dichas líneas a partir de las cuales se hacen las citadas conexiones son unas barras colectoras que dan unas alimentaciones de niveles de tensión.

20 10ª.- Perfeccionamientos de acuerdo con la reivindicación 6ª, según los cuales cada lado de un par de dichos lados de célula enfrentados tiene unos nodos de entrada/salida correspondientes, destinados a recibir las citadas conexiones procedentes de líneas por encima de dichas zonas interfaciales.

25 11ª.- Perfeccionamientos de acuerdo con la

reivindicación 7ª, según los cuales cada lado de un par de dichos lados de célula enfrentados tiene unos nodos de entrada/salida correspondientes, destinados a recibir las citadas conexiones procedentes de líneas por encima de dichas zonas interfaciales.

5
10
15
20
25

12ª.- Perfeccionamientos de acuerdo con la reivindicación 1ª, según los cuales las líneas que corren paralelas a dichas zonas interfaciales dan unas interconexiones entre células respectivamente dispuestas en filas en dicha dirección ortogonal primeramente citada; y en la que dicha estructura incluye un nivel adicional de metalización separado de dicho nivel primitivo de metalización por al menos una capa de material eléctricamente aislante y que comprende unas líneas que van en la segunda de dichas direcciones ortogonales, disponiendo unas interconexiones entre células dispuestas en filas en dicha segunda dirección ortogonal.

20
25

13ª.- Perfeccionamientos de acuerdo con la reivindicación 12ª, según los cuales dicho nivel adicional de metalización incluye además una pluralidad de barras colectoras de nivel de tensión respectivamente dispuestas por encima de dichas zonas interfaciales entre filas de dichas células dispuestas en dicha segunda dirección ortogonal, estando cada una de dichas barras colectoras conectada a una pluralidad de células que se

aplican a la zona interfacial de debajo de dicha barra colectora.

5

14ª.- Perfeccionamientos de acuerdo con la reivindicación 12ª, según los cuales dicho nivel adicional de metalización proporciona asimismo unas líneas de cruce para conectar líneas, de dentro de un grupo respectivo de líneas, que están separadas entre sí por otras líneas de dicho grupo.

10

15ª.- Perfeccionamientos introducidos en una estructura de pastilla semiconductor de circuitos integrados en un plano.

15

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

La presente Memoria consta de cincuenta y cuatro hojas escritas a máquina por una sola cara.

20

Madrid,
P.A.

22 AGO 1975

Ajberio de Linares
Por Poder

17.8.75

JGM/.

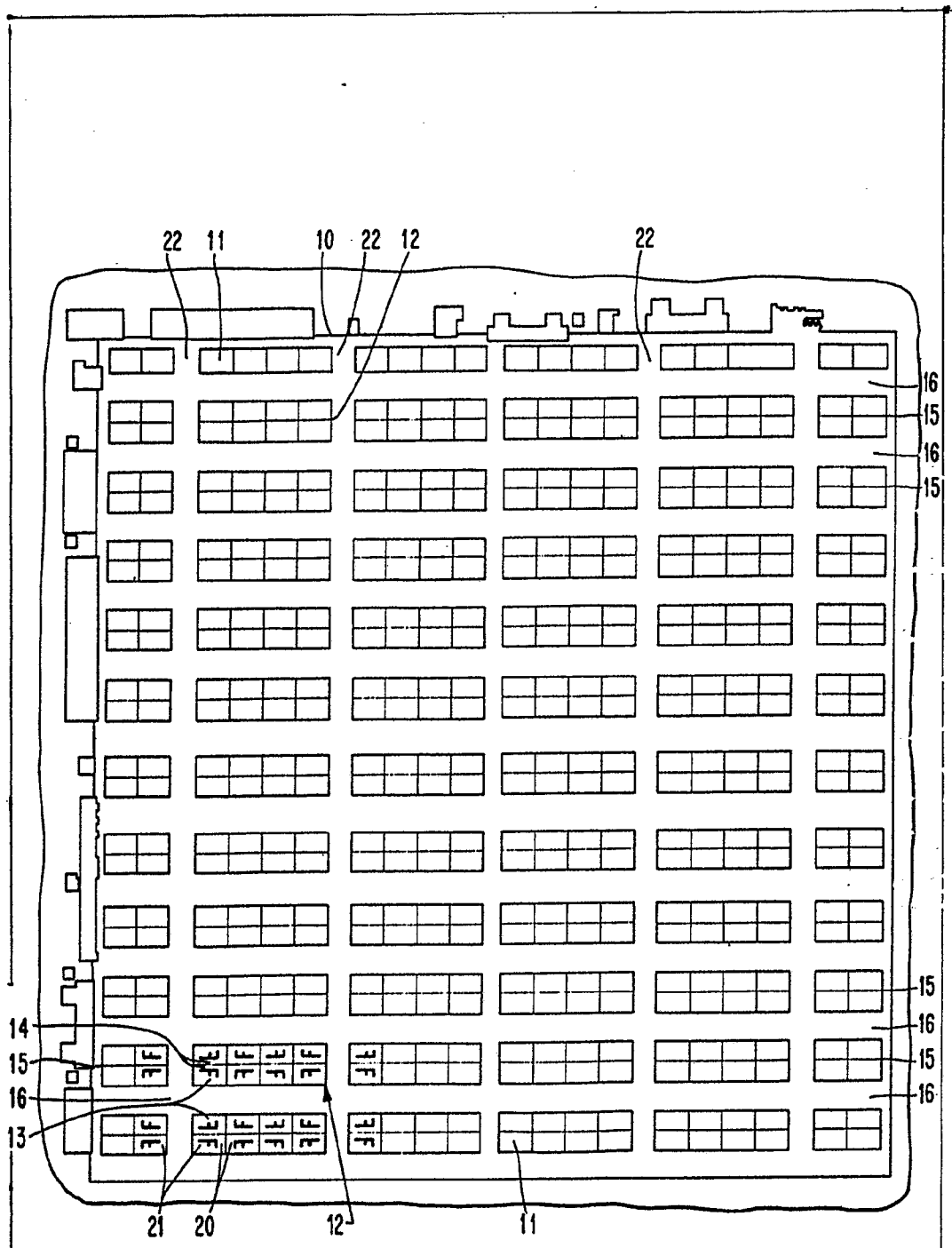


FIG. 1

Alberto de ...
Per Poder

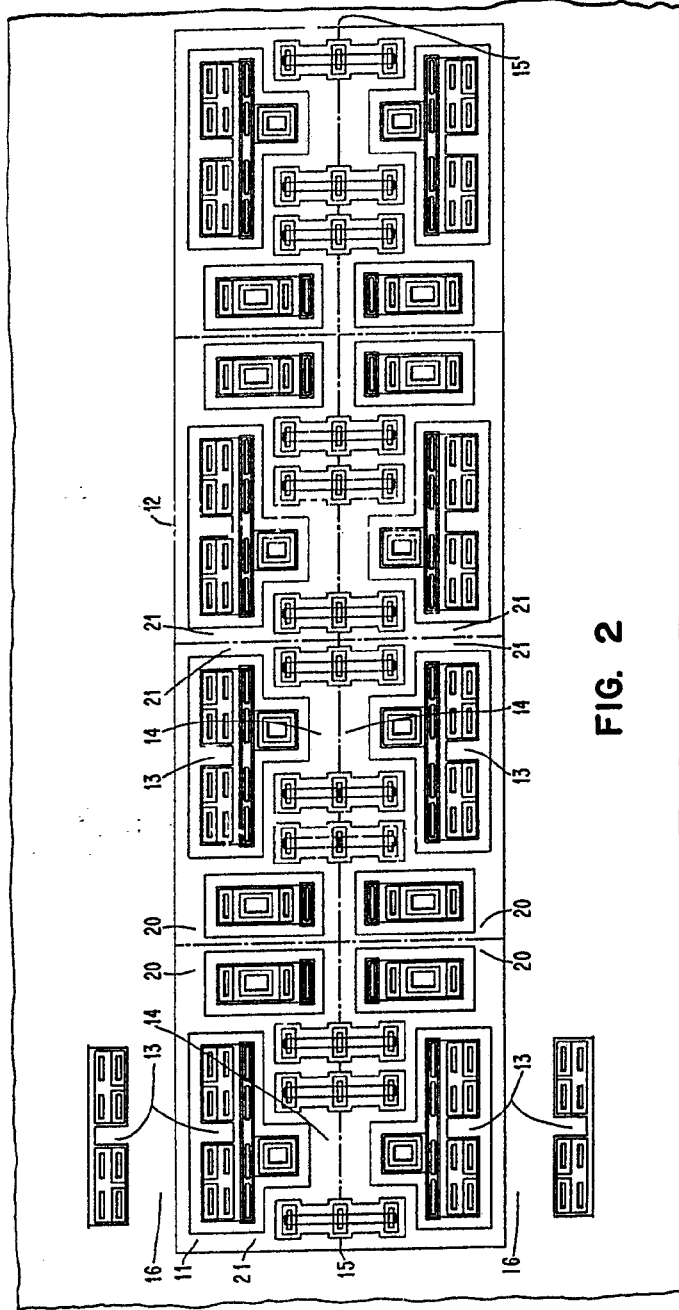


FIG. 2

INVENTOR
 Paul F. Schuler
Paul F. Schuler

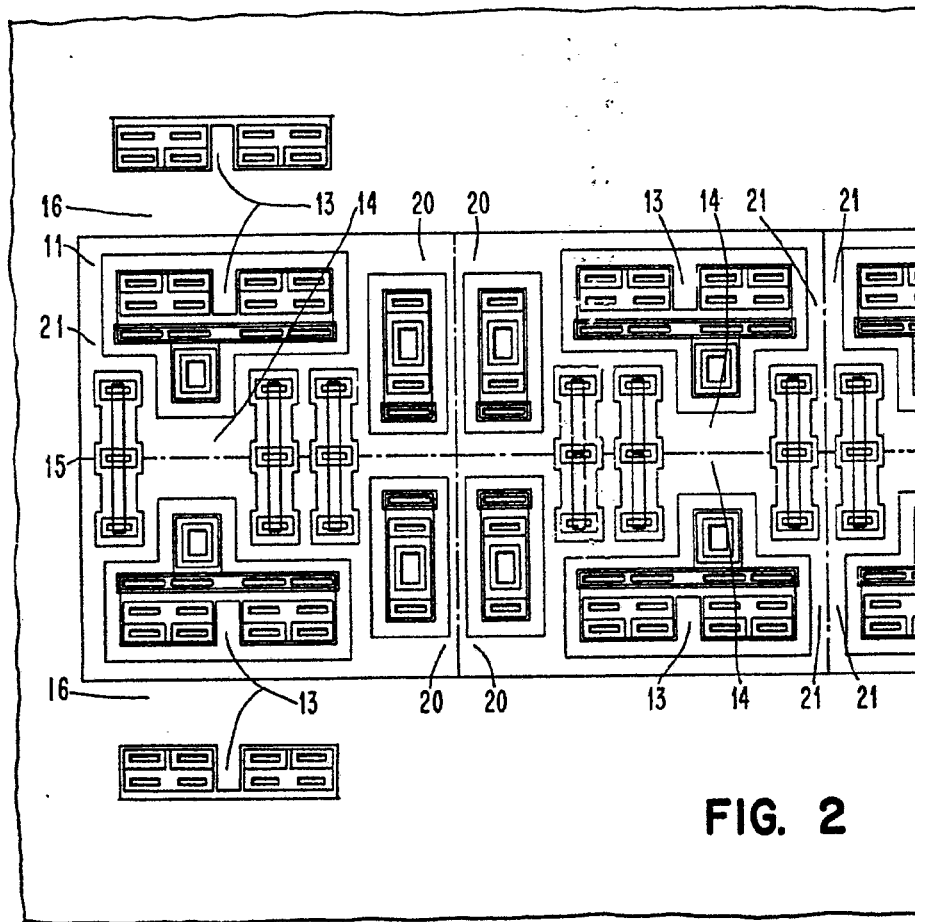


FIG. 2

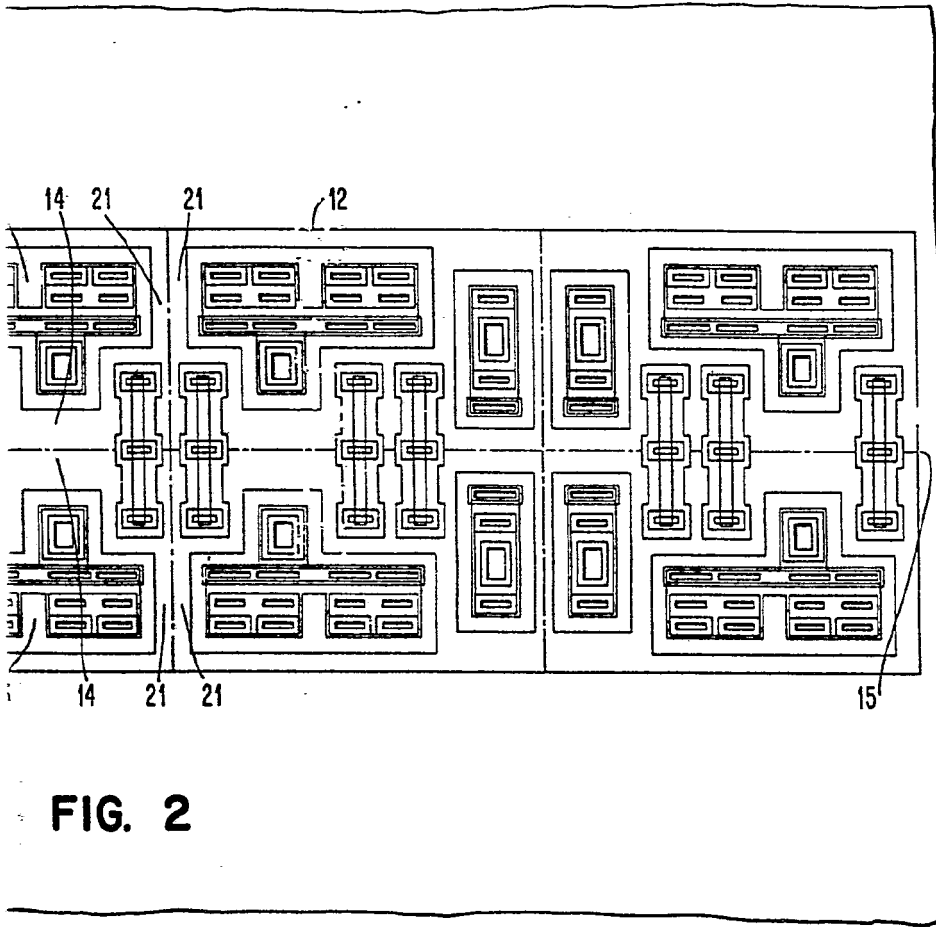


FIG. 2

Alberic
Per Fourn

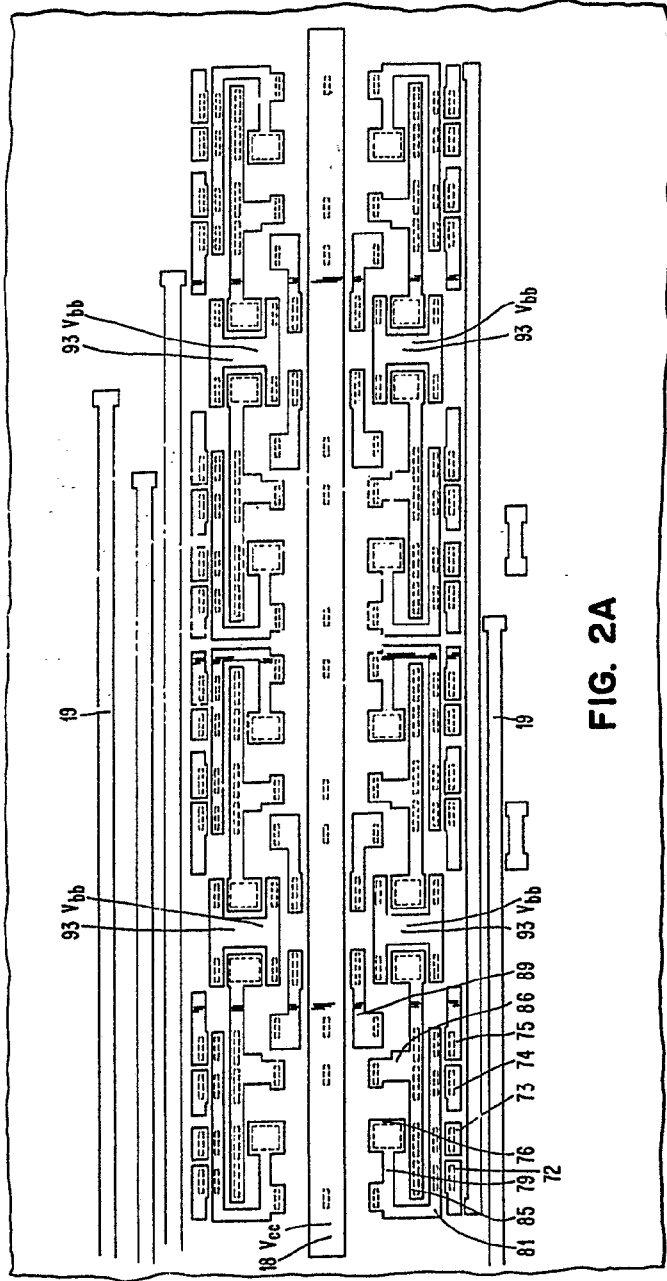


FIG. 2A

Car

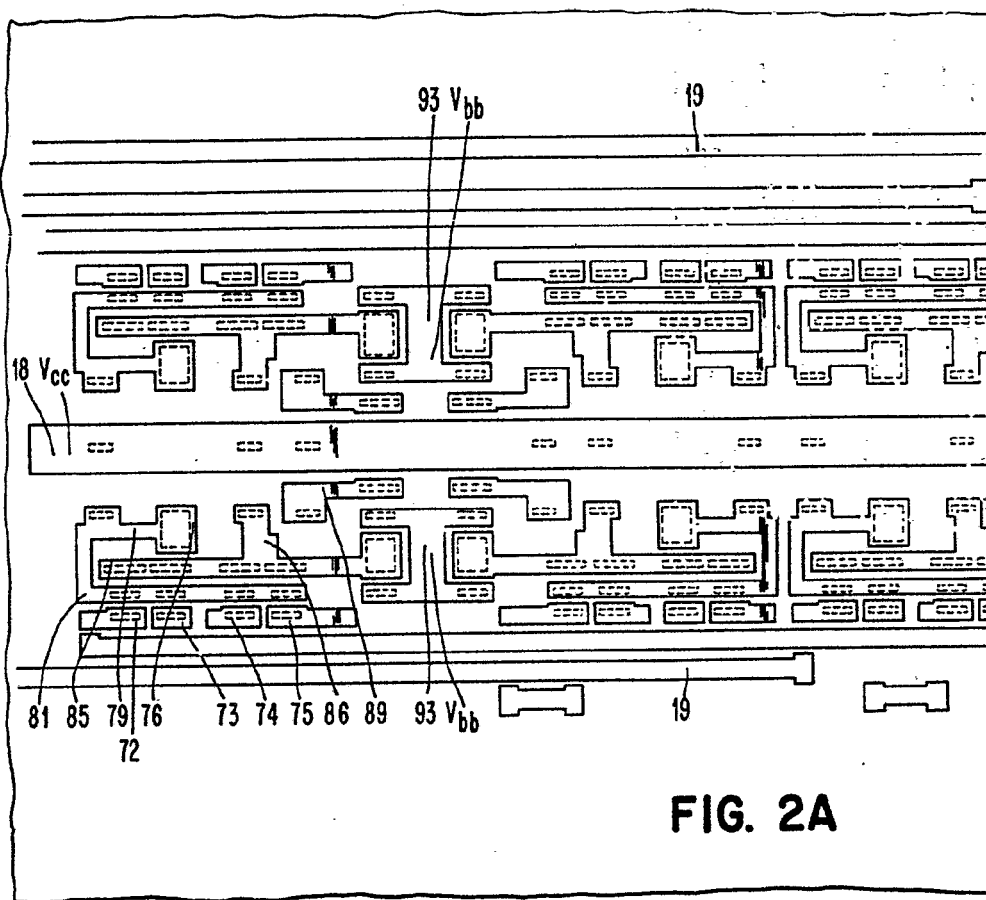
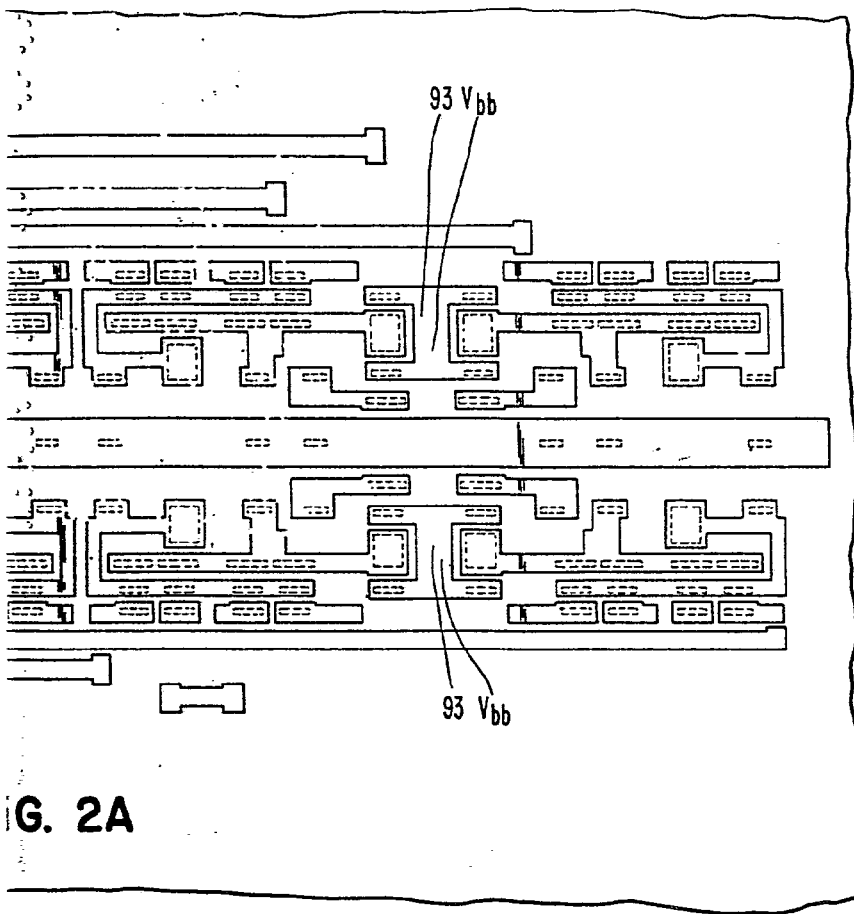


FIG. 2A



G. 2A

Approved: *[Signature]*
For the Staff

960659

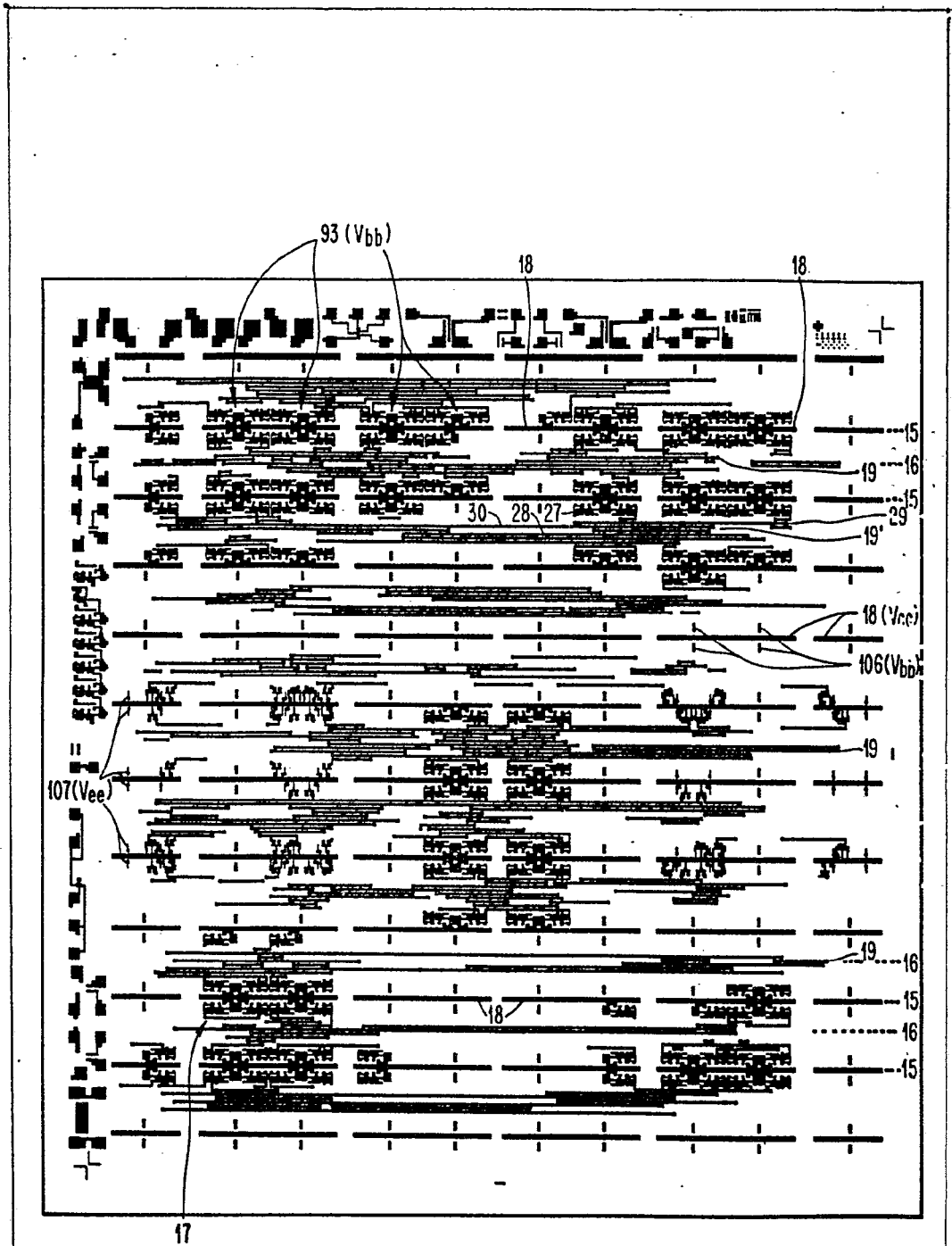


FIG. 4A

Handwritten signature or initials

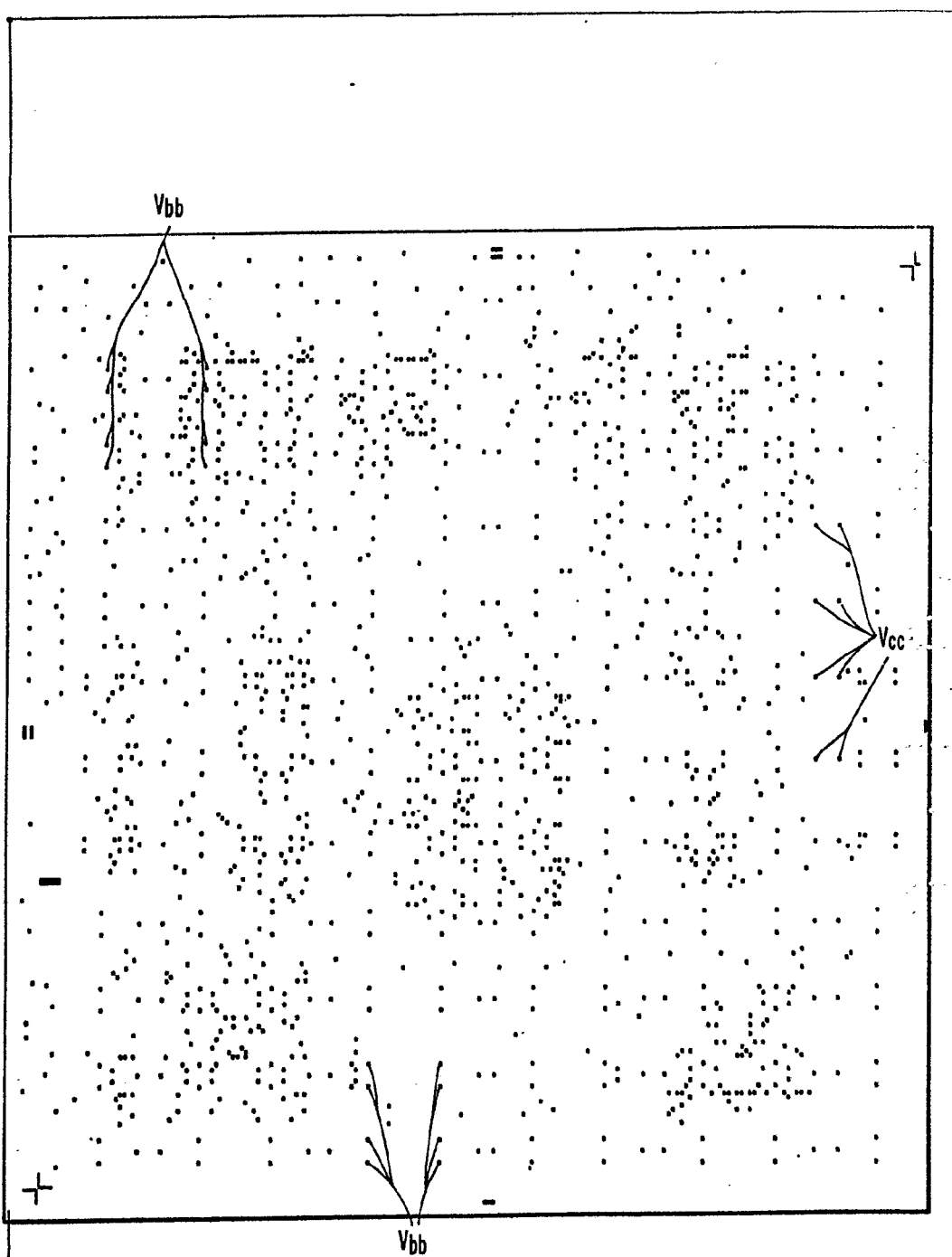


FIG. 4B

Handwritten signature or initials

PE0659

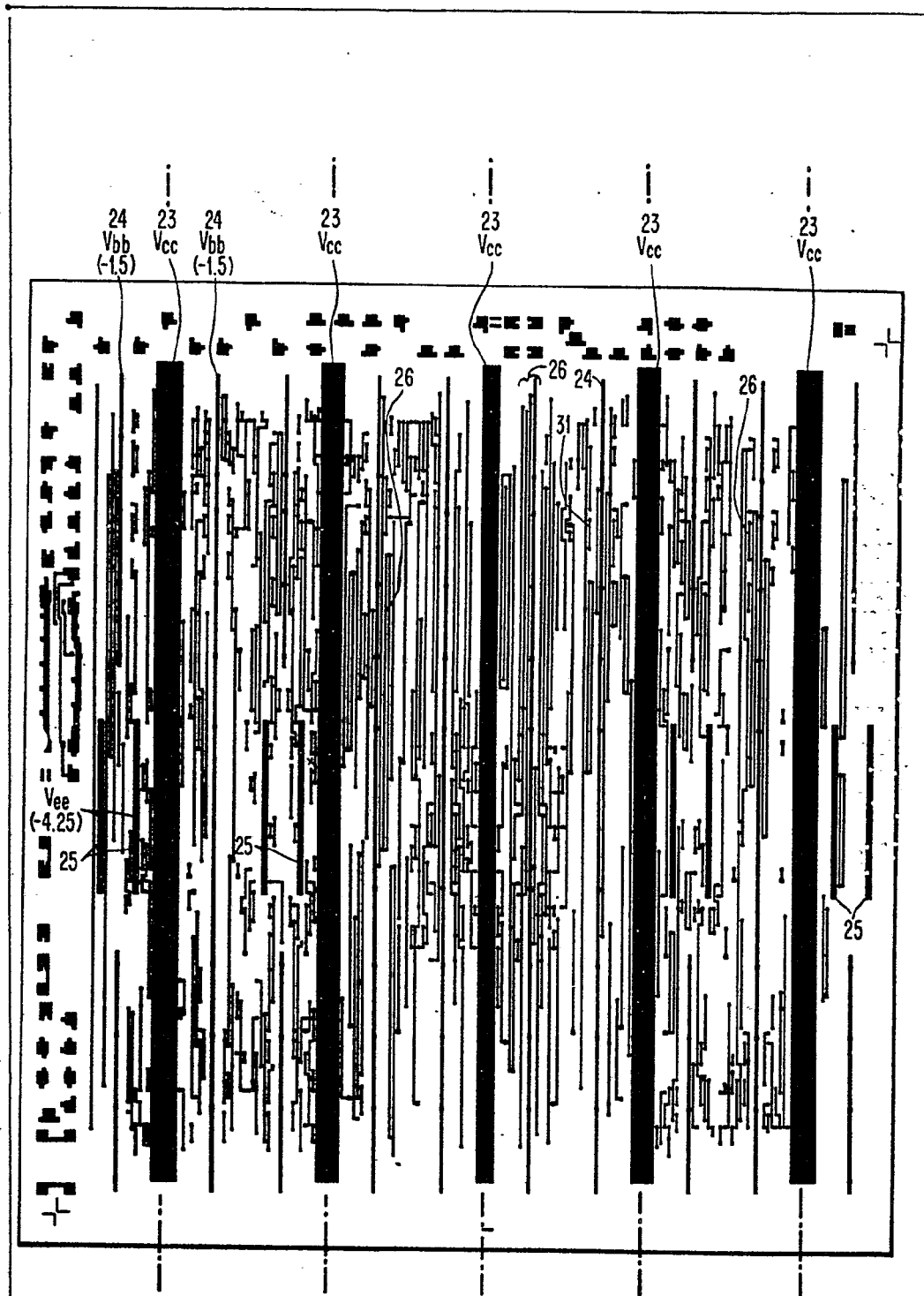


FIG. 4C

Handwritten signature or initials

P60659

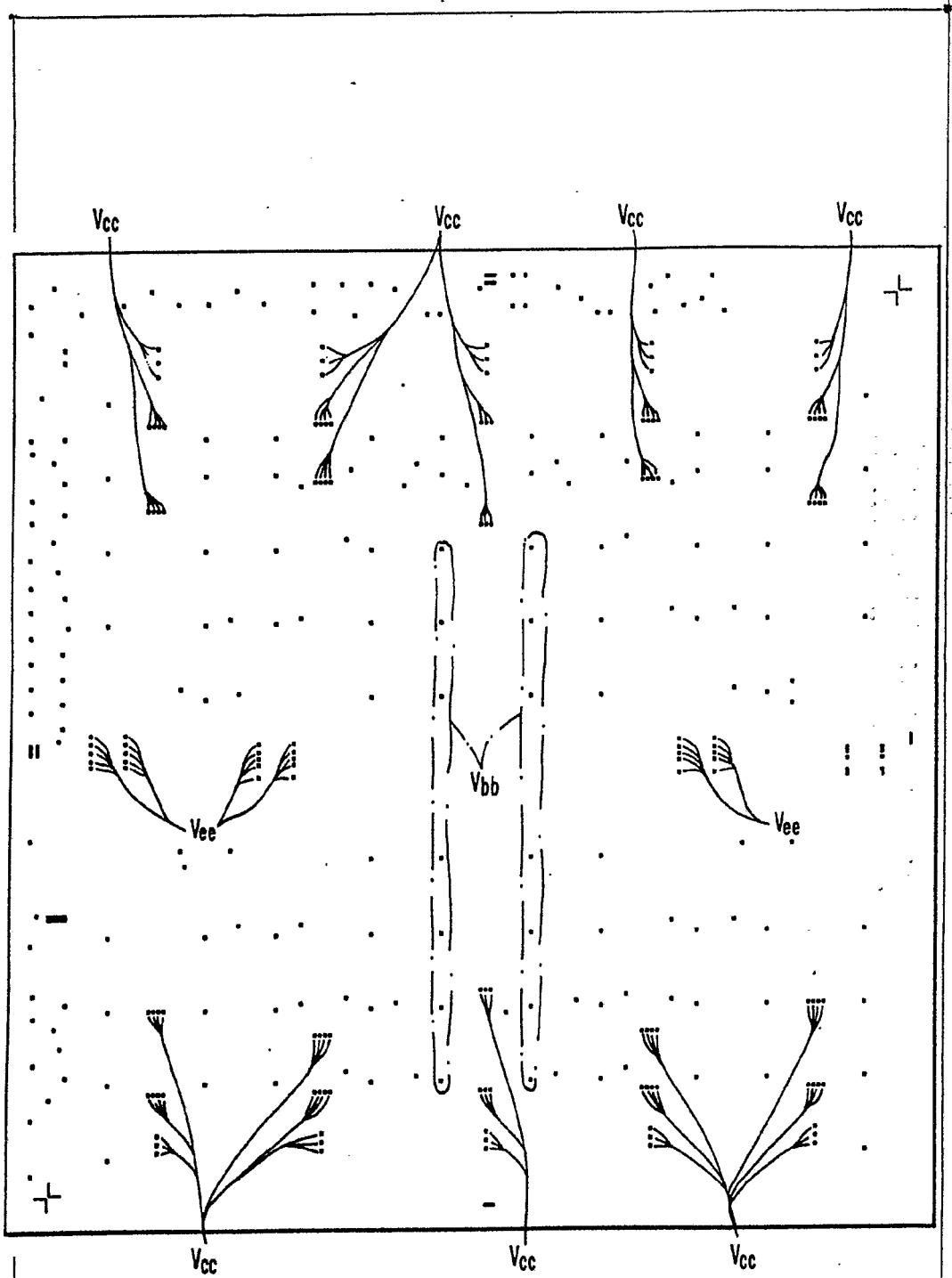


FIG. 4D

FOR POC
[Handwritten signature]

960659

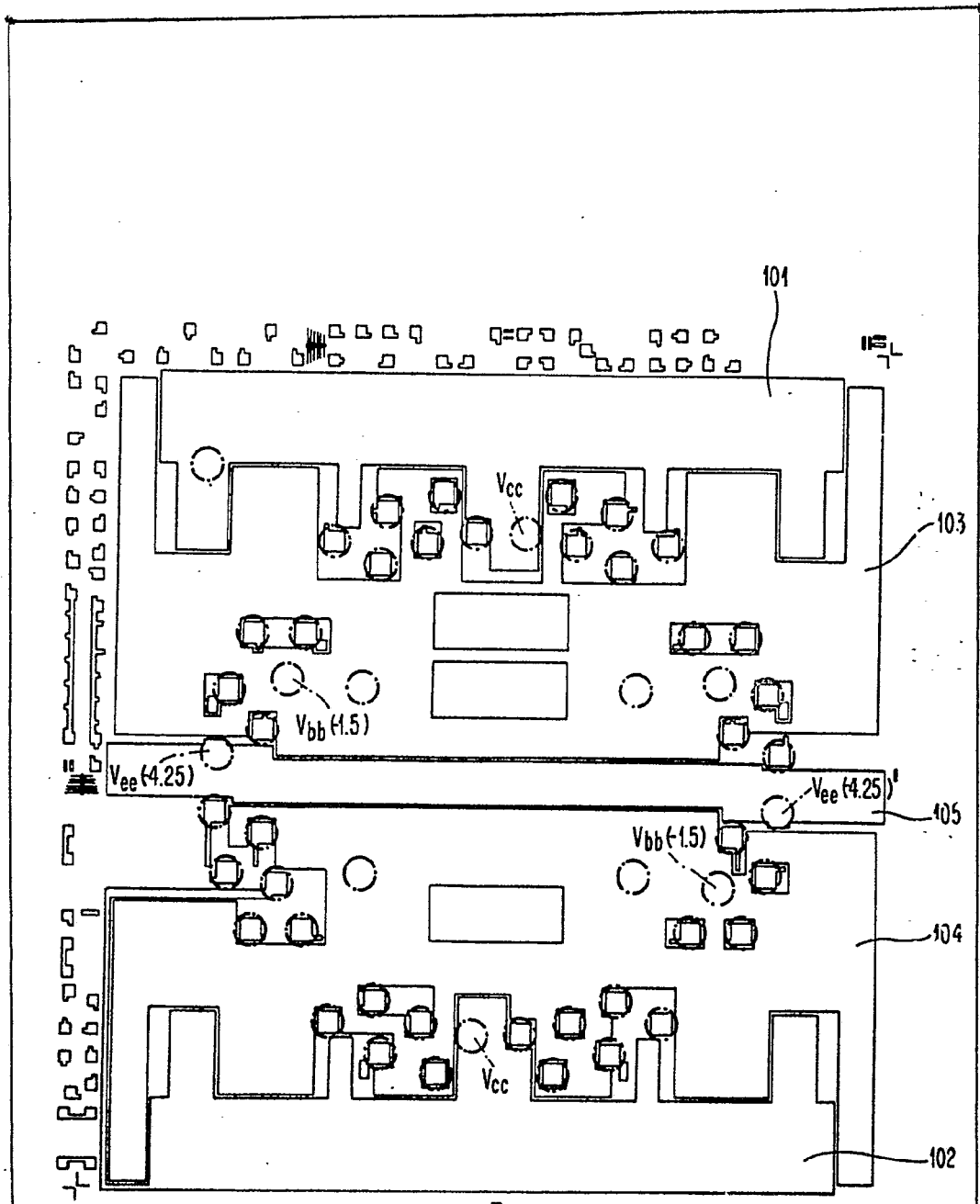


FIG. 4E

APPROVED
For Release
[Signature]

PEO 6V9

FIG. 5A

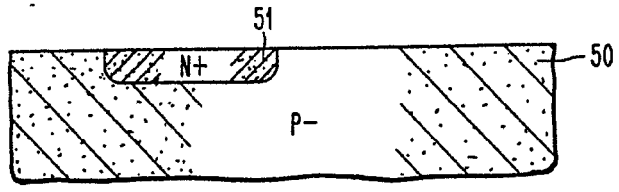


FIG. 5B

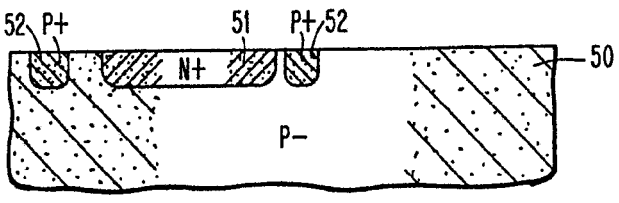


FIG. 5C

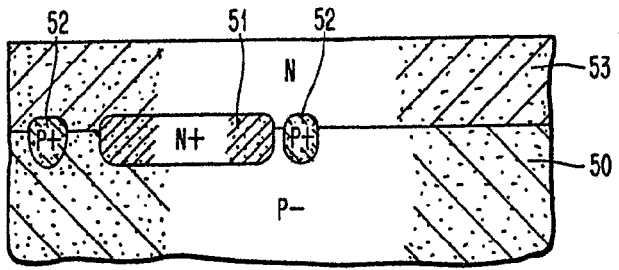


FIG. 5D

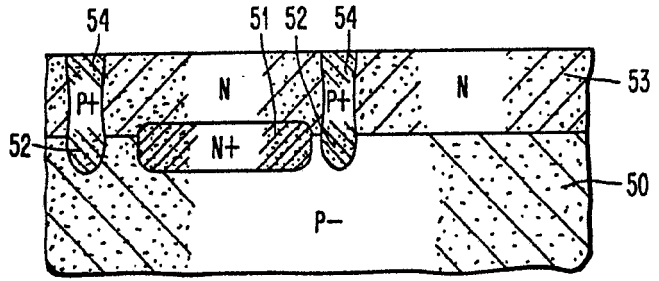
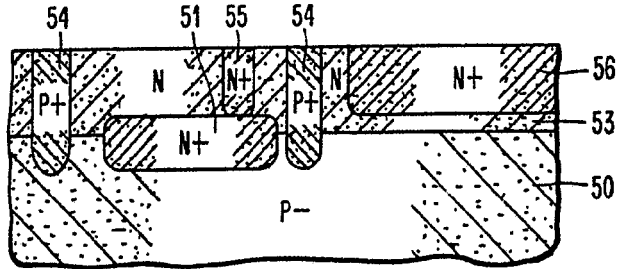


FIG. 5E



Albert G. ...

FIG. 5F

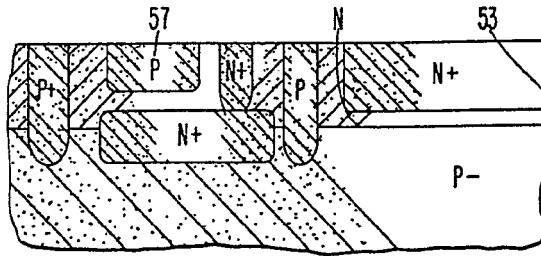


FIG. 5G

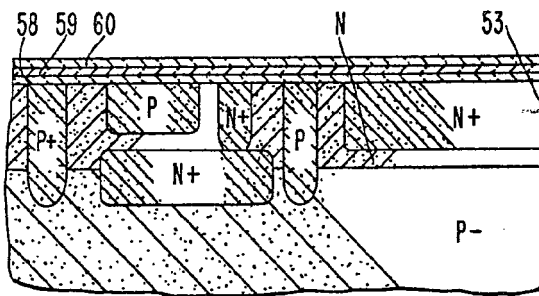


FIG. 5H

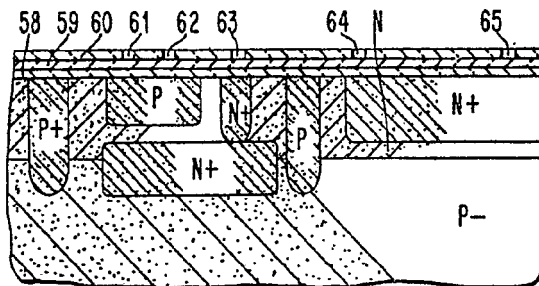
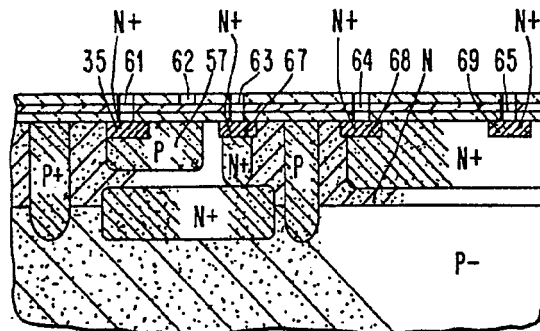


FIG. 5I



11/26/59

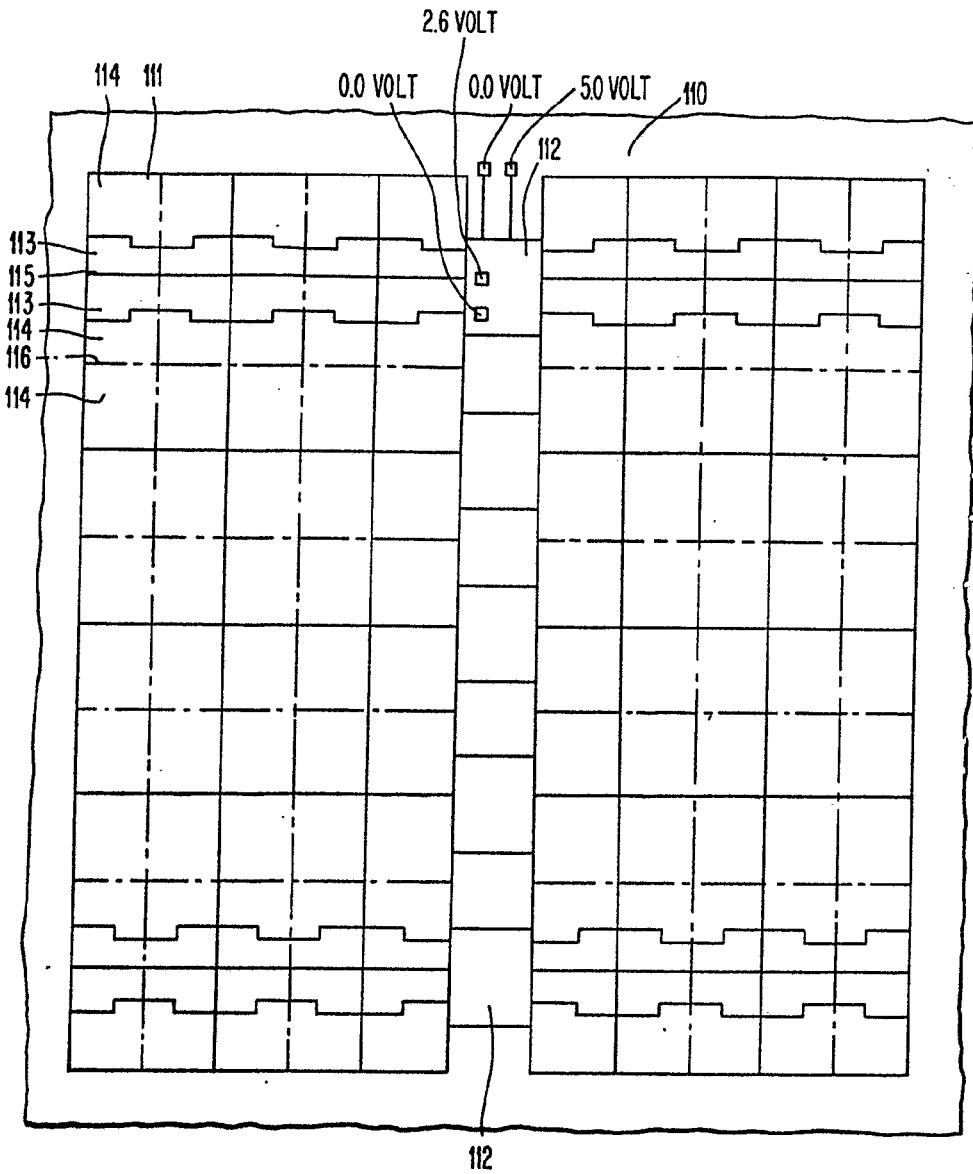


FIG. 6

W. S. ...

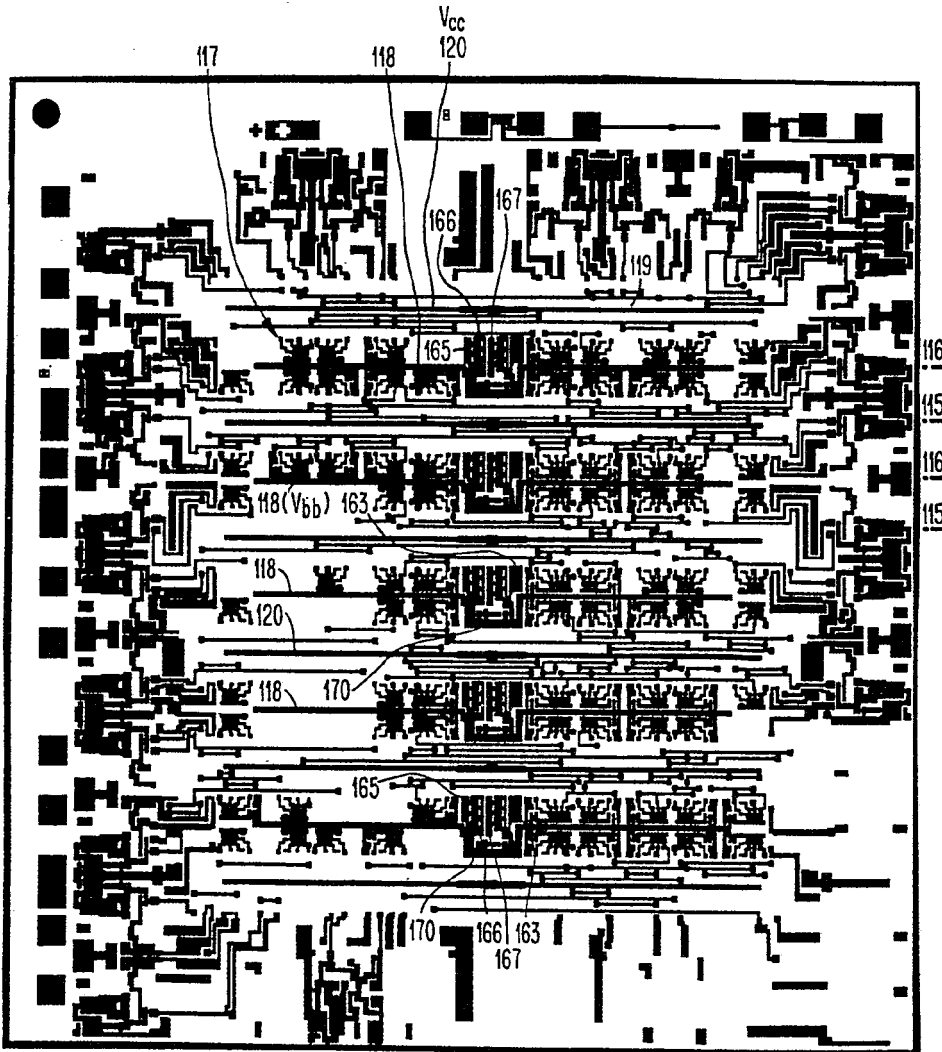


FIG. 7A

[Handwritten signature]
under

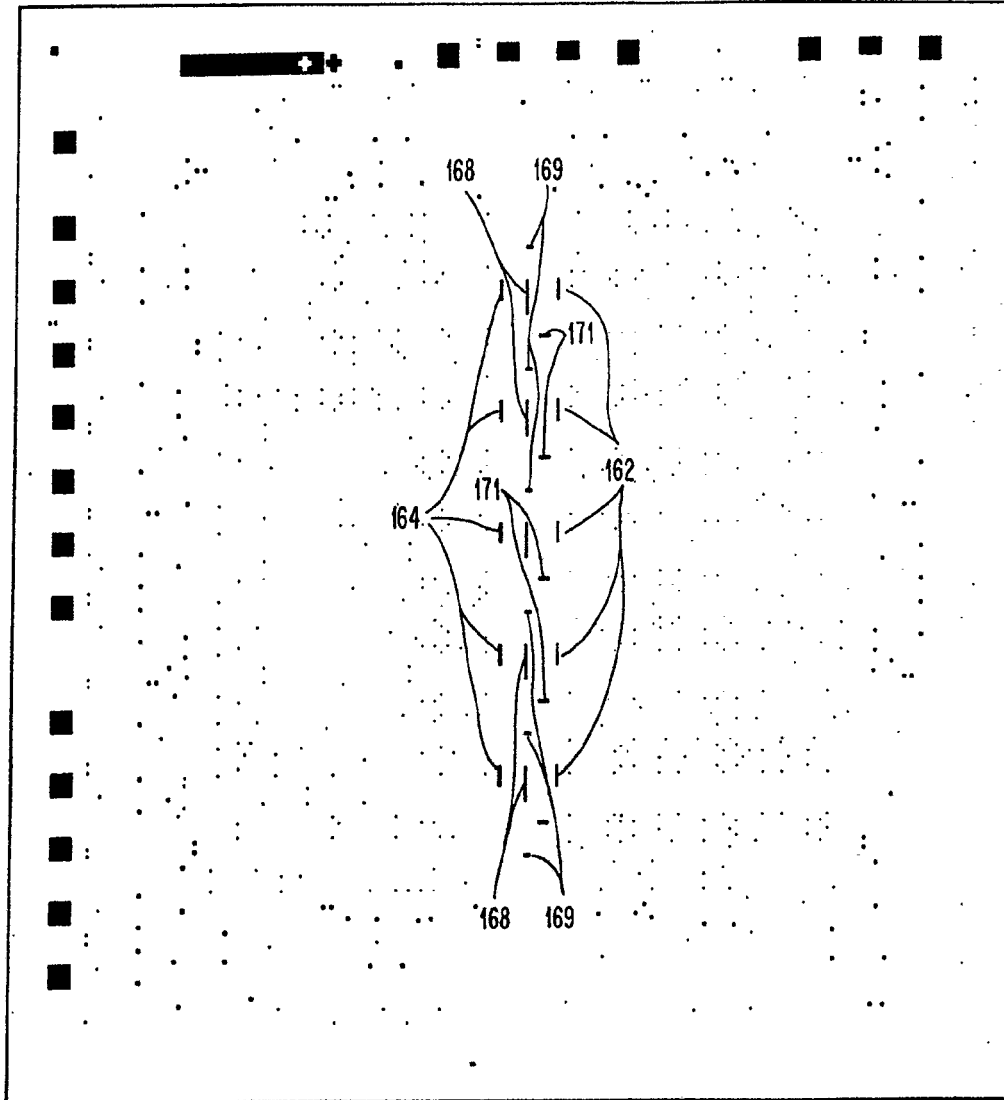


FIG. 7B

INTERNATIONAL BUSINESS MACHINES CORPORATION
P. 160657

P60659

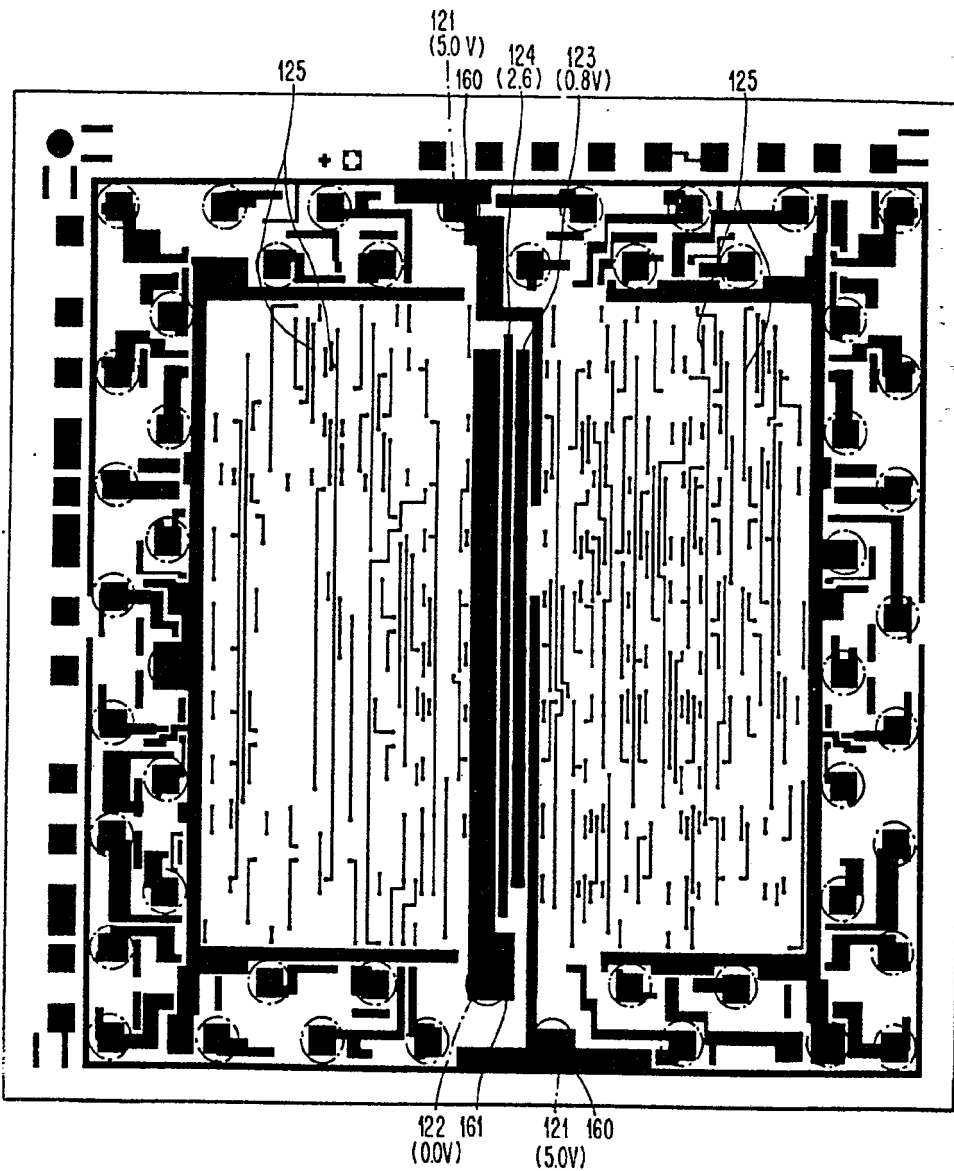


FIG. 7C

[Handwritten signature]

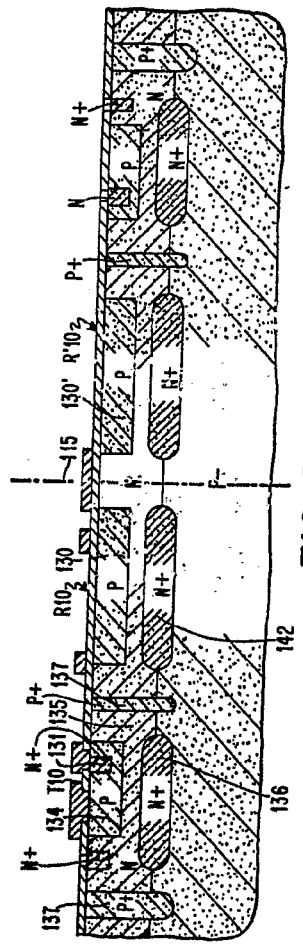


FIG. 8A

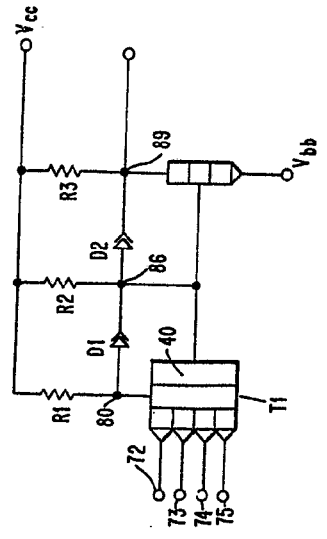


FIG. 9

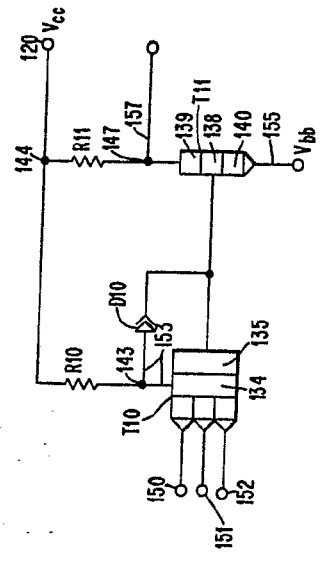


FIG. 10

Arsh

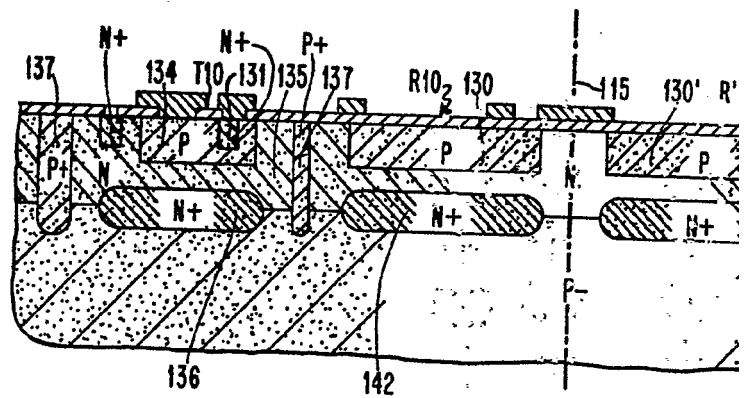


FIG. 8A

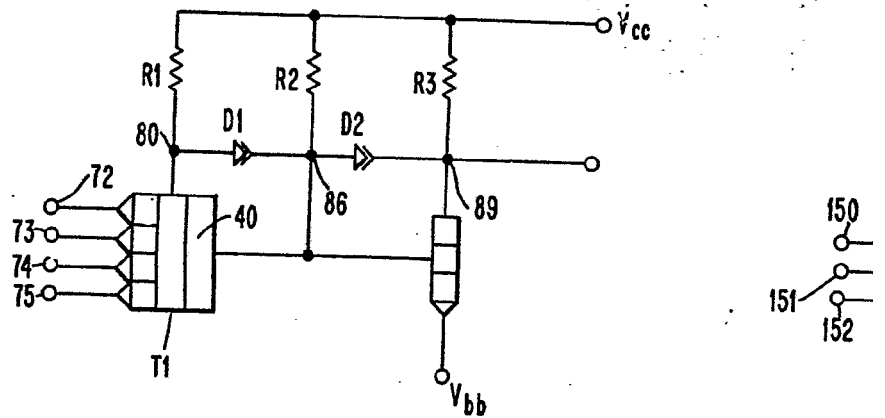


FIG. 9

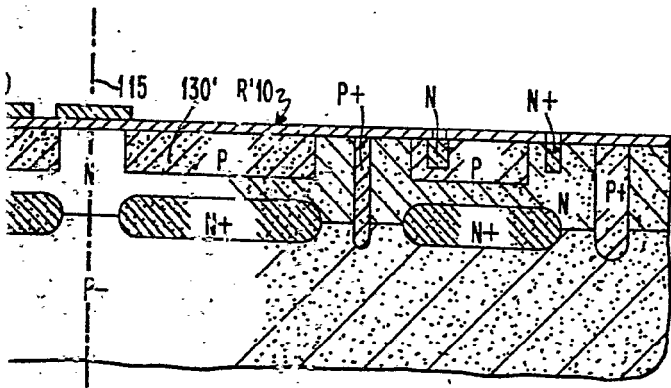


FIG. 8A

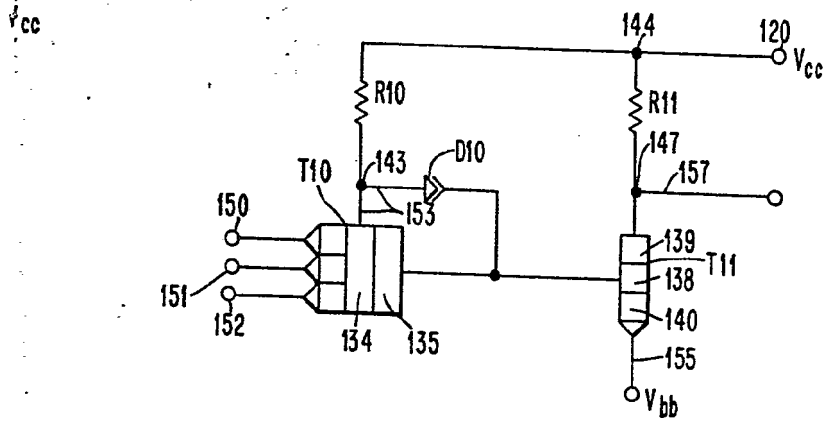


FIG. 10

Amu