

24 JUN. 1975

438482

P.- 60.503

IIM Docket

FI9-73-105

INVENTOR: <i>Hosk</i>

MEMORIA DESCRIPTIVA

para solicitar PATENTE DE INVENCION

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad norteamericana

establecida en Armonk, N.Y. 10504, Estados Unidos de América.

por: "UN METODO DE ENMASCARAMIENTO POR FOTORRESERVA"

12-6-75

-1-

Antecedentes de la Invención

Esta invención se refiere a la planarización de superficies de circuitos integrados, en particular a la planarización de las capas de material dieléctrico o eléctricamente aislante que se utilizan para pasivación y aislamiento eléctrico en diversos niveles de los circuitos integrados.

En la construcción de circuitos integrados de alta densidad utilizando técnicas de película delgada convencionales y estructuras en las que capas eléctricamente aislantes tales como dióxido de silicio o nitruro de silicio se depositan por técnicas convencionales de deposición química de vapores o pulverización iónica sobre patrones de metalización subyacentes, la capa aislante tiende a seguir los contornos de las líneas de metalización subyacentes. En otros términos, una línea en el patrón de metalización dará como resultado una elevación correspondiente en la capa aislante de recubrimiento sobre el patrón de metalización. En los circuitos integrados que tienen niveles de metalización múltiples, el efecto acumulativo de tal elevación en las capas aislantes es altamente indeseable.

Por ejemplo, una línea existente en el patrón de metalización puede dar como resultado una elevación correspondiente en la capa dieléctrica de recubrimiento sobre el

patrón de metalización. Después de ello, una vez que se ha depositado un patrón de metalización subsiguiente nivelado sobre la capa de recubrimiento y ésta, a su vez, se ha cubierto con una capa aislante adicional, la superficie superior de la capa de recubrimiento adicional exhibirá los efectos acumulativos de ambos patrones de metalización subyacentes. En tales casos, se presenta un efecto de "rascacielos" en el que las líneas metálicas acumulativas producen elevaciones pronunciadas que hacen que la superficie de la capa aislante situada más arriba sea tan irregular que las líneas de metalización depositadas sobre una tal capa se extiendan sobre una superficie muy desigual. Esto tiende a producir discontinuidades en las líneas de metal.

Además, en tales estructuras, es difícil diseñar una estructura en la que un orificio pasante a través de una capa de recubrimiento dada de material dieléctrico hasta llegar a una línea de metalización subyacente, pueda hacerse con un control consistente a fin de evitar un ataque químico excesivo a través de la capa aislante bajo la metalización, poniéndose así en cortocircuito la línea de conducción a través de su aislamiento subyacente.

Los problemas que surgen con tales elevaciones e irregularidades en niveles de circuitos integrados, se examinan en detalle en la Patente de los EE.UU. 3.804.738.

Además de lo anterior, las elevaciones indeseables en las superficies de circuitos integrados, en particular en las superficies de capas aislantes, presentan un problema en la formación de circuitos integrados aislados dieléctricamente. Tales circuitos integrados aislados dieléctricamente se caracterizan por patrones de fosos o surcos que se extienden desde la superficie de un substrato semiconductor para aislar respectivamente una pluralidad de bolsas en el material semiconductor. En los casos en que las capas dieléctricas o aislantes se depositan sobre tales estructuras semejantes a mesas, el resultado es un patrón de escalones o elevaciones en la capa aislada que corresponden al patrón de mesas en el substrato. Dependiendo de las técnicas utilizadas para llenar los surcos o los fosos con material dieléctrico, estos escalones pueden con frecuencia ser muy pronunciados, lo cual, como se ha mencionado con anterioridad, podría dar como resultado discontinuidades en la metalización producida sobre la capa aislante.

Con el fin de evitar tal variación en la capa aislante, un enfoque de la técnica ha consistido en oxidar el substrato de silicio que rodea el surco o foso por calentamiento para formar óxido térmico, el cual rellena el surco proporcionando el aislamiento lateral y una superficie relativamente plana, sobre cuya superficie se pueden aplicar después de ello capas aislantes. Este procedimiento se descri-

5 be en detalle en un artículo que lleva por título "Local Oxidation of Silicon and Its Applications in Semiconductor Device Technology" (Oxidación Local de Silicio y Sus Aplicaciones en la Tecnología de los Dispositivos Semiconductores), escrito por J.A. Appels y otros, Phillips Research Reports 25, pág. 118, (1970)..

10 Si bien puede utilizarse este enfoque en métodos en los que sea posible oxidar el sustrato in situ para rellenar los surcos, la técnica tiene que poner a punto todavía un enfoque práctico en el que la planarización pueda lograrse en un método en que los surcos se rellenen con el material dieléctrico o aislante por técnicas de deposición tales como deposición en estado de vapor o deposición por pulverización iónica de radiofrecuencias. Los problemas implicados en la planarización de tales capas aislantes depositadas son en esencia los mismos que se han descrito previamente con respecto a la planarización de capas aislantes sobre un patrón de metalización, excepto que los escalones o elevaciones tienden en muchos casos a ser aún más altos, haciendo así el problema más difícil todavía.

15

20

25 En la técnica anterior, se han sugerido fundamentalmente dos enfoques o métodos para rebajar las elevaciones o escalones en tales capas aislantes para, de este modo, planarizar la superficie. El primer método implica una nueva pulverización iónica de las elevaciones. Aún cuando este mé-

todo ha resultado efectivo en la planarización de elevaciones de anchura relativamente estrecha, consume un tiempo relativamente grande. De hecho, el factor de tiempo llega a ser tan acusado que el método de nueva pulverización iónica se hace relativamente gravoso si las elevaciones o escalones son relativamente anchos.

El segundo método implica el enmascaramiento de las áreas rebajadas o valladas con un material resistente al ataque químico, tal como una fotorreserva por medio de técnicas fotolitográficas convencionales, y atacar luego químicamente para eliminar las elevaciones o escalones que han quedado sin cubrir. Este método conduce en muchos casos a problemas con la alineación de la máscara de fotorreserva. En los circuitos integrados de gran escala y de alta densidad, las dimensiones son tan diminutas que pueden encontrarse dificultades en la obtención de la coincidencia exacta requerida para enmascarar por completo las áreas rebajadas o valles con fotorreserva. Cualquier defecto de alineación que deje una porción de un área rebajada al descubierto, podría dar como resultado un ataque químico a través de la capa aislante en dicha área rebajada simultáneamente con la planarización del área elevada. Esto conduciría a un camino en cortocircuito indeseable a través de la capa aislante en el área rebajada.

Resumen de la Invención

De acuerdo con ello, es un objeto primario de la

presente invención proporcionar un método para rebajar las áreas elevadas sobre una superficie de substrato que tiene un patrón de áreas elevadas y un patrón complementario de áreas no elevadas.

5 Es otro objeto de la presente invención proporcionar un método para rebajar las áreas elevadas en una capa aislante sobre un circuito integrado, capa aislante que tiene un patrón de áreas elevadas y un patrón complementario de áreas no elevadas.

10 Es otro objeto adicional de la presente invención proporcionar un método para rebajar las elevaciones en una capa aislante formada sobre un patrón de metalización en un circuito integrado, las cuales elevaciones se corresponden con dicho patrón de metalización.

15 Es todavía otro objeto más de la presente invención proporcionar un método para rebajar las elevaciones en una capa aislante formada sobre una superficie de circuito integrado que tiene bolsas de material semiconductor rodeadas por fosos, correspondiéndose dichas elevaciones con dichas bolsas.

20 Es todavía otro objeto de la presente invención proporcionar un método para rebajar las elevaciones en una capa de material aislante en un circuito integrado que tiene un patrón de áreas elevadas y un patrón complementario de áreas no elevadas asegurándose de que una máscara de fotoreserva resistente al ataque químico depositada en las

25

áreas no elevadas bloquee por completo tales áreas no elevadas contra el reactivo productor del ataque químico que se utilice para rebajar las áreas elevadas en dicha capa.

5 Es todavía otro objeto adicional de la presente invención proporcionar un método para rebajar las elevaciones existentes en un substrato de un circuito integrado que tiene un patrón de áreas elevadas y un patrón complementario de área no elevadas por medio de técnicas de
10 ataque químico fotolitográfico, por el que se asegura un recubrimiento completo de las áreas no elevadas con una máscara de bloqueo de fotorreserva.

 De acuerdo con la presente invención, se proporciona un método para la formación de una máscara de fotorreserva sobre un substrato que tiene un patrón de áreas elevadas y un patrón complementario de áreas no elevadas.
15 Se aplica un patrón de fotorreserva en coincidencia con el patrón de áreas no elevadas; dicho patrón de fotorreserva tiene dimensiones laterales más estrechas que dicho patrón no elevado, con lo que se facilita la coincidencia.
20 El patrón de fotorreserva se fluidifica luego para expandir lateralmente la fotorreserva a fin de cubrir y enmascarar de este modo las áreas no elevadas. La fluidificación de la fotorreserva puede realizarse convenientemente por tratamiento de la fotorreserva con un disolvente
25

de la fotorreserva, preferiblemente el vapor de un tal disolvente.

Una vez que se ha formado el patrón de fotorreserva en coincidencia, que cubre la totalidad de las áreas no elevadas, puede utilizarse cualquier operación de ataque químico convencional en la que las áreas elevadas que quedan al descubierto se ataquen selectivamente mientras que la fotorreserva permanezca relativamente resistente al ataque químico con el fin de rebajar las áreas elevadas, y preferiblemente para rebajar las áreas elevadas en tal extensión que la superficie del substrato quede sustancialmente planarizada. El ataque puede ser una operación de ataque químico o una operación de ataque por pulverización iónica. El método de la presente invención se utiliza con la máxima eficiencia si la superficie del substrato es un material eléctricamente aislante. Las dos estructuras más comunes en las que una capa eléctricamente aislante tiene tales áreas elevadas y rebajadas es en capas aislantes que cubren un patrón de metalización subyacente y en capas aislantes que proporcionan aislamiento tanto de superficie como lateral en circuitos integrados aislados dieléctricamente que comprenden mesas o bolsas de material semiconductor en la superficie del substrato semiconductor rodeados por un patrón de surcos. Una capa aislante depositada sobre la última estructura tendrá elevaciones que se corresponden con

las mesas y surcos, y depresiones que se corresponden con los surcos.

Lo que antecede y otros objetos, características y ventajas de la invención, se comprenderá claramente a partir de la descripción más particular que sigue y de las realizaciones preferidas de la invención tal como se ilustran en los dibujos que se adjuntan.

Descripción Breve de los Dibujos

10 Las FIGURAS 1A-1I son vistas en corte transversal y en forma de diagrama de una porción de una pastilla de circuito integrado que ilustra la realización preferida de la presente invención en la que se planariza una capa de material aislante depositado sobre un patrón de metalización.

15 La FIGURA 2 es una vista diagramática ilustrativa de un aparato que se puede emplear para fluidificar la fotorreserva de acuerdo con la presente invención.

20 Las FIGURAS 3A-3J son vistas diagramáticas en corte transversal de otra realización de la presente invención que implican la planarización de una capa de material aislante depositada sobre una estructura de substrato semiconductor que tiene bolsas de material semiconductor rodeadas por un patrón de surcos. La capa de material aislante tiene por objeto proporcionar aislamiento dieléctrico para la

estructura.

Descripción de las Realizaciones Preferidas

5 Con referencia a las FIGS, 1A-1I, se describirá
a continuación el método de la presente invención. La es-
estructura que se muestra en estas Figuras es una porción de
una pastilla de circuito integrado. La estructura puede es-
tar formada de acuerdo con cualquiera de las técnicas con-
vencionales para la fabricación de circuitos integrados,
10 tales como las descritas en la Patente de los EE.UU. -
3.539.876. El sustrato de silicio 10 tiene formada sobre
sí una capa de fondo de material aislante 11 que puede ser
de dióxido de silicio formado por la oxidación térmica de
la superficie del sustrato 10 ó bien un material deposita-
15 do por deposición química en estado de vapor o por pulveri-
zación iónica. Tales materiales incluyen dióxido de sili-
cio, nitruro de silicio u óxido de aluminio. La capa 11 ac-
túa para pasivar o proteger el sustrato de silicio, así
como para aislar eléctricamente el sustrato 10 de un pa-
20 trón de interconexión de metalización 12. El patrón de me-
talización se forma sobre la capa 11 por técnicas conven-
cionales de fabricación de circuitos integrados tales como
las que se describen en la Patente de los EE.UU. 3.539.876,
p.ej., por ataque químico fotolitográfico o por deposición
25 mediante pulverización iónica. El patrón de metalización

está conectado selectivamente a dispositivos, no representados, en la superficie del sustrato 10 por hilos de conexión, no representados, que atraviesan selectivamente la capa aislante 11 hasta llegar al sustrato. El patrón de metalización está cubierto por una sobrecapa 13 de material aislante, tal como dióxido de silicio, que protege y aísla el patrón de metalización. El patrón de metalización 12 puede ser cualquier metal convencional utilizado en circuitos integrados, tal como aluminio, aleaciones aluminio-cobre, platino, paladio, cromo, o molibdeno.

Algunas dimensiones típicas de las capas de la FIG. 1A en los circuitos integrados convencionales de alta densidad serían: para la capa 11, un espesor del orden de 2000 Å; para el patrón de metalización 12, un espesor del orden de 10000 Å, y para la sobrecapa 13, un espesor del orden de 24000 Å. Como se muestra en la FIG. 1B, se deposita una capa de fotorreserva 14 que tiene un espesor del orden de 20000 Å sobre la estructura por métodos convencionales de deposición de fotorreserva utilizados en la técnica de los circuitos integrados.

A continuación, como se muestra en la FIG. 1C, utilizando técnicas convencionales de enmascaramiento con fotorreservas y de exposición, se forma una máscara de fotorreserva 14' en coincidencia con áreas rebajadas 15 de la capa aislante 13. De acuerdo con el estado actual de la

técnica, los patrones de metalización de alta densidad tienen anchuras de línea y separaciones del orden de 5 a 25 micras. Por consiguiente, las depresiones 15 tendrían anchuras correspondientes del orden de 5 a 25 micras. La coincidencia de un patrón de fotorreserva en el interior de áreas rebajadas 15 sería normalmente muy difícil, teniendo en cuenta lo pequeño de las dimensiones. De acuerdo con ello, y con objeto de facilitar tal coincidencia, las líneas 14' de la fotorreserva serían de menor anchura que las depresiones correspondientes 15; las líneas 14' son preferiblemente de 1,5 a 5 micras más estrechas que las correspondientes áreas rebajadas 15.

A continuación, como se muestra en la FIG. 1D, se fluidifica la fotorreserva, con lo que las líneas de la fotorreserva 14' se expanden y ocupan por completo las áreas rebajadas 15. La fluidificación de la fotorreserva puede llevarse a cabo en el aparato que se muestra en la FIG. 2. Las pastillas 16 se montan sobre una rejilla 17 que está suspendida encima de un depósito de disolvente 18 de la fotorreserva contenido en el fondo de un depósito cerrado 19. Con objeto de asegurar una circulación total, la rejilla 17 tiene aberturas 20 a través de las cuales pueden ascender los vapores del disolvente y circular como se muestra.

Haciendo de nuevo referencia a la FIG. 1D, el ma-

terial de fotorreserva fluidificado es preferiblemente una fotorreserva positiva del tipo que se ha descrito en las Patentes de los EE.UU. 3.201.239, 3.046.120 y 3.666.473. Se ha encontrado que tales fotorreservas positivas son susceptibles de ser fluidificadas muy fácilmente cuando se exponen a los vapores de los disolventes convencionales para tales fotorreservas en el interior del sistema cerrado que se muestra en la FIG.2. Con tal fotorreserva positiva, la operación puede ser realizada cómodamente a la temperatura ambiente. Una pluralidad de pastillas que tienen la estructura que se muestra en la FIG. 1C se montan, como se muestra, en el interior del alojamiento totalmente cerrado de la estructura de la FIG. 2. En el interior de un tal sistema cerrado, la presión de vapor del disolvente 18 es suficiente para producir los vapores de disolvente requeridos en equilibrio, lo cual ocurre usualmente en menos de tres minutos a la temperatura ambiente, para fluidificar la fotorreserva.

Disolventes adecuados que se pueden utilizar en el sistema de la FIG. 2 incluyen disolventes de fotorreservas positivas convencionales tales como éteres, ésteres y cetonas, por ejemplo, acetato de metil- o etil-cellosolve, con o sin pequeñas cantidades de acetato de butilo; monometil-éter de glicol; monoetil-éter de glicol; y cetonas alifáticas tales como metil-isobutil-cetona o

acetona

5 Como ejemplo específico en el método que se describe, puede utilizarse la composición II del Ejemplo 1 de la Patente de los EE.UU. 3.666.473. Con esta fotorreserva positiva, un disolvente adecuado 18 a utilizar en el sistema de la FIG. 2 comprende aproximadamente 90% de acetato de etil-cellosolve y 10% de acetato de n-butilo.

10 Al cabo de aproximadamente siete minutos en el sistema cerrado que se muestra en la FIG.2, la fotorreserva se ha fluidificado produciendo la estructura de la FIG. 1D. Cuando se utiliza acetona, el ciclo para la fluidificación de la fotorreserva se puede reducir en gran parte.

15 Si bien se prefieren materiales de fotorreserva positivos para el patrón 14, pueden utilizarse también fotorreservas negativas. Debería tenerse presente que las fotorreservas negativas no son susceptibles de fluidificarse tan fácilmente como las fotorreservas positivas. No obstante, tales fotorreservas negativas pueden utilizarse particularmente en estructuras que tienen dimensiones lineales y, por consiguiente, dimensiones de elevaciones y depresiones, en circuitos integrados que son relativamente mayores que las dimensiones diminutas para las
20 cuales las fotorreservas positivas producen los resultados
25 óptimos. Las fotorreservas negativas típicas incluyen re-

5 sinas sintéticas tales como poli(cinamato de vinilo) y poli(metacrilato de metilo). Una descripción de tales resinas sintéticas y de los foto-sensibilizadores utilizados convencionalmente en combinación con ellas puede encontrarse en el texto "Light Sensitive Systems" ("Sistemas Fotosensibles"), por Jaromir Kosar, particularmente en el Capítulo 4º. Algunas composiciones de fotorreserva de este tipo se describen en las Patentes de los EE.UU. Núms. 2.610.120; 3.143.423; y 3.169.868. Con tales fotorreservas negativas, se pueden utilizar en el sistema de la FIG. 2 los disolventes típicos de las fotorreservas negativas reticuladas. Como se ha indicado previamente, con las fotorreservas negativas puede incrementarse el tiempo para la consecución de una fluidez suficiente para llenar las áreas rebajadas entre las elevaciones. 15 Una fotorreserva negativa que resultaría adecuada es "KTFR", distribuida por Kodak Corporation. Dicho producto comprende una composición de caucho ciclisado que contiene un agente de reticulación fotosensible. Con la fotorreserva negativa KTFR, se puede utilizar en el sistema de la FIG. 20 un disolvente que comprende tricloroetileno. Preferiblemente, el vapor puede producirse por calentamiento del disolvente a aproximadamente 85°C antes de su introducción en el sistema.

25 A continuación, como se muestra en la FIG. 1E,

utilizando técnicas de ataque fotolitográfico convencio-
nales, las elevaciones 21 existentes en la capa aislante
13 se eliminan con un reactivo típico de ataque químico
para planarizar sustancialmente la capa 13, tal como se
5 representa. Supóngase, para el ejemplo presente, que la
capa 13 es una capa de dióxido de silicio que tiene un
espesor de 24.000 Å. Con una tal capa, el tratamiento
con una solución de HF tamponada durante aproximadamente
ocho minutos producirá la estructura que se muestra en
10 la FIG. 1E.

A continuación, como se muestra en la FIG. 1F,
utilizando técnicas de eliminación de fotorreservas con-
vencionales, se separa el material de la fotorreserva 14'
dejando la capa aislante 13 sustancialmente planarizada.
15 Con una tal capa planarizada, se eliminan los efectos del
patrón de metalización 12 en lo referente a la producción
de elevaciones indeseables en los niveles subsiguientes
de metalización y material aislante. Adicionalmente, pue-
den utilizarse las mismas técnicas de planarización para
20 separar las elevaciones en los materiales aislantes resul-
tantes de niveles de metalización subsiguientes.

Además de ello, con la estructura de la FIG. 1F,
es posible formar orificios pasantes a través de la capa
aislante 13 que llegan hasta las líneas de metalización
25 subyacentes del patrón 12 sin ninguno de los efectos in-

deseables que producen las elevaciones sobre la formación de dichos orificios pasantes, como se indica en la Patente de los EE.UU. 3.804.738.

5 Por ejemplo, con referencia a la FIG. 1G, en la formación de un orificio pasante a través de la capa aislante 13 hasta la línea de metalización 12', se forma otra máscara de fotorreserva 22 de la manera convencional que se ha descrito previamente. La abertura 23 en la máscara de fotorreserva 22 tiene dimensiones laterales que son pre-
10 feriblemente mayores que las de la línea 12'.

Seguidamente, como se ve en la FIG. 1H, utilizando técnicas de ataque fotolitográfico convencionales, p.ej., con un reactivo de ataque químico tal como HF tamponado, se forma el orificio pasante 24 a través de la porción planarizada de la capa aislante 13. Después de ello, cuando se forma el patrón de metalización 25 del nivel inmediatamente siguiente sobre la capa aislante 13 utilizando las técnicas previamente descritas, una porción de la metalización 26 se extenderá a través del orificio pasante 24 hasta hacer contacto con la línea 12'.
15
20

Como se ha indicado previamente, el método de la presente invención se puede utilizar también para la planarización de capas aislantes que proporcionan aislamiento tanto superficial como lateral para mesas o bolsas de material semiconductor en circuitos integrados aislados dieléct-
25

tricamente. Tales estructuras se caracterizan por bolsas o mesas de material semiconductor confinadas lateralmente por un patrón de surcos. Una capa eléctricamente aislante se deposita sobre la superficie de tales bolsas para aislar eléctricamente la superficie y en los surcos que rodean las bolsas a fin de proporcionar el aislamiento dieléctrico lateral para dichas bolsas.

Debe entenderse que las ventajas de la presente invención pueden utilizarse para proporcionar planarización de tales capas aislantes depositadas en cualquier estructura de este tipo. Para los fines de ilustración de la presente realización, se hace referencia a las FIGS. 3A-3J. En esta realización, se mostrará un método para la formación de estructuras planares aisladas dieléctricamente de acuerdo con la presente invención, que incluye además un recurso para impedir el deterioro lateral de las bolsas de semiconductor aisladas durante las diversas etapas de ataque fotolitográfico implicadas en la formación del aislamiento dieléctrico así como en la formación de regiones de tipos de conductividad diferentes. Con referencia a la FIG. 3A, la estructura que se muestra, que se ha formado por técnicas de fabricación de circuitos integrados convencionales como se indica, por ejemplo, en la Patente de los EE.UU. 3.539.876, comprende un sustrato 30, de 381 micras de espesor, que soporta una capa epitaxial 31 N-, de 2 mi-

cras de espesor. La región 32 empotrada N+ y la región 33 P+ están formadas en la interfase del substrato 30 y la capa epitaxial 31.

5 A continuación, como se muestra en la FIG. 3B, se forma un patrón de surcos 34 que se extiende a través de la capa epitaxial 31 para aislar una pluralidad de bols
sas o mesas de material semiconductor 35 N-. En la estruc
tura que se muestra, las mesas o bolsas 35 son de silicio y la estructura de pasivación o protectora sobre la estruc
10 tura comprende una capa de nitruro de silicio 36 que está unida a la superficie de las bolsas 35 por una capa 37 de dióxido de silicio térmico. En primer lugar, las aberturas 38 se atacan químicamente a través de la capa 36 de nitru
ro de silicio por técnicas convencionales de ataque foto-
15 litográfico empleando una máscara tal como dióxido de silicio y un reactivo de ataque químico tal como ácido fosfórico caliente, que ataca selectivamente al nitruro de si
licio. Seguidamente, utilizando la capa de nitruro de sili
cio 36 como máscara, se atacan químicamente las aberturas
20 39 a través de la capa de dióxido de silicio 37 con un reactivo de ataque químico que ataque selectivamente el dióxido de silicio. Un reactivo de ataque que puede utilizarse para este fin es HF tamponado. Mientras que se ataca el
óxido térmico, se elimina también el dióxido de silicio pi
25 rolítico.

En esta etapa, utilizando la máscara compuesta resultante formada por las capas 36 y 37, se atacan químicamente los surcos 34 en el silicio con un reactivo de ataque químico que ataca selectivamente al silicio. Un reactivo de ataque típico es una solución diluida de ácido nítrico-ácido fluorhídrico que comprende 500 partes en volumen de ácido nítrico al 70%, 500 partes de ácido nítrico saturado de yodo, 14 partes de fluoruro de amonio al 40%, 2 partes de ácido fluorhídrico al 49% y 5 partes de ácido acético al 98%. Utilizando este reactivo de ataque químico, se forman los surcos 34 y se continúa el ataque químico durante un período de tiempo suficiente para socavar la capa de dióxido de silicio 37 en puntos 40 donde las bolsas de silicio 35 quedan en contacto con los surcos 34 en la superficie de la estructura.

Debe observarse que en lugar de la máscara formada por la composición de las capas 37 y 36, se puede utilizar cualquier capa de material aislante que proporcione una barrera contra el ataque químico en la formación de los surcos 34.

A continuación, como se ve en la FIG. 3C, se deposita otra capa 41 de un material aislante que es resistente al ataque de los reactivos que atacan la capa 37 sobre la estructura con inclusión de las superficies de los surcos, según se muestra. En estos surcos, porciones 41'

de la capa 41 están depositadas bajo la capa 37 en las regiones socavadas 40. En el caso presente, en que la capa 37 está constituida por dióxido de silicio, la capa 41 es preferiblemente un material de nitruro de silicio, y
5 más preferiblemente oxinitruro de silicio, que parece exhibir una mayor compatibilidad con las superficies de silicio que el nitruro de silicio. El oxinitruro de silicio tiene un espesor del orden de 1500 \AA , y puede depositarse por técnicas convencionales de deposición de vapores químicos o por técnicas de deposición por pulverización iónica
10 con radiofrecuencias. La capa 41, en particular las porciones de la misma que recubren las paredes laterales de los surcos así como las porciones 41', protege las bolsas 35 contra cualquier deterioro o ataque lateral cuando las porciones de la capa 37 se eliminan subsiguientemente con el fin de introducir impurezas en la formación de las diversas regiones del dispositivo en el interior de las bolsas 35. Esto se describirá con mayor detalle más adelante en esta memoria.

20 Seguidamente, como se ve en la FIG. 3D, la capa 42 de un material eléctricamente aislante que se selecciona para proporcionar el aislamiento dieléctrico lateral en el interior de los surcos 34, se deposita hasta alcanzar un espesor del orden de 1,2 micras, que es suficiente
25 para llenar sustancialmente los surcos. Durante el procedi

miento de deposición, se deposita también la capa 42 sobre la superficie de la estructura. Las porciones de la capa 42 existentes sobre la superficie proporcionan áreas elevadas 42'. En la presente realización, la capa aislante 42
5 comprende dióxido de silicio. Es en una estructura tal como la presente en la que tanto el aislamiento dieléctrico proporcionado por la capa 42 en los surcos y la capa existente sobre la superficie de las bolsas de silicio 35, es
to es, la capa de dióxido de silicio 37, son del mismo material, en la que el recurso de formar una capa inferior
10 41' resistente al ataque químico en la pared del surco impide el ataque lateral. En caso contrario, cuando la capa 37 se elimina subsiguientemente de porciones de la estructura, el reactivo de ataque químico de la capa 37 podría
15 también eliminar por ataque químico porciones del aislamiento dieléctrico en los surcos proporcionados por la capa 42, dejando al descubierto de este modo las paredes laterales de las bolsas de silicio 35.

Incluso si la capa 42 es de un material distinto del de la capa 37, pero tal que pudiera ser atacado por el reactivo de ataque químico empleado para la capa 37, la capa 41 que recubre los surcos podría todavía desempeñar su función de protección.

En estas condiciones, y haciendo referencia a la
25 FIG. 3E, se eliminan las porciones elevadas 42' utilizando

las técnicas de enmascaramiento por fotorreservas que se han descrito previamente, esto es, que se deposita sobre la totalidad de la estructura una capa de material de fotorreserva 43.

5 A continuación, como se muestra en la FIG. 3F, utilizando técnicas convencionales de enmascaramiento por fotorreservas y exposición, se forma una máscara de fotorreserva 44 en coincidencia con las áreas no elevadas de la capa aislante 42 de la manera que se ha descrito con respecto a la realización de la FIG. 1C. Como en el caso de dicha realización previa, con el fin de facilitar la coincidencia entre el patrón de fotorreserva 44 y las áreas no elevadas, el patrón de fotorreserva 44 tiene líneas que son más estrechas que las correspondientes áreas no elevadas.

10

15

Seguidamente, utilizando las técnicas previamente descritas con respecto a la FIG. 2, se fluidifica la fotorreserva, con lo que las líneas 44 se expanden y cubren por completo las áreas no elevadas de la capa aislante 42, como se muestra en la FIG. 3G.

20

Con referencia, luego, a la FIG. 3H, utilizando técnicas de ataque fotolitográfico convencionales, las porciones elevadas 42' de la capa 42 se eliminan con un reactivo de ataque químico convencional para dióxido de silicio con el fin de dejar al descubierto la capa 41 de oxini-

25

truro de silicio en la superficie de la estructura y con el fin de, en efecto, planarizar sustancialmente la estructura. Un reactivo de ataque químico adecuado que eliminará el dióxido de silicio sin alterar la capa de oxinitruro de silicio 41 es el reactivo de ataque clásico constituido por HF tamponado para dióxido de silicio. Después de la eliminación de las elevaciones 42', la máscara de fotorreserva 44 se elimina de la manera convencional para dejar la estructura que se muestra en la FIG. 3H.

En la etapa inmediatamente siguiente, la superficie de la estructura se preparará para la introducción selectiva de impurezas determinantes de conductividad en algunas de las bolsas de silicio 35. En primer lugar, será necesario eliminar las porciones de la capa 41 que estén al descubierto en la superficie de la estructura, después de lo cual la capa subyacente 36 se elimina para proporcionar la estructura que se muestra en la FIG. 3I. Cuando la capa 41 es oxinitruro de silicio y la capa subyacente 36 es nitruro de silicio, las dos capas se pueden eliminar por tratamiento de la estructura con un reactivo de ataque químico convencional tal como ácido fosfórico caliente o una sal fosfórica caliente que eliminará las capas 41 y 36 sin afectar a la capa subyacente 37 de dióxido de silicio o a la capa de aislamiento dieléctrico 42 de dióxido de silicio en los surcos 34.

Con la estructura que se muestra en la FIG. 3I, es ahora posible llevar a cabo una introducción apropiada de impurezas en bolsas seleccionadas 35 simplemente por la eliminación de la capa 37 de dióxido de silicio que cubre las bolsas y por difusión o implantación de ion en la bolsa expuesta de que se trate.

En la estructura que se muestra en la FIG. 3J, se forma de la manera convencional una máscara de bloqueo 45 de fotorreserva. Esta máscara de bloqueo es todo lo que se precisa para definir la región 48 de tipo P que ha de formarse por la introducción de impurezas en la bolsa 35', N-. Después que se ha formado la máscara 45 de fotorreserva de bloqueo, la porción expuesta de la capa 37 de dióxido de silicio en el interior de la abertura 46 de la máscara de bloqueo se elimina sometiendo la estructura a un reactivo convencional de ataque químico para dióxido de silicio, p.ej., ácido fluorhídrico tamponado.

Como este reactivo de ataque químico no ataca a la capa 41 de oxinitruro de silicio y particularmente a las porciones 41' de la capa de nitruro de silicio que se hallan bajo la porción socavada de la capa eliminada 37, las paredes laterales de la bolsa 35' no están expuestas al reactivo de ataque químico constituido por el HF tamponado y permanecen cubiertas. Incluso si, como se muestra para ilustración en la FIG. 3J, porciones de las regiones

de aislamiento de dióxido de silicio laterales 42 se ven atacadas por el HF tamponado en puntos 47, las paredes 41 de oxinitruro de silicio impedirán que los lados de la bolsa de silicio 35' se vean expuestos. En estas condiciones, cuando las impurezas de tipo P, que pueden ser, por ejemplo, de boro, se introducen para formar la región 48, como se muestra, no habrá introducción alguna de estas impurezas a lo largo de la paredes laterales de la bolsa de silicio 35'. Esto evitará un problema peculiar a algunas etapas de introducción de impurezas definidas por aislamiento de óxido o dieléctrico rebajado en las que hay tendencia a una mayor penetración de las impurezas hacia abajo desde la superficie expuesta a lo largo de las paredes laterales de la estructura. En la estructura presente, la penetración de impurezas de tipo P tendrá lugar sustancialmente hasta una profundidad uniforme a través de la bolsa 35'.

Si bien la invención se ha mostrado y descrito particularmente con referencia a realizaciones preferidas de la misma, se entenderá por los expertos en la técnica que los cambios que anteceden y otros en lo que se refiere a la forma y los detalles pueden hacerse en ellas sin apartarse del espíritu y alcance de la invención.

La presente solicitud, que corresponde a la presentada en Estados Unidos de América, el 17 de Junio de

1.974, bajo el nº 480.086, se acoge a lo beneficios del Artículo 51 del vigente Estatuto sobre Propiedad Industrial.

5

REIVINDICACIONES

10

Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

15

20

25

1ª.- Un método de enmascaramiento por fotorreserva que comprende formar, sobre una superficie de sustrato que tiene un patrón de áreas elevadas y un patrón complementario de áreas no elevadas, un patrón de fotorreserva en coincidencia con dicho patrón de áreas no elevadas, teniendo dicho patrón de fotorreserva dimensiones laterales más estrechas que dicho patrón no elevado con lo que se facilita dicha coincidencia, y fluidificar dicho patrón de fotorreserva para expandir lateralmente la

fotorreserva a fin de cubrir y enmascarar de este modo dichas áreas no elevadas.

5 2*.- El método de la reivindicación 1* en el que dicho patrón de fotorreserva se fluidifica por tratamiento de dicha fotorreserva con un disolvente de la fotorreserva.

3*.- El método de la reivindicación 2*, en el que dicho tratamiento se efectúa con el vapor de dicho disolvente.

10 4*.- El método de la reivindicación 1*, que incluye la etapa ulterior de atacar químicamente para rebajar dichas áreas elevadas.

15 5*.- El método de la reivindicación 4* en el que dicha etapa de ataque químico se lleva a cabo por ataque mediante pulverización iónica.

6*.- El método de la reivindicación 4* en el que dicho ataque químico se efectúa con un reactivo de ataque constituido por un producto químico.

20 7*.- El método de la reivindicación 3* que incluye la etapa adicional de atacar químicamente para rebajar dichas áreas elevadas.

8*.- El método de la reivindicación 7* en el que dicha etapa de ataque químico se lleva a cabo por ataque mediante pulverización iónica.

25 9*.- El método de la reivindicación 7* en el

que dicho ataque se efectúa con un reactivo de ataque constituido por un producto químico.

5 10ª.- El método de la reivindicación 9ª en el que dicha superficie de substrato es un material eléctricamente aislante.

11ª.- El método de la reivindicación 10ª en el que dicho substrato comprende una capa de dicho material eléctricamente aislante que cubre un miembro de circuito semiconductor integrado.

10 12ª.- El método de la reivindicación 4ª en el que dichas áreas elevadas se rebajan sustancialmente hasta el nivel de dichas áreas no elevadas, planarizándose de este modo la superficie.

15 13ª.- El método de la reivindicación 10ª en el que dichas áreas elevadas se rebajan sustancialmente hasta el nivel de dichas áreas no elevadas, planarizándose de este modo la superficie.

20 14ª.- El método de la reivindicación 11ª en el que dicho miembro de circuito integrado tiene formado sobre la superficie del mismo un patrón conductor de líneas elevadas que se corresponde y está en coincidencia con el patrón de áreas elevadas existentes en dicha capa eléctricamente aislante de recubrimiento.

25 15ª.- El método de la reivindicación 14ª en el que dichas áreas elevadas se rebajan sustancialmente has-

ta el nivel de dichas áreas no elevadas, planarizándose de este modo la superficie de la capa eléctricamente aislante.

5 16*.- El método de la reivindicación 15* que incluye la etapa adicional de practicar por ataque químico al menos un orificio pasante, a través de un área elevada rebajada de dicha capa aislante, que se extiende hasta una línea conductora elevada subyacente.

10 17*.- Un método de enmascaramiento por fotorreserva.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

15 Esta Memoria consta de treinta y una hojas escritas a máquina por una sola cara.

Madrid,

24 JUN. 1975

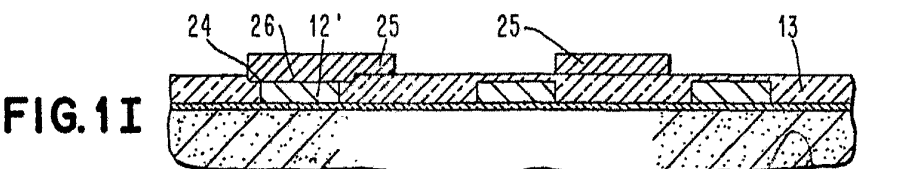
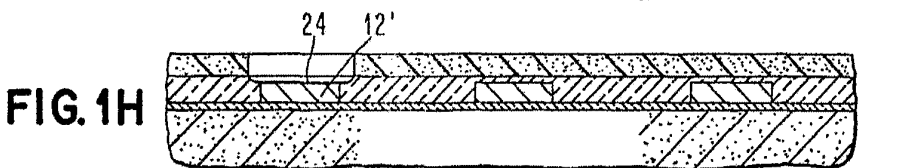
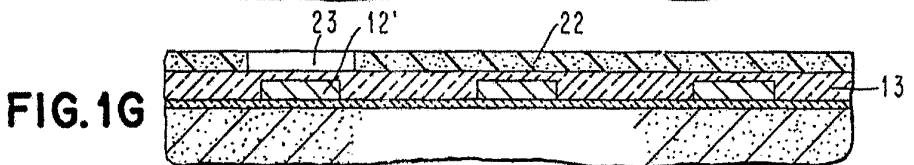
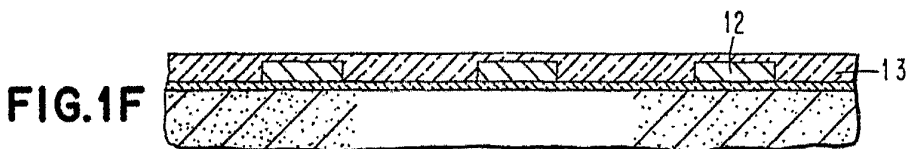
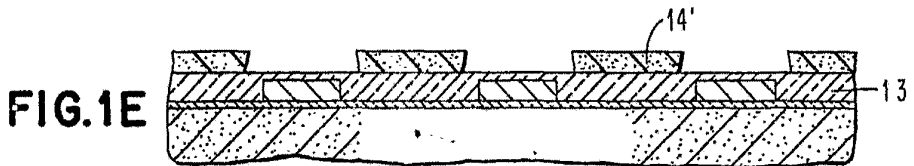
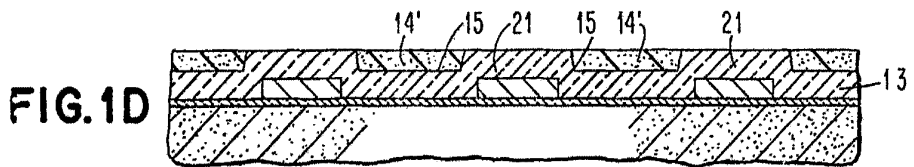
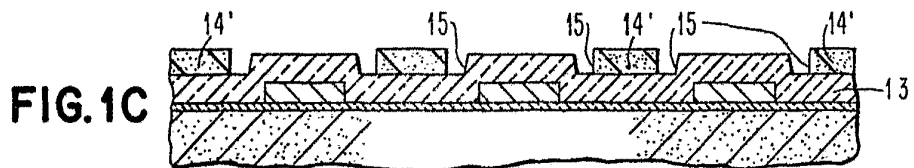
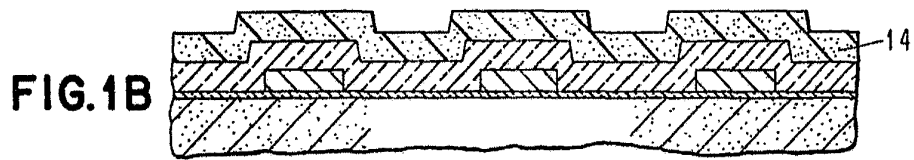
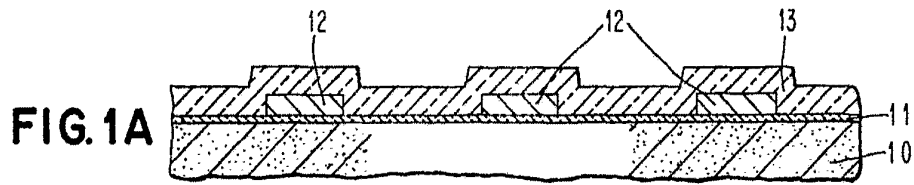
P.A.,

Alberto de Lencastre
Por Poder.

12-6-75

-31-

LFG.



Albert J. ...
For Patent

FIG.3I

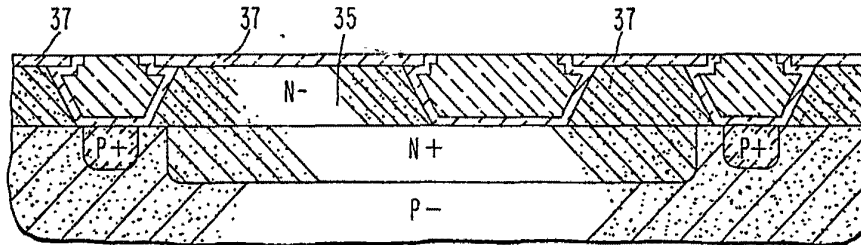


FIG.3J

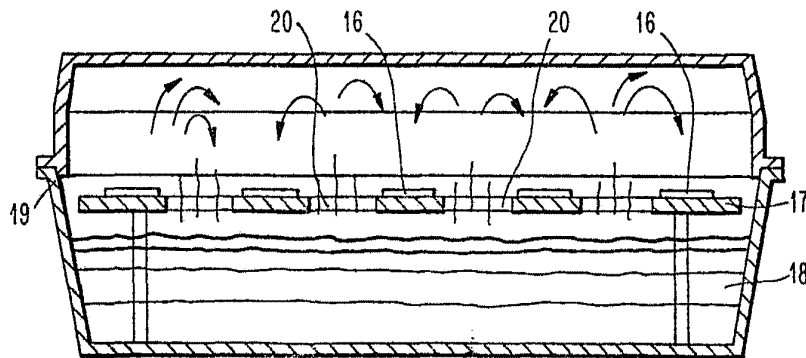
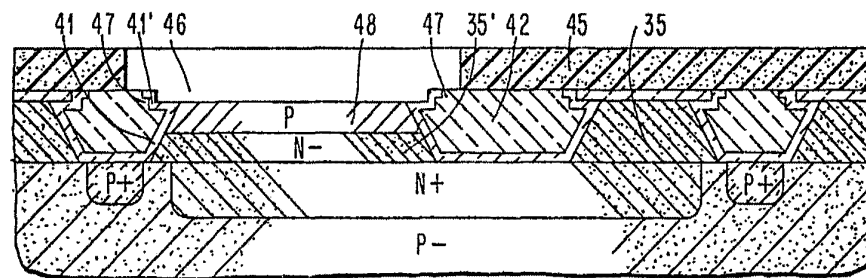
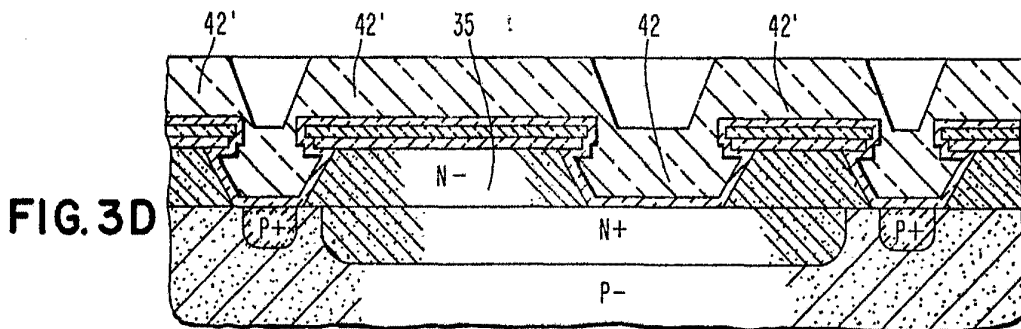
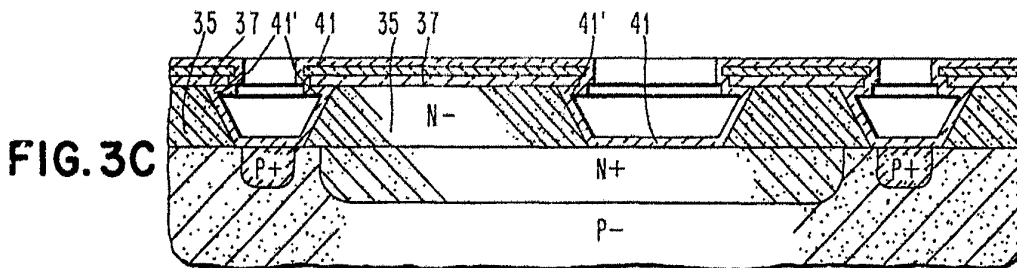
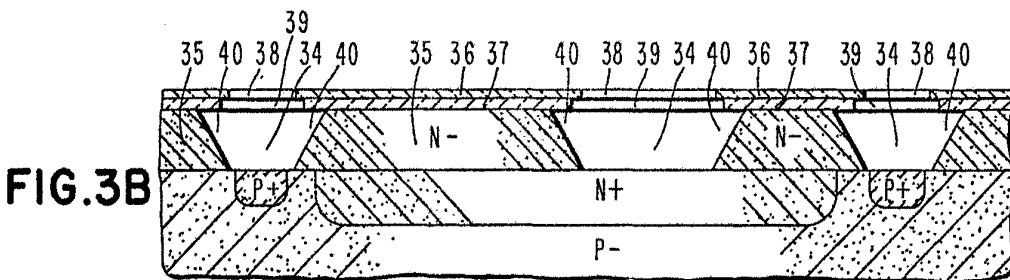
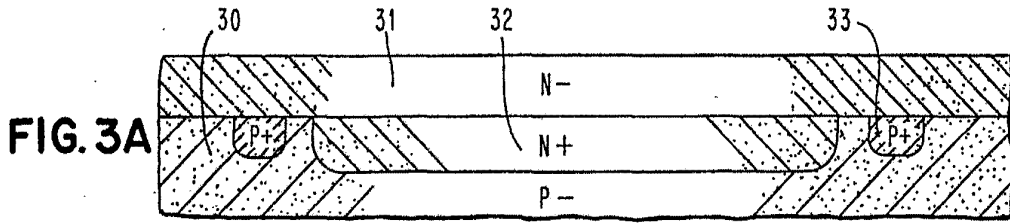


FIG.2

Alberto de S. S. S. S. S.
Por Poder.



Jerio de MACHURU

Poder.

FIG. 3E

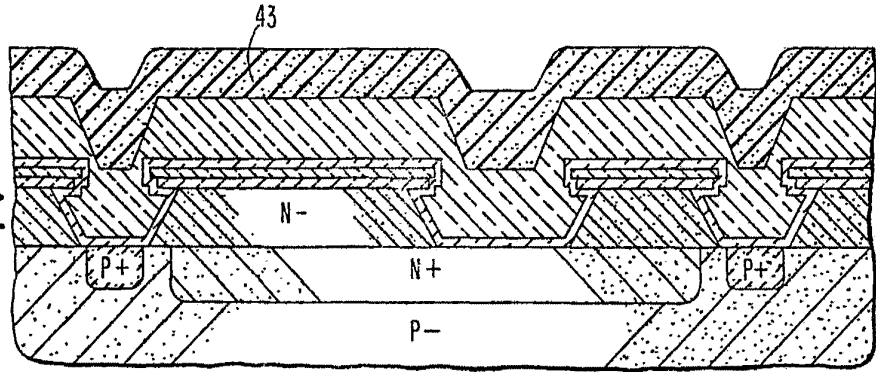


FIG. 3F

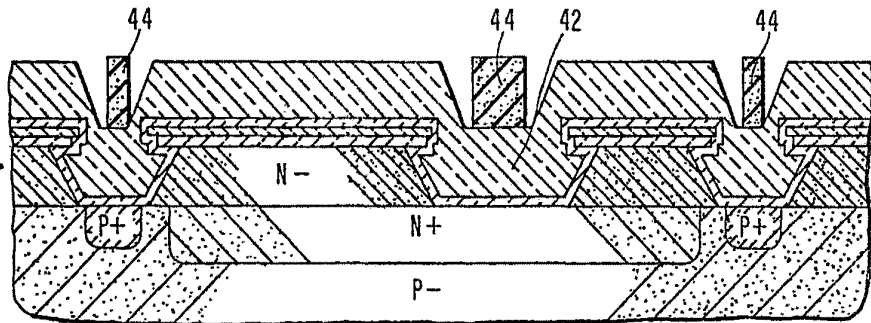


FIG. 3G

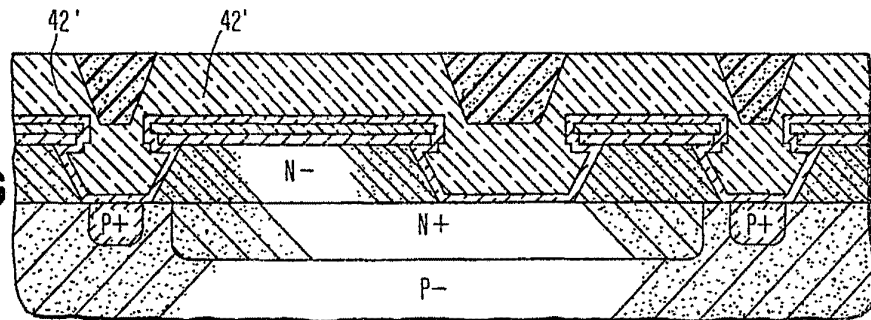
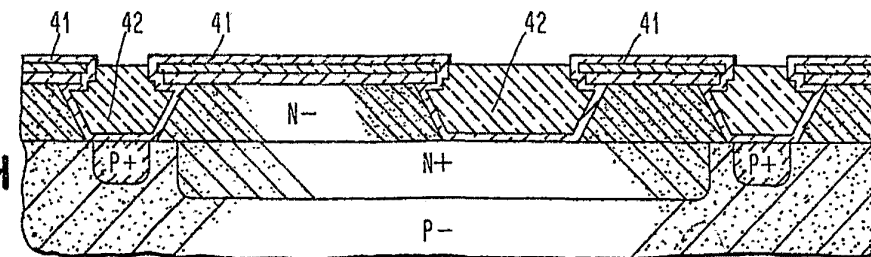


FIG. 3H



ALBERT O. ...
FOR ...