



ESPAÑA

ES	NUMERO	A1
	438.305	
	FECHA DE PRESENTACION	
	6.6.75.	

PATENTE DE INVENCION

③① PRIORIDADES		
③② NUMERO	③③ FECHA	③④ PAIS
P 24 27 794.9	8 de junio de 1.974	Alemania

④⑦ FECHA DE PUBLICIDAD	⑤① CLASIFICACION INTERNACIONAL	⑥② PATENTE DE LA QUE ES DIVISIONARIA
	H04L	

⑤④ TITULO DE LA INVENCION
PERFECCIONAMIENTOS EN SISTEMAS DE CONTROL PARA INSTALACIONES EMISORAS Y RECEPTORAS.

⑦① SOLICITANTE (S)
BBC Aktiengesellschaft Brown, Boveri & Cie., entidad suiza.
DOMICILIO DEL SOLICITANTE
Baden, Suiza.
⑦② INVENTOR (ES)
Walter Wolfgarten, Ing.
⑦③ TITULAR (ES)
⑦④ REPRESENTANTE
D. Jaime Gómez-Acebo y Modet.,

POOR
QUALITY



PATENTE DE INVENCION

Patente 575/74 E.

Memoria Descriptiva

sobre:

PERFECCIONAMIENTOS EN SISTEMAS DE CONTROL PARA INSTALACIONES EMISORAS
Y RECEPTORAS.

Solicitante: BBC AKTIENGESELLSCHAFT BROWN, BOVERI & CIE., entidad
suiza, residente en Baden, Suiza.

La invención se refiere a un sistema de control para una in-
stalación emisora y receptora, para abarcar la conversión vecina
y la saltada. Tales sistemas de control se incorporan en insta-
laciones emisoras y receptoras con el fin de poder reconocer
5. los falsos de paso originados por perturbaciones, en la transmi-



siòn de bits de informaciòn.

Los bits de informaciòn emitidos se componen de se\u00f1ales L o se\u00f1ales O. Se trabaja con modulaciòn digital de la duraciòn de los impulsos (DPIM).

5. Se distinguen generalmente dos clases de falseos de paso, por una parte la conversiòn vecina, falseandose una serie O-L de bits de informaciòn en una serie L-O, y biceversa. Por otra parte se conoce la conversiòn saltada, pudiendo invertirse una serie OOL de bits de informaciòn en una serie LOO, o bien una serie OOOO en una serie LOOO. (Steinbuch, "Taschenbuch der nachrichtenverarbeitung", p\u00e1gina 73) aludi\u00e9ndose para la teor\u00eda adem\u00e1s al escrito de disertaciòn de H. Dr. Groth. (Fehlerwahrscheinlichkeit und spezifische Codierung bei digitaler Pulsdauermodulation" RWTH Aachen),

10. Para poder reconocer falseos de paso, existe la posibilidad de componer el texto para seguridad en trozos cortos. Para c\u00f3digos sistem\u00e1ticos para abarcar la conversaciòn saltadas, se ofrecen entre otros los siguientes conceptos:

15. a) C\u00f3digo sistem\u00e1ticos en los que los bits adicionales necesarios para abarcar el error est\u00e1n mezclados seg\u00fan un determinado esquema con los bits que portan la informaciòn.

20. Tales c\u00f3digos se asemejan al c\u00f3digo Hamming y est\u00e1n de todos modos unidos con un coste t\u00e9cnico no imprescindible.

b) C\u00f3digos sistem\u00e1ticos en los que los bits adicionales est\u00e1n puestos a los bits que portan la informaciòn.

25. Estos c\u00f3digos corresponden \u00f3ptimamente al deseo de una transmisiòn de datos transparente. Esto significa que en la parte de informaciòn se admiten todas las palabras codificadas, o sea con bits de informaciòn en palabras. Ya que todos los bits adicionales se emiten temporalmente detr\u00e1s de los bits de informaciòn es posible sin retardo de tiempo durante la emisiòn. Tanto en el lado emisor como tambi\u00e9n en el lado receptor
- 30.



resulta una técnica de circuitos sencilla y visible de una ojeada. La esencial característica es la empleabilidad en palabras de información de cualquier longitud.

5. c) Códigos sistemáticos que transforman a través de una tabla de coordinación (por ejemplo, memorias de valor fijo en técnica de semiconductores) palabras de información en palabras aseguradas.

10. Probablemente tales códigos pueden formarse o bien analizarse económicamente sólo a través de memorias de valor fijo, de todos modos el coste del circuito asciende exponencialmente con la longitud de las palabras de información. En un tiempo previsible esta solución es demasiado cara.

15. La invención se fundamenta en el cometido de crear un sistema de control para una instalación emisora y receptora, para abarcar una conversación vecina y la saltada y trabajar en esto con un coste mínimo en lo referente a la técnica de los aparatos.

20. El sistema de control debe estar estructurado de manera que sea posible una transmisión de datos transparente, es decir que puedan emitirse bits de información en número ilimitado y se admitan todas las palabras codificadas. Los bits de control deben generarse a partir de los bits de información durante su emisión y emitirse tras esto sin retardo de tiempo.

25. El cometido de la invención se soluciona (aquí en el ejemplo para ocho bits de información y tres bits de control), porque en el sistema de control, en el emisor las salidas de un contador binario están enlazadas con las entradas de un dispositivo de codificador, mientras que tres salidas del contador binario están enlazadas adicionalmente cada una con una primera entrada de elementos-Y, y una cuarta salida del contador binario está conectada a la segunda entrada de los elementos -Y, mientras que terceras entradas de los elementos-Y están enlazadas con
30. una salida de información, y las salidas de los elementos-Y están enla-



- zadas cada una con dos entradas de basculadores I-K y las entradas centrales de los basculadores I-K están conectadas a una alimentación de una cadencia de sistema con la que está enlazada también la entrada del contador binario, porque las salidas de los basculadores I-K están conectadas a primeras entradas de un multiplexor, mientras que segundas entradas del multiplexor están enlazadas con las células de memoria de un registro porque un circuito de enlace del multiplexor está enlazado por una parte con la salida de un dispositivo decodificador y por otra parte con la salida de información, porque en el sistema de control del receptor la entrada de un contador binario está enlazada con la alimentación de una cadencia de sistema, mientras que cuatro salidas del contador binario están enlazadas con las entradas de un elemento-Y una cuarta salida del contador binario está enlazada con primeras entradas de otros elementos-Y y las salidas del contador binario están enlazadas con segundas entradas de otros elementos-Y con una entrada de información a la que está conectada también la entrada de un registro de desplazamiento, y porque las salidas de otros elementos-Y están enlazadas cada una con dos entradas de los basculadores I-K, mientras que las entradas centrales de los basculadores I-K están enlazadas con una alimentación de una cadencia de sistema a la que está conectada también la entrada del registro de desplazamiento, y porque las salidas de los basculadores I-K están conectadas a un comparador al igual que las células de memoria del registro de desplazamiento.

Como esencial ventaja de la invención se ha de destacar que el sistema de control puede emplearse para controlar bits de información de cualquier longitud, lo cual es posible debido a que los bits de control se emiten detrás de los bits de información.

Ha de considerarse ventajoso también el hecho de que mediante la generación de los bits de control por los elementos-Y y los flip-flop o bien de los basculadores I-K resulta, tanto en el lado emisor como tam



bién en el ladoreceptor, una técnica de circuitos sencilla y fácil de ver de una ojeada, y ampliable a números cualquiera de bits de información.

5. El sistema de control se aclara con detalle seguidamente a base de un ejemplo de ejecución representado en el dibujo.

La figura 1 muestra el sistema de control en la parte emisora, la figura 2 muestra el sistema de control en la parte receptora, la figura 3 muestra un ejemplo de asociación para bits de control, la figura 4 muestra una tabla de ocupación para una señal de infor-

10. mación de cuatro bits,

la figura 5 muestra ejemplos de telegramas.

Para la comprensión del sistema de control de las figuras 1 y 2 se aclara primero a modo de ejemplo, a base de las figuras 3 a 5, la asociación elegida de bits de información y de bits de control.

15. La generación de los bits de control debe efectuarse de manera que el primer bit de control abarque al primero, tercero, quinto, séptimo.. bits de información; que el tercer bit de control abarque al cuarto, quinto, sexto, séptimo, decimosexto, decimoquinto, decimoquinto.... bit de información, etc., cobiendo comenzar por cero la numeración de

20. los bits de información (véase la figura 3). En la figura 3 están representados D0..... D7 bits de información y tres bits de control generados de éstos KS0, KS1, KS2. En la figura 3 están representados otros tres ejemplos de ocupación.

25. En la figura 4 los bits de control están ocupados de manera que la suma transversal da un número par de valores L. Como muestra la figura 5, aquí las distancias entre elementos es = 4. Como muestra la figura 4 resulta una ocupación en conjunto baja con valores L, lo cual con modulación de la longitud de los impulsos lleva a tiempos de telegrama demasiado cortos.

30. A los bits de información Di se posponen pués bits de control KJ



de manera que éstos en la forma mostrada forman la suma transversal a elección a 0 ó L. Si resultase en esto una distancia entre elementos de 2, conforme a la longitud de las palabras de los datos y a la elección de la formación de los bits de control, puede esto impedirse mediante un intercalamiento de un valor L entre los bits de datos y los bits de control. Sin embargo en general debe fijarse para cada longitud de palabra de dato la determinación óptima del bits de control (paridad par o impar) de manera que no es necesario el intercalamiento de un valor L.

5. El ejemplo de ejecución de las figuras 1, 2 se refiere a ocho bits de información y tres bits de control.

10. El sistema de control 1 en la parte emisora consta de un contador binario de cuatro bits 2, tres elementos-Y 3, 4 y 5 y los flip-flop o bien basculadores IL 6, 7 y 8, un dispositivo de codificador 9 y un multiplexor 10.

15. La entrada del contador binario de cuatro bits 2 está enlazada con la alimentación 11 de una cadencia de sistema que se producen por un demodulador. (no representado). El contador binario de cuatro bits 2 se manda con ayuda de esta cadencia de sistema. Este mismo gobierna la emisión de los bits de información y de los bits de control así como su generación durante la emisión de los bits de información. Sus cuatro salidas 20. 12, 13, 14 y 15 están enlazadas con primeras entradas 16, 17, 18 y 19 de un dispositivo decodificador 9 que gobierna al brazo de conexión 20 del multiplexor 10 con el que está enlazada su salida.

25. Las entradas 12, 13 y 14 del contador binario de cuatro bits 2 están conectadas a primeras entradas 21, 22 y 23 de elementos-Y 3, 4 y 5, mientras que una salida 15 del contador binario de cuatro bits 2 está enlazada con segundas entradas 24, 25 y 26 de los elementos-Y 3, 4 y 5.

30. El contador binario de cuatro bits 2 está estructurado de manera que cuenta progresivamente de 0 a 15, mandado por la cadencia del sistema. Cada número de 0 a 15 se representa en forma binaria mediante cuatro



señales que aparecen simultáneamente en sus salidas 12, 13, 14 y 15. Las cuatro señales que aparecen simultáneamente en cada caso se conducen a las entradas 16, 17, 18 y 19 del dispositivo decodificador 9, con lo cual se gobierna el brazo de conexión 20 del multiplexor 10. (El brazo de conexión 20 simboliza un elemento de enlace, por ejemplo un circuito de semiconductores integrado en sistema de unidad operadora).

El multiplexor 10 empleado aquí está dotado de varias entradas. El número de entradas puede regirse según un número de bits de información a emitir más el número de bits de control necesitados; en este caso son 15 entradas 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41. De estas hay segundas salidas 27 a 34 enlazadas respectivamente a una célula de memoria 42, 43, 44, 45, 46, 47, 48, 49 del registro 50. En este registro 50 están almacenados los bits de información a emitir. Las primeras entradas 35, 36 y 37 del multiplexor 10 están enlazadas con las salidas 70, 71 y 72 de los flip-flop o bien los basculadores I-K 6, 7 y 8. El brazo de conexión 20 del multiplexor 10 puede enlazarse con cada entrada 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41. Este explora progresivamente las entradas 27 a 41, gobernándose, como ya se ha mencionado, mediante señales que parten del dispositivo decodificador 9. El brazo de conexión 20 está unido fijo con una salida de información 54. Si su otro extremo está en enlace con una entrada 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41 del multiplexor 10, que está enlazada con una célula de memoria 42, 43, 44, 45, 46, 47, 48, 49 o la salida 70, 71, 72 de un basculador I-K 6, 7, 8, el bit de información contenido en la célula de memoria o bien la señal aplicada a la salida 70, 71, 72 del basculador I-K 6, 7, 8, y que representa un bit de control, puede llegar a la salida de información 54 y emitirse.

Los bits de control se generan mediante los elementos-Y 3, 4, 5, y los basculadores I-K 6, 7, 8. Para cada bit de control es necesario un elemento-Y y un basculador I-K. El número de bits de control necesitados



se determinan por la fórmula: $\log_2 n$ = número de bits de control, siendo \log_2 el logaritmo de base 2 y representado n el número de bits de información.

Con el fin de que los bits de control puedan generarse a partir de los bits de información, están enlazadas con la salida de información 54 las terceras salidas 55, 56, 57 de los elementos-Y 3, 4, y 5. Sus salidas 58, 59, y 60 están enlazadas cada una con dos entradas 61, 62, 63, 64, 65, y 66 de los basculadores I-K 6, 7 y 8. Los tres basculadores I-K 6, 7 y 8 están conectados, mediante el enlace de las entradas I-K 61, 62, 63, 64, 65 y 66, de manera que a un valor L en la salida de los elementos-Y 3, 4 y 5, los basculadores I-K 6, 7 y 8 cambian sus estados de salida, y a un valor 0 conservan éstos invariados. Así pues un basculador I-K cambia siempre entonces la señal en su salida cuando durante los estados de conlaje 0.....7 por el contador binario de cuatro bits 2 hay precisamente una señal L sobre una, dos o tres de sus salidas 12, 13, 14, y llega una señal L para su emisión a la salida de información 54 del multiplexor 10. La señal 0 existente en la salida 15 del contador binario se invierte ante las entradas de los elementos-Y 24, 25, y 26 de manera que éstos reciben siempre una señal L durante los estados de conlaje 0....7. Los basculadores I-K 6, 7, 8 se mandan mediante la cadena de sistema, con cuya alimentación L_1 están enlazadas sus entradas 67, 68 y 69.

Las salidas 70, 71 y 72 de los basculadores I-K 6, 7, 8 están conectadas a las entradas 35, 36 y 37 del multiplexor 10. Antes de la transmisión de la información a transmitir está en paralelo en un registro 50. Los distintos bits de información están almacenados en memorias 42, 43, 44, 45, 46, 47, 48, 49. Las señales de salida del contador binario de cuatro bits así como las de los elementos-Y 3, 4 y 5 como también las de los basculadores I-K 6, 7, y 8 son cero. Si el contador binario de cuatro bits 2 comienza a contar, se emiten los bits de información y comienza la generación de bits de control. El conlaje del contador bi



nario de cuatro bits 2 comienza con cero.

Los bits de control se representan mediante las señales existentes en las salidas de los basculadores I-K 6, 7 y 8 después de la emisión del último bit de información.

5. Al generarse los bits de control se conducen también a las entradas 55, 56, y 57 de los elementos-Y 3, 4, y 5 todos los bits de información llegados a la salida de información 54.

Si se emite una señal 0, no varían por ello las señales en las salidas 70, 71, 72, de los basculadores I-K 6, 7 y 8. Si por el contrario se emite un bit de información L, y uno o varios elementos-Y 3, 4 y 5 recibe en sus salidas 21, 22 y 23, en virtud del momentáneo estado del contador, otra señal L de las salidas 12, 13, 14 del contador binario de cuatro bits 2, se obtiene una señal L de las salidas de los elementos-Y 3, 4 y/o 5 concernientes. Esto significa que se varían las señales de salida

15. de los basculadores I-K 6, 7 y 8 que reciben una señal L en sus entradas. Si un basculador I-K 6, 7, 8 recibe la primera señal L, se varía su señal en la salida 70, 71, 72 de 0 a L; en la siguiente señal L se varía de nuevo de L a 0, etc. Las señales en las salidas 70, 71, 72 se varían hasta que está emitido el último bit de información. En tonces están generados los tres bits de control, que es aquí el caso después del estado de contador 7. A partir del estado de contador 8 las entradas 24, 25 y 26 de los elementos-Y 3, 4 y 5 obtiene una señal 0 ya que la señal L existente en la entrada 15 del contador binario de cuatro bits 2 se invierte ante las entradas 24, 25 y 26 de los elementos-Y 3, 4 y 5. Ahora no es ya posible una variación de las señales de salida de los basculadores I-K 6, 7 y 8.

20. Durante los estados de contador 8, 9 y 10 el brazo de conexión 20 está enlazado con las entradas 35, 36 y 37 del multiplexor 10. Ya que estas entradas están enlazadas con las salidas 70, 71, y 72 de los basculadores I-K 6, 7 y 8, los tres bits de control KSO, KSI, KS2 llegan a la

25. 30.



salida de información y se emiten.

El sistema de control 1 en el lado receptor se compone de un contador binario de cuatro bits 102, cinco elementos-Y 103, 104, 105, 109 y 110 así como tres basculadores I-K 106, 107 y 108 y un comparador 173.

5. La entrada del contador binario de cuatro bits 102 está enlazada con la alimentación 111 de un demodulador (no representado) que a cada señal recibida produce una señal de cadencia, la cadencia del sistema. Con esta cadencia de sistema se manda el contador binario de cuatro bits 102. Este contador binario de cuatro bits 102 gobierna la nueva generación de tres bits de control KE0, KE1, y KE2 a partir de los bits de información recibidos. Los bits de información que llegan a la entrada de información 176 se almacenan en las células de memoria 142, 143, 144, 145, 147, 148 149 de un registro de desplazamiento 150. (están previstas células de memoria 151, 152, 153 para bits de control).

15. Esto se efectúa mediante la cadencia de sistema que desplaza a los bits de información a través del registro de desplazamiento 150 y los ordena en las células de memoria previstas para ellos. Las salidas 112, 113, 114, 115 del contador binario de cuatro bits 102 están enlazadas cada una con una salida 117, 118, 119, y 120 del elemento-Y 109. Sus salidas 112, 113, 114 están conectadas cada una a una segunda entrada 121, 122 y 123 de otros elementos-Y 103, 104 y 105, mientras que su salida 115 está enlazada con primeras entradas 124, 125 y 126 de otros elementos-Y 103, 104 y 105. Para la generación de bits de control KE0, KE1 y KE2 se conducen los bits de información que vienen, a terceras entradas 155, 156 y 157 de otros elementos-Y 103, 104 y 105.

20. Para la generación de los tres bits de control se necesitan, como en el lado emisor, tres elementos-Y y tres basculadores I-K 106, 107 y 108. El establecimiento (generación) de los bits de control KE0, KE1 y KE2 tiene aquí lugar como en el lado emisor. En las salidas del contador bi-

30.



- nario de cuatro bits 102, de los elementos-Y 103, 104 y 105 y de los basculadores I-K 106, 107 y 108, hay al comienzo señales 0 a L sólo cuando en la salida 158, 159, 160 de los elementos-Y 103, 104 y 105 con la que están unidos, hay una señal L. Como ya se ha descrito para el lado emisor, esto es posible sólo cuando además de un bit de información L en la
5. entrada 155, 156, 157 de los elementos-Y 103, 104 y 105 hay también en su entrada 121, 122, 123 y en su entrada 124, 125, 126 una señal L. En su entrada 121, 122, 123 hay una señal 0 o una señal L en dependencia de la respectiva indicación del contador. La entrada 124, 125 126 obtiene por
10. el contrario durante la generación de bits de control siempre una señal L por la salida 115 del contador binario de cuatro bits 102, ya que durante las indicaciones de contador7 se invierte la señal 0 que hay en la salida 115. Los basculadores I-K 106, 107, 108, al igual que el contador binario de cuatro bits 102 se mandan con la cadencia del sistema,
15. con cuya alimentación 111 están enlazadas sus entradas 167, 168 y 169.
- Una vez que está concluida la generación de los bits de control KEO KE1, y KE2 en el lado receptor y están almacenados en las células de memoria 151, 152, y 153 del registro de desplazamiento 150 los bits de control KSO, KS1 y KS2 generados en el lado emisor, lo cual es así el caso
20. al tratarse de la indicación de contador 10, se comparan unos con otros los seis bits de control. Por este motivo las salidas 170 171 y 172 de los basculadores I-K 106, 107 y 108, así como las células de memoria 151, 152 y 153, están enlazadas con un comparador 173. Si coinciden el bit de control KSO con los bits de control KEO, KS1, con KE1 así como KS2 se obtiene en la salida del comparador 173 una señal L que se conduce a la
25. entrada 174 del siguiente elemento-Y 110. La segunda entrada 175 del elemento-Y 110 obtiene asimismo durante la indicación de contador 10 una señal L de la salida del elemento-Y 109. Esta señal L en la salida del elemento-Y 109 se consigue debido a que las señales que vienen de las
30. salidas 112 y 114 del contador binario de cuatro bits 102 se conducen in



vertidas a las entradas 118 y 120.

Mediante esto se logra que precisamente con la indicación de contador 10 sólo alcancen señales L las entradas 117, 118, 119 y 120 del elemento-Y 109.

5. Según haya tenido lugar o no una conversión vecina o bien una saltada al emitir los bits de información, y que el comparador 117 emita en virtud de esto una señal 0 o una señal L, se obtiene en la salida del elemento-Y 110 una señal 0 o una señal L.

10. Seguidamente se describe un ejemplode funcionamiento del sistema de control según la invención.

En las células de memoria 42, 43, 44, 45, 46, 47, 48, y 49 del registro 5^o están almacenados por ejemplo los siguientes bits de información a emitir LLOLOLLL.

15. Tras éstos bits de información a emitir se han de emitir bits de control con el fin de poder abarcar al emitir una posible conversión vecina o bien saltada.

20. El número necesario de bits de control puede calcularse por la fórmula $LDN = \text{número de bits de información a emitir}$. De $1d8 = 3$ resulta que a los bits de información tienen que seguir tres bits de control con el fin de poder reconocer los posibles errores. Los bits de control KS0, KS1, y KS2 se generan con ayuda de los elementos-Y 3, 4 y 5 los

25. basculadores I-K 6, 7 y 8 a partir de los bits de información según una lógica análoga a la lógica de coordinación visible en la figura 4. El número de elementos-Y de flip-flop o bien de basculadores I-K necesarios

30. para la generación de los bits de control se rige según el número de bits de control se rige según el número de bits de control; en este caso son necesarios tres elementos-Y y tres basculadores I-K. El gobierno de todo el proceso se efectúa mediante un contador binario de cuatro bits 2, que se manda por medio de una cadencia de sistema. Esta cadencia del sistema la produce un demodulador (no representado), cuya alimenta



ción 11 está enlazada con la entrada del contador binario de cuatro bits 2.

5. El contador binario de cuatro bits 2 cuenta progresivamente de 0 a 15. En sus salidas 12, 13, 14 y 15 aparecen siempre cuatro señales simultáneamente que representan en forma binaria uno de los números entre 0 y 15. En esto la señal L en la salida 12 debe representar 2^0 , mientras que las señales L en las salidas 13, 14 y 15 representan 2^1 , 2^2 , y 2^3 . Con la indicación de contador cero aparecen cuatro señales 0 en las salidas 12, 13, 14 y 15. El número uno se representa por las señales L000, el dos por 0L00, etc.

10.

El dispositivo decodificador 9 produce a partir de estas cuatro señales aplicadas simultáneamente en cada caso a sus entradas una transmisión de señal en series. Esta transmisión de señales en series se emplea para el gobierno del brazo de conexión 20 del multiplexor 10. Por ejemplo la señal que se forma a partir de las señales 0000, origina que el brazo de conexión 20 se enlace con la entrada 27 del multiplexor 10. Las señales L000, 0L00, L000, etc. (1, 2, 3,....) producen señales que gobiernan al brazo de conexión 20 de manera que éste enlaza progresivamente el multiplexor 10 con las entradas 28, 29, 30, 31, 32, 33, 34, 35, 36, 37....41. Las entradas 27, 28, 29, 30, 31, 32, 33, y 34 están enlazadas con las células de memoria 42, 43, 44, 45, 46, 47, 48, 49 del registro 50. Si está ahora enlazado el brazo de conexión 20 con la entrada 27 del multiplexor, la señal L almacenada en la célula de memoria 42 llega a la salida de información 54 y se emite. Al mismo tiempo llega esta señal L para la generación de los bits de control KSO, KS1 y KS2 también a las entradas 55, 56 y 57 de los elementos-Y 3, 4 y 5. Las entradas 21, 22 y 23 de los elementos-Y 3, 4 y 5 obtienen del contador binario de cuatro bits 2 las señales 0; 0, 0. Sus entradas 24, 25 y 26 obtienen una señal L ya que se invierte la señal 0 que viene de la salida 15 del contador binario de cuatro bits 2. En virtud de estas señales en las entradas de

15.

20.

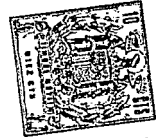
25.

30.



los elementos-Y 3, 4 y 5, aparecen en sus salidas 58, 59 y 60 sólo seña
les 0. Los estados de partida de los basculadores I-K 6, 7 y 8 están a
cero al comienzo de la transmisión de la información, ya que este estado
de partida de los basculadores I-K 6, 7 y 8 varia unicamente cuando se
5. les conduce una señal L a través de la salida 58, 59 y 60 de los elemen
tos-Y 3, 4 y 5 con los que están enlazadas sus dos entradas 61, y 62, 63
y 64, 65 y 66, el estado de partida de los basculadores I-K 6, 7, 8 per
manece a cero. Con la indicación de contador 1 del contador binario de
cuatro bits, llega otro bit de información L desde la célula de memoria
10. 43 a la salida de telegramas 54 y a las entradas 55, 56 y 57 de los ele
mentos-Y 3, 4 y 5. Con indicación de contador 1 las entradas 21 y 24 del
elemento-Y 3 obtienen de las salidas 12 y 15 del contador binario de cua
tro bits 2 asimismo dos señales L, siendo una señal 0 invertida la se
ñal que viene de la salida 15, como se mencionó anteriormente. En esto
15. es también una señal L la señal de salida del elemento-Y 3. Esto origi
na que la señal de salida del basculador I-K 6 varíe de 0 a L. En las
salidas 59 y 60 de los elementos-Y 4 y 5 se obtienen dos señales 0, ya
que las señales de entrada de ambos elementos-Y 4 y 5 se componen en
cada caso de una señal 0 y de dos señales L. Por este motivo los bascu
20. ladores I-K 7 y 8 conservan sus estados de partida cero.

Estos procesos descritos se repiten hasta que el último bit de in
formación han abandonado el emisor. En el caso de que se hayan emitido
todos los bits de información LLOLOLLL contenidos en el registro 50, se
obtiene después de la emisión de todo el telegrama, en la salida 70 del
25. basculador I-K 6, una señal 0 y en las salidas 71 y 72 de ambos bascula
dores I-K 7 y 8 una señal L en cada caso. Estas señales generadas a par
tir de los bits de información representan tres bits de control KS0,
KS1 y KS2. Estos se emiten detrás de los bits de información durante los
estados de contador 8, 9 y 10, durante los cuales el brazo de conexión
30. 20 establece progresivamente un enlace entre las salidas 70, 71 y 72 de



los basculadores I-K 6, 7 y 8 y la salida de información 54.

- Los bits de información y de control que llegan en el lado receptor a la entrada de información 176, se desplizan a través de la memoria 150 con ayuda de la cadencia del sistema que se produce por un demodulador
5. (no representado) y cuya alimentación 111 está enlazada con la entrada 178 de la memoria 150, y se ordenan en células de memoria 142, 143, 144, 145, 146, 147, 148, 149, 150, 151, 152, 153 destinadas a ellos. Simultáneamente con el almacenamiento de los bits de información se generan en el lado receptor otra vez tres bits de control a partir de los bits de
10. información que vienen. El gobierno de todo el proceso de efectúa, como en el lado emisor, mediante un contador binario de cuatro bits 102 que se manda mediante la cadencia de sistema. Su entrada está por lo tanto enlazada con la alimentación 111 de la cadencia de sistema. Este cuenta también de nuevo progresivamente desde 0 a 15. Los números se representan también aquí en forma de binaria. Aquí la señal L en la salida 112 debe representar 2^0 , mientras que las señales L en las salidas 113, 114 y 115 representan 2^1 , 2^2 y 2^3 . Con la indicación de contador 0 del contador binario de cuatro bits se almacena el primer bit de información que viene
15. en la memoria 150. Al mismo tiempo se conduce este bits de información también a las entradas 155, 156 y 157 de los elementos-Y 103, 104 y 105. Para la generación de los tres bits de control son necesarios de nuevo tres elementos-Y 103, 104 y 105 así como tres basculadores I-K 106, 107 y 108. La generación de los bits de control tiene lugar del mismo modo que se describió para el lado emisor. Cada basculador I-K 106, 107 y 108
20. varia la señal L a sus dos salidas 161 y 162, 163 y 164, 165 y 166. Si al emitirse tiene lugar una conversión vecina o salteada, al indicar 2 el contador tienen que estar almacenados dos bits de información L y bit de información 0 en las células de memoria 151, 152 y 153. Por lo demás en la salida 170 del basculador I-K 106 tiene que haber una señal L y
25. en la salida 171 y 172 de los basculadores I-K 107 y 108 una señal 0 en
- 30.



cada caso.

5. Las señales que aparecen al estar el contador en 8 en la salida 170 171, 172 de los basculadores 106, 107 y 108 son los tres bits de control KEE, KRI y KE2 generados en el lado receptor. Si durante la emisión de todos los bits de información no ha tenido lugar ninguna conversión vecina o bien saltada, los bits de control generados en el lado emisor y en el lado receptor son idénticos y concretamente será entonces $KSO = KEO = 0$, $KS1 = KE1 = L$ y $KS2 = KE2 = L$.

10. Para poder determinar esto se almacenan durante los estados de contador 8, 9 y 10 en las células de memoria 151, 152 y 153 los bits de control generados y emitidos detrás de los bits de información. Se consigue durante los estados de contador 8, 9 y 10 una variación no deseada de los bits de control generados en el lado receptor porque los elementos-Y 103, 104 y 105 reciben durante estos estados de contador solo 15. señales 0 en sus entradas 121, 122 y 123 así como 124, 125 y 126. Así pues las señales en sus salidas 158, 159 y 160 son asimismo señales 0, no importando que señales hay todavía en sus otras entradas 155, 156 y 157. Con la indicación de contador 10, cuando el último bit de control está almacenado en la célula de memoria 153, puede controlarse la identidad 20. de los bits de control emitidos y de los generados en el lado receptor. Para esto se conducen los seis bits de control a un comparador 173. Si los bits de control emitidos coinciden con los bits de control generados en el lado receptor, el comparador 173 emite una señal L que se conduce a la entrada 174 del elemento-Y 110. Durante la indicación 10 25. del contador su segunda entrada 175 obtiene también una señal L del elemento-Y 109.

30. Ambas señales L en las entradas 174 y 175 del elemento-Y 110 originan una señal L en su salida. Esta señal L puede dirigirse a un aparato indicador 179, por ejemplo una lámpara, cuya iluminación indica que la transmisión de los bits de información tuvo lugar sin errores.



En ulterior estructuración de la invención el sistema de control puede ampliarse de manera que a una longitud de palabra de datos y al seleccionar el bit de control con sólo una distancia entre elementos de $e=2$, puede meterse un bit L entre los bits de información y los bits de control. En el circuito de la figura 2 se encuentra entonces entre las memorias 149 y 151 otra memoria para el bit L emitido entre los bits de información y los bits de control.

N O T A

Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental; también se hace constar que el invento corresponde a una solicitud de patente presentada en Alemania nº P 24 27 794,9 de 8 de julio de 1974, acogido por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención por 20 años en España, sobre: PERFECCIONAMIENTOS EN SISTEMAS DE CONTROL PARA INSTALACIONES EMISORAS Y RECEPTORAS; caracterizándose por lo siguiente:

1.- Perfeccionamientos en sistemas de control para instalaciones emisoras y receptoras, del tipo que abarcan la conversión vecina y saltada, caracterizados porque en el sistema de control, en el emisor las salidas de un primer contador binario están enlazadas con las entradas de un dispositivo codificador, mientras que tres salidas del primer contador binario están enlazadas adicionalmente cada una con una primera entrada de un primer, un segundo y un tercer elementos-Y y una cuarta salida del primer contador binario está conectada a las segundas entradas de dichos primer y segundo y tercer elementos Y mientras que terceras entradas de los primer segundo y tercer elementos Y están enlazadas con una salida de información y las salidas de dichos primer segundo y ter-



cer están enlazadas cada una con dos entradas de un primer un segundo y un tercer y las entradas centrales de dichos primer, segundo y tercer basculadores están conectadas a una alimentación de una cadencia de sistema con la que está enlazada también la entrada del primer contador binario porque las salidas de los mencionados primer, segundo y tercer están conectadas a primeras entradas de un multiplexor, mientras que segundas salidas del multiplexor mencionado están enlazadas con las células de memoria de un registro, porque un elemento de enlace de dicho multiplexor está enlazado por una parte con la salida de un dispositivo decodificador y por otra parte con la salida de información, porque en el sistema de control en el receptor, la entrada de un segundo contador binario está enlazada con una alimentación de una cadencia de sistema, mientras que cuatro salidas del segundo contador binario están enlazadas con las entradas de un cuarto elemento Y y una cuarta salida del cuarto contador binario está enlazada con las primeras entradas unos quinto, sexto y séptimo elementos Y y las salidas del segundo contador binario están enlazadas con segundas entradas de los otros octavo, noveno y décimo Y mientras que terceras entradas de los octavo, noveno y décimo elementos Y están enlazadas con una entrada de información a la que está conectada también la entrada de un registro de desplazamiento y porque las salidas de los octavo noveno y decimo elementos Y están enlazadas cada una con dos entradas de uno cuarto, quinto y sexto basculadores mientras que las entradas centrales de los basculadores mientras que las entradas centrales de los cuarto, quinto y sexto basculadores están enlazadas con una alimentación de una cadencia de sistema a la que está conectada también la entrada del registro de desplazamiento, y porque las salidas de los cuarto, quinto y sexto basculadores, así como las células de memoria del registro de desplazamiento, están conectadas a un comparador.

2.- Perfeccionamientos según la reivindicación 1, caracterizados porque la salida del comparador está conectada a la primera entrada de



un decimoprimer elemento Y, cuya segunda salida está enlazada con la salida del cuarto elemento Y.

3.- Perfeccionamientos según la reivindicación 2, caracterizados por que la salida del decimoprimer elemento Y está conectada a un aparato indicador.

5.

4.- Perfeccionamientos en sistemas de control para instalaciones emisoras y receptoras, tal y como queda sustancialmente descrito en la presente invención e ilustrado en los dibujos adjuntos.

Esta Memoria consta de 19 hojas escritas a máquina por una sola cara.

10.

13 FEB. 1976.

Madrid,

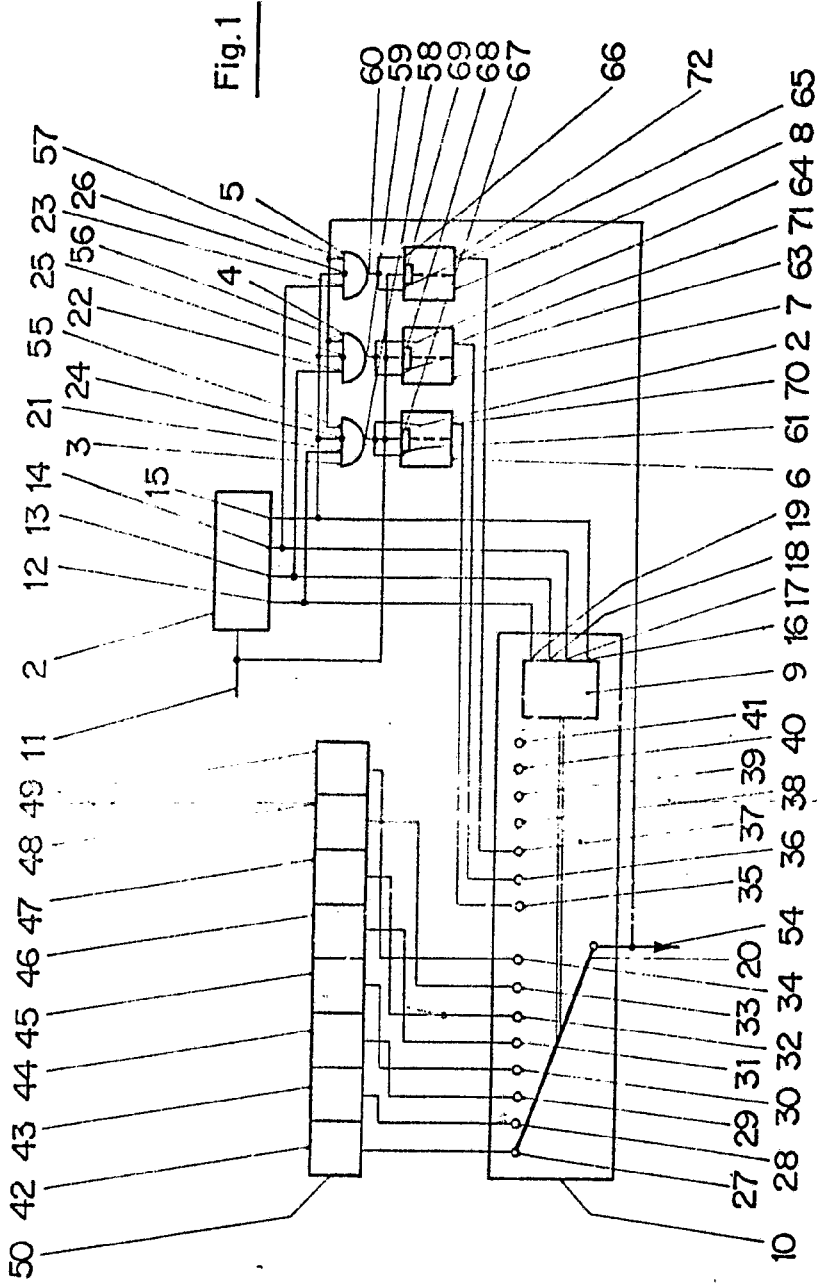
BBC AKTIENGESELLSCHAFT BROWN, BOVERI & CIE.

15.

GÓMEZ ACEDO Y MUÑOZ

Exp. p. Firmador: L. García Fernández

18 FEB 1938



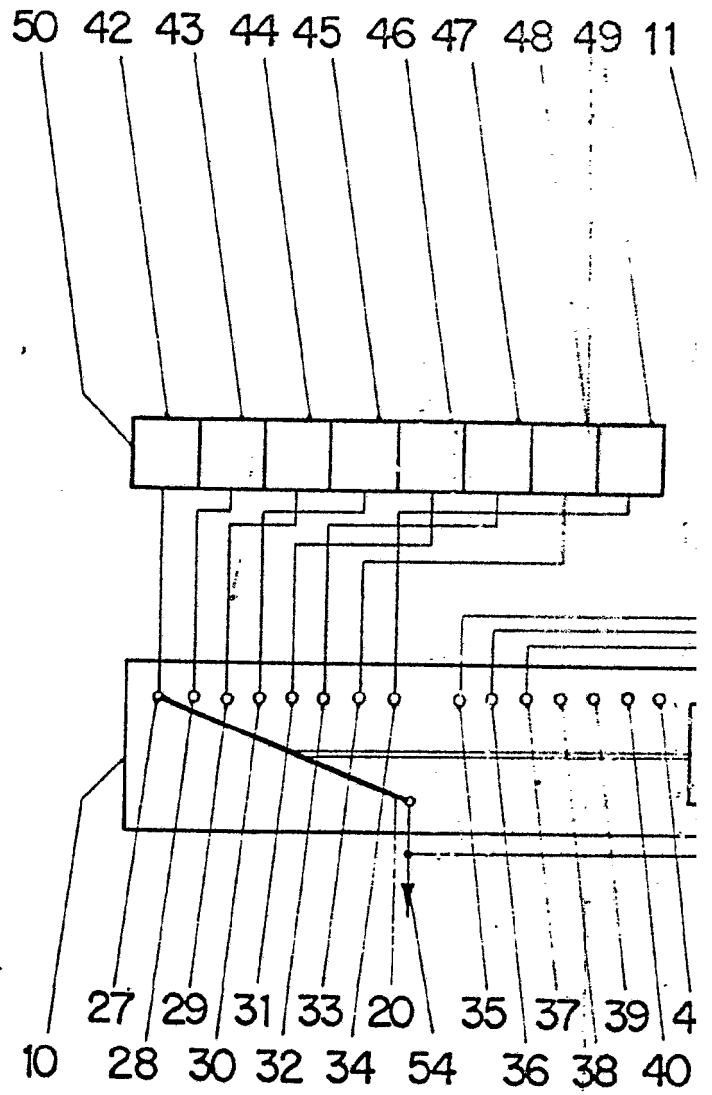
ESCALA
VARIABLE
10 E.S. 1/3 S

GUIEZ AGES Y KUDEY
P. Francisco L. Gasta Fandiño

[Handwritten signature]

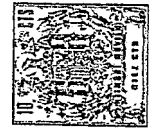
**POOR
QUALITY**

BBC AKTIENGESELLSCHAFT, BROWN,
BOVERI & CIE



**POOR
QUALITY**

18 FEB. 1975



13

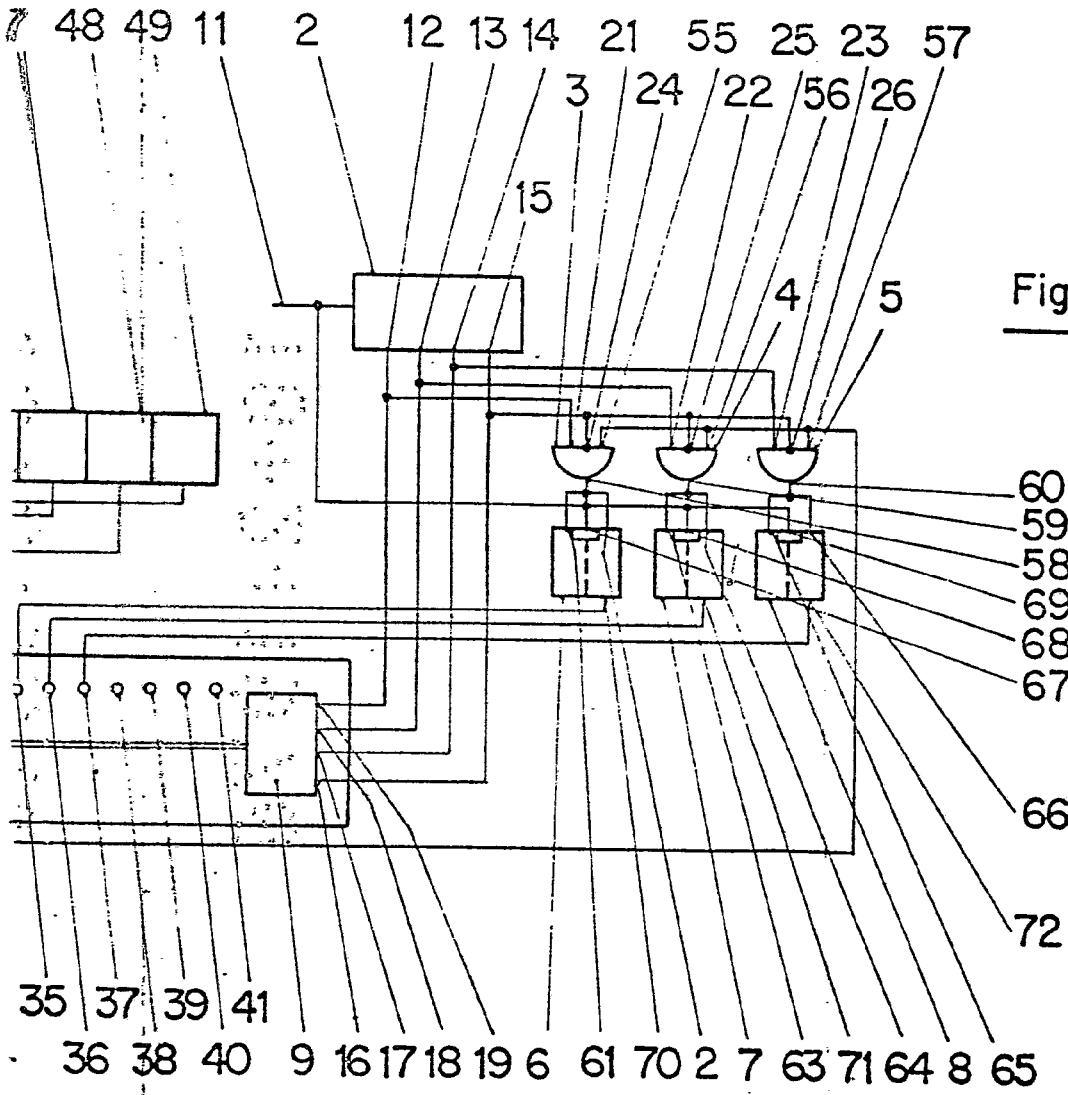


Fig.1

ESCALA
VARIABLE
18 FEB. 1975

GOMEZ ACEDES Y MODES
P. P. Firmador L. Gasta Farañedo

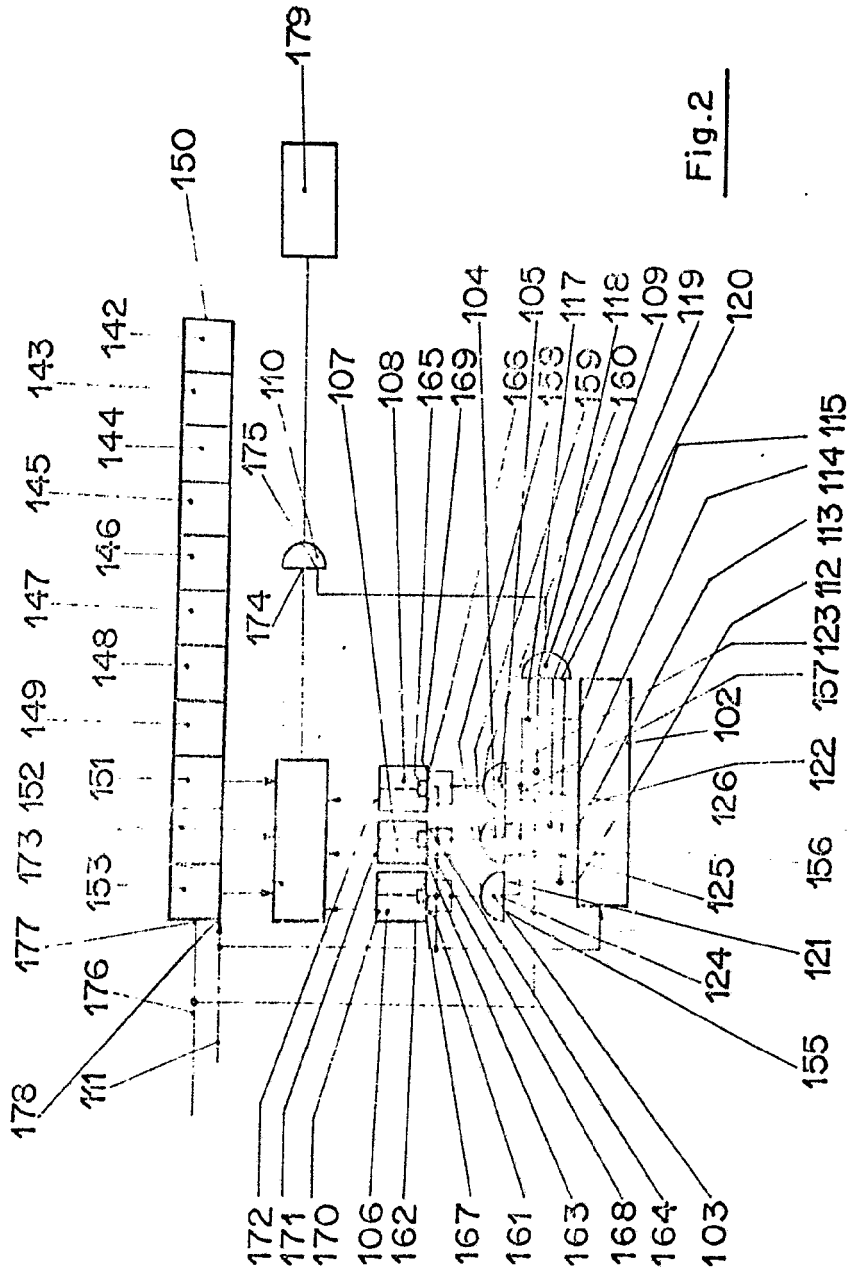


Fig. 2

ESCALA
VARIABLE

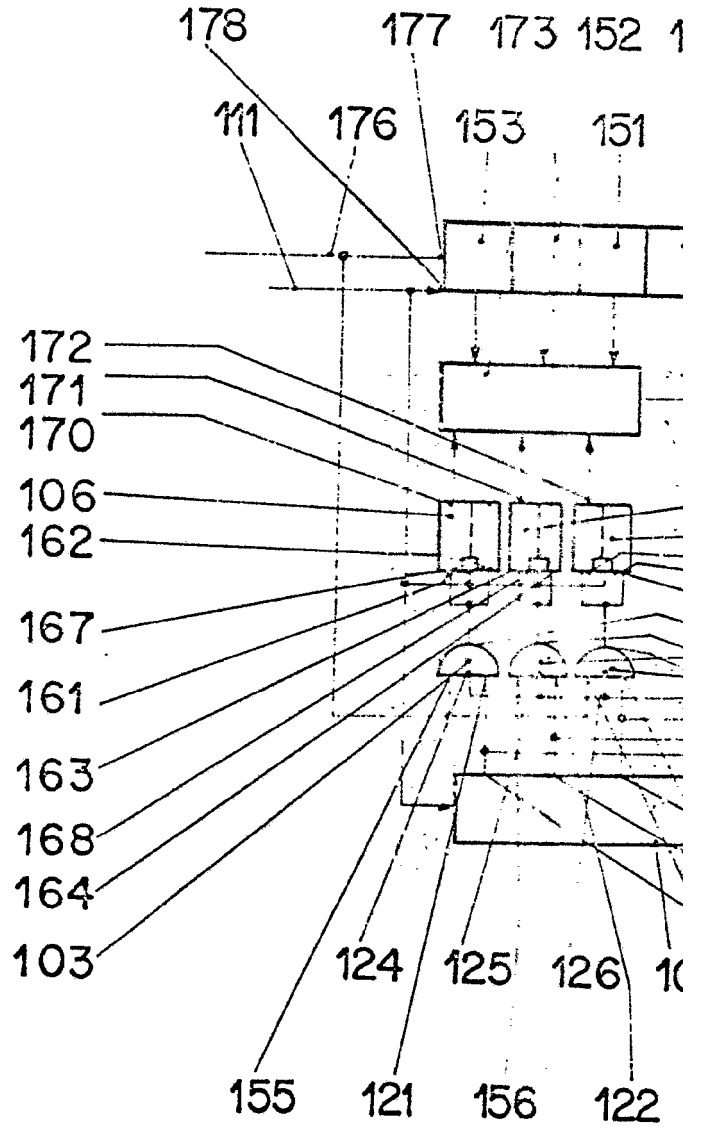
13 FEB. 1970

1000000

BOWEN ACILLO Y CAJAL
Ingenieros y Arquitectos

[Handwritten signature]

POOR
QUALITY



**POOR
QUALITY**

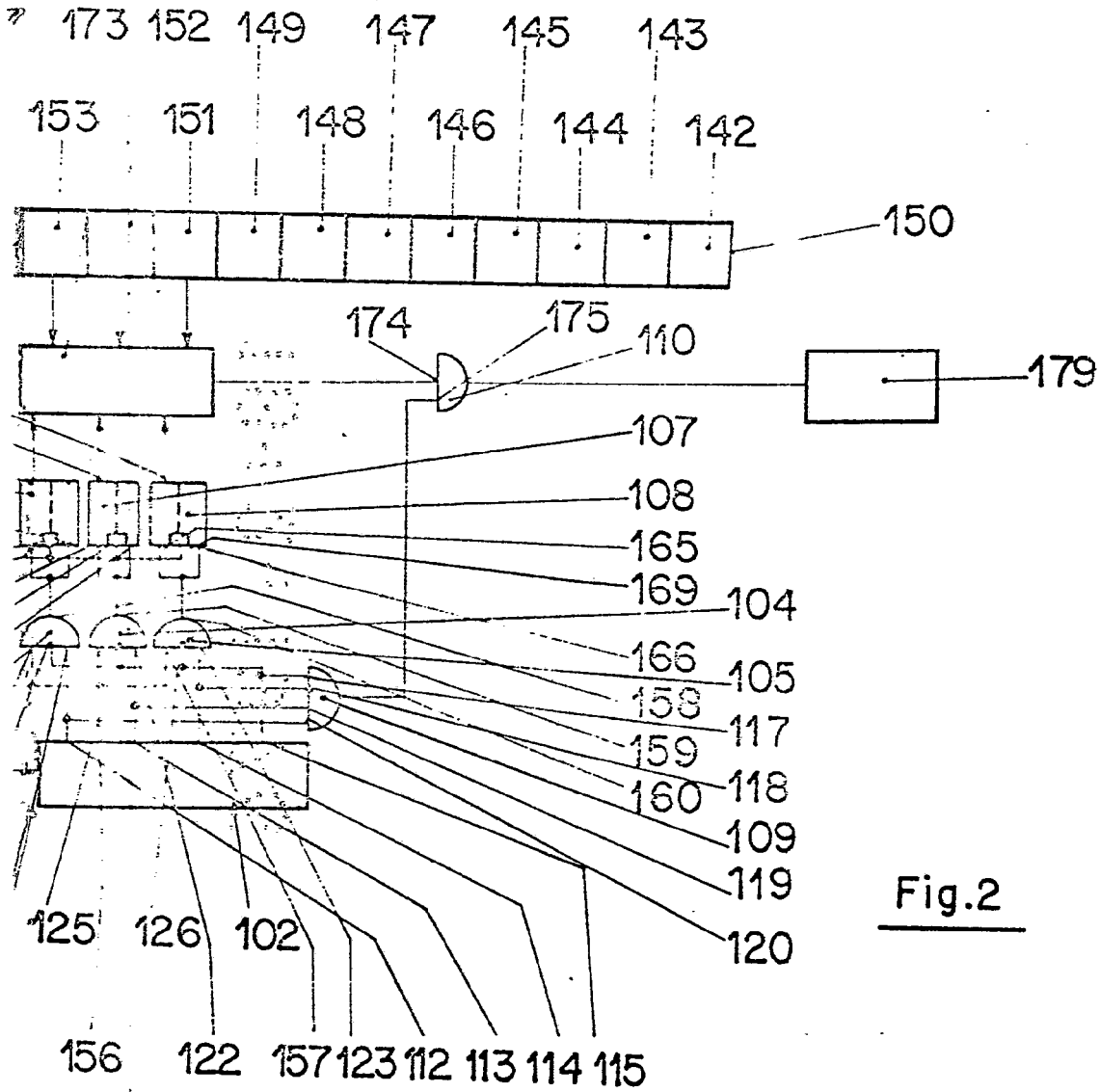
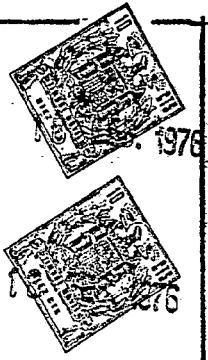


Fig.2

**ESCALA
VARIABLE**

18 FEB. 1976

Maqui

GOMEZ ACEDO Y ROBEL

E. Firmador, L. Ochoa Fernández

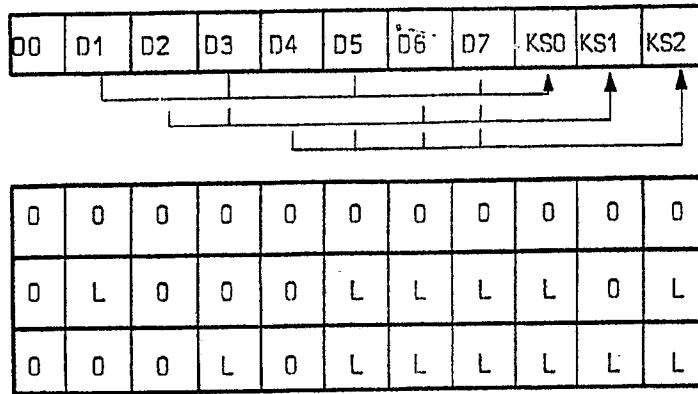


Fig. 3

D0	D1	D2	D3	KS0	KS1	Σ L
0	0	0	0	0	0	0
0	0	0	L	L	L	3
0	0	L	0	0	L	2
0	0	L	L	L	0	3
0	L	0	0	L	0	2
0	L	0	L	0	L	3
0	L	L	0	L	L	4
0	L	L	L	0	0	3
L	0	0	0	0	0	1
L	0	0	L	L	L	4
L	0	L	0	0	L	3
L	0	L	L	L	0	4
L	L	0	0	L	0	3
L	L	0	L	0	L	4
L	L	L	0	L	L	5
L	L	L	L	0	0	4
						48

Fig. 4

ESCALA VARIABLE

18 FEB. 1978

MANUSCRIPT

RODRIGUEZ ARANDA Y ROJAS

o. Firmador L. García Forcadell

BBC AKTIENGESELLSCHAFT
BROWN, BOVERI & CIE

