

Int. Cl. <sup>2</sup> : H01L
------------------------------

437557

MEMORIA DESCRIPTIVA

correspondiente a la solicitud de una  
PATENTE DE INVENCION

Solicitante: SONY CORPORATION.

Domicilio: 7-35, Kitashinagawa 6-chome,  
Shinagawa-ku, TOKYO, Japón.

Enunciado: CIRCUITO DE MUESTREO.

Prioridad: de la solicitud de modelo de utilidad  
japonesa.  
Nº 52634/1974 del 9 de mayo 1.974.

---

BREVE RESUMEN DEL INVENTO

1 De manera resumida, el invento se refiere a un cir-  
cuito de muestreo que incluye un dispositivo semiconductor de  
cuatro terminales del tipo dotado de una baja concentración de  
5 dopado de emisor. La señal que ha de ser muestreada se apli-  
ca continuamente a través del dispositivo semiconductor a un  
terminal de salida. Se aplica un impulso de conmutación en-  
tre la puerta y el emisor del dispositivo semiconductor para  
elevar la característica de amplificación de corriente  $h_{FE}$  des  
10 de un nivel muy bajo hasta un nivel elevado durante el perío-  
do de aplicación del impulso de conmutación. Esto da lugar a  
la aparición de una señal fuertemente amplificada a la salida.  
Cuando se suprime el impulso de conmutación, la característica  
de amplificación de corriente  $h_{FE}$  vuelve a su nivel bajo y la  
15 amplitud de la señal a la salida toma un valor muy reducido.

El dispositivo semiconductor que se emplea es un dis-  
positivo nuevo algo parecido al que se ilustra en la solicitud  
de Patente N°. de Serie 427.647 concedida al mismo concesiona-  
rio que el presente invento, con la excepción de que la cuarta  
20 región flotante está provista de un electrodo que hace que la  
cuarta región actúe como puerta. Más precisamente, el disposi-  
tivo semiconductor es un dispositivo de cuatro capas en el cual  
existe una primera región de un tipo de impurezas, una segun-  
da región del tipo de impurezas opuesto, una tercera región del  
25 primer tipo de impurezas y una cuarta región del segundo tipo  
de impurezas. Las primera, segunda, tercera y cuarta regiones  
constituyen el emisor, la base, el colector y la puerta, res-  
pectivamente, del dispositivo. La separación entre la unión  
puerta-emisor y la unión emisor-base es inferior a la longitud  
30 de difusión de los portadores minoritarios en la región de emi

1 sor.

El dopado de impurezas en las primera y tercera regiones es reducido, por ejemplo del orden de  $10^{15}$  átomos/cm<sup>3</sup>. El dopado de impurezas de las segunda y cuarta regiones es por ejemplo de  $10^{19}$  átomos/cm<sup>3</sup>.

BREVE DESCRIPCION DE LOS DIBUJOS

La figura 1 es un diagrama de circuito de un circuito de muestreo de la técnica anterior;

10 La figura 2 es una ilustración esquemática del dispositivo semiconductor de cuatro terminales de tipo nuevo según el invento;

15 La figura 3 es un grupo de curvas que ilustran la relación entre la característica de amplificación  $h_{FE}$  y la corriente de colector, cuando se aplica un impulso de muestreo a la puerta del dispositivo semiconductor y cuando no se aplica ningún impulso de muestreo a la puerta;

La figura 4 es un grupo de curvas que ilustran la relación entre la característica de amplificación  $h_{FE}$  y la corriente de colector cuando se varía el parámetro R;

20 La figura 5 es un grupo de curvas que ilustran la relación que existe entre la característica de amplificación  $h_{FE}$  y la corriente de base cuando la resistencia de la fuente de impulsos tiene diferentes valores representativos;

25 La figura 6 es un grupo de curvas que ilustran la relación entre la característica de amplificación  $h_{FE}$  y la resistencia interna de la fuente de impulsos para diversos valores representativos de la corriente de base; y

La figura 7 es un diagrama de circuito del circuito de muestreo del modo de realización preferido del invento.

30

1                    DESCRIPCION DE LOS MODOS DE REALIZACION PREFERIDOS

                  Antes de dar una descripción detallada de un modo de  
realización preferido del invento, se hará referencia a la fi-  
gura 1 que ilustra esquemáticamente un circuito de muestreo de  
la técnica anterior. En este circuito, la señal que ha de ser  
5                   muestreada se aplica a través de un transformador 21 y de un  
condensador 31 a la base de un transistor convencional 10 del  
tipo NPN. El emisor del transistor 10 está conectado a tra-  
vés de una resistencia a masa, y también a través de un conden-  
10                   sador a masa para proporcionar la polarización de emisor acos-  
tumbrada. Una fuente de potencial  $V_{CC}$  está conectada a través  
de un circuito sintonizado 22 con el colector del transistor  
10. El circuito sintonizado es del tipo convencional L-C. La  
salida 42 está acoplada inductivamente con el elemento de induc-  
15                   tancia del circuito sintonizado 22. El impulso de conmutación  
se aplica a partir del terminal 41 a través de la resistencia  
51 al circuito de entrada de base. De este modo, el impulso  
de conmutación se superpone a la señal.

                  El circuito de muestreo según el invento incluye un  
20                   dispositivo semiconductor de tipo nuevo que se ilustra esque-  
máticamente en la figura 2. El dispositivo que se ilustra a  
título de ejemplo incluye un cuerpo S de silicio dotado de una  
región de emisor 1 de tipo  $N^-$ , de una región de base 2 de ti-  
po P, y de una región de colector 3 de tipo  $N^-$ . Una unión ba-  
25                   se-emisor  $J_E$  está formada entre la región de emisor 1 y la re-  
gión de base 2. Una cuarta región 6 es una región de tipo P  
formada en la parte superior del emisor 1 y que tiene con esta  
una unión  $J_S$ . La separación entre la unión  $J_S$  y la unión  $J_E$   
es inferior a la longitud de difusión de los portadores mino-  
30                   ritarios en la región de emisor 1. La región 6 actúa como puer-

1 ta y está provista de un electrodo de puerta 4G el cual a su  
vez está conectado a un terminal G. La región de emisor 1 tie  
ne una región de alta concentración de impurezas 1a del tipo  
N<sup>+</sup>, situada en su superficie superior y separada de la región 6  
5 del tipo P. Esta región 1a del tipo N<sup>+</sup> forma una unión J<sub>H</sub> con  
la región de baja concentración de impurezas tipo N<sup>-</sup> de la pri  
mera región 1. Esto contribuye también a proporcionar buenas  
características de funcionamiento del dispositivo. La región  
1a tipo N<sup>+</sup> está dotada de un electrodo 4E el cual está conec  
10 tado a su vez a un terminal E. La región de base 2 está pro  
vista de un electrodo 4B, que está conectado con un terminal  
B. La superficie superior del dispositivo alejada de los elec  
trodos está cubierta de una capa aislante 5. Alrededor de la  
región del colector 3 se halla una región adicional 3a de tipo  
15 N<sup>+</sup>, la cual a su vez está provista de un contacto ohmico 4C,  
el cual está conectado a un terminal C.

En el dispositivo ilustrado, ya que la distancia de  
difusión L<sub>p</sub> de los agujeros (portadores minoritarios) inyecta  
dos en la primera región 1 es larga, los agujeros llegan efi  
20 cazmente a la región adicional 6 y son absorbidos por ella. Si  
la región adicional 6 flota eléctricamente, su potencial aumen  
ta cuando el número de agujeros que llega a la región adicio  
nal 6 aumenta. De este modo, la unión J<sub>S</sub> tipo PN que se forma  
entre las regiones 6 y 1 está polarizada en el sentido directo  
25 hasta su tensión de disrupción sustancialmente, y entonces se  
reinyectan agujeros en la primera región 1 a partir de la re  
gión suplementaria 6. Por consiguiente, la concentración de  
agujeros en la primera región 1 cerca de la región adicional  
6 aumentará y por tanto, la distribución de concentración de  
30 agujeros entre las uniones J<sub>E</sub> y J<sub>S</sub> en la primera región 1 to-

1 ma un valor uniforme y su gradiente es progresivo reduciendo  
la corriente de difusión  $J_p$  desde la segunda región 2 hasta la  
primera región 1.

5 Sin embargo, cuando se dota la región adicional 6 de  
un electrodo, la región adicional 6 puede emplearse como puer-  
ta.

Se ilustra esquemáticamente por medio del diagrama  
del circuito de la figura 7 un modo de realización preferido  
del invento. En este caso, la señal que ha de ser muestreada  
se aplica a través de un transformador 21 y de un condensador  
10 31 a la base de un dispositivo semiconductor 11 que es del ti-  
po ilustrado en la figura 2. Una fuente de potencial  $V_{CC}$  es-  
tá conectada a masa a través de un terminal 43 y a través de  
un par de resistencias 53 y 54 conectadas en serie. El punto  
15 central entre estas dos resistencias está conectado con la ba-  
se para proporcionar la polarización necesaria. El colector  
del dispositivo semiconductor 11 está conectado a la fuente  
de potencial  $V_{CC}$  a través de un circuito sintonizado 22 que es  
tá formado por un condensador 56 y un elemento de inductancia  
20 57. Este circuito sintonizado se sintoniza sobre la frecuen-  
cia de la señal entrante. La salida 42 está acoplada inducti-  
vamente con el elemento de inductancia 57 de circuito sintoni-  
zado 22. El emisor del dispositivo semiconductor 11 está co-  
nectado a través de una resistencia 52 y de un condensador 32  
25 en paralelo con masa. El impulso de muestreo se aplica entre  
la puerta y el emisor del dispositivo semiconductor 11. El im-  
pulso de muestreo está indicado por  $P_g$  y la fuente de impulsos  
de muestreo tiene una resistencia interna 55 que puede presen-  
tar diferentes valores.

30 Haciendo referencia a los gráficos de las figuras 3

1 a 6 y teniendo en cuenta el hecho de que la característica de  
amplificación  $h_{FE}$  aumenta mucho durante el período de aplica-  
ción del impulso de muestreo, se ilustra la relación de la ca-  
racterística de amplificación  $h_{FE}$  y los demás parámetros. La  
5 figura 3 da la relación entre la característica de amplifica-  
ción  $h_{FE}$  y la corriente de colector cuando el impulso de ten-  
sión se aplica (curva 12) y cuando no se aplica impulso de ten-  
sión a la base (curva 13).

La figura 4 representa la relación entre la caracte-  
10 rística de amplificación  $h_{FE}$  y la corriente de colector cuando  
el parámetro R (resistencia interna de la fuente de impulsos)  
cambia.

La figura 5 representa la relación entre la caracte-  
rística de amplificación  $h_{FE}$  y la corriente de base cuando se  
15 hace cambiar el parámetro R (resistencia interna de la fuente  
de impulsos).

La figura 6 ilustra la relación entre la caracterís-  
tica de amplificación  $h_{FE}$  y R (resistencia interna de la fuen-  
te de impulsos) cuando la corriente de base tiene diferentes  
20 parámetros.

Se observará durante el funcionamiento del circuito  
de muestreo descrito más arriba que el dispositivo semiconduc-  
tor está siempre activado y por tanto la señal que ha de ser  
muestreada es transmitida en todo momento a la salida, aunque  
25 a un nivel muy bajo. El impulso aumenta la característica de  
amplificación  $h_{FE}$  desde un punto bajo hasta un nivel alto du-  
rante el período de aplicación del impulso. Por tanto, duran-  
te el período de muestreo, la señal aparece con un nivel alto  
a la salida.

30 Los peritos en la materia observarán que pueden rea

1       lizarse numerosas modificaciones y variaciones sin alejarse  
del espíritu y del alcance de los nuevos conceptos del inven-  
to.

5               En resumen, la Patente de invención que se solicita  
deberá recaer en las siguientes.

REIVINDICACIONES

10           1.) Circuito de muestreo que incluye un dispositivo  
semiconductor, un dispositivo de circuito para suministrar una  
señal que ha de ser muestreada y un impulso de conmutación al  
dispositivo semiconductor y un dispositivo de circuito de sali-  
da conectado con la salida del dispositivo semiconductor, ca-  
racterizado porque dicho dispositivo semiconductor (11) tiene  
una base dotada de una capa límite principal adyacente al co-  
lector, un emisor que tiene una capa límite principal adya-  
15       cente a la otra capa principal de dicha base y que tiene una  
unión emisor-base entre ellas, una puerta que tiene una capa  
límite adyacente a la otra capa límite principal de dicho emi-  
sor y que tiene una unión puerta-emisor entre ellas, teniendo  
dicho emisor y dicho colector una baja concentración de impure-  
20       zas de un tipo, teniendo dicha base y dicha puerta unas impure-  
zas del tipo opuesto, estando dicha unión emisor-base separa-  
da de dicha unión puerta-emisor por una distancia inferior a  
la longitud de difusión de los portadores minoritarios en di-  
cho emisor, y porque dicho dispositivo de circuito aplica la  
25       señal que ha de ser muestreada a través de la base y del emi-  
sor de dicho dispositivo semiconductor y aplica el impulso de  
conmutación entre la puerta y el emisor, aumentando así la ca-  
racterística de amplificación  $h_{FE}$  durante el período de conmu-  
tación.

30           2.) Circuito de muestreo según la reivindicación 1,

1        caracterizado porque dicho colector está polarizado a través  
de un circuito sintonizado (22) que se sintoniza sobre la fre  
cuencia de la señal que ha de ser muestreada.

3.) Circuito de muestreo según la reivindicación 1,  
5        caracterizado porque dicha base se polariza conectando el pun-  
to central de un par de resistencias (53, 54) que están conec  
tadas en serie entre una fuente de potencial y masa, y porque  
dicho colector se polariza a través de un circuito sintoniza-  
do (22) conectado con dicha fuente de potencial.

10        4.) Se reivindica por último como objeto sobre el  
que ha de recaer la patente de invención que se solicita:

**CIRCUITO DE MUESTREO.**

15        Todo conforme queda descrito y reivindicado en la  
presente memoria descriptiva que consta de nueve páginas me-  
canografiadas y dibujos que se acompañan.

Madrid, 9 mayo 1.975

BERNARDO UNGRIA

P. P.  

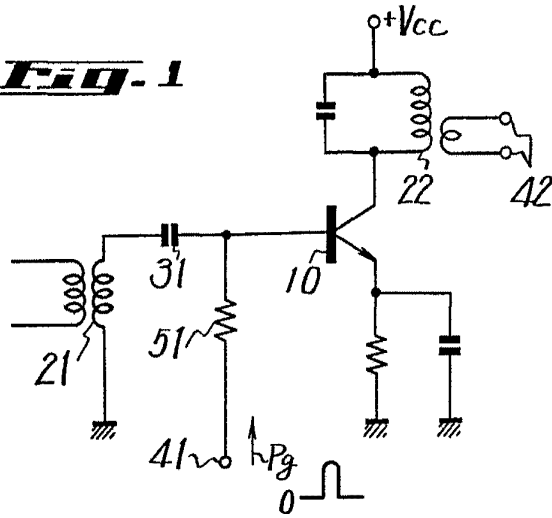

20

25

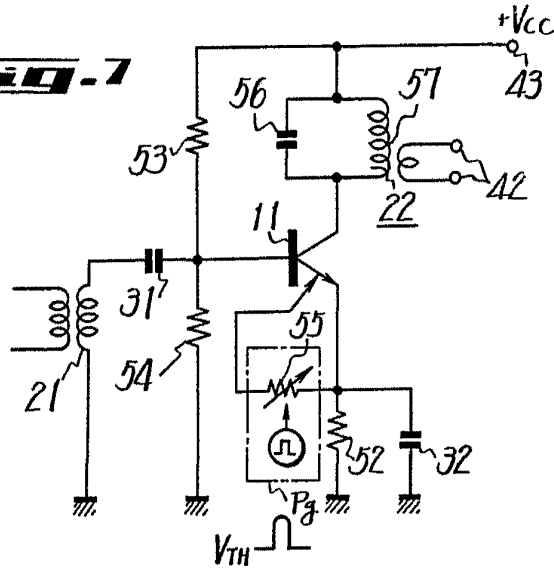
30



**Fig. 1**



**Fig. 2**



ESCALA VARIABLE

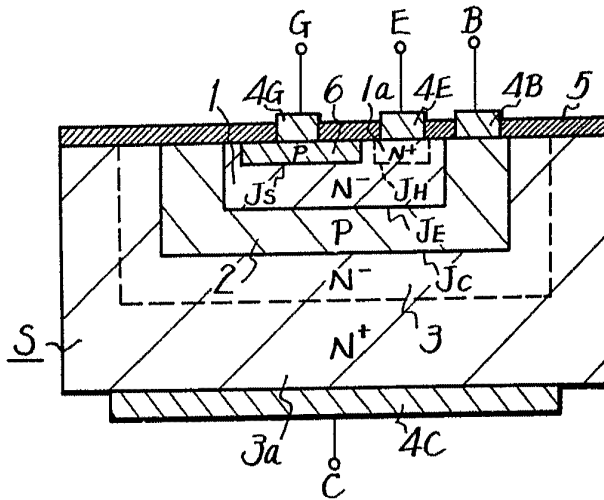
Madrid, 9 de mayo de 1.975

BERNARDO UNGRIA

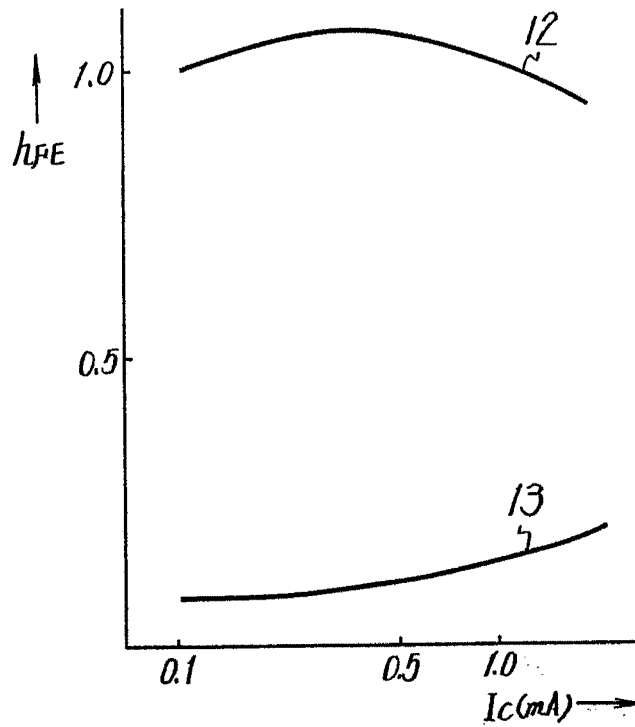
P.P.



**Fig-2**



**Fig.3**



ESCALA VARIABLE

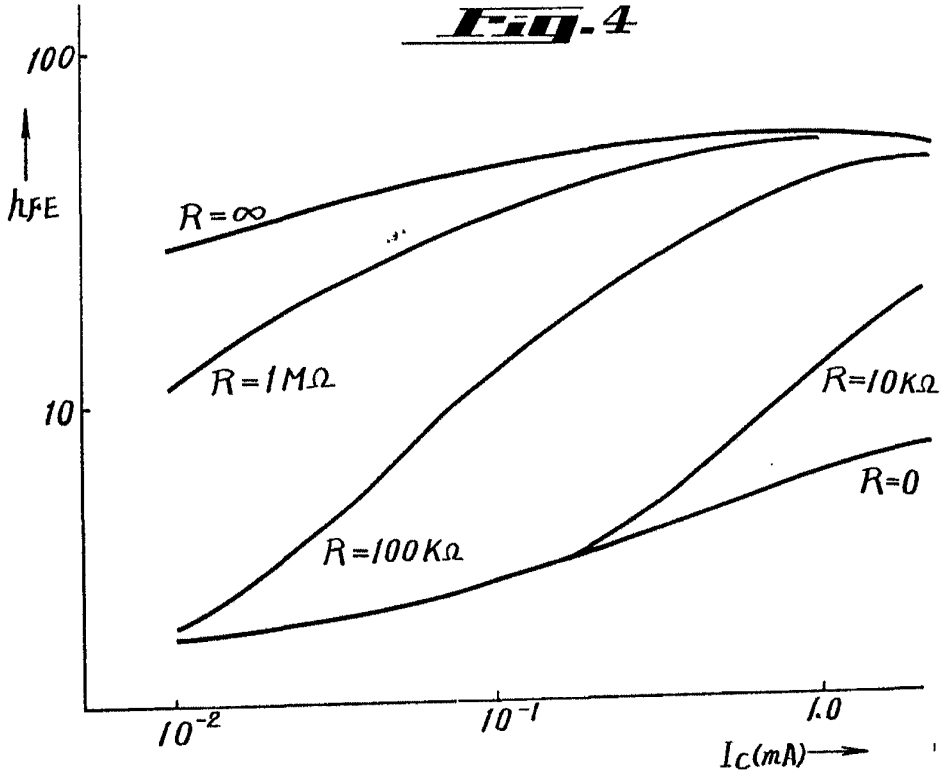
Madrid, 9 de mayo de 1.975

BERNARDO UNGRÍA

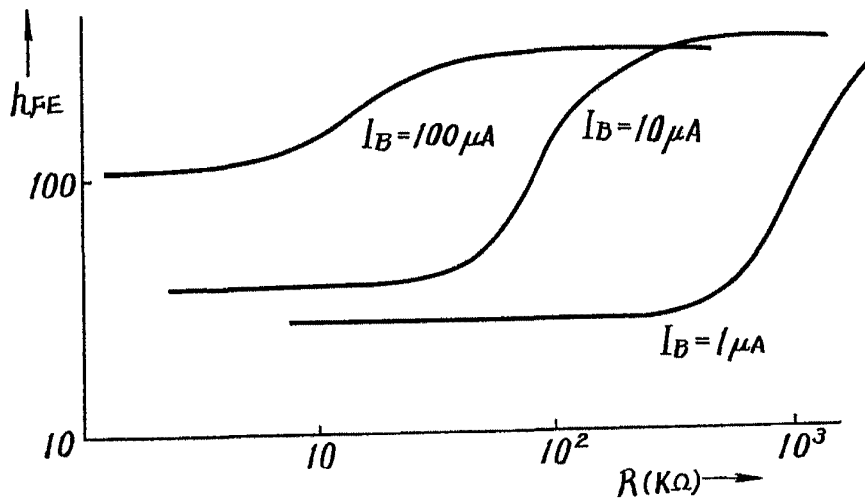
P.P.



**Fig. 4**



**Fig. 6**



ESCALA VARIABLE

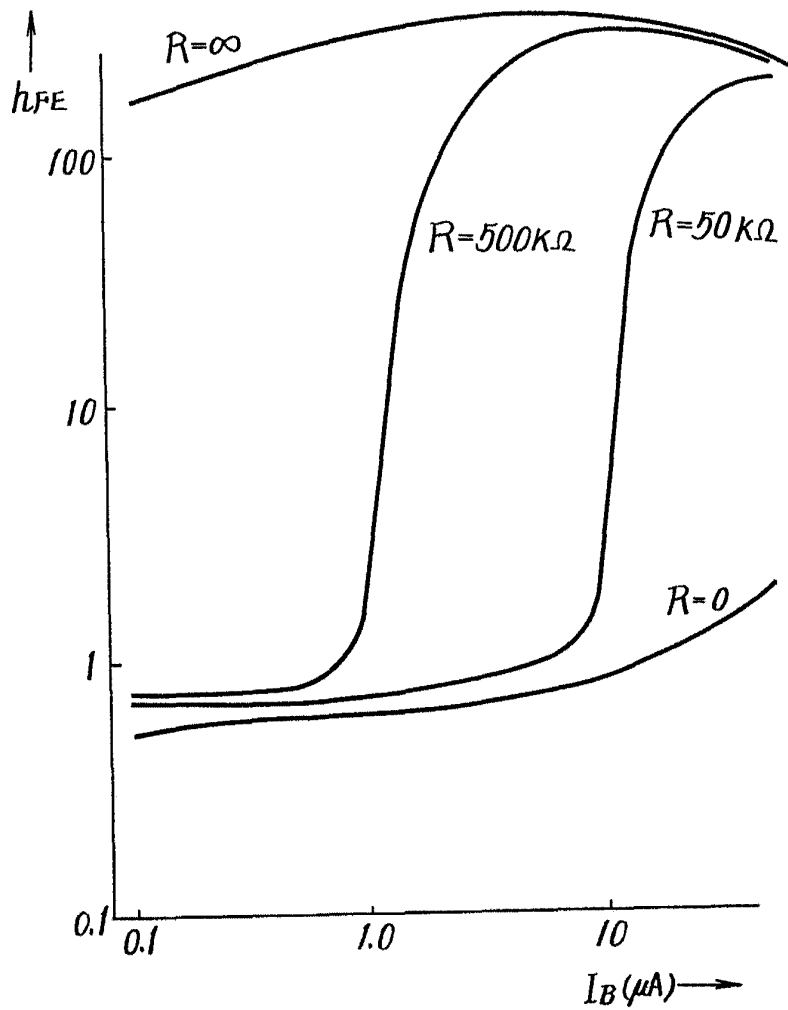
Madrid, 9 de mayo de 1.975

BERNARDO UNGRIA

P.P.



**Fig-5**



ESCALA VARIABLE

Madrid, 9 de mayo de 1.975

BERNARDO UNGRIA

P.P.