

437456

A. Jessop - J.R. Dawson 4-1

INVENTOR: H03K

3.<sup>a</sup> COPIA

-8 SEPT 1976

CONCEDIDA

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE IN-  
VENCION EN ESPAÑA POR: "UN SISTEMA DE TRANSMISION  
DE DATOS DIGITALES", A NOMBRE DE STANDARD ELECTRI-  
CA, S.A., DOMICILIADA EN MADRID CALLE DE RAMIREZ DE  
PRADO, Nº 5.

El presente invento se refiere a un sistema de transmisión de datos digitales que incluye, en el transmisor, elementos para seleccionar de cada uno de los flujos de datos digitales en serie, todos los cuales  
5 están constituidos por datos codificados según un primer código digital, un sub-grupo de dígitos sucesivos, elementos para transferir colectivamente los sub-grupos para formar un primer grupo de dígitos, un traductor de código que incluye elementos para trasladar el primer  
10 grupo de dígitos a un segundo grupo de dígitos codificados según un segundo código digital, elementos para transmitir el segundo grupo de dígitos a un receptor el cual incluye elementos para retransladar el segundo grupo de dígitos al primer grupo, elementos para dividir el primer  
15 grupo retransladado de dígitos en subgrupos y elementos

para reconstruir, a partir de los sub-grupos, el conjunto de flujos de datos digitales en serie.

Los datos digitales se generan normalmente en forma binaria. Sin embargo, puede ser que tal señal no sea óptima para la transmisión con más propiedades deseadas. Estas incluyen:

- 1) Base optimizada a la media de transmisión.
- 2) Reducido contenido de frecuencias bajas.
- 3) Contenido de temporización incrementado.
- 4) Elementos para detectar errores.

Estos requerimientos conducen a la elección de un código que agrupe la información binaria en palabras. La información de estas palabras se transporta por otras palabras de diferente número de dígitos y/o base. Una translación como es la representación de palabras de cuatro dígitos binario por palabras de tres dígitos ternarios. Tal dispositivo se describe en la Patente Británica 1.136.279 (D.B. Waters - 1).

Para estos códigos de transmisión, es normal tener un gran porcentaje de redundancia, normalmente entre el 10% y el 40%. En el ejemplo anterior, el porcentaje de redundancia es de

$$1 - \frac{4 \log 2}{3 \log 3} \times 100 = 16\%$$

25

Esta redundancia es necesaria para conseguir las propiedades deseadas y mencionadas anteriormente, especialmente, para que sea bajo el contenido de frecuencias bajas. Debido a la redundancia, existe normalmente alguna propiedad en el código a ser empleado que permite que las

30

palabras sean agrupadas correctamente en el extremo de recepción del enlace de transmisión y, como consecuencia, reconstruido el binario original. Los métodos de agrupar correctamente tales códigos son bien conocidos e incluyen: comprobación de las violaciones que tengan lugar en las reglas de translación cuando el agrupamiento pierde la alineación, como se describe en la Patente Británica 1250924 - (D.B. Waters y A. Jessop 3-2) derivación del agrupamiento a partir de la variación suma digital, y bús queda de las palabras en código que no pueden tener lugar con agrupamiento correcto. Debido a la elevada redundancia el tiempo de reagrupamiento puede ser muy pequeño.

Esta propiedad se aplica en el presente invento.

En muchas aplicaciones se requiere la multiplexión de las señales digitales (conocida de otra manera como combinación) además de translación de código. Una característica del presente invento es la integración de estas dos funciones. En la práctica, la multiplexión y translación de código se realizan independientemente, de tal manera que los flujos de dígitos a ser multiplexados se procesan en primer lugar para formar un flujo de dígitos binarios, que luego se procesa en el translator de código. Cuando se utilizan translaciones de código en las que se transportan normalmente palabras binarias de "n" dígitos por palabras "m" dígitos de base "r", el translator de código puede también actuar como un multiplexor digital. En el caso en que las señales a ser multiplexadas tengan la misma frecuencia de dígitos y sean de bit síncronos, puede conseguirse la multiplexión:-

- 1) Directamente si el número de señales a ser multiplexadas es igual a "n".
- ii) Por conversión serie a paralelo en cada flujo de dígitos de entrada si el número de entradas es un submúltiplo exacto de "n".
- 5 iii) Por grupos en serie de entradas si el número de entradas es un múltiplo exacto de "n".
- iv) Por una combinación de ii) y iii) si no existe factor común entre el número de entradas y "n".

10 En el caso en que no todas las señales a ser multiplexadas tengan la misma frecuencia de dígito, pero estén relacionadas armónicamente, puede conseguirse la multiplexión:

- v) Por conversión serie a paralelo de las señales de frecuencia de dígito más elevadas, si la frecuencia de dígito agregada es exactamente "n" veces la frecuencia de dígito más baja.
- 15 vi) Por una combinación de la conversión serie a paralelo y la conversión paralelo a serie para todos los casos.
- 20

Todas las operaciones descritas en los casos (i) a (vi) pueden realizarse sin generar un flujo de datos a la frecuencia de dígito agregada.

25 En el extremo receptor del enlace de transmisión pueden reconstruirse las palabras binarias de "n" dígitos por el traductor de código de recepción, utilizando su propio mecanismo de alineación de grupo. En los casos i), ii) y v) anteriores pueden reconstruirse las señales originales sin la información de identificación en los flujos de dígitos binarios. En los otros casos puede requerirse

30

información adicional en el flujo de dígitos binario si no puede obtenerse un grupo multi-palabra a partir del traductor de código de recepción. Aún en los casos en que es necesaria una información multi-grupo binaria adicional, el tiempo para alinear el multi-grupo a partir de un estado de no-alineación, puede reducirse considerablemente si se hace la información multi-cuadro coherente con el grupo de translación de código, ya que el número de comprobaciones en la búsqueda del multi-grupo se reduce lo que reduce el tiempo perdido mediante la simulación de la información multi-grupo.

Todas las operaciones de de-multiplexión pueden realizarse por la operación inversa a la realizada en el multiplexor, esto es, sin generar un flujo de dígitos binarios en serie, o reloj, en la cadencia de dígitos agregada. Inicialmente, la señal de temporización en el demultiplexor de recepción es normalmente un reloj a la cadencia de dígitos de transmisión  $t$ . La cadencia de dígitos binarios agregada es  $tx \frac{n}{m}$ , en donde  $\frac{n}{m}$  es normalmente mayor que la unidad. Sin la integración del traductor de código de recepción y el de-multiplexador, tendría que sintetizarse una frecuencia de reloj  $tx \frac{n}{m}$  incluyendo la multiplicación de frecuencias. Con la integración, pueden derivarse todas las frecuencias de dígitos necesarias a partir del reloj de cadencia de transmisión, mediante división, con tal de que no exista frecuencia mayor que  $t$ .

En los casos mencionados anteriormente (i) a (iv), donde todas las señales multiplexadas tienen la misma frecuencia de dígito, las señales pueden ser de-multiplexadas y derivado un reloj asociado de la frecuencia

de dígito correcto, dividiendo el reloj de cadencia de transmisión por un factor  $\frac{n}{pm}$ , donde  $p$  es el número de señales multiplexadas. En los casos en que  $\frac{n}{pm}$  es un entero, puede ser generado un reloj regular en los otros  
 5 casos, el reloj será, en general, irregular.

En los casos mencionados anteriormente (v) y (vi), donde todas las señales multiplexadas no tienen la misma frecuencia de dígitos, pueden ser sintetizados individualmente los diferentes relojes, dividiendo el reloj  
 10 de cadencia de transmisión por el factor  $\frac{f_n}{f_a m}$ , donde  $f$  es la frecuencia de dígito de la señal tributaria particular y  $f_a$  es la frecuencia de dígito agregada de todas las señales tributarias.

Aunque en algunos casos descritos los relojes  
 15 reconstruidos en el demultiplexor son irregulares, en muchos casos esto tiene poca importancia. Por ejemplo, cuando se multiplexan señales asíncronas, es normal utilizar la técnica de impulsos de relleno para conseguir un sincronismo de bit en el multiplexor, añadiendo dígitos re-  
 20 dundantes. En el demultiplexor se quitan estos dígitos re- dundantes dando una señal con un reloj irregular. El mecanismo para suavizar las irregularidades de reloj debido a los impulsos de relleno, puede también suavizar las irregularidades debidas a la multiplexión integrada y trans-  
 25 lación de código.

Describiremos seguidamente una configuración del invento, refiriéndonos a los dibujos que se acompañan en los cuales:

La fig. 1 ilustra una aplicación típica de una  
 30 multiplexión integrada y un dispositivo de translación de

código,

La fig. 2 ilustra una estructura de grupo tributario relleno de impulsos,

La fig. 3 ilustra en forma de bloque la porción  
5 del traductor multiplexor código integrado de la fig. 1,

La fig. 4 ilustra la traducción de código 4B3T usada en el traductor de código de la fig. 3,

La fig. 5 ilustra en forma de bloque la porción demultiplexor/traductor de código integrado de la fig. 1  
10 y

La fig. 6 ilustra el reloj tributario irregular y las formas de onda de datos.

En la configuración general mostrada en la fig. 1, se multiplexan y transmiten por un mismo canal  
15 dos flujos de datos binarios asíncronos A y B a la cadencia normal de bit de 1,544 Mb/s. Por medio de grupos añadidos en un grupo superpuesto, cada uno de los dos flujos de dígitos tributarios, se lleva a una frecuencia de dígito común utilizando los circuitos de relleno de impulsos  
20 10 y 11, el generador de grupo de relleno 12 es común a ambos tributarios. Los dos, ahora asíncronos, tributarios rellenos se combinan en el traductor multiplexor/código 14, que transmite un único flujo de datos a la línea. El terminal de recepción realiza la operación inversa, se utiliza la redundancia en el código de línea por el demultiplexor/traductor de código 15 para definir la división  
25 en los dos tributarios rellenos.

El circuito de alineamiento de grupo de relleno 16 detecta el conjunto de relleno y a los tributarios  
30 se les extraen los dígitos de relleno y agrupamiento en

los circuitos 17 y 18. Se genera un reloj aplanado a cada una de las cadencias de dígito binario tributario para temporizar las dos señales de 1,544 Mb/s.

La fig. 2 muestra en forma de diagrama las estructuras de grupo idénticas empleadas para los tributarios rellenos. Cada grupo consiste de seis sub-grupos de 47 bits, dando una longitud de grupo total de 282 bits. Los sub-grupos tienen 46 bits de información y un bit de agrupamiento que están asignados como sigue.

-indica una abertura de tiempo para un bit de datos (información). La señal de alineamiento de grupo viene indicada cuando los bits  $F_{A1}$  y  $F_{B1}$  son "11" y los bits  $F_{A2}$  y  $F_{B2}$  son "00". Los bits  $D_{A1}$ ,  $D_{A2}$  y  $D_{A3}$  forman el indicador de relleno para el tributario A. "000" indica "no relleno" y "111" indica "relleno" en dicho grupo. De la misma manera, los bits  $D_{B1}$ ,  $D_{B2}$  y  $D_{B3}$  forman el indicador de relleno para el tributario B. La abertura de tiempo disponible para relleno en cada grupo, es la primera abertura de tiempo  $\emptyset$  que sigue al tercer bit D en el grupo. Los bits  $X_A$  y  $X_B$  se utilizan para dos canales de alarma ó señalización. Esta estructura de grupo resulta en una cadencia de bit tributaria rellena de 1,580 Mb/s y una cadencia de grupo ó cuadro de 5.6028 kHz.

La fig. 3 muestra un diagrama bloque funcional para un multiplexor integrado y traductor de código, para su aplicación según se ha indicado anteriormente, el código de línea empleado es el 4B3T, un ejemplo de traducción de cuatro binarios a tres ternarios ya mencionado. Los dos tributarios rellenos se mezclan primeramente en dos mezcladores de línea de diez etapas 30. Un mezclador

apropiado se describe en la Patente Británica Nº 10238/74 (M.D. Patten - 1). Los dos flujos mezclados se dividen en dos registros de conversión de 2-bit 31,32, de tal manera que los datos se presentan al traductor 34 como palabras de 4-bits. El traductor genera seis salidas, cada una de ellas para las marcas positiva y negativa de la primera, segunda y tercera aberturas de tiempo de la palabra ternaria de 3-dígitos. La translación de las entradas denominadas  $A_1$ ,  $A_2$ ,  $B_1$ ,  $B_2$  a sus equivalentes ternarias, se muestra en la fig. 4.

El traductor de código controla también la suma digital de la señal ternaria de salida, que se utiliza para controlar la elección de la palabra ternaria donde están disponibles las alternativas para una palabra de entrada binaria determinada. Las salidas del traductor están divididas en dos grupos de tres series 35, 36, y los dos flujos binarios resultantes a la cadencia de dígito ternaria T, controlan la etapa de salida 37 que gobierna un único flujo de dígitos ternario a la línea. Los relojes a la cadencia de dígito de línea T, la cadencia de dígito tributaria rellenada ST, y la cadencia de palabra W se generan todas por división de un generador de reloj común 33.

En la fig. 5 se muestra un diagrama bloque funcional para el demultiplexor integrado y traductor de código. El generador 50 reconstruye un reloj a partir del flujo de dígitos ternario a la frecuencia de dígito ternario y detecta las marcas positivas o negativas que vienen representadas por dos flujos de dígitos binarios idénticos a los que existen en el terminal de transmisión antes de

la etapa de salida. Estos dos flujos binarios se dividen en dos registros de conversión de 3-bit 51 y 52 y las palabras de 6-bits resultantes constituyen la entrada para el traductor de código 53. La salida del traductor son cuatro flujos de dígitos binarios paralelos  $A_1$ ,  $A_2$ ,  $B_1$ ,  $B_2$  como se denominaron originariamente en el multiplexor, que se reúnen en los circuitos de serialización 54 y 55 en dos grupos de dos dígitos. Estos se separan en un separador de diez etapas paralelo de dos líneas 56, recuperando así los dos tributarios rellenos originales A y B.

Algún aspecto de la redundancia de código de línea se utiliza en el detector de alineamiento de palabra 59 para controlar la fase de la salida de reloj de cadencia de palabra W del circuito divide por tres, 57. En el caso del 4B3T, puede encontrarse el alineamiento de palabra de código de línea utilizando la técnica descrita en la solicitud de Patente Británica Nº 02211/73 (D. Sheppard + 1). Una aplicación típica que esta técnica proporciona un tiempo medio para encontrar el alineamiento de palabra de 75 palabras en el peor de los casos, para datos de entrada aleatorios. Este tiempo es muy corto comparado con muchos multiplexores asíncronos, debido a la muy elevada redundancia en el código de línea (16%), comparada con la que se agrega normalmente al flujo de datos (alrededor del 1%).

El circuito de división de reloj 58 genera un reloj a la cadencia de dígito tributario relleno ST que es lo que los tercios de la cadencia de dígitos ternaria T. Esto se consigue puertando el reloj de cadencia de pa-

labra W con el reloj de cadencia de dígito ternario y, en consecuencia, este reloj es irregular. Un diagrama de temporización (fig. 6) muestra la relación entre la cadencia de dígito de línea y los relojes de cadencia de bit tributarios rellenos, y una típica forma de onda de datos de salida.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Gran Bretaña el día 7 de Mayo de 1974, señalada con el número 20035/74 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

----- NOTA -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

1.- Un sistema de transmisión de datos digitales que incluye, en un transmisor, elementos para seleccionar de cada uno de diferentes flujos de datos digitales en serie, todos los cuales están constituidos por datos codificados según un primer código digital, un sub-grupo de dígitos sucesivos, elementos para transferir colectivamente los sub-grupos para formar un primer grupo de dígitos; un translator de código que incluye elementos para trasladar el primer grupo de dígitos a un segundo grupo de dígitos codificados según un segundo código digital; elementos para transmitir el segundo grupo de dígitos a

un receptor, el cual incluy  elementos para volver a trans  
ladar el segundo grupo de d gitos al primer grupo, elemen-  
tos para dividir el primer grupo de d gitos que ha sido  
5 trasladado a los sub-grupos y elementos para recomponer,  
a partir de los sub-grupos, el conjunto de flujos de datos  
digitales en serie.

2.- Un sistema, seg n el punto 1, en el que  
los elementos para seleccionar un sub-grupo de d gitos su  
cesivos comprenden diversos registros de conversi n, uno  
10 por cada flujo de datos, teniendo cada registro de conver  
si n un n mero de etapas igual al n mero de d gitos en el  
sub-grupo y formando el flujo de datos una entrada en se-  
rie al registro de conversi n.

3.- Un sistema, seg n el punto 2, en el que  
15 los elementos para transferir los sub-grupos comprenden  
elementos para transferir simult neamente el contenido del  
registro de conversi n en modo paralelo al translator de  
c digo.

4.- Un sistema, seg n el punto 1, 2   3 en  
20 el que el translator de c digo est  dispuesto para trans-  
ladar los primeros grupos de d gitos en c digo binario a  
segundos grupos de d gitos en c digo ternario.

5.- Un sistema, seg n el punto 4, en el que  
el translator de c digo est  dispuesto para trasladar  
25 los primeros grupos, que consisten cada uno de cuatro d -  
gitos en c digo binario, a segundos grupos que consiste  
cada uno de tres d gitos en c digo ternario.

6.- Un sistema, seg n el punto 5, en el que  
el translator de c digo incluye elementos para controlar  
30 la suma digital de las se ales ternarias de salida y ele-

mentos para controlar la elección de palabras ternarias alternativas cuando tales palabras están disponibles, a fin de mantener la suma digital en curso, dentro de límites predeterminados.

5                   7.- Un sistema, según cualquiera de las reivindicaciones precedentes que incluye, en el transmisor, elementos para mezclar los flujos de datos digitales en serie de entrada y, en el receptor, elementos para separar los flujos de datos digitales en serie de salida.

10                   8.- Un sistema, según cualquiera de las reivindicaciones anteriores, que incluye, en el transmisor, elementos para sincronizar los flujos de datos digitales en serie de entrada que, inicialmente, eran asíncronos.

15                   9.- Un sistema, según el punto 8, en lo que los elementos de sincronización incluyen elementos para agregar los dígitos de relleno a cada flujo de datos y, el receptor, incluye elementos para separar, de los flujos de datos digitales formados a la salida, los dígitos de relleno agregados en el transmisor.

20                   10.- Un sistema de transmisión de datos digitales tal como se describe en la fig. 1 ó en la 1, 3 y 5 de los dibujos que se acompañan.

11.- Un sistema de transmisión de datos digitales.

25                   Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta Memoria consta de catorce hojas escritas por una sola cara.

Madrid, **5 MAYO 1975**



M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

5 MAYO 1975

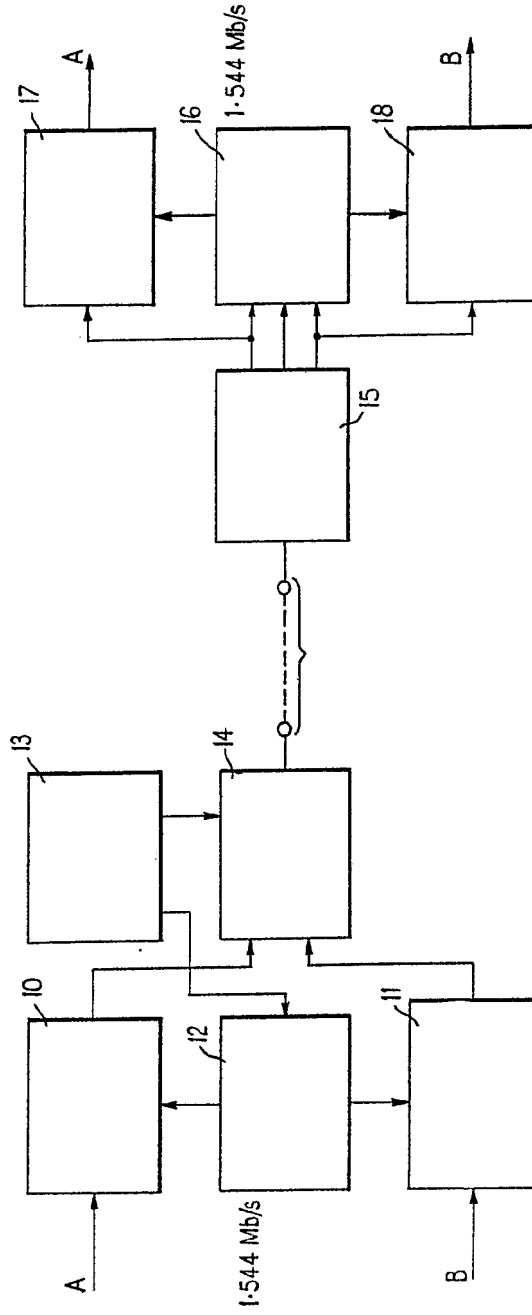


FIG. 1

*M. G. Santamaría*  
M. G. SANTAMARÍA  
VICESecretario General

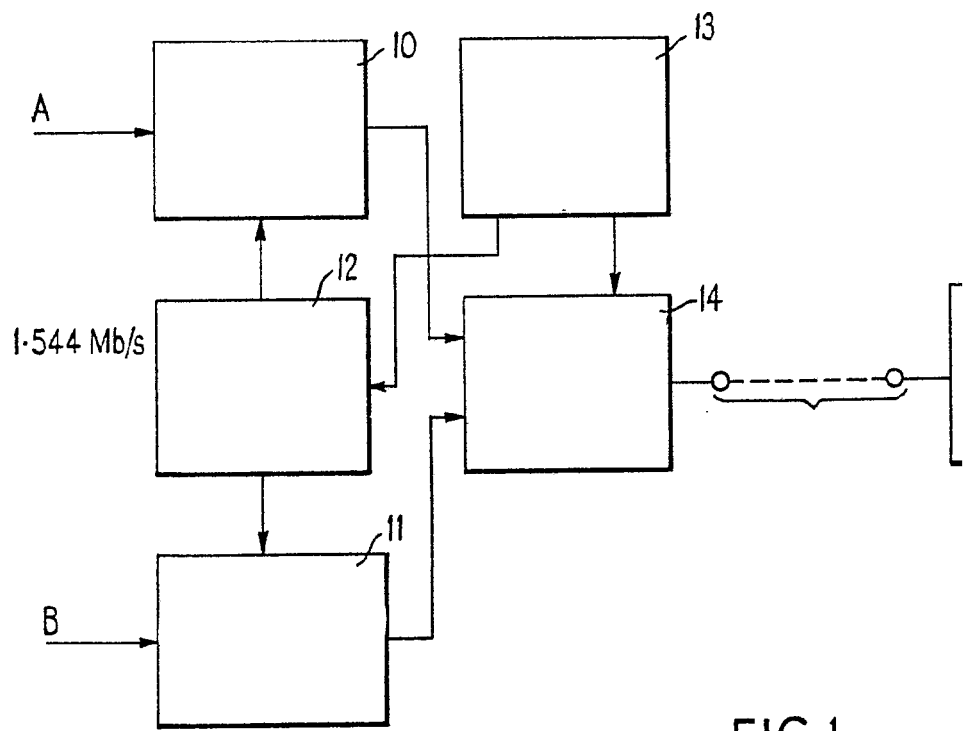
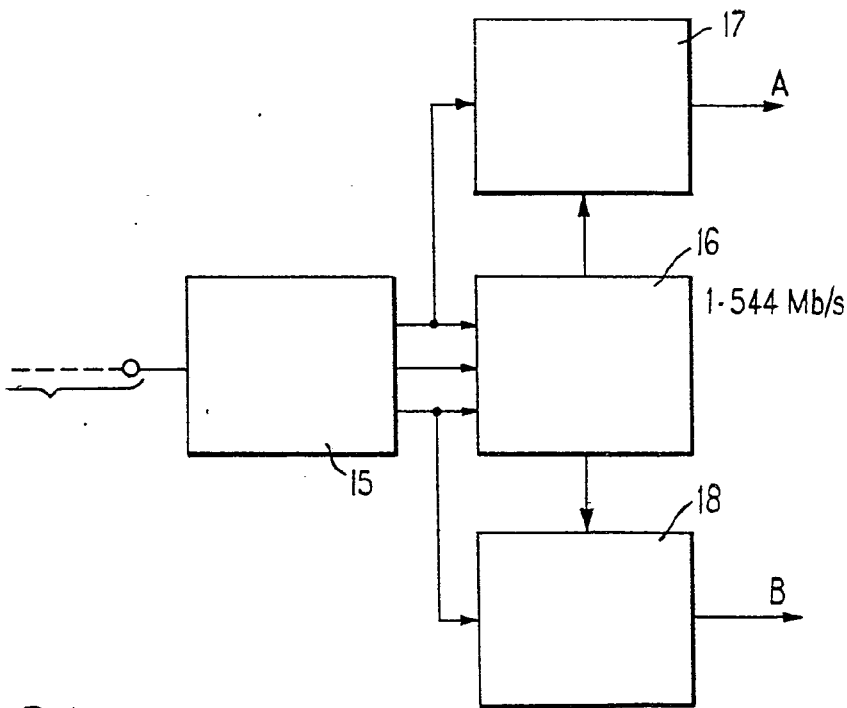


FIG.1



5 MAYO 1975



G.1

*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

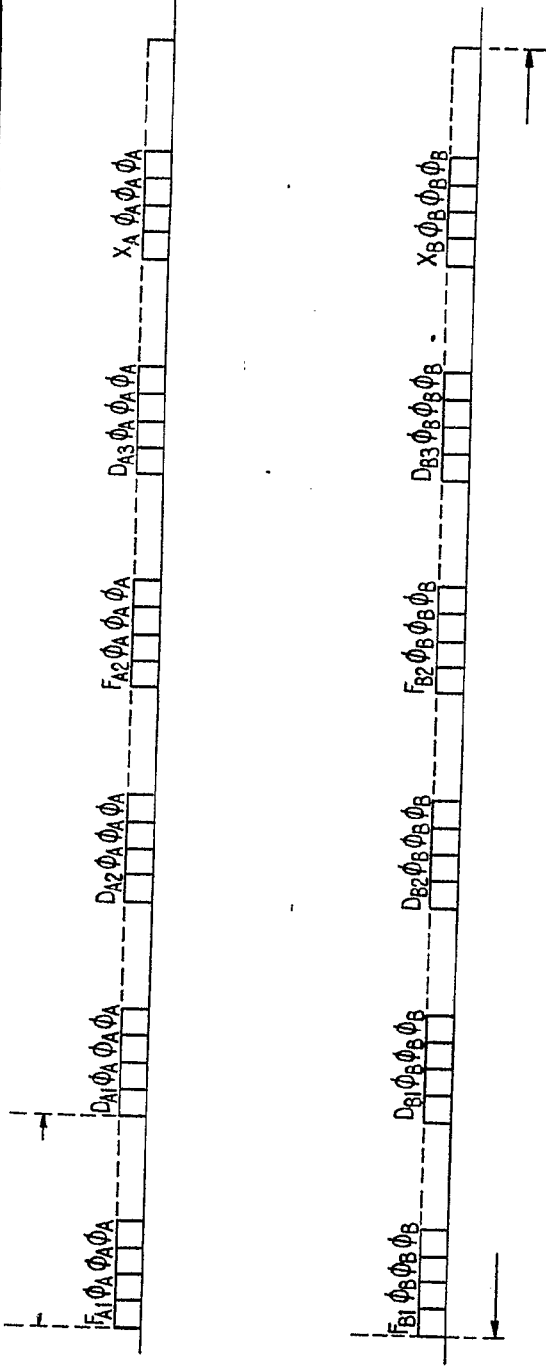


FIG. 2

5 MAYO 1975

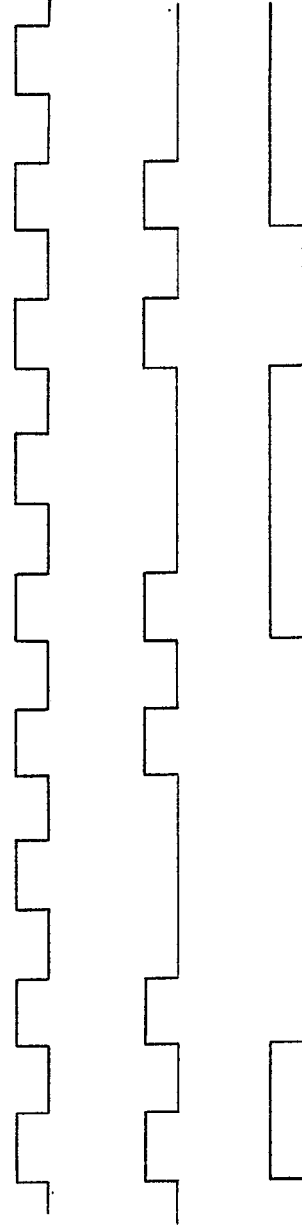


FIG. 6

*M. G. Santamaria*  
 M. G. SANTAMARIA  
 VICE-SECRETARIO GENERAL

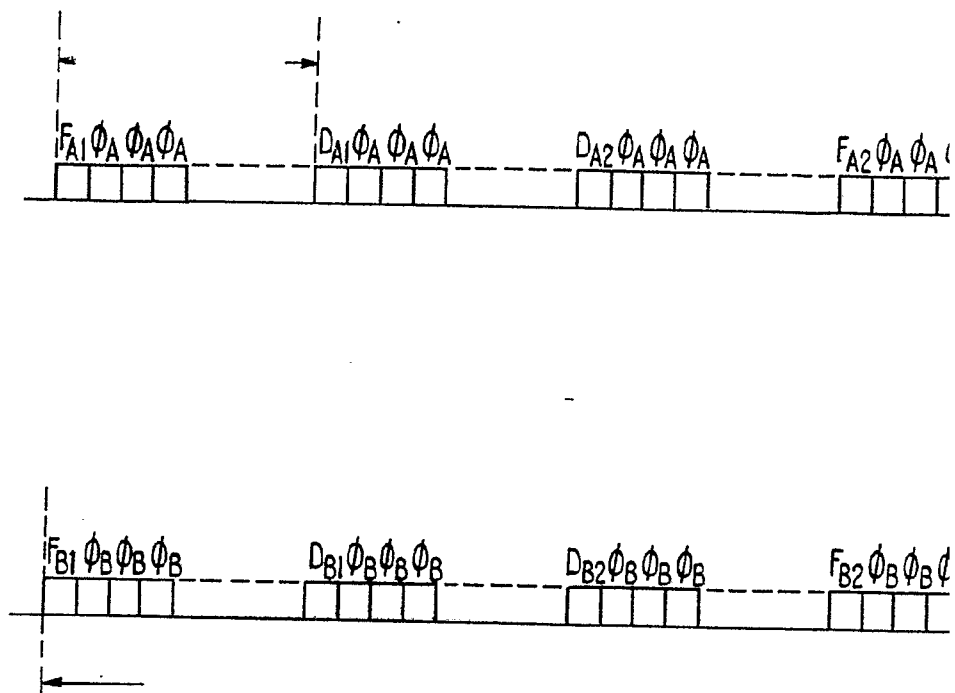


FIG.2

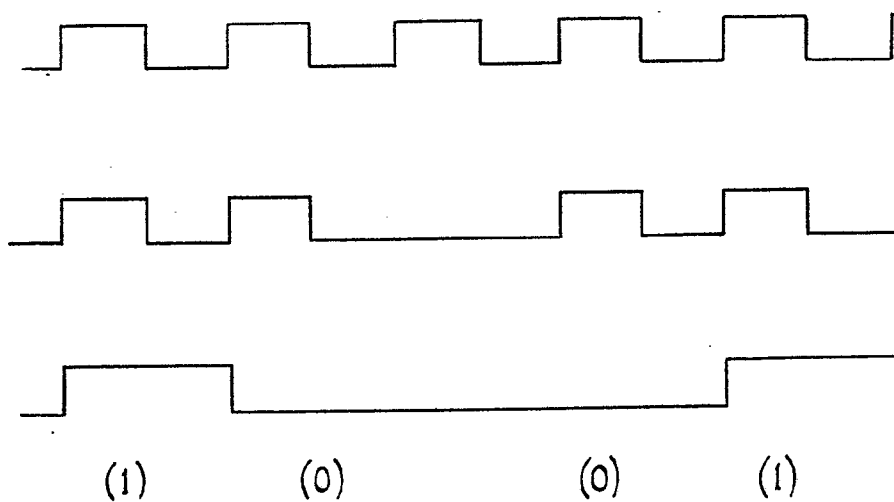


FIG.6

5/2

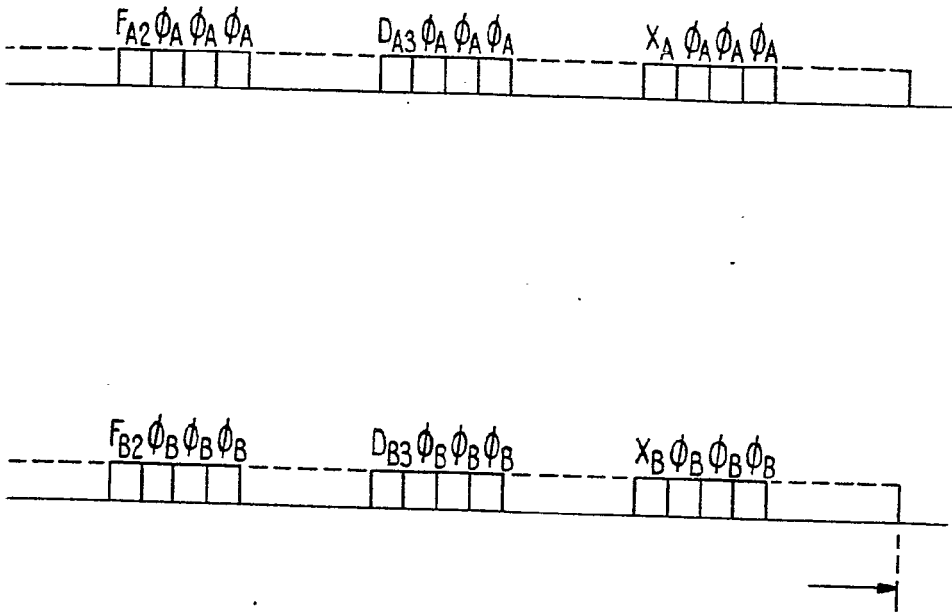


FIG. 2

5 MAYO 1975

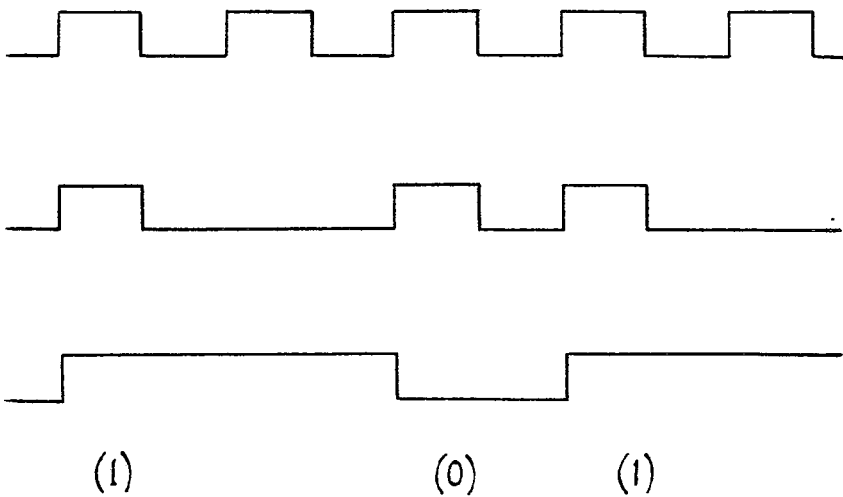


FIG. 6



*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

5 MAYO 1975

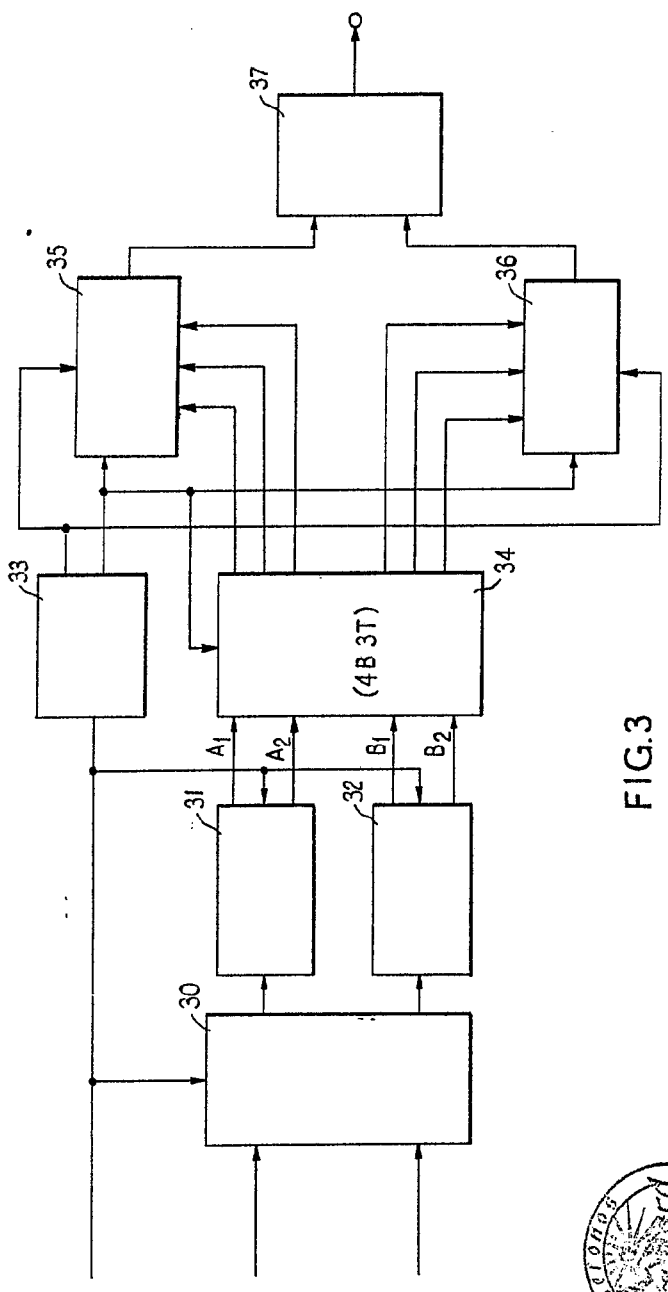


FIG.3



*M. G. Santamalia*  
M. G. SANTAMALIA  
VICESECRETARIO GENERAL

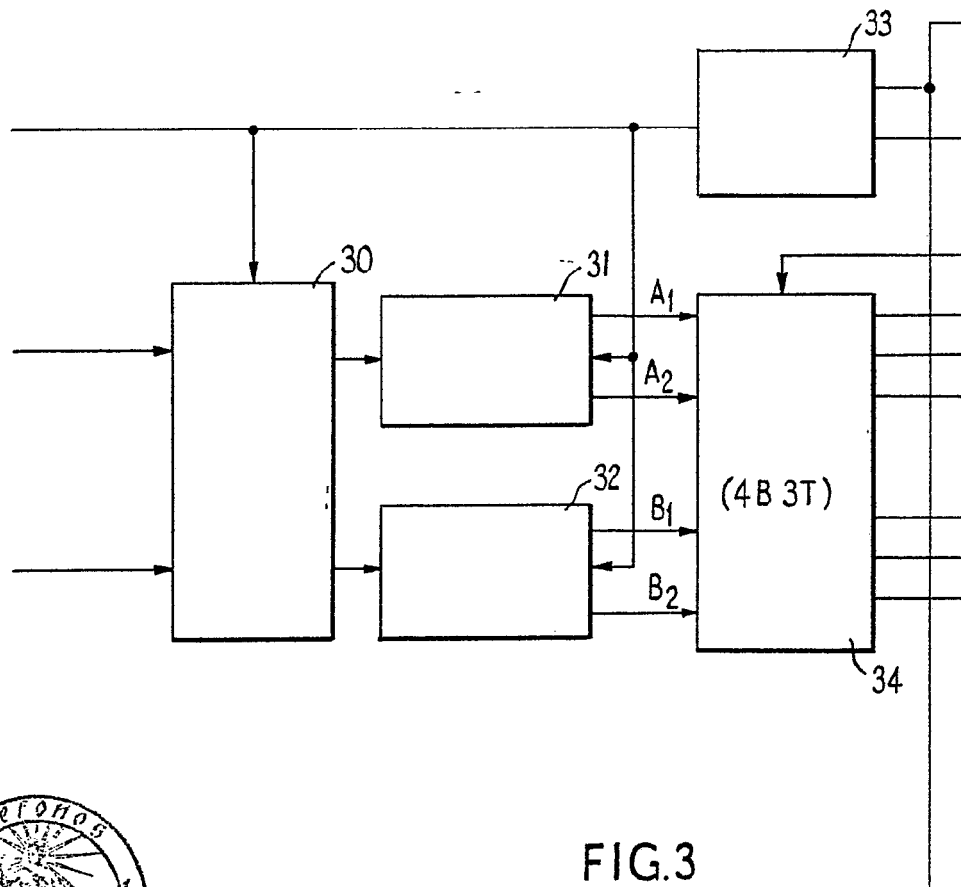
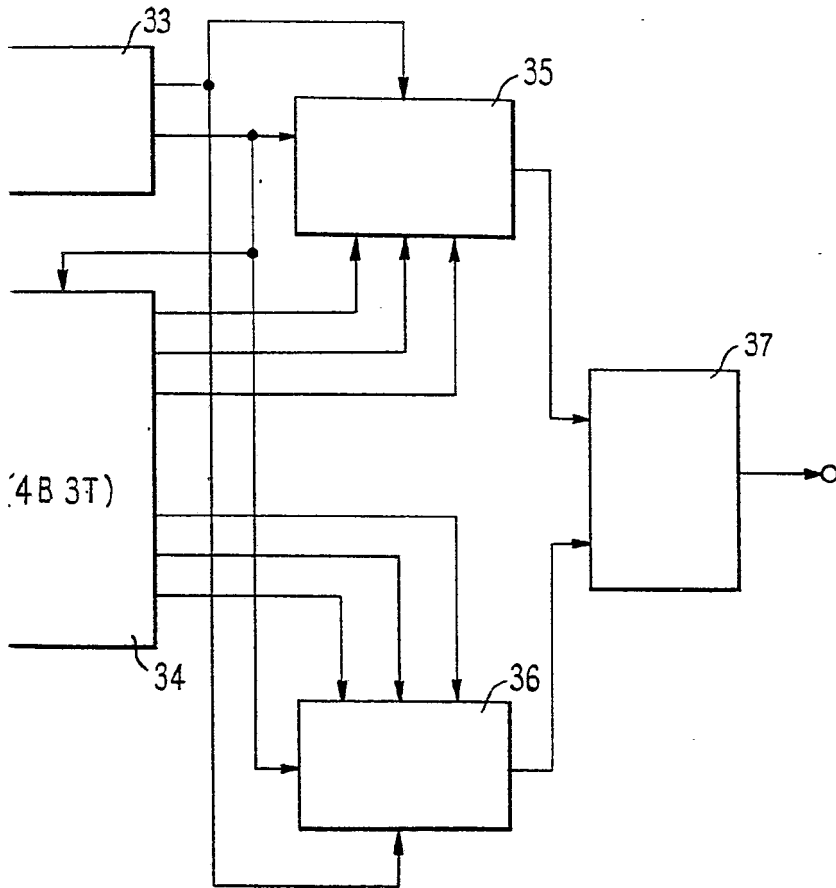


FIG. 3



5/3

STANDARD ELECTRICA, S. A.



5 MAYO 1975

*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

	A <sub>1</sub>	A <sub>2</sub>	B <sub>1</sub>	B <sub>2</sub>
+ - 0	1	1	0	0
0 - +	0	1	0	0
- 0 +	0	0	1	0
- + 0	1	0	0	1
0 + -	1	0	1	0
+ 0 -	1	0	0	0
+ 0 0 } 0 - 0 }	1	1	0	1
+ - + } - - + }	0	1	1	0
0 0 + } - 0 0 }	0	0	0	1
- + + } - + - }	0	0	0	0
0 + 0 } 0 0 - }	1	0	1	1
+ + - } + - - }	1	1	1	0
0 + + } - 0 - }	0	0	1	1
+ + 0 } 0 - - }	1	1	1	1
+ 0 + } - - 0 }	0	1	0	1
+ + + } - - - }	0	1	1	1



FIG. 4

*M. G. Santamaria*  
**M. G. SANTAMARIA**  
 VICE-SECRETARIO GENERAL

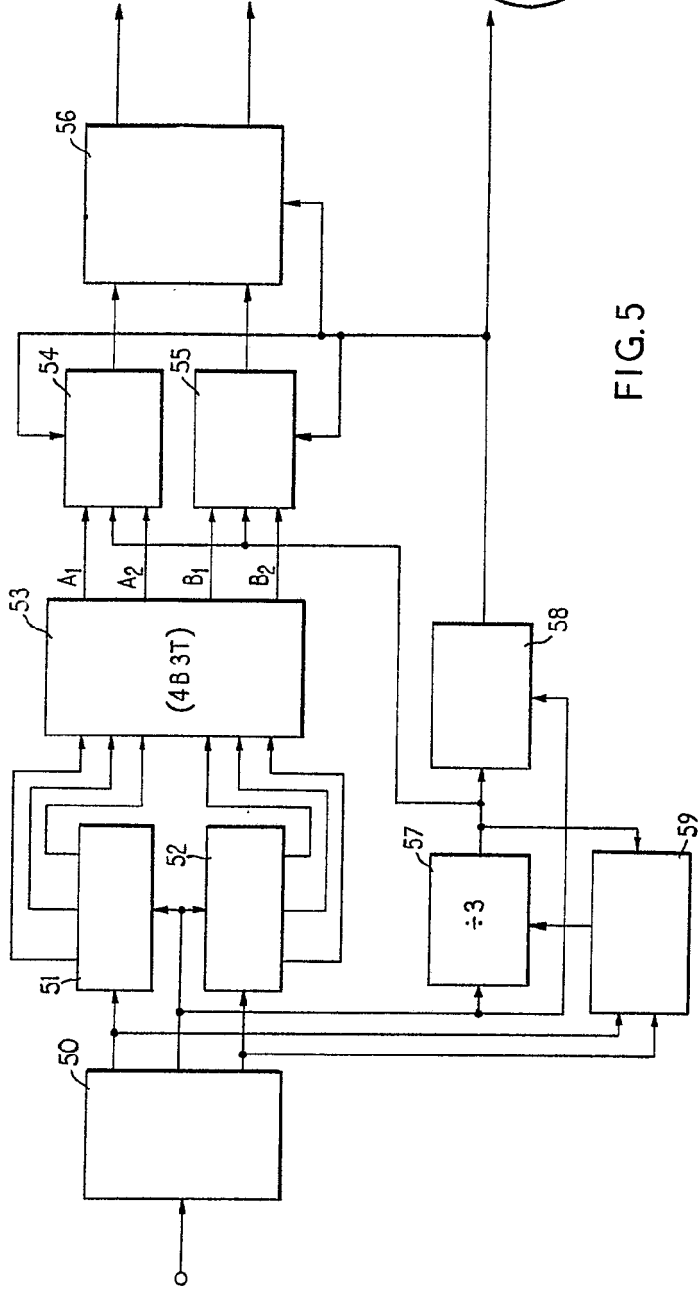
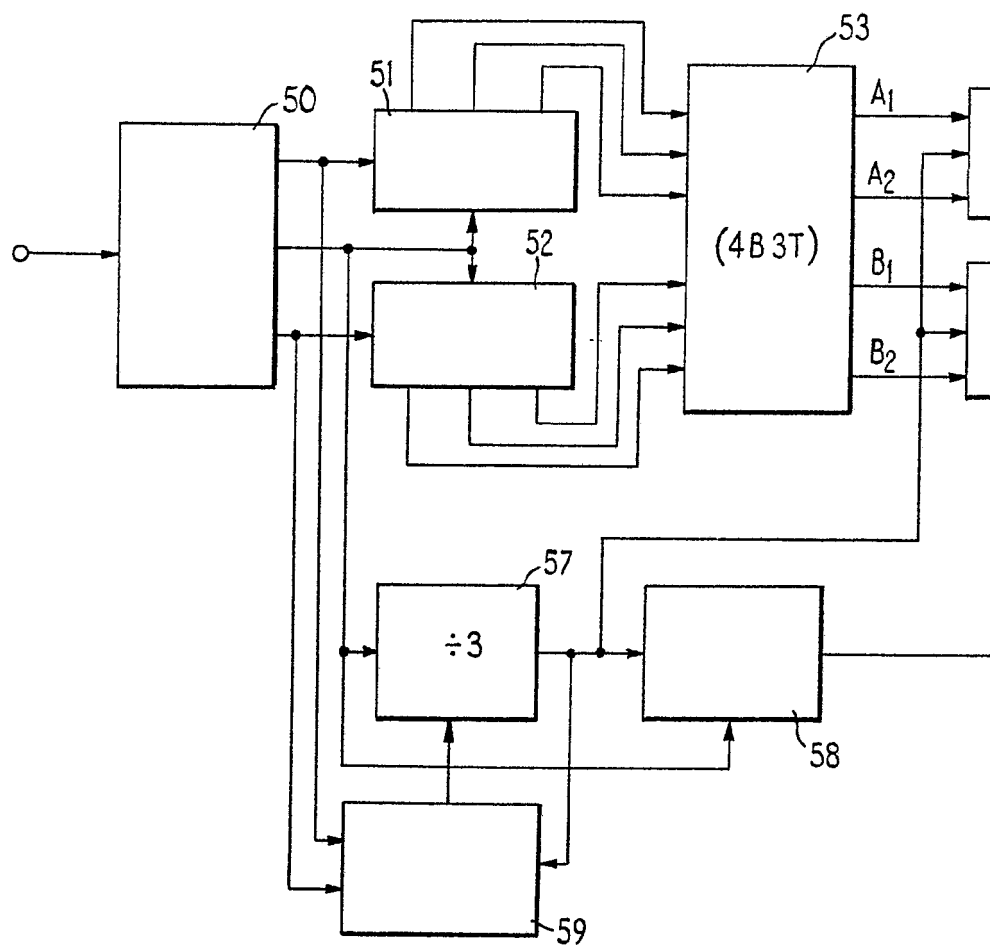


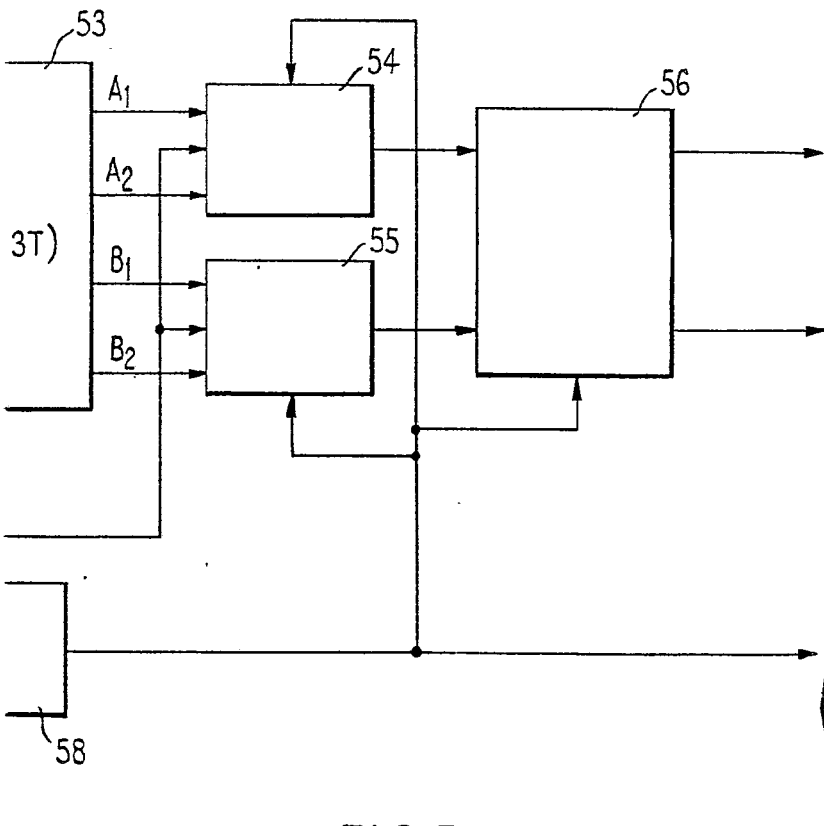
FIG. 5



5 MAR 1978

*M. G. Santamaría*  
M. G. SANTAMARÍA  
VICESECRETARIO GENERAL





5 MAYO 1975



FIG.5

*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL