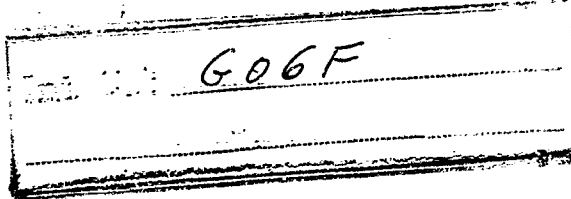


435802

PATENTE DE INVENCION

TF-670-SPN



Memoria Descriptiva

sobre:

Perfeccionamientos en controladores de
secuencia.

.....

Solicitante: TOYODA-KOKI KABUSHIKI-KAISHA, entidad japonesa,
residente en 1-1, Asahi-machi, Kariya-chi, Aichi-ken,
Japón.

.....

La presente invención se refiere a un controlador de secuencia capaz de realizar un control de secuencia deseado aplicando a un dispositivo de memoria un programa realizado según un circuito de secuencia.

5. El controlador de secuencia convencional (como

el revelado en la Patente de los Estados Unidos número 3.753.243 titulada "Controlador de Máquina Programable", patentada el 14 de agosto de 1.978, examina o compara periódica y secuencialmente todas las condiciones de entrada (valores de las salidas del detector) con los mandos de examen de acuerdo con el programa.

- 5.
- 10.
- 15.
- 20.
- 25.
- 30.
- No obstante, si se examina un grupo de funciones Y lógicas, como se representa en la FIGURA 9, si no se satisface el resultado del examen de una de las funciones Y lógicas, no se satisface todo el funcionamiento de las funciones Y lógicas, independientemente de las condiciones de las funciones Y lógicas restantes. Si se examina un grupo de funciones O lógicas, como se representa en la FIGURA 10, si se satisface el resultado del examen de una de las funciones O lógicas, se satisface toda la operación de las funciones O lógicas, independientemente de las condiciones de las funciones O lógicas restantes. Así, si no se satisface una de las funciones Y lógicas en un grupo de funciones Y lógicas que se examinan, no es necesario examinar las restantes funciones Y lógicas. En caso de que se examine un grupo de funciones O lógicas, si se satisface una de las funciones O lógicas, no es necesario examinar las funciones O lógicas restantes. El examen de las condiciones restantes de entrada, tal como se efectúa en el controlador de secuencia expuesto en la Patente de los Estados Unidos número 3.373.243, no es necesario, y por lo tanto se impide eficazmente cualquier posibilidad de avería durante el examen de las restantes condiciones de entrada.

Un objeto de la presente invención es pues el de proporcionar un nuevo y perfeccionado controlador de secuencia para evitar una avería de una operación lógica y aumentar

la fiabilidad y seguridad del controlador de secuencia.

5. Otro objeto de la presente invención es el de proporcionar un nuevo y perfeccionado controlador de secuencia para acortar un ciclo de ejecución de orden, aumentando así la capacidad de control.

10. Otro objeto de la presente invención es el de proporcionar un nuevo y perfeccionado controlador de secuencia capaz de realizar un control deseado de secuencia sin ejecutar una operación lógica de las condiciones restantes de entrada en respuesta al resultado de un examen precedente de una condición de entrada, realizándose con ello no-secuencialmente una operación lógica.

15. Otro objeto más de la invención es el de proporcionar un nuevo y perfeccionado controlador de secuencia en el que se realiza un cambio de ciclo en respuesta al resultado de un examen de una función lógica ejecutándose así no secuencialmente una operación lógica.

20. Los anteriores y otros objetos de la presente invención se deducirán con mayor claridad por la descripción detallada a título de ejemplo que sigue de las realizaciones preferidas, tomadas en conexión con los dibujos adjuntos, en los que:

25. LA FIGURA 1, es un esquema de bloques que representa la disposición general de un controlador de secuencia según la presente invención;

La FIGURA 2 es un esquema de bloques detallado que representa un circuito de operación lógica;

30. LA FIGURA 3 es un esquema de circuito que muestra un circuito generador de impulsos de control que se incluye en el circuito de operación lógica;

LA FIGURA 4 es un esquema de circuito que muestra un circuito generador de impulso de control que se incluye en el circuito de operación lógica;

5. LA FIGURA 4 es un esquema de circuito que muestra un circuito de señal indicadora (Hag) de prueba que se incluye en el circuito de operación lógica;

LA FIGURA 5,6,y 7 muestran diagramas de tiempo de diversas señales de control;

10. LA FIGURA 8 es otra realización de un circuito de señal indicadora de prueba; y

LAS FIGURAS 9,10,11 y 12 son esquemas de circuitos que muestran modelos ejemplificados de los contactos y conexiones de los circuitos eléctricos escalonados.

15. A continuación se describen realizaciones preferidas de la presente invención con referencia a los dibujos adjuntos, en los que iguales números de referencia designan partes idénticas en las distintas vistas. LA FIGURA 1 muestra el esquema general de un controlador de secuencia según la presente invención que comprende un módulo de entrada 1, una memoria 2, un circuito de operación lógica 3, una entrada de secuencia 4 y un módulo de salida 5. El módulo de entrada 1 está conectado a los contactos de entrada 6 para recibir sus condiciones lógicas (por ejemplo, ON o OFF (CONEXION O DESCONEXION)). La secuencia se controla según el cambio de condiciones de los contactos de entrada 6. El modulo de entrada 1 comprende un circuito de conversión de entrada 7 y un circuito de cambio de entrada 8. El circuito de conversión de entrada 7 convierte cada condición de los contactos de entrada 6 en el estado lógico (por ejemplo UNO o CERO) que se utilizará como señal de entrada.

20.

25.

30.

- El circuito de cambio de entrada 8 selecciona uno de los contactos de entrada 6 identificados por el circuito de operación lógica 3 y transmite su estado (por ejemplo, UNO o CERO) al circuito de operación lógica 3. La entrada de secuencia 4 es un dispositivo de entrada al programa e introduce los contenidos de control de secuencia que están representados por contactos de relé y similares. Este programa de secuencia se memoriza en el dispositivo de memoria 2. El circuito de operación lógica 3 ejecuta una operación según un programa almacenado en la memoria 2 y aplica una salida resultante a la salida del módulo de salida 5. El módulo de salida comprende un circuito de cambio de salida 9 y un circuito de conversión y mantenimiento de salida 10. El circuito de cambio de salida 9 selecciona uno de los dispositivos de salida 11 como por ejemplo relés o solenoides según una información de salida procedente del circuito de operación lógica 3. Al mismo tiempo, el circuito de cambio de salida 9 sirve para transmitir el estado de los dispositivos de salida 11 al circuito de operación lógica 3. El circuito de conversión y mantenimiento de salida 10 es accionado según la información de salida procedente del circuito de operación lógica 3 a través del circuito de cambio de salida 9 para memorizar en él la información e igualmente para transmitir una corriente eléctrica amplificada que active los dispositivos de salida 11.
- En esta realización, un programa almacenado en el dispositivo de memoria 2 comprende palabras de 16 bits. Los 5 primeros bits de la palabra se utilizan para una orden y los 11 bits restantes se utilizan para identificar un número de dirección de entrada o salida de 1 a 2048. Por lo tanto una orden y un número de dirección de entrada o salida pueden se repre-

sentados por una palabra.

En la Tabla I se representan diversos tipos de ordenes.

T A B L A I

5.

10.

15.

20.

26.

30.

Tipo	Símbolo	Significado
Orden de examen de entrada	TNA	examinar por función Y lógica si la entrada está en CONEXION
	TFA	examinar por función Y lógica si la entrada está en DESCONECION
	TNO	examinar por función O lógica si la entrada está en CONEXION
	TFO	examinar por función O lógica si la entrada esta en DESCONECION
	TNE	examinar por función O lógica si la entrada está en CONEXION e indicar el resultado final
	TFE	examinar por función O lógica si la entrada está en DESCONECION e indicar el resultado final.
Mando de Salida	YON	posicionar las salidas si se satisface el resultado del examen de entrada; reponer las salidas si no se satisface el resultado del examen de entrada
	YOF	Posicionar la salida si no se satisface el resultado del examen de entrada; reponer la salida si se satisface el resultado del examen de entrada

Orden de bifurcación	JMY	bifucar si se satisface el resultado de entrada
	JMN	bifurcar si no se satisface al resultado del examen de entrada.

5. En cada dirección de memoria, se memoriza una orden representada en la Tabla 1 y una dirección de entrada o salida o una dirección de memoria identificada por una orden de bifurcación, y el dispositivo de memoria 2 lee sucesivamente estos programas de manera que el circuito de operación lógica 3 ejecute estas instrucciones.
10. Haciendo referencia a la FIGURA 2, que representa un esquema de bloques detallado del circuito de operación lógica 3, el dispositivo de memoria 2 memoriza la mencionada secuencia programada. Una dirección del dispositivo de memoria 2 se designan con un contador de programa 20. El contenido del contador de programa se aumenta uno a uno en respuesta a una señal de control UPI a partir de un circuito generador de impulso de control 22 que se describirá más adelante. El contador de programa 20 cuenta el número de las direcciones en el dispositivo de memoria 2 y aplica el valor contado al dispositivo de memoria 2 cuando se abre una puerta 21 de dirección de memoria por una señal de control MST procedente del circuito generador de impulsos de control 22 de manera que posteriormente se lea cíclicamente el contenido de la memoria 2. El contenido leído de la memoria 2 y se introduce en un registro 23 de la información de la memoria y a continuación en un registro de instrucción 25 a través de una línea DB de la vía principal de transmisión de información cuando se abre una puerta de memoria 24 por una señal de control GM y se preajusta allí
- 15.
- 20.
- 25.
- 30.

- por una señal de control SGISR. Los 5 primeros bits del registro de instrucción 25 se utilizan para la dirección de entrada o salida o la dirección de memoria. El contenido de los 5 primeros bits se distingue por un decodificador 26 y se alimenta
5. al circuito generador de impulsos 22 para generar diversos tipo de señales de control para controlar la operación lógica. El contenido de los 11 bits restantes se aplica al circuito de cambio de entrada 8 del módulo de entrada 1 o al circuito de cambio de salida 9 del módulo de salida 5 para designar
10. la dirección de entrada o salida. La condición lógica del contacto de entrada en la dirección seleccionada por el circuito de cambio de entrada 8 se aplica un circuito de señal indicadora de prueba 27 a través de una línea IOB. El circuito de la señal indicadora de prueba 27, que se describe más adelante
15. con mayor detalle, incluye un registro para memorizar el resultado del examen de la condición lógica del contacto de entrada seleccionado de la línea IOB con una orden identificada por el decodificador 26 está formada fundamentalmente por un basculador o circuito de señal indicadora FF10 para memorizar
20. el resultado de la operación de una función O lógica y un basculador o circuito de señal indicadora FF20 para memorizar el resultado de la operación de una función Y lógica tal como se representa en la figura 4. El resultado del examen memorizado en el circuito de señal indicadora de prueba 27
25. se aplica a una dirección de salida seleccionada por el circuito de cambio de salida 9 para controlar la operación del dispositivo de salida a través del circuito de conversión y mantenimiento de salida 10. El circuito de conversión y mantenimiento de salida 10 mantiene la condición del dispositivo de
30. salida en una dirección designada en uno de los basculadores

contenidos en el mismo y lo transmite al circuito de señal indicadora de prueba 27 a través de la línea IOB, como en el caso del circuito de conversión de entrada 7.

- Haciendo referencia a la FIGURA 3, el circuito generador de impulso de control 22 está constituido por un circuito
5. generador reloj 50, un registro de desplazamiento 51, un basculador 52 para puesta en marcha y parada, y un basculador 53 para cambio de ciclo. El circuito generador de reloj 50 tiene
10. dos bornas de salida 50a y 50b para generar impulsos de reloj CLa y CLb, respectivamente. La borna de salida 50a está conectada a una borna de entrada 51a del registro de desplazamiento
15. 51. La otra borna de salida 50b va conectada a las bornas disparadoras T1 y T2 de los basculadores respectivos 52 y 53 y una borna de entrada de una puerta NY NA1. La otra borna de
20. entrada 51b del registro de desplazamiento 51 va conectada a una borna de salida de una puerta NO N01. Una borna de entrada de la puerta NO N01 va conectada a una borna de salida de una puerta NY NA2, cuyas bornas de entrada van conectadas a las bornas de salida Q1 a Q6 del registro de desplazamiento 51
25. a través de los inversores IN1 a IN6, respectivamente. La otra borna de entrada de la puerta NO N01 va conectada a una borna de salida de reposición 52b del basculador 52. El basculador 52 se posiciona cuando se aprieta un pulsador de puesta en marcha 54 y mantiene una salida desde la borna de salida de reposición 52b del mismo en una señal de baja tensión, a la que se le denomina la señal CERO, hasta que se repone el basculador 52 como resultado de la pulsación de un interruptor de parada 55. Cuando se repone el basculador 52 aparece una señal de alta tensión, a la que se denomina señal UNO en la borna de salida de reposición 52b del mismo, la cual se transmite a la
- 30.

- borna de entrada 51b del registro de desplazamiento 51 a través de la puerta NO N01 para aplicar a la misma una señal CERO. El registro de desplazamiento 51 comienza una operación de desplazamiento con la condición de que se aplique una señal
5. UNO a la borna de entrada 51b de la misma al recibir los impulsos de reloj CLa en la borna de entrada 51a de la misma para generar impulsos de control CLL a CL6 en las bornas de salida Q1 a Q6, respectivamente, según se representa en la figura 5. Se aplica una señal UNO a la borna de entrada 51b del re-
10. gistro de desplazamiento 51 solo cuando las salidas en las bornas de salida a Q1 a Q6 se encuentran en estado CERO de manera que se aplique una señal CERO de salida desde la puerta NY NA2 a la borna de entrada de la puerta NO N01. Una borna de puesta a cero 51c del registro de desplazamiento 51 va conectada a la
15. borna de salida de posicionamiento del basculador 53 a través de un inversor IN 7. El basculador 53 se posiciona cuando se aplica una señal de intrucción de cambio de ciclo FTS desde el circuito de señal indicadora de prueba 27 y el impulso de control CL4, y se repone cuando una señal de final de ciclo
20. OP del registro e desplazamiento 51 se convierte en una señal CERO y se aplica el impulso de reloj CLb. Mientras se posiciona el basculador 53, se aplica una señal CERO a la borna de puesta a cero 51c a través del inversor IN7 para poner a cero el contenido del registro de desplazamiento 51. Por lo
25. tanto, los impulsos de control en forma de trenes de impulsos CLL a CL4 se generan sin generar impulsos de control CL5 y CL6 como se indica en la FIGURA 6. El caso en el que se generan impulsos de control CLL a CL6 se denomina posteriormente un ciclo normal y el caso en el que solo se generan los impulsos
30. de control CLL a CL4 se denomina un ciclo especial. En el ciclo

especial, se hace un cambio de ciclo para suspender la ejecución de la operación lógica en el circuito de señal indicadora de prueba 27 para leer de esa forma el siguiente programa.

5. Los impulsos de control CL1 a CL6, los impulsos de reloj CLa y CLb y las señales de control procedentes del decodificador 26 se aplican a un circuito de señales de control 57 para generar señales de control MST, GM y SGISR para ejecutar el ciclo de lectura sobre el cual se lee el programa en el dispositivo de memoria 2 y las señales de control SGFT, UPL, SG10, GISR y SGPC1 para ordenar el ciclo de ejecución se generan como se representa en la FIGURA 7.

15. Debe entenderse que las señales de control SGFT y UPL para examinar las ordenes TNA, TFA, TNO y TFO en ciclo especial son diferentes de las del ciclo normal. Particularmente, la señal de control SGFT en el ciclo normal se genera con la misma temporización que el impulso de control CL5, en el ciclo especial, no se genera ninguna señal de control SGFT, en el ciclo especial, no se genera ninguna señal de control SGFT. La señal de control UPL en el ciclo normal se genera con la misma temporización que el impulso de control CL5, pero la señal de control UPL en el ciclo especial se genera con la misma temporización que el impulso de control CL4.

20. Tal como se representa en la FIGURA 4, el circuito de señal indicadora de prueba 27, está constituido fundamentalmente por los circuitos de operación lógica OIG y ALG para efectuar una operación lógica de la señal procedente de la línea IOB (CERO cuando el contacto de entrada se encuentra en estado CONECTADO y UNO cuando el contacto de entrada se encuentra en el estado DESCONECTADO) por una orden de examen (la señal CERO aparece únicamente en la borna correspondiente a la

25.

30.

orden identificada) y los basculadores o señales indicadoras FF10 y FF20 para memorizar el resultado de la operación lógica. La señal indicadora FF10 debe memorizar el resultado de la operación de una función O lógica y se encuentra en el estado de reposición en la fase inicial.

5.

La señal indicadora FF10 memoriza en su estado de reposición la insatisfacción del resultado de la operación de la función lógica O mientras que el estado de posicionamiento de la misma memoriza la satisfacción del resultado de la operación de la función lógica O. Una vez posicionada la señal indicadora FF10, la señal indicadora FF10 se mantiene en estado posicionado para aplicar una señal de bloque a las puertas de bloque B01 y B02 a través de una línea de realimentación FBo para bloquear la señal de entrada procedente de la línea IOB y la señal de la orden de examen. La señal indicadora FF20

10.

debe memorizar el resultado de la operación de una función Y lógica y se encuentra en estado de reposición en la fase inicial. La señal indicadora FF20 memoriza en su estado de reposición la satisfacción del resultado de la operación de la función lógica Y mientras que su estado de posicionamiento memoriza la insatisfacción del resultado de la operación de la función lógica Y. Una vez posicionada la señal indicadora FF20

15.

y la señal indicadora FF20 debe mantenerse en estado posicionado para aplicar una señal de bloque a las puertas de bloque BA1 y BA2 a través de una línea de realimentación FBa para bloquear la señal de entrada procedente de la línea IOB y la señal de la orden de examen.

20.

25.

Las líneas de realimentación FBo y FBa y las puertas de bloque B01, B02, BA1 y BA2 actúan del siguiente modo.

30.

En el estado de reposición de la señal indicadora FF10

- por insatisfacción del resultado de la operación de la función lógica 0, aparece una señal CERO en la línea de realimentación FBO que se aplica directamente a las puertas Y A12, A14, A16 y A18 cerrándolas en consecuencia. Una señal CERO en la línea FBO se convierte a través de un inversor IN10 en una señal UNO que se aplica a las puertas Y A11, A13, A15 y A17 abriéndolas. Las puertas Y A11 y A13 reciben las señales de orden de examen TNO, TNE y TFO, TFE a través de las puertas NY NA10 y NA11, respectivamente. La puerta Y A15 recibe la señal de la línea IOB a través de un inversor IN40 y la puerta Y A17 recibe la señal de la línea IOB. Por consiguiente, la señal procedente de la línea IOB y las señales de orden de examen TBO, TNE y TFO, TFE se aplican a circuito OIG de la operación lógica 0 a través de las puertas Y A11, A13, A15, A17 y las puertas NO NO10, NO11, NO12 y NO13 para ejecutar la operación lógica de acuerdo con la señal de mando de examen.

- La borna de datos D1 de la señal indicadora FF10 recibe una señal UNO cuando se satisface el resultado del examen y recibe una señal CERO cuando no se satisface el resultado del examen. En el estado de reposición de la señal indicadora FF10, dado que no se genera la señal de instrucción de cambio de ciclo FTS, se generan impulsos de control bajo el ciclo normal de manera que se genera la señal de disparo SGFT aplicada a la borna de disparo T1 de la señal indicadora FF10 al mismo tiempo que el impulso de reloj CL5. Por lo tanto, cuando se aplica la señal de disparo SGFT, la bandera FF11 se mantiene en el estado de reposición si la borna de término D1 de la misma recibe una señal CERO y la bandera FF10 se posiciona para generar una señal UNO procedente de la borna de salida de posicionamiento Q1 si su borna de fecha D1 recibe una señal

UNO.

5. En el estado de posicionamiento de la señal indicadora FF10 por satisfacción del resultado de la operación de la función lógica O, aparece una señal UNO en la línea de realimentación FBO para cambiar el estado abierto-cerrado de las puertas Y A11 a A18, de las puertas de bloque B01 y B02. Más concretamente, las puertas Y A11, A13, A15 y A17, conectadas a la línea de realimentación FBO a través del inversor IN10, están cerradas y las puertas Y A12, A14, A16 y A18 están abiertas.
10. Cada una de las puertas abiertas Y A12, A14, A16, A18 reciben una señal UNO a través de las salidas de un inversor IN30 y aplica la señal establecida (que es la misma señal que se tiene en el caso de satisfacción del resultado del examen de una función O lógica) al circuito OIG de la operación lógica O independientemente de la condición de la señal procedente de la línea IOB y la señal de mando de examen de manera que la borna D1 de la señal indicadora FF10 recibe la señal UNO.
15. De esta forma, la señal indicadora FF10 se mantiene en estado de posicionamiento y memoriza la satisfacción del resultado de la operación de la función lógica O.
- 20.

25. En el estado de posicionamiento de la señal indicadora FF10, en el que su borna de salida posicionada se encuentra en estado UNO, cuando se aplica el mando de examen TNO o TFO según el siguiente programa, se genera la señal de instrucción de cambio de ciclo FTS. En estas condiciones, cuando se aplica el impulso de control CI4, se posiciona la señal indicadora 53 para cambio de ciclo según se representa en la FIGURA 3, posicionando con ello el circuito 22 del ciclo de generación de impulso de control para el ciclo especial. Por lo
30. tanto, cuando se satisface el resultado de la operación de la

- función lógica 0 y se genera la señal FTS, la borna de disparo T1 de la señal indicadora FF10 no recibe ninguna señal de control SGFT y se genera la señal de control UPI para escalar el contador de programa 20 al mismo tiempo que el impulso de reloj CL4, comenzando de ese modo a leer el siguiente programa sin generar los impulsos de control CL5 y CL6. En consecuencia, no se efectúa ninguna operación lógica sustancial y se acorta considerablemente el ciclo de ejecución de control.
5. En el estado de reposición de la señal indicadora FF20, aparece una señal CERO en la línea de realimentación FBA de manera que las puertas Y A22, A24, A26 y A28 se encuentran cerradas y las puertas Y A21, A23, A25 y A27 conectadas a la línea de realimentación FBA a través de un inversor IN20 están abiertas. Las puertas Y A21 y A23 reciben las señales de mando de examen TNA y TFA a través de los inversores IN32 e IN33, respectivamente, y las puertas Y A25 y A27 reciben la señal de la línea IOB. A continuación, la señal que procede de la línea IOB y la señal de orden de examen TNA o TFA se aplican al circuito ALG de operación lógica Y a través de las puertas Y A21, A23, A25 y A27 y las puertas NO NO20, NO21, NO22 y NO23 para ejecutar la operación lógica de acuerdo con la señal de orden de examen. El terminal de información D2 de la señal indicadora FF20 recibe una señal CERO cuando se satisface el resultado del examen y recibe una señal UNO cuando no se satisface el resultado del examen. En el estado de reposición de la señal indicadora FF20, dado que no se genera la señal FTS de instrucción de cambio de ciclo, se generan los impulsos de control en el ciclo normal de manera que la señal de disparo SGFT aplicada al terminal de disparo T2 de la señal indicadora FF20 se genera al mismo que el impulso del reloj CL5. Por consiguiente, cuando se aplica la señal de disparo SGFT, la señal indicadora
- 10.
- 15.
- 20.
- 25.
- 30.

FF20 se mantiene en el estado de reposición si su borna de información D2 recibe una señal CERO y la señal indicadora FF20 se posiciona para generar una señal UNO desde la borna de salida de posicionamiento Q2 y su borna de información D2 recibe una señal UNO.

5.

En el estado de posicionamiento de la señal indicadora FF20 por insatisfacción del resultado de la operación de una función lógica Y, aparece una señal UNO en la línea de realimentación FBA para cambiar el estado abierto-cerrado de las puertas Y A21 a A28 de las puertas de bloque BA1, y BA2. Así, las puertas Y A21, A23, A25 y A27 conectadas a la línea de realimentación FBA a través del inversor IN20 se encuentran cerradas y las puertas Y A22, A24, A26 y A28 están abiertas.

10.

Cada una de las puertas Y abiertas A22, A24, A26 y A28 que reciben señales UNO a través de las salidas del inversor IN30 aplica la señal establecida (que es la misma señal que la que se tiene con la insatisfacción del resultado del examen de una función lógica O) al circuito ALG de operación lógica Y, independientemente de la condición de la señal procedente de la línea IOB y la señal de orden de examen de manera que la borna D2 de la señal indicadora FF20 recibe una señal UNO. Así, la señal indicadora FF20 se mantiene en el estado de posicionamiento y memoriza la insatisfacción del resultado de la operación de una función lógica Y.

15.

20.

25.

En el estado de posicionamiento de la señal indicadora FF20 por el que su borna de salida posicionada se encuentra en el estado UNO, cuando se aplica la orden de examen TNA, o TFA, según el siguiente programa, se genera la señal de instrucción de cambio de ciclo FTS. En estas condiciones, cuando se aplica el impulso de control CI4, la señal indicadora 53

30.

para cambio de ciclo, como se representa en la figura 3, se posiciona posicionando de esta manera el circuito generador de impulso de control 22 para el ciclo especial. Por consiguiente, cuando no se satisface el resultado de la operación de la función lógica Y y se genera la señal TFS, la borna de disparo T2 de la señal indicadora FF20 no recibe ninguna señal de control SGFT y se genera la señal de control UPI para escalar el contador de programa 20 al mismo tiempo que el impulso de reloj CL4 comenzando de ese modo la lectura del siguiente programa sin generar los impulsos de control CL5 y CL6. En consecuencia, no se hace ninguna operación lógica sustancial y se acorta considerablemente el ciclo de ejecución de la orden.

El circuito OIG de operación lógica 0 está constituido por las puertas NO N014, N015, N016 y N017 para recibir la señal de control en la línea IOB y la señal de orden de examen TNO, TNE, TFO o TFE ejecutando de ese modo la operación lógica del contacto de entrada. Una borna de entrada de la puerta NO N014 recibe a través de la puerta Y A15 y la puerta NO N012 una señal que es convertida por un inversor IN40 a partir de la señal en la línea IOB. La otra borna de entrada recibe la señal de orden de examen TNO o TNE a través de la puerta NY NA10, la puerta Y A11 y la puerta NO N010. Por lo tanto, como se representa en la tabla 2, si se aplica la orden de examen TNO o TNE y el contacto de entrada está en estado de CONEXION de forma que aparece una señal CERO en la línea IOB, se satisface el resultado del examen por lo que aparece una señal UNO en la borna de salida de la puerta NO N014. En consecuencia, se aplica una señal UNO a la borna de información DI de la señal indicadora FF10 a través de las

puertas NO N016 y N017, En estas condiciones, cuando se aplica la señal de disparo SGFT a la borna de disparo TL de la señal indicadora FF10, se posiciona la señal indicadora FF10 para memorizar la satisfacción de la operación lógica 0. Si el contacto de entrada se encuentra en estado de DESCONECION, aparece una señal UNO en la línea IOB de forma que no satisface el resultado del examen para aplicar una señal CERO a la borna de información T1 de la señal indicadora FF10. Por lo tanto, aún cuando se aplique la señal de disparo SGFT, la señal indicadora FF10 no se invierte para memorizar de ese modo en su estado de reposición la insatisfacción del resultado de la operación de la función lógica 0.

T A B L A 2

15.	El contacto de entrada está en CONEXION	El contacto de entrada esta en DESCONECION.
	IOB = CERO	IOB = UNO
	TNO Satisfacción	Insatisfacción
	TNE = CERO D1 = UNO	D1 = CERO
20.	TFO Insatisfacción	Satisfacción
	FE = CERO D1 = CERO	D1 = UNO
	TNA Satisfacción	Insatisfacción
	= CERO D2 = CERO	D2 = UNO
	TFA Insatisfacción	Satisfacción
25.	= CERO D2 = UNO	D2 = CERO

Una borna de entrada de la puerta No N015 recibe la señal en la línea IOB a través de la puerta Y A17 y la puerta No N013 y la otra borna de entrada de la misma recibe la señal de orden de examen TFO o TFE a través de la puerta NY

5. NALL, la puerta Y A13 y la puerta NO N011. Por lo tanto, si se aplica la orden de examen TFO o TFE y el contacto de entrada se encuentra en el estado de CONEXION no se satisface el resultado del examen por lo que no se posiciona la señal indicadora FF10. Por otro lado, si el contacto de entrada está en el estado de DESCONEXION, el resultado del examen se satisface posicionándose con ello la señal indicadora FF10,

10. La orden de examen TNE o TFE se suspende para efectuar una operación lógica O del contacto de entrada y posteriormente para transferir el contenido de la señal indicadora FF10 a la señal indicadora FF20. Esta orden de examen TNE o TFE se necesita para identificar el resultado del examen de una función lógica O porque una borna de salida FT para identificar el resultado del examen se encuentra conectada a la señal indicadora FF20. La orden de examen TNE o TEN se necesita también para obtener el resultado final del examen de la borna de salida FT si un grupo de funciones lógicas Y y un grupo de funciones lógicas O se encuentran conectados en serie, como se representa en la FIGURA 11, o si un grupo de funciones lógicas O y otro grupo de funciones lógicas O se encuentran conectados en serie, como se representa en la FIGURA 12. Al transferir el contenido de la señal indicadora FF10 a la señal indicadora FF20 significa que un grupo de funciones lógicas Y y un grupo de funciones lógicas O son examinados por la condición de una función lógica Y. En dicha transferencia de una función lógica, si se satisface una función lógica O la señal indicadora FF20 se mantiene en dicho estado independientemente de si la señal indicadora FF20 se encuentra en su estado de posicionamiento o reposición. Solo cuando se satisface la función lógica O cambia la señal indicadora FF20

15.

20.

25.

30.

para posicionamiento. En otras palabras, dado que la señal in-
dicadora FF20 memoriza en su estado de reposición la satisfac-
ción de la función lógica Y, la función lógica Y se satisfa-
ce incluso después de transferir la función lógica si se sa-
tisface la función lógica O de manera que la señal indicado-
ra FF20 se mantiene en el estado de reposición. Si no se sa-
tisface la función lógica Y, no se satisface toda la función
lógica independientemente si se satisface o no la función
lógica O de forma que se posiciona la señal indicadora FF20.

5.

10.

Por esta razón, como se representa en la FIGURA 4, el
circuito LSF de transferencia de la función lógica O se co-
necta de manera que cuando aparece una señal CERO en la bor-
na de salida posicionada Q1 de la señal indicadora FF10 al
aplicar la orden de examen TNE o TFE (es decir, insatisfac-

15.

ción de la función lógica O), se aplica una señal UNO a la bor-
na de entrada de datos D2 de la señal indicadora FF20 a tra-
vés de la puerta NO NO43. La puerta NY NA42 y la puerta NO
NO27 y se aplica una señal CERO a la borna de entrada de da-
tos D1 de la señal indicadora FF10. La señal de disparo SGFT
aplicada a las bornas de disparo T1 y T2 de las señales indi-
cadoras FF10 y FF20 se genera en el momento en que se generan
los impulsos de reloj CL5 y CL6.

20.

El circuito ALG de operación lógica Y está constitui-
do por las puertas NO NO24, NO25, NO26 y NO27 para recibir
la señal de control en la línea IOB y la señal de orden de
examen TNA o TFA ejecutando con ello la operación lógica del
contacto de entrada. Una borna de entrada de la puerta NO
NO24 recibe una señal de control en la línea IOB a través
de la puerta Y A25 y la puerta NO NO22. La otra borna de en-
trada recibe la señal de orden de examen TNA a través del

25.

30.

- inversor IN32, la puerta Y A21 y la puerta NO NO20. Por lo tanto, como se representa en la TABLA 2, si se aplica la orden de examen TNA y el contacto de entrada está en estado de DESCONEXION de manera que aparece una señal UNO en la línea IOB, no se satisface el resultado del examen por lo que aparece una señal UNO en la borna de salida de la puerta NO NO24. En consecuencia, se aplica una señal UNO a la borna de datos D2 de la señal indicadora FF20 a través de las puertas NO NO26 y NO27. En estas condiciones, cuando se aplica la señal de disparo SGFT a la borna de disparo T2 de la señal indicadora FF20, se posiciona la señal indicadora FF20 para memorizar la insatisfacción de la operación lógica Y. Si el contacto de entrada está en estado de CONEXION, aparece una señal CERO en la línea IOB por lo que se satisface el resultado del examen para aplicar una señal CERO a la borna de datos D2 a la señal indicadora FF20. Por lo tanto, aún cuando se aplique la señal de disparo SGFT, la señal indicadora FF20 no se posiciona, memorizando de esa forma en su estado de reposición la satisfacción del resultado de la operación lógica Y.
- Una borna de entrada de la puerta NO NO25 recibe la señal en la línea IOB a través del inversor IN40, la puerta Y A27 y la puerta NO NO23, y su otra borna de entrada recibe la señal de la orden de examen TFA a través del inversor IN33, la puerta Y A23 y la puerta NO NO21. Por lo tanto, si se aplica la orden de examen TFA y el contacto de entrada se encuentra en estado de CONEXION, no se satisface el resultado del examen y por lo que se aplica una señal UNO a la borna de datos D2 de la señal indicadora FF20, posicionando de esa forma la señal indicadora FF20. Por otra parte, si el contacto de entrada está en estado de DESCONEXION, se satisface el re

sultado del examen de forma que se aplica una señal CERO a la borna de datos D2 de la señal indicadora FF20. Por consiguiente, no se posiciona la señal indicadora FF20.

5. En caso de ejecución de la orden de salida YON o YOF de la orden de bifurcación JMY o JMN, la identificación del resultado de la operación lógica se hace de forma que, en respuesta a una señal que aparece una borna de salida FT del circuito de la señal indicadora de prueba 27, se realiza la activación o la desactivación de los dispositivos de salida, la bifurcación del programa y una ejecución de un programa subsiguiente sin bifurcación. Las señales indicadoras FF10 y FF20 se reponen ambas cuando se identifica el resultado del examen por estas órdenes de examen. Para esta finalidad, las señales de orden de examen YON, YOF, JMY y JMN se aplican a bornas de reposición de las señales indicadoras FF10 y FF20 a través de las puertas NY NA61, NA62 y NA63 y un inversor IN64 por lo que se aplica una señal de reposición al mismo tiempo que se genera el impulso de control CL6.
- 10.
- 15.

20. Como se representa en la FIGURA 4, un circuito de instrucción de cambio de ciclo SCH está constituido por las puertas NY NA30, NA31, NA32, NA33 y NA34 y un inversor IN31. Una borna de entrada de la puerta NY NA32 está conectada a la borna posicionada de salida Q1 de la señal indicadora FF10 y su otra borna de entrada va conectada de forma que reciba la señal de orden de examen TNO o TFO a través de la puerta NY NA30.
- 25.

30. Una borna de entrada de la puerta NY NA33 va conectada a la borna posicionada de salida Q2 de la señal indicadora FF20 y su otra borna de entrada se encuentra conectada de manera que reciba la señal de orden de examen TNA o TFA a

través de la puerta NY NA31. Por lo tanto, el cambio de ciclo recibe instrucciones, cuando se satisface la función lógica O, para posicionar la señal indicadora FF10. La orden de examen TNO o TFO se aplica de forma que aparece una señal CERO en la borna de salida de la puerta NY NA32. Cuando no se satisface la función lógica Y, se da instrucciones al cambio de ciclo para que posicione la señal indicadora FF20 y se aplica la orden de examen TNA o TFA de forma que aparece una señal CERO en la borna de salida de la puerta NY NA33. En cualquier caso, se genera una señal FTS de instrucción de cambio de ciclo CERO en una borna de salida 60 a través de la puerta NY NA34 y el inversor IN31. La señal FTS posiciona la señal indicadora 53 en el momento en que se genera el impulso de control CL4 para aplicar una señal CERO a la borna de puesta a cero 51c del registro de desplazamiento 51 a través del inversor IN7 como se ha descrito anteriormente. En estas condiciones, cuando se aplica a la borna de entrada 51a del registro de desplazamiento 51, el impulso de reloj CLa, como impulso de desplazamiento, aparecen las señales CERO en las bornas de salida Q1 a Q6 del mismo de forma que no se generan los impulsos de control CL5 y CL6. Cuando las salidas de las bornas de salida Q1 a Q6 se hacen CERO, la salida de la puerta NY NA2 se convierte en CERO por lo que se aplica la señal de reposición a través de la puerta NO NO3 y NO5 a la señal indicadora 53 reponiéndose así la misma. Al mismo tiempo, se aplica la señal UNO a la borna de entrada 51b del registro de desplazamiento 51 y se aplica el impulso de reloj CLa a la borna de entrada 51a de forma que se generan de nuevo los impulsos de reloj CL1 a CL4. Cuando se genera el impulso de control CL4, la señal indicadora 53 se posiciona de nuevo, para

- poner de ese modo a CERO el registro de desplazamiento 51. Posteriormente se repone la señal indicadora 53. Por lo tanto, los impulsos de control CI1 a CI4 se generan repetidas veces de forma que se ejecute un programa por un ciclo más corto sin impulsos de control CI5 y CI6. De esta forma, el circuito de señal indicadora de prueba 27 no ejecuta la operación lógica de la señal en la línea IOB por la orden de examen saltando sustancialmente de ese modo el programa de la orden de examen.
- 5.
10. La FIGURA 8 muestra una segunda realización del circuito 27 de la señal indicadora de prueba. En la segunda realización, las puertas de bloque BOL, BO2, BA1 y BA2 están constituidas únicamente por puertas NO por lo que la señal de las líneas de realimentación FBo y FBa se aplican directamente a las bornas de entrada de las puertas NO. Por consiguiente, cuando se satisface la función lógica O, las salidas de las puertas NO NO10, NO11, NO12 y NO13, se ponen en CERO y se mantienen en condiciones constantes independientemente de las condiciones de la señal en la línea IOB y las señales de orden de examen TNO, TFO, TNE o TFE de forma que la señal que hay en la línea IOB y la señal de orden de examen quedan sustancialmente bloqueadas.
- 15.
- 20.
25. Cuando se satisface la función lógica Y, la señal en la línea IOB y la señal de mando de examen quedan igualmente bloqueadas en las puertas NO NO20, NO21, NO22 y NO23. Por lo tanto se realiza la misma operación que en la primera realización. Las demás construcciones, a excepción de las puertas del bloque BOL, BO2, BA1 y BA2 son las mismas que en la primera realización, por lo que se omite una descripción detallada de las mismas.
- 30.

A continuación se describirá el proceso del programa y la operación lógica, con referencia a circuitos simples de secuencia. Un circuito de secuencia representado en la figura 9 es un circuito simple de lógica Y. Los contactos de entrada A, B y C representados en la figura 9 van conectados respectivamente a las direcciones 01, 02 y 03 del módulo de entrada 1. Una bobina de relé R, como elemento de salida, va conectada a la dirección 100 del módulo de salida 5. En la Tabla 3 se representa el programa de este circuito de secuencia.

5.

10.

TABLA 3

	Dirección de memoria	Orden	Dirección conectada
	1 N	TNA	01 (A)
	2 N+1	TFA	02 (B)
	3 N+2	TNA	03 (C)
15.	4 N+3	YON	100 (R)

15.

La letra N en dirección de memoria indica una dirección específica en el dispositivo de memoria 2 y la dirección de memoria se cambia por parte de cada orden. Durante la ejecución del programa, cuando la dirección N es designada por el contador de programas 20, se lee el mando TNA 01 y se pre-posiciona en el registro de instrucción 25. La señal que aparece en el contacto A conectado a la dirección 01 del módulo de entrada 1 se selecciona y se aplica al circuito de señal indicadora de prueba 27 a través de la línea IOB. El mando de examen se distingue y su señal se aplica a la borna TNA y a continuación a la borna de entrada de la puerta NO NO24 a través del inversor IN32, la puerta Y A21 y la puerta NO NO20. La otra borna de entrada de la puerta NO NO24 recibe la señal en la línea IOB a través de la puerta Y A25 y la puerta NO NO22. Si el contacto de entrada A se encuentra en su estado ON, aparece una

20.

25.

30.

- señal CERO en la línea IOB. Por otra parte, si el contacto de entrada A se encuentra en su estado de desconexión, aparece una señal UNO en la línea IOB. Por lo tanto, la borna de entrada de datos D2 de la señal indicadora 20 recibe a través de las
5. puerta NO NO26 y NO27 una señal CERO si el contacto de entrada A se encuentra en su estado de conexión y una señal UNO si el contacto de entrada A se encuentra en su estado de desconexión. En estas condiciones, la señal de disparo SGFT se aplica a la borna de disparo T2 de la señal indicadora FF20. Así pues, si
10. se satisface el resultado de la operación lógica, la señal indicadora 20 permanece repuesta. Por el contrario, si no se satisface el resultado de la operación lógica, se posiciona la señal indicadora 20. En la condición de insatisfacción de la operación lógica de forma que se posiciona la señal indicadora
15. FF20, cuando se lee y se identifica como la orden de examen TFA, la dirección subsiguiente N+1, se genera la señal FTS de instrucción de cambio de ciclo a través de las puertas NY NA33 y NA34 y el inversor IN31 para cambiar el ciclo de ejecución, como se ha descrito anteriormente. Las puertas de bloque BA1 y
20. BA2 se convierten para bloquear la señal en la línea IOB y la señal de orden de examen suspendiéndose con ello la operación lógica de acuerdo con las órdenes de examen en las direcciones N+1 y N+2. La orden en la dirección N+3 no es una orden de examen sino la orden de salida YON. De esta forma la señal FTS
25. de instrucción de cambio de ciclo desaparece bajo la orden de salida YON por lo que se reanuda el ciclo normal. Cuando se posiciona la señal indicadora FF20, se genera la señal para desactivar la bobina de relé R conectada a la dirección 100 del módulo de salida 5. Como se representa en la TABLA 4, los
30. contactos de entrada A y C se encuentran en estado de CONEXION

y el contacto B se encuentra en estado de DESCONEXION, la bobina de relé R es activada por la orden de salida YON en la dirección N+3. En otros casos, no se activa la bobina de relé R.

5.

T A B L A 4

A	B	C	
CONECTADO	DESCONECTADO	CONECTADO	activación del relé R
CONECTADO	DESCONECTADO	DESCONECTADO	
CONECTADO	CONECTADO	-	
DESCONECTADO	-	-	desactivación del relé R

10.

En la TABLA 4, el sig o "-" indica que se ha realizado la suspensión sustancial de la operación lógica por las puertas de bloque que se convierten. Junto con la suspensión, se realiza el cambio en el ciclo de ejecución acortándose con ello el tiempo de ejecución. De éste modo, la operación lógica secuencial según el programa no siempre se realiza por la suspensión de la operación lógica y el cambio de ciclo aumentándose con ello la velocidad de control con el fin de evitar la operación equivocada y aumentar la seguridad del control.

15.

20.

Un circuito de secuencia representado en la figura 10 es un circuito lógico 0 simple. Con el fin de tomar el resultado final del examen de la función lógica 0 de la borna de salida FT de la señal indicadora FF20, es preciso transferir lógicamente el contenido de la señal indicadora FF10 a la señal indicadora FF20. En la TABLA 5 se representa un programa para esta finalidad.

25.

T A B L A 5

	Dirección de memoria	Orden	Dirección conectada
1	N	TNO	01(A)
2	N+1	TFO	02(B)

30.

3.	N+2	TNE	03(G)
4.	N+3	YON	100(R)

5. Cuando se aplica la orden de examen TNO o TNE, su señal de orden se aplica a la borna de entrada de la puerta NO N014 a través de la puerta NY NA10, y la puerta Y A11 y la puerta NO N010. La otra borna de entrada de la puerta NO N014 recibe la señal de control en la línea IOB a través del inversor IN40, la puerta Y A15 y la puerta NO N012.

10. Cuando se aplica la orden de examen TFO, su señal de mando se aplica a la borna de entrada de la puerta NO N015 a través de la puerta NY NA11, la puerta Y A13 y la puerta NO N011. La otra borna de entrada de la puerta NO N015 recibe la señal de control en la línea IOB a través de la puerta Y A17 y la puerta NO N013. Cuando el contacto de entrada A se encuentra en estado de CONEXION se aplica una señal UNO a la borna de entrada de datos DI de la señal indicadora FF10. Por lo tanto, cuando se aplica la señal de disparo SGFT, la señal indicadora FF20 se posiciona de manera que las puertas de bloque B01 y B02 se convierten bloqueando de ese modo la señal en la línea IOB y la señal de mando de examen para suspender la operación lógica por las órdenes de examen en las direcciones N+1 y N+2. Cuando la orden en la dirección N+1 es la orden de examen TFO, se genera la señal FTS de instrucción de cambio de ciclo para cambiar el ciclo de ejecución. No obstante, la orden de examen TNE en la dirección N+2 se ejecuta en el ciclo normal de ejecución. Cuando las puertas de bloque B01 y B02 bloquean la señal en la línea IOB y la señal de orden de examen TNE, no se efectúa la operación lógica, pero se realiza la transferencia de la función lógica. Esta transferencia se lleva a cabo dejando repuesta la señal indicadora FF20 dado

15.

20.

25.

30.

que el contenido de la señal indicadora FF10 memoriza la satisfacción de la función lógica O. En consecuencia, cuando se aplica el impulso de control CL6, aparece una señal CERO en la borna de salida de una puerta NY NA41 aplicándose con ello una señal CERO a la borna de entrada de datos DI de la señal indicadora FF10 a través de un inversor IN41 y la puerta NO NO17. La señal de disparo SGFT se aplica a la borna T1 en el momento en que se genera el impulso de reloj CL6 para reponer la señal indicadora FF10. Siendo la orden YON en la dirección N+3 la orden de salida, no se genera la señal FTS por lo que se realiza el ciclo normal de ejecución. Dado que la señal indicadora FF20 se mantiene en estado de reposición, aún después de la transferencia lógica, se genera la señal para activar la bobina de relé R conectada a la dirección 100 del módulo de salida 5. Como se representa en la TABLA 6, aún cuando el contacto de entrada A se encuentra en estado de desconexión, se suspende la operación lógica del contacto C para activar la bobina de relé R si el contacto B se encuentra en estado de DESCONEXION.

TABLA 6

A	B	C	
CONECTADO	-	-	activación del relé R
DESCONECTADO	DESCONECTADO	-	
DESCONECTADO	CONECTADO	CONECTADO	
DESCONECTADO	CONECTADO	DESCONECTADO	desactivación del relé R

La bobina de relé R se desactiva únicamente cuando los contactos de entrada A y C se encuentran en estado de DESCONEXION y el contacto B se encuentra en estado de CONEXION. En este caso, la transferencia de lógica bajo la orden en la dirección N+2 es tal que se aplica una señal CERO a la borna de entrada X de la puerta NO NO43 dado que la señal indicadora FF10

se repone debido a la insatisfacción de la función lógica O. Cuando se aplica el impulso de control CL6, se aplica una señal UNO a la borna de entrada de datos D2 de la señal indicadora FF20 a través de la puerta NY NA42 y la puerta NO NO27.

5. Cuando se aplica la señal SGFT, se posiciona la señal indicadora FF20 para memorizar la insatisfacción del resultado del examen. Cuando aparece una señal CERO en la borna FT, se desactiva la bobina de relé R de acuerdo con la orden en la dirección N+3. En este control de secuencia de la función lógica O, se efectúa una suspensión parcial de la función lógica.
- 10.

Un circuito de secuencia representado en la figura 11 es un circuito combinado de la función lógica Y y la función lógica O. Los contactos de entrada A y B son examinados por la función lógica Y y los contactos de entrada C y D son examinados por la función lógica O. Después del examen del contacto de entrada D, cuando se transfiere lógicamente el contenido de la señal indicadora FF10 a la señal indicadora FF20, se examina una combinación de un grupo de contactos de entrada A y B y un grupo de contactos de entrada C y D por parte de la función lógica Y de manera que la borna de salida de reposición Q2 de la señal indicadora FF20 genera una señal según el resultado del examen final de la función lógica A.B (C+D). En la TABLA 7 se representa el programa de este circuito de secuencia, y en la TABLA 8 el estado del resultado del examen.

TABLA 7

	Dirección de memoria	Orden	Dirección conectada
25.	1 N	TNA	01(A)
	2 N+1	TNA	02(B)
	3 N+2	TNO	03(C)
	4 N+3	TNE	04(D)
30.	5 N+4	YON	100(R)

TABLA 8

	A	B	C	D	
	CONECTADO	CONECTADO	CONECTADO	-] activación del relé R
	CONECTADO	CONECTADO	DESCONECTADO	CONECTADO	
5.	CONECTADO	DESCONECTADO	-	-] desactivación del relé R
	DESCONECTADO	-	-	-	

El circuito de secuencia representado en la FIGURA 12 es un circuito combinado de funciones lógicas 0. Un grupo de contactos de entrada A y B es examinado por la función lógica 0, cuyo resultado se transfiere lógicamente a la señal indicadora FF20. Otro grupo de contactos de entrada C y D es entonces examinado por la función lógica 0, cuyo resultado se transfiere de nuevo lógicamente a la señal indicadora FF20. Por lo tanto, la señal indicadora FF20 genera una señal en respuesta al resultado final del examen de la función lógica $(A+B).(C+D)$. El programa de este circuito de secuencia se representa en la TABLA 9 y en la 10 se muestra el estado del resultado del examen.

TABLA 9

	Dirección de memoria	Orden	Dirección conectada
1.	N	TNO	01(A)
2.	N+1	TNE	02(B)
3.	N+2	TNO	03(C)
4.	N+3	TNE	04(C)
5.	N+4	YON	100(R)

TABLA 10

	A	B	C	D	
	CONECTADO	-	CONECTADO	-] activación del relé R
	DESCONECTADO	CONECTADO	DESCONECTADO	CONECTADO	
	CONECTADO	-	DESCONECTADO	CONECTADO] desactivación del relé R
30.	DESCONECTADO	CONECTADO	CONECTADO	-	
	DESCONECTADO	DESCONECTADO	DESCONECTADO	DESCONECTADO	

5. Como se ha descrito anteriormente, según la presente invención, la operación lógica puede suspenderse por un resultado parcial del resultado del examen de las condiciones de entrada que deben examinarse, y puede efectuarse un cambio de control para acortar el ciclo de ejecución de mando para con ello (1) aumentar la velocidad de control, (2) evitar posibles averías de funcionamiento y (3) aumentar la seguridad del sistema de control.

10. Es evidente, que a la luz de lo expuesto anteriormente sería fácil introducir diversas modificaciones y variaciones en la presente invención. Debe pues entenderse que dentro del ámbito de las enseñanzas de la presente memoria y de las reivindicaciones adjuntas, la invención puede llevarse a la práctica de forma distinta de la que específicamente aquí se describe.

15.

N O T A

20. Descrita suficientemente la naturaleza del invento así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento corresponde a una solicitud de patente presentada en Japón con el nº 44627/1974 del 19 de Abril de 1.974, acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención por 20 años en España sobre: PERFECCIONAMIENTOS EN CONTROLADORES DE SECUENCIA; caracterizándose por lo siguiente:

30.

1.- Perfeccionamientos en controladores de secuencia,

- caracterizados porque cada controlador comprende una memoria para memorizar un programa de secuencia formado por una serie de instrucciones identificadas respectivamente por sus direcciones de memoria, teniendo cada una de tales instrucciones una orden de examen y una información de dirección; un circuito de operación lógica para examinar una entrada exterior con dicha orden de examen; un módulo de entrada para aplicar la entrada exterior al circuito lógico de operación de acuerdo con la información de dirección; un módulo de salida para transmitir una señal de control basada en el resultado del examen del circuito lógico de operación; medios de suspensión en el circuito lógico de operación para suspender el siguiente examen de una función lógica de un grupo de funciones lógicas en respuesta al resultado del examen precedente de una función lógica ejecutándose con ello no secuencialmente una operación lógica.
- 5.
- 10.
- 15.

- 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque el circuito de función lógica comprende un primer circuito para examinar la entrada exterior con la orden de examen de una función lógica Y; una primera memoria para memorizar temporalmente el resultado examinado del primer circuito; un segundo circuito para examinar la entrada exterior con la orden de examen de una función lógica O; y una segunda memoria para memorizar temporalmente el resultado del examen del segundo circuito; comprendiendo los medios de suspensión unos primeros medios de suspensión para suspender el examen siguiente de la entrada exterior con la orden de examen de la función lógica Y ejecutándose con ello no secuencialmente una operación lógica cuando no se satisface el examen precedente de la entrada exterior con la orden de examen de la función lógica Y; unos
- 20.
- 25.
- 30.

segundos medios de suspensión para suspender el siguiente examen de la entrada exterior con la orden de examen de la función lógica 0 ejecutándose así no secuencialmente una operación lógica cuando se satisface el examen anterior de la citada entrada exterior con la orden de examen de la función lógica 0.

5.

3.- Perfeccionamientos según la reivindicación 2, caracterizados porque el citado circuito de operación lógica comprende además: un circuito de transferencia lógica para transferir el contenido de la segunda memoria a la primera memoria al terminar el examen de la entrada exterior con el mando de examen de la función lógica 0.

10.

4.- Perfeccionamientos según la reivindicación 1, caracterizados porque el controlador comprende además un circuito generador de impulsos de control para generar selectivamente un primer tren de impulsos de control para leer el programa y ejecutar una operación lógica y un segundo tren de impulsos de control para solo leer el programa sin ejecutar la operación lógica; y un circuito de instrucción de cambio para hacer que el circuito generador de impulsos de control genere el segundo tren de impulsos de control en respuesta al resultado del examen de una función lógica, ejecutándose de ese modo no secuencialmente una operación lógica.

15.

20.

5.- Perfeccionamientos según la reivindicación 2, caracterizados porque el controlador comprende además un circuito generador de impulsos de control para generar selectivamente un primer tren de impulsos de control para leer el programa y ejecutar una operación lógica y un segundo tren de impulsos de control para solo leer el programa sin ejecutar la operación lógica; y un circuito de instrucción de cambio de ciclo para hacer que el citado circuito generador de impulsos de control genere

25.

30.

- el segundo tren de impulsos de control ejecutándose con ello una operación lógica no secuencialmente cuando debe procederse al siguiente examen de la entrada exterior con la orden de examen de la función lógica Y después de que el examen anterior de dicha entrada exterior con la orden de examen de la función lógica Y da un resultado no satisfactorio y cuando debe procederse al siguiente examen de la entrada exterior con la orden de examen de la función lógica 0 después de que el examen anterior de la entrada exterior con la orden de examen de la función lógica 0 da un resultado satisfactorio.

5. 6.- Perfeccionamientos según la reivindicación 5, caracterizados porque el circuito de operación lógica comprende además un circuito de transferencia lógica para transferir el contenido de la segunda memoria a la primera memoria una vez terminado el examen de la entrada exterior con la orden de examen de la función lógica 0.

15. 7.- Perfeccionamientos en controladores de secuencia, tal y como queda sustancialmente descrito en la presente Memoria y en los dibujos adjuntos.

20. Esta Memoria consta de treinta y cinco hojas escritas a máquina por una sola cara.

Madrid, 10 OCT. 1975

TOYODA-KOKI KABUSHIKI-KAISHA.

J. GOMEZ
p. Firmado: L. Ceols Fernández

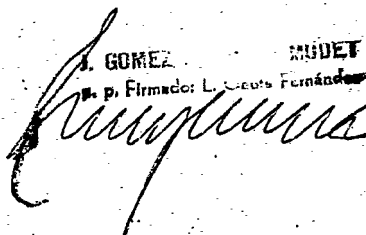
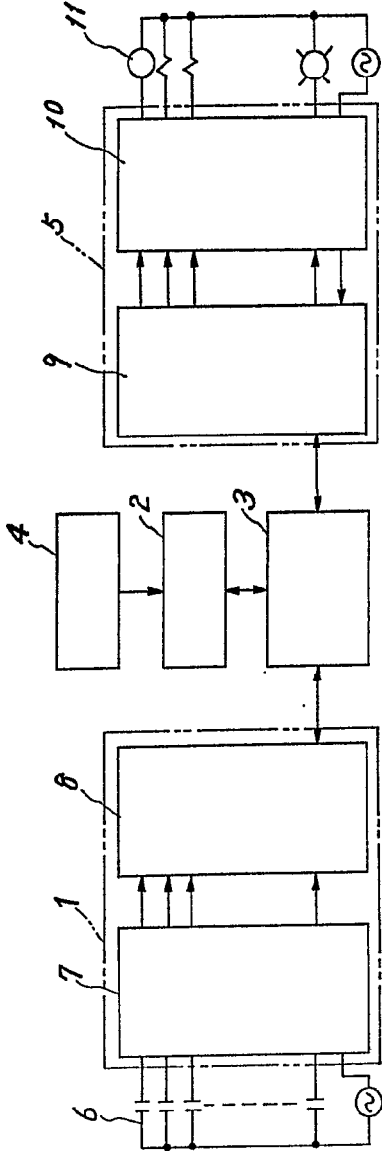


Fig.1



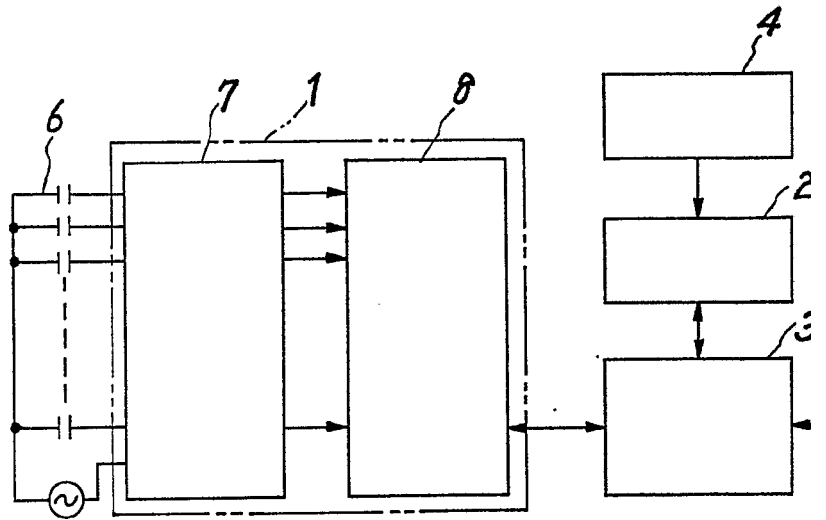
ESCALA
VARIABLE

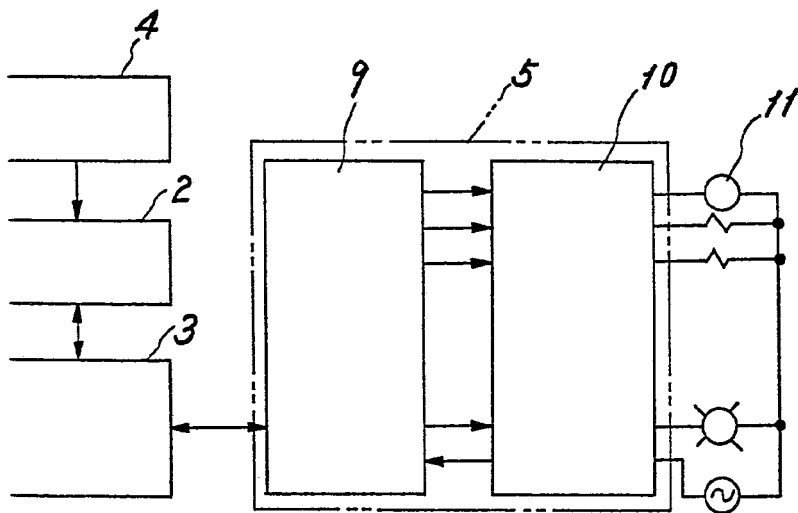
Madrid, 1975

A. RUIZ

[Handwritten signature]

Fig. 1





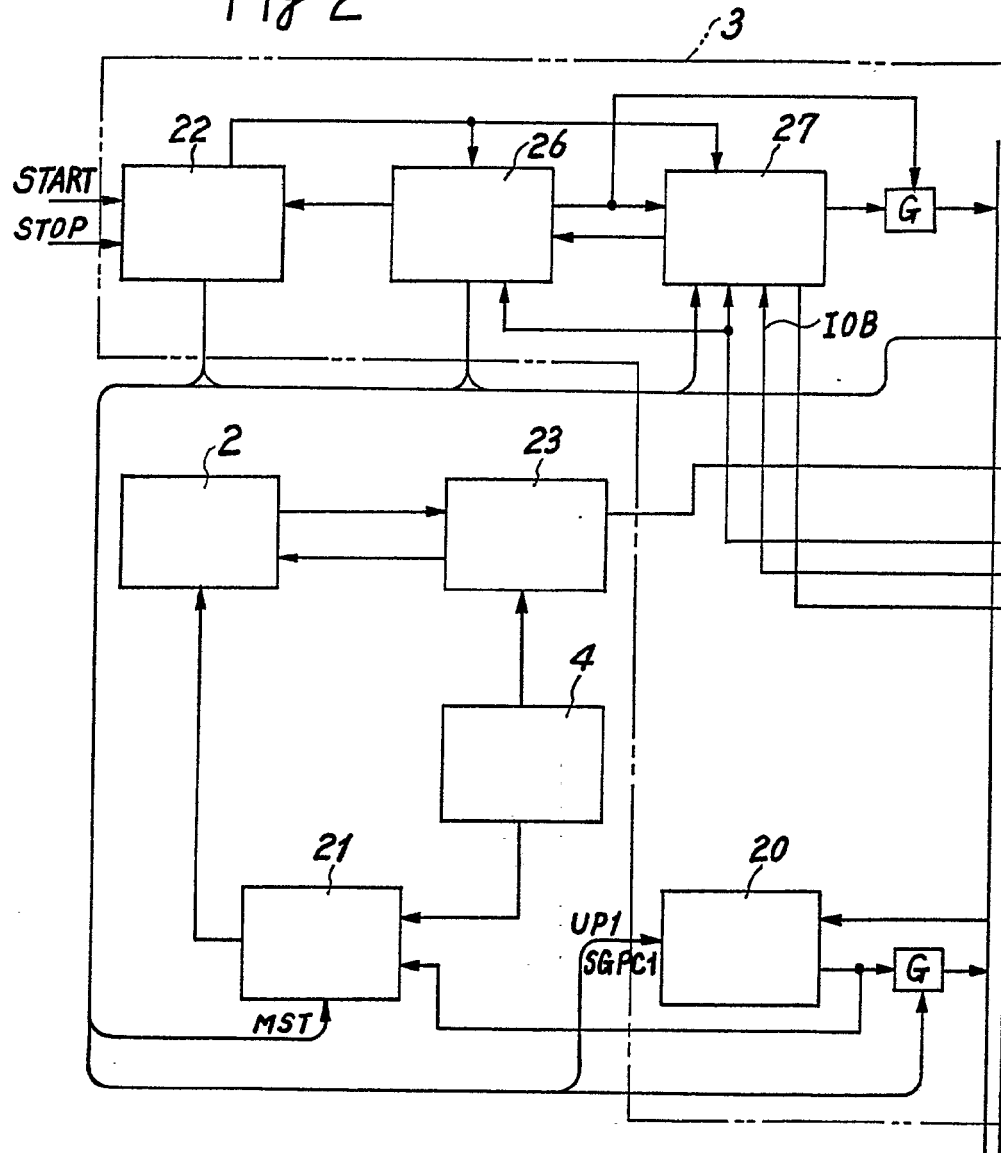
ESCALA
VARIABLE

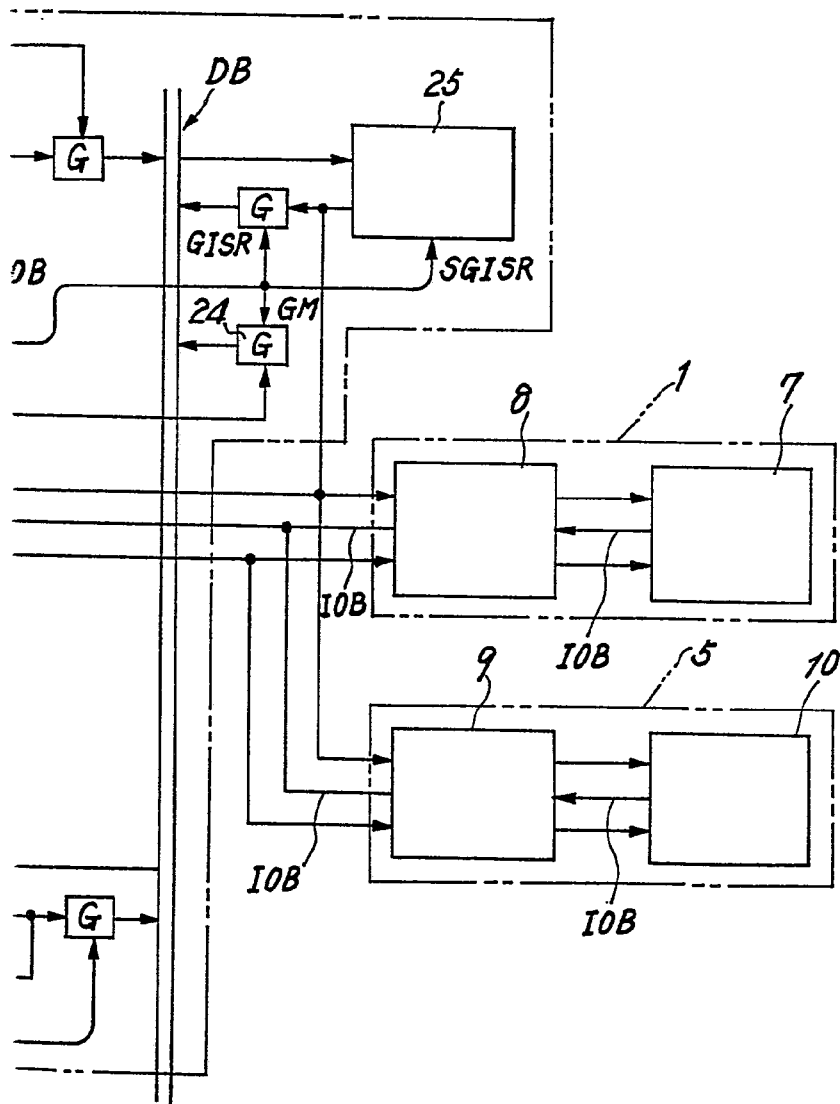
Madrid 1975

A. BOU
Ingeniero

[Handwritten signature]

Fig. 2



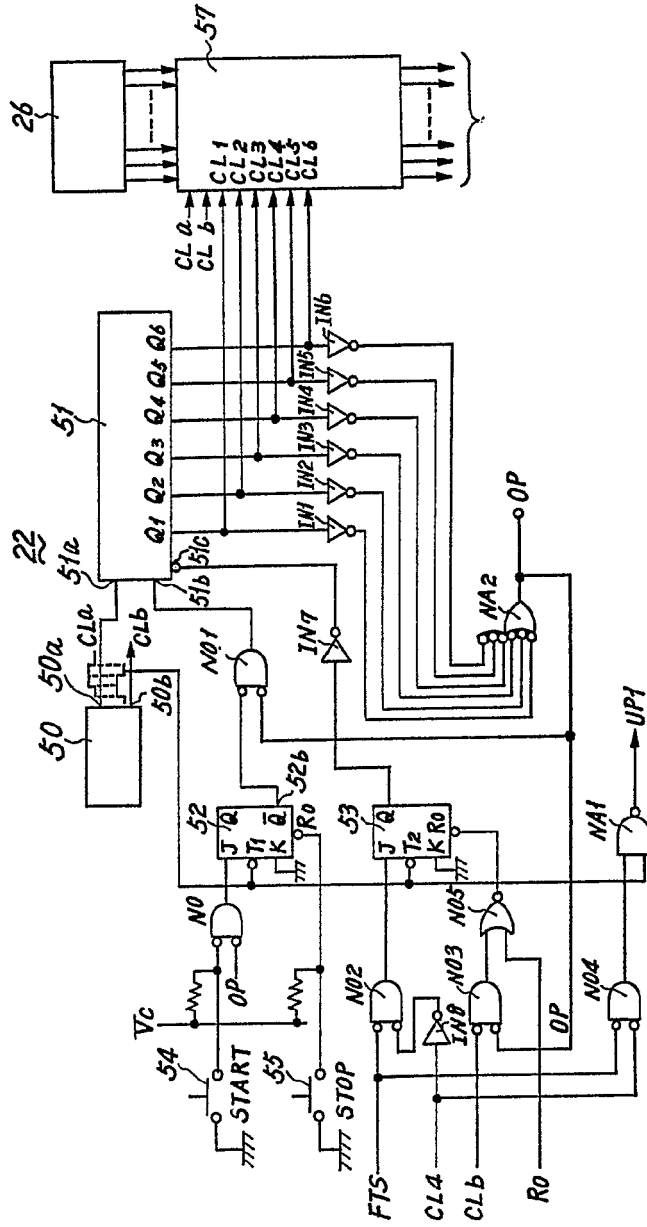


Madrid OCT. 1975

L. GOMEZ ACEVEDO Y MODER

[Handwritten signature]

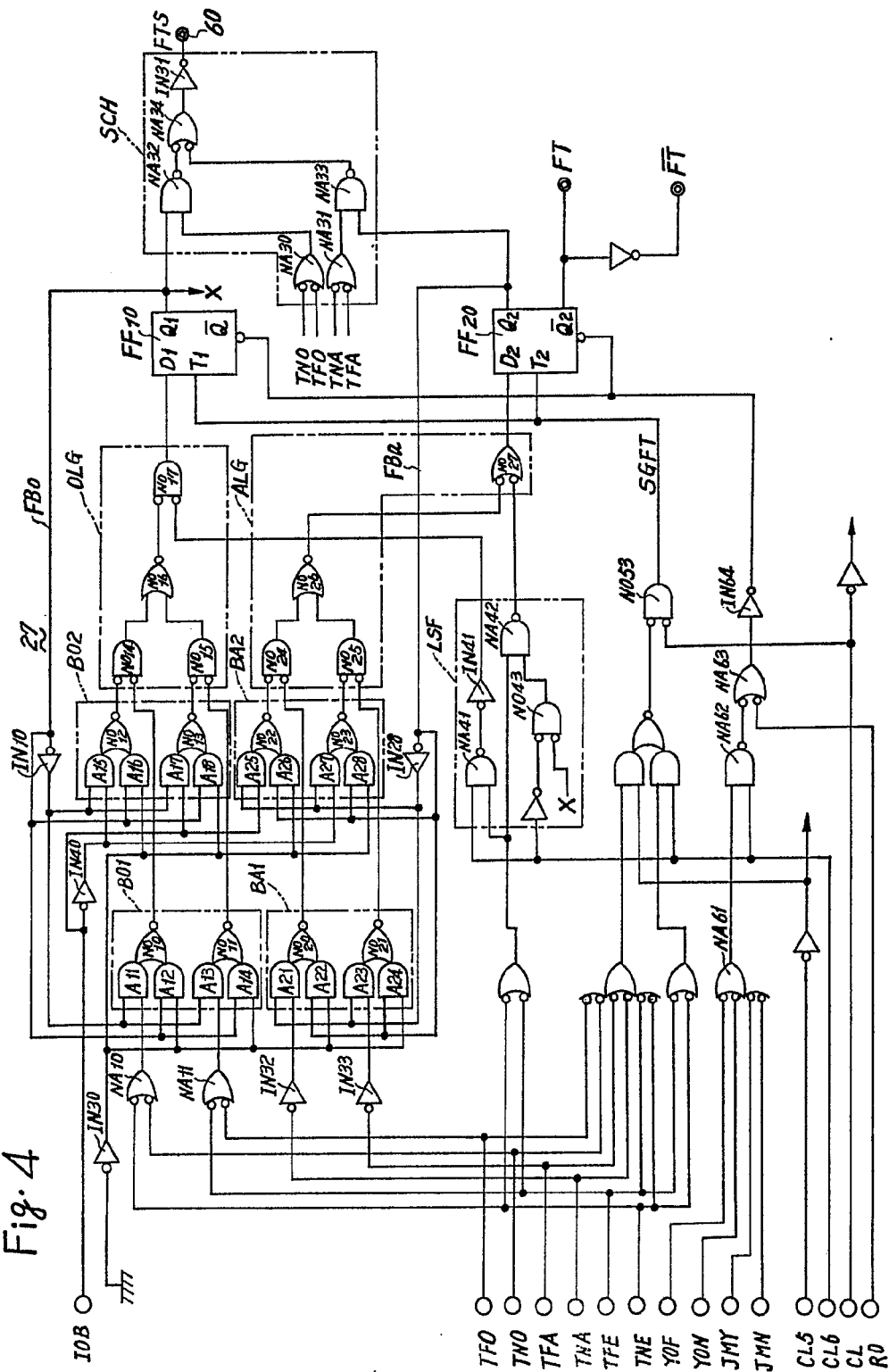
Fig. 3



10 OCT 1978

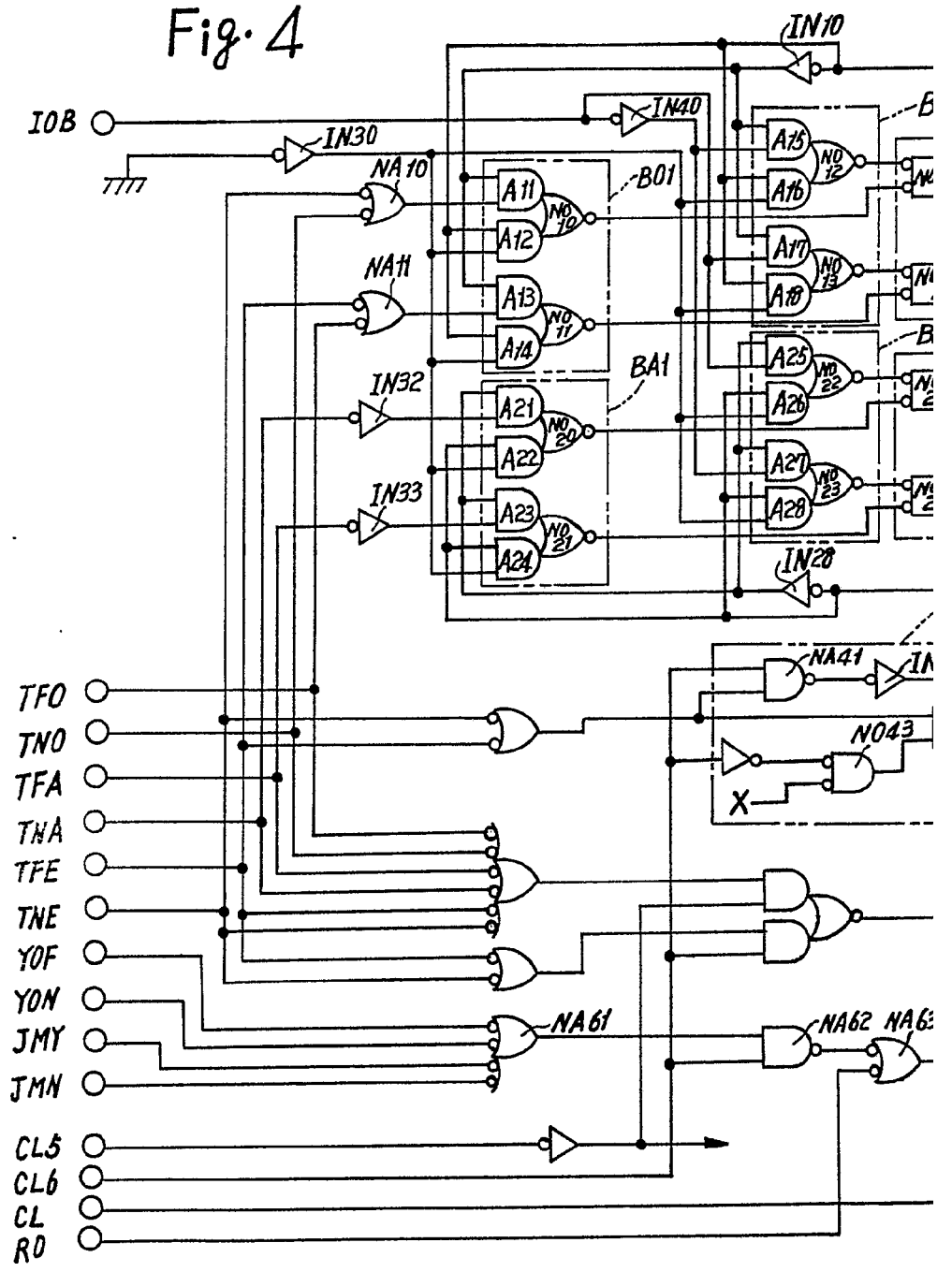
Handwritten signature or initials.

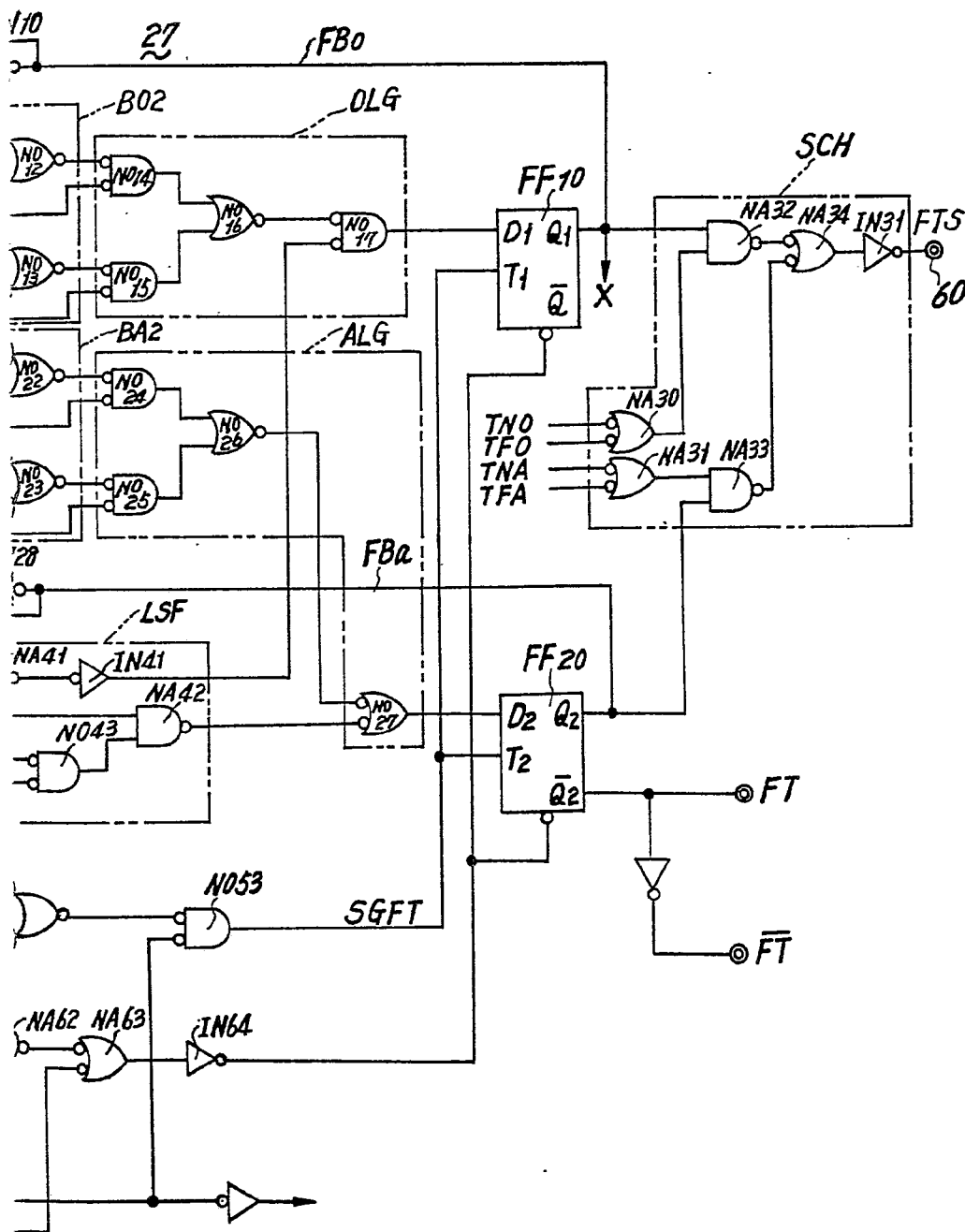
Fig. 4



Handwritten signature

Fig. 4





200
VZB

[Handwritten signature]

Fig. 5

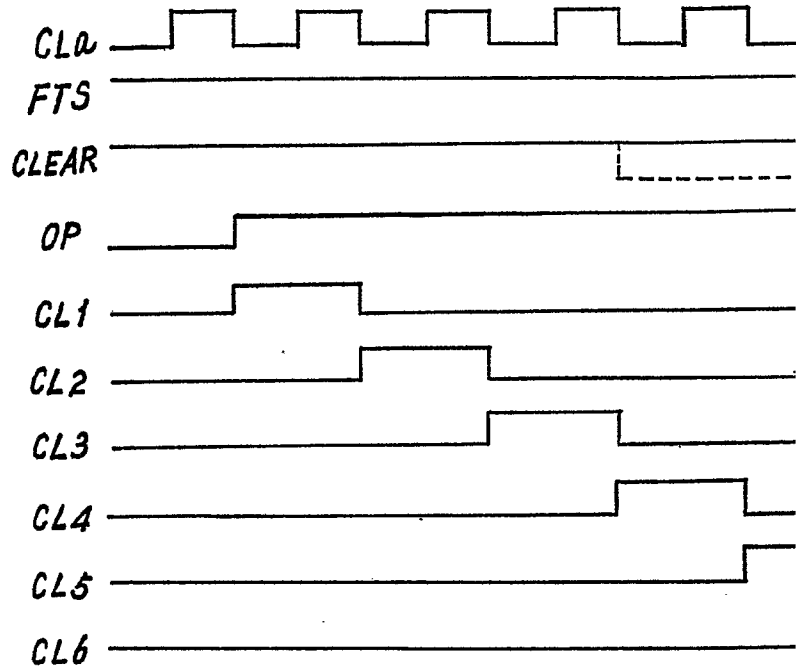


Fig. 6

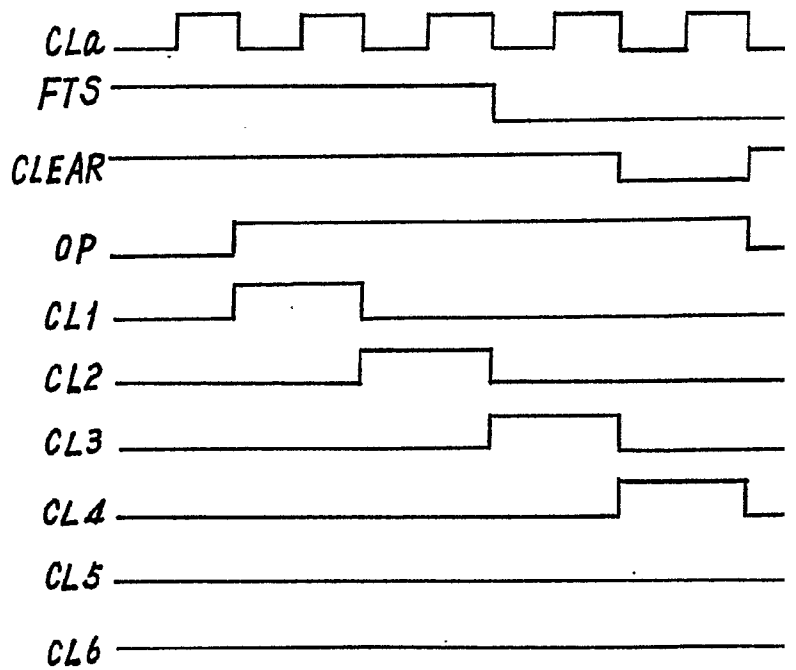
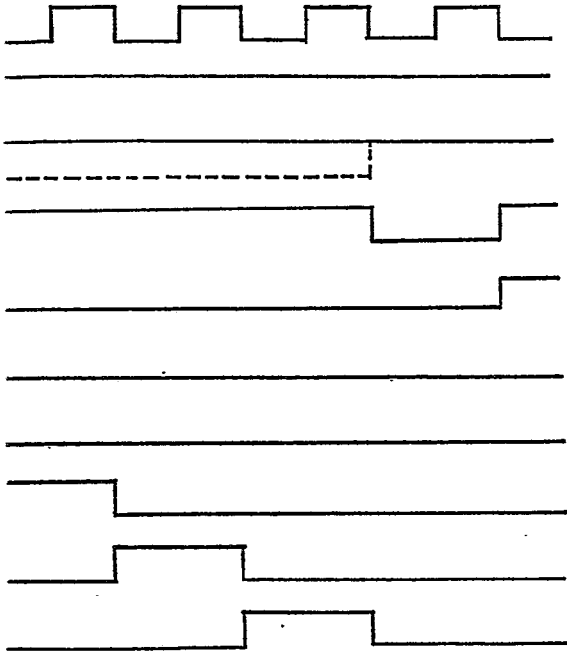
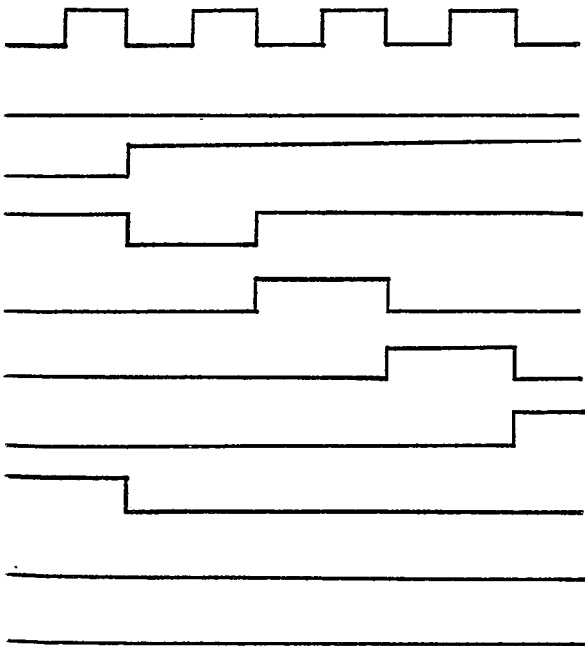


Fig. 5



6

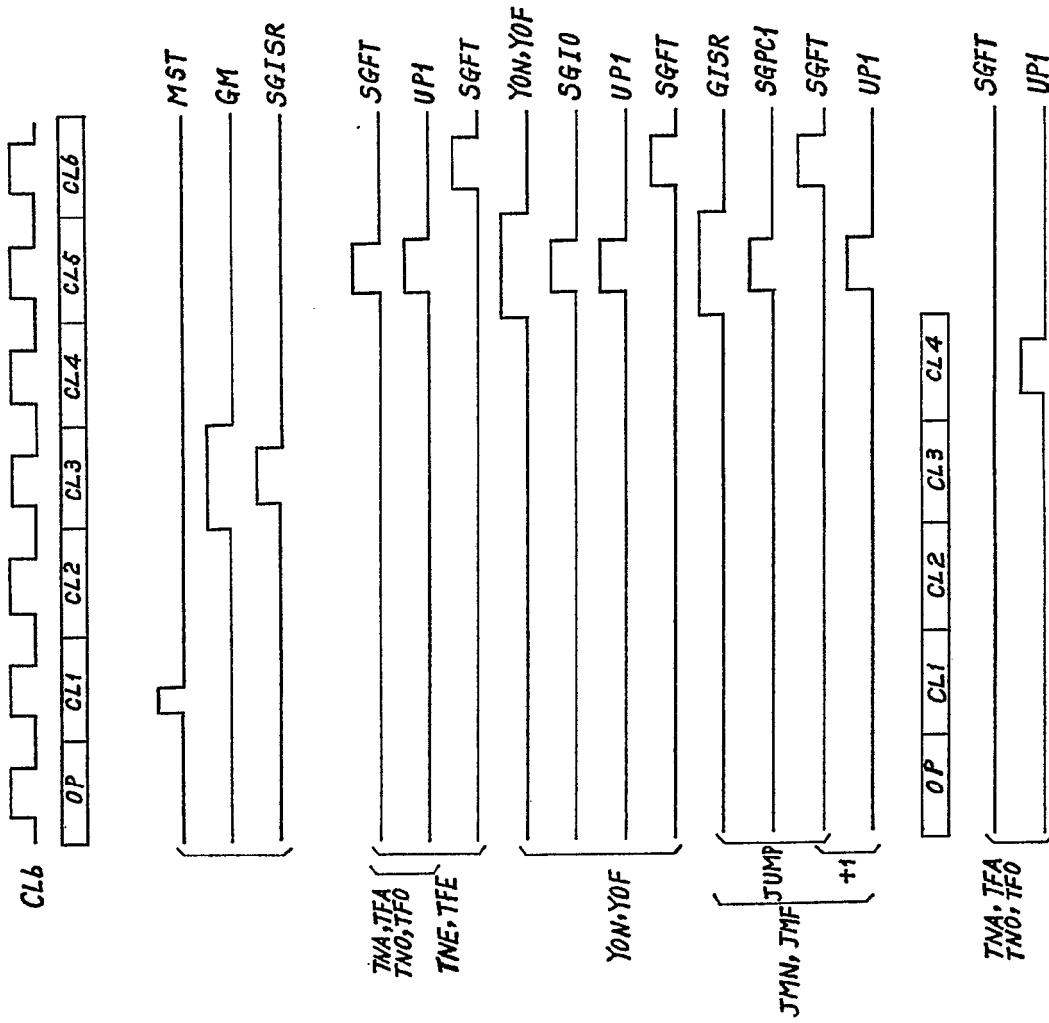


10 OCT 1975

L. E. C. C. C.

[Handwritten signature]
F. E. C. C. C.
F. E. C. C. C.

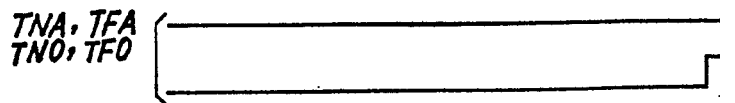
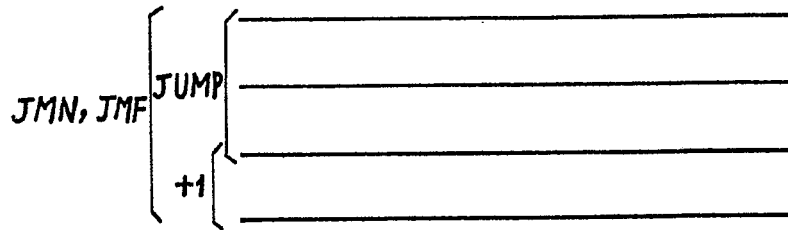
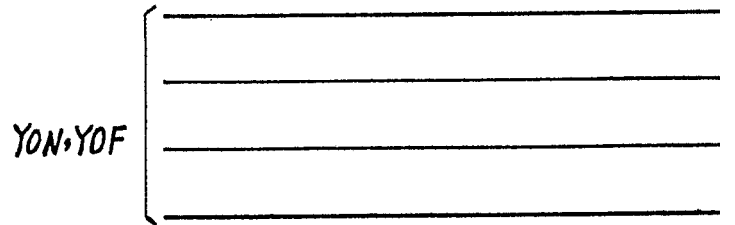
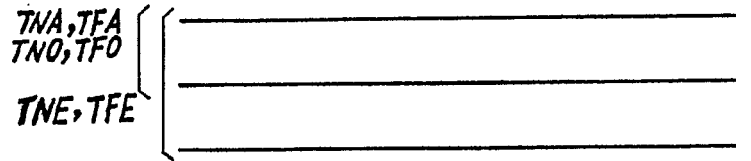
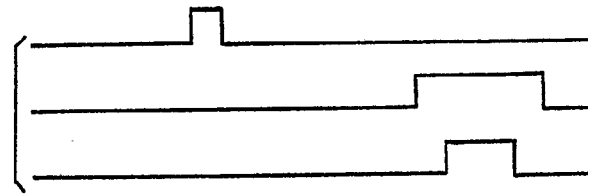
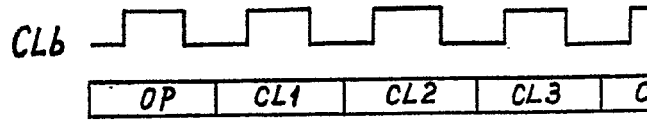
Fig. 7



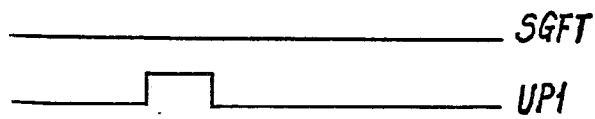
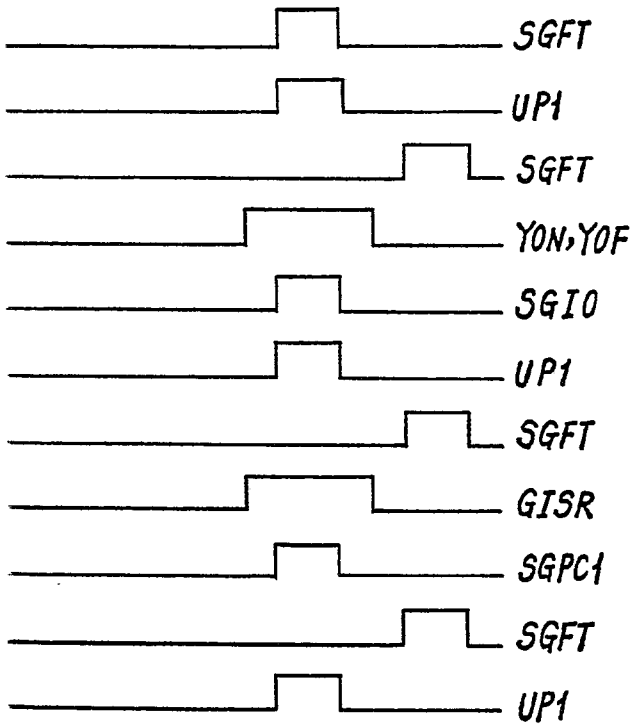
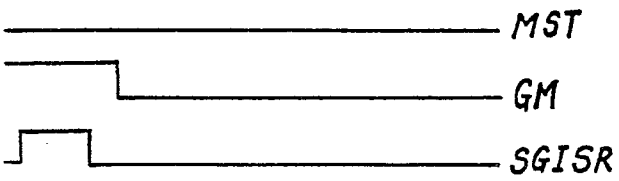
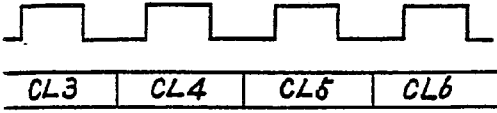
ESCALA

19-DEC-1975
[Signature]

Fig. 7



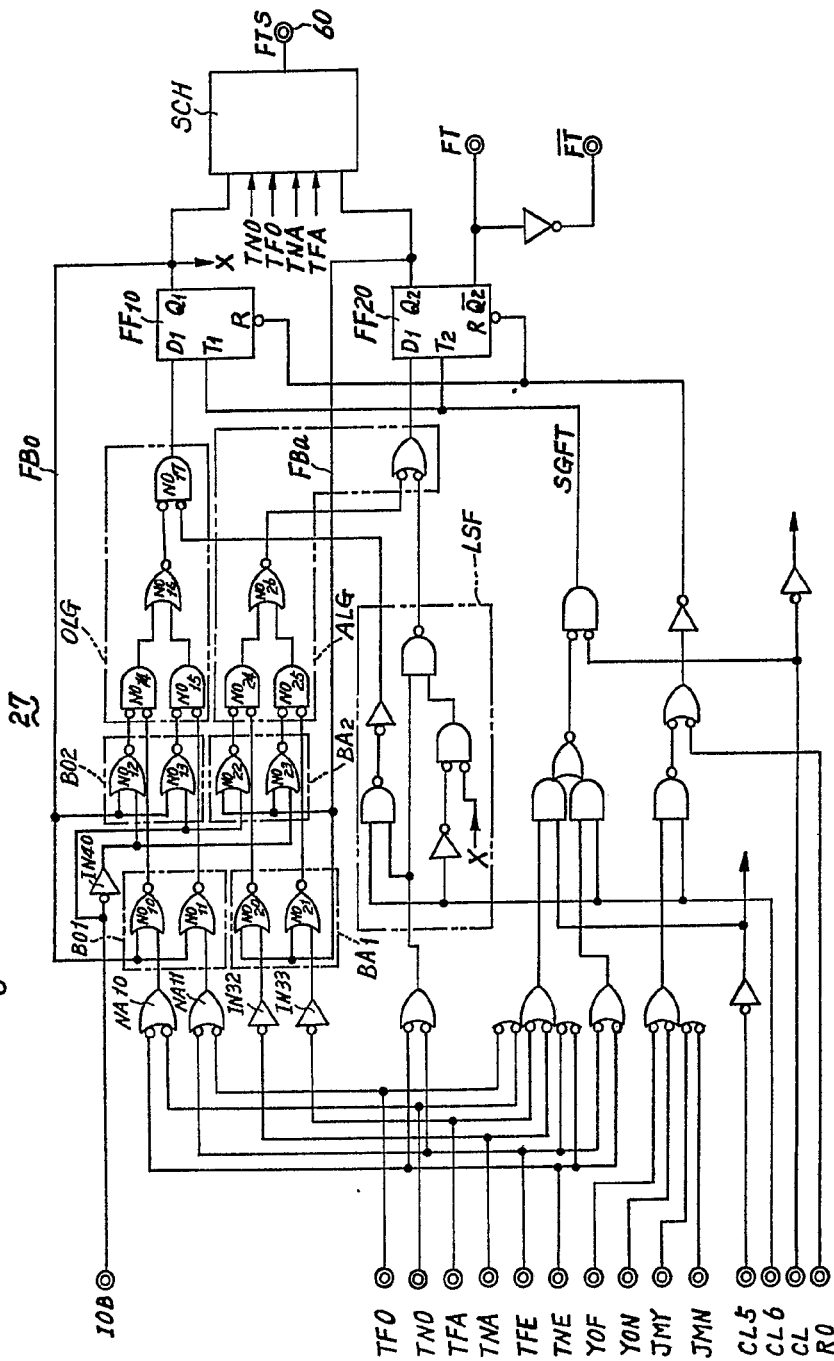
g.7



ESCALA
VARIADA

10-OCT. 1975

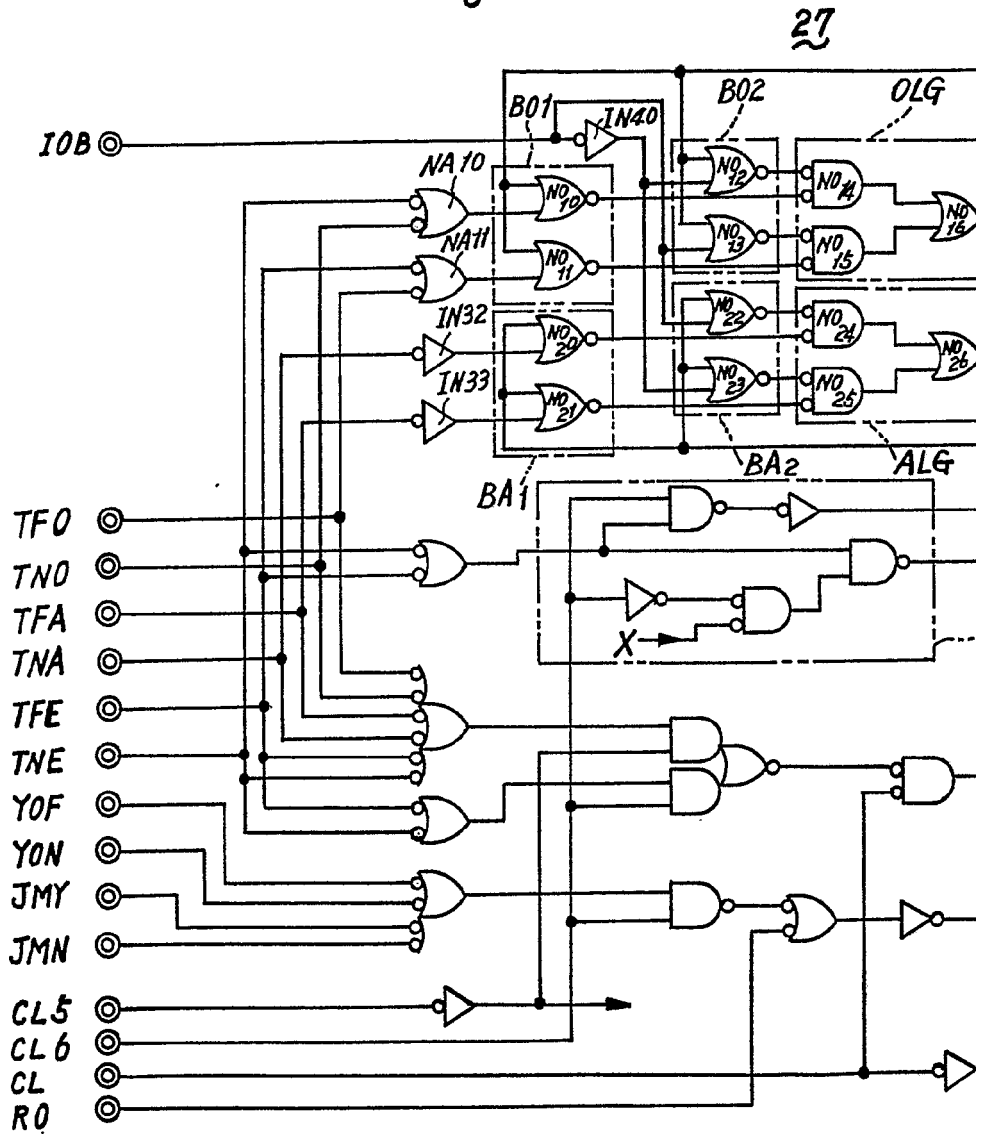
Fig. 8

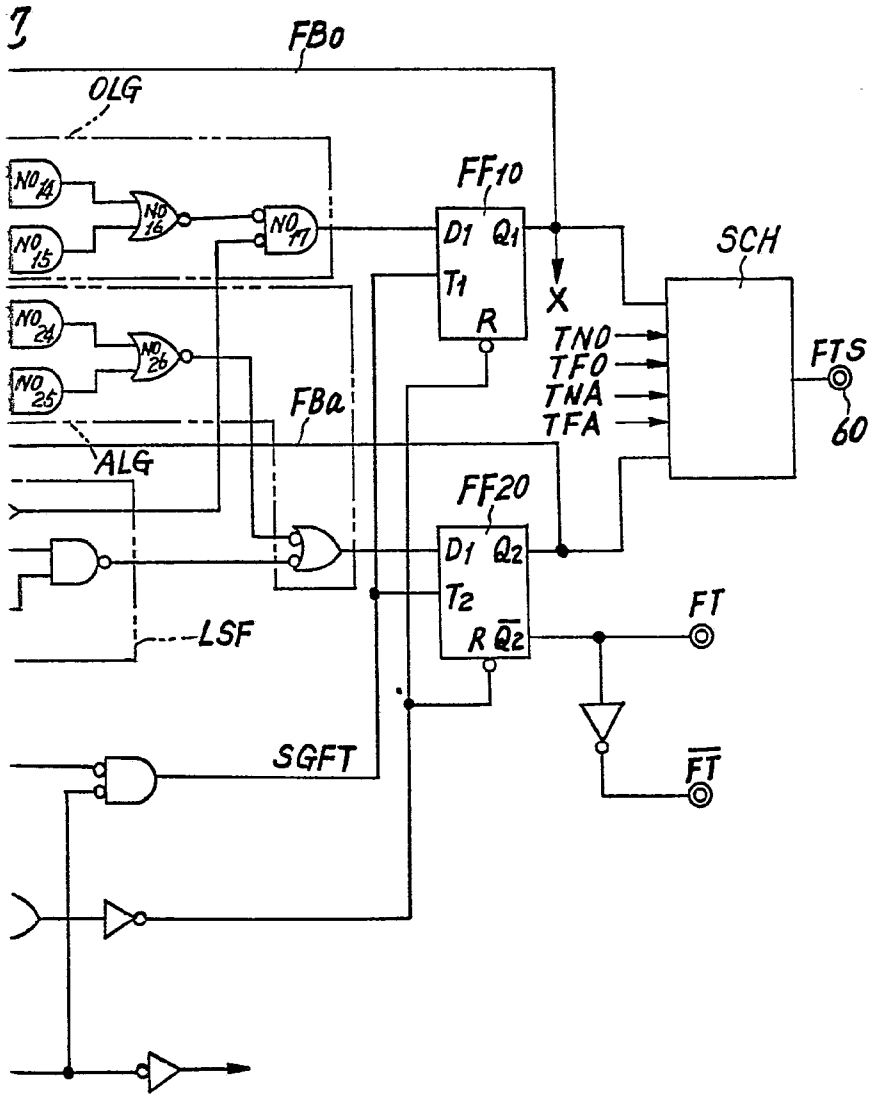


10 OCT. 1975

Handwritten signature and notes.

Fig. 8





SECRET

10 OCT. 1975

SECRET
P. 6. P. 1. 2. 3. 4. 5. 6. 7. 8. 9. 10. 11. 12. 13. 14. 15. 16. 17. 18. 19. 20. 21. 22. 23. 24. 25. 26. 27. 28. 29. 30. 31. 32. 33. 34. 35. 36. 37. 38. 39. 40. 41. 42. 43. 44. 45. 46. 47. 48. 49. 50. 51. 52. 53. 54. 55. 56. 57. 58. 59. 60. 61. 62. 63. 64. 65. 66. 67. 68. 69. 70. 71. 72. 73. 74. 75. 76. 77. 78. 79. 80. 81. 82. 83. 84. 85. 86. 87. 88. 89. 90. 91. 92. 93. 94. 95. 96. 97. 98. 99. 100. 101. 102. 103. 104. 105. 106. 107. 108. 109. 110. 111. 112. 113. 114. 115. 116. 117. 118. 119. 120. 121. 122. 123. 124. 125. 126. 127. 128. 129. 130. 131. 132. 133. 134. 135. 136. 137. 138. 139. 140. 141. 142. 143. 144. 145. 146. 147. 148. 149. 150. 151. 152. 153. 154. 155. 156. 157. 158. 159. 160. 161. 162. 163. 164. 165. 166. 167. 168. 169. 170. 171. 172. 173. 174. 175. 176. 177. 178. 179. 180. 181. 182. 183. 184. 185. 186. 187. 188. 189. 190. 191. 192. 193. 194. 195. 196. 197. 198. 199. 200. 201. 202. 203. 204. 205. 206. 207. 208. 209. 210. 211. 212. 213. 214. 215. 216. 217. 218. 219. 220. 221. 222. 223. 224. 225. 226. 227. 228. 229. 230. 231. 232. 233. 234. 235. 236. 237. 238. 239. 240. 241. 242. 243. 244. 245. 246. 247. 248. 249. 250. 251. 252. 253. 254. 255. 256. 257. 258. 259. 260. 261. 262. 263. 264. 265. 266. 267. 268. 269. 270. 271. 272. 273. 274. 275. 276. 277. 278. 279. 280. 281. 282. 283. 284. 285. 286. 287. 288. 289. 290. 291. 292. 293. 294. 295. 296. 297. 298. 299. 300. 301. 302. 303. 304. 305. 306. 307. 308. 309. 310. 311. 312. 313. 314. 315. 316. 317. 318. 319. 320. 321. 322. 323. 324. 325. 326. 327. 328. 329. 330. 331. 332. 333. 334. 335. 336. 337. 338. 339. 340. 341. 342. 343. 344. 345. 346. 347. 348. 349. 350. 351. 352. 353. 354. 355. 356. 357. 358. 359. 360. 361. 362. 363. 364. 365. 366. 367. 368. 369. 370. 371. 372. 373. 374. 375. 376. 377. 378. 379. 380. 381. 382. 383. 384. 385. 386. 387. 388. 389. 390. 391. 392. 393. 394. 395. 396. 397. 398. 399. 400. 401. 402. 403. 404. 405. 406. 407. 408. 409. 410. 411. 412. 413. 414. 415. 416. 417. 418. 419. 420. 421. 422. 423. 424. 425. 426. 427. 428. 429. 430. 431. 432. 433. 434. 435. 436. 437. 438. 439. 440. 441. 442. 443. 444. 445. 446. 447. 448. 449. 450. 451. 452. 453. 454. 455. 456. 457. 458. 459. 460. 461. 462. 463. 464. 465. 466. 467. 468. 469. 470. 471. 472. 473. 474. 475. 476. 477. 478. 479. 480. 481. 482. 483. 484. 485. 486. 487. 488. 489. 490. 491. 492. 493. 494. 495. 496. 497. 498. 499. 500. 501. 502. 503. 504. 505. 506. 507. 508. 509. 510. 511. 512. 513. 514. 515. 516. 517. 518. 519. 520. 521. 522. 523. 524. 525. 526. 527. 528. 529. 530. 531. 532. 533. 534. 535. 536. 537. 538. 539. 540. 541. 542. 543. 544. 545. 546. 547. 548. 549. 550. 551. 552. 553. 554. 555. 556. 557. 558. 559. 560. 561. 562. 563. 564. 565. 566. 567. 568. 569. 570. 571. 572. 573. 574. 575. 576. 577. 578. 579. 580. 581. 582. 583. 584. 585. 586. 587. 588. 589. 590. 591. 592. 593. 594. 595. 596. 597. 598. 599. 600. 601. 602. 603. 604. 605. 606. 607. 608. 609. 610. 611. 612. 613. 614. 615. 616. 617. 618. 619. 620. 621. 622. 623. 624. 625. 626. 627. 628. 629. 630. 631. 632. 633. 634. 635. 636. 637. 638. 639. 640. 641. 642. 643. 644. 645. 646. 647. 648. 649. 650. 651. 652. 653. 654. 655. 656. 657. 658. 659. 660. 661. 662. 663. 664. 665. 666. 667. 668. 669. 670. 671. 672. 673. 674. 675. 676. 677. 678. 679. 680. 681. 682. 683. 684. 685. 686. 687. 688. 689. 690. 691. 692. 693. 694. 695. 696. 697. 698. 699. 700. 701. 702. 703. 704. 705. 706. 707. 708. 709. 710. 711. 712. 713. 714. 715. 716. 717. 718. 719. 720. 721. 722. 723. 724. 725. 726. 727. 728. 729. 730. 731. 732. 733. 734. 735. 736. 737. 738. 739. 740. 741. 742. 743. 744. 745. 746. 747. 748. 749. 750. 751. 752. 753. 754. 755. 756. 757. 758. 759. 760. 761. 762. 763. 764. 765. 766. 767. 768. 769. 770. 771. 772. 773. 774. 775. 776. 777. 778. 779. 780. 781. 782. 783. 784. 785. 786. 787. 788. 789. 790. 791. 792. 793. 794. 795. 796. 797. 798. 799. 800. 801. 802. 803. 804. 805. 806. 807. 808. 809. 810. 811. 812. 813. 814. 815. 816. 817. 818. 819. 820. 821. 822. 823. 824. 825. 826. 827. 828. 829. 830. 831. 832. 833. 834. 835. 836. 837. 838. 839. 840. 841. 842. 843. 844. 845. 846. 847. 848. 849. 850. 851. 852. 853. 854. 855. 856. 857. 858. 859. 860. 861. 862. 863. 864. 865. 866. 867. 868. 869. 870. 871. 872. 873. 874. 875. 876. 877. 878. 879. 880. 881. 882. 883. 884. 885. 886. 887. 888. 889. 890. 891. 892. 893. 894. 895. 896. 897. 898. 899. 900. 901. 902. 903. 904. 905. 906. 907. 908. 909. 910. 911. 912. 913. 914. 915. 916. 917. 918. 919. 920. 921. 922. 923. 924. 925. 926. 927. 928. 929. 930. 931. 932. 933. 934. 935. 936. 937. 938. 939. 940. 941. 942. 943. 944. 945. 946. 947. 948. 949. 950. 951. 952. 953. 954. 955. 956. 957. 958. 959. 960. 961. 962. 963. 964. 965. 966. 967. 968. 969. 970. 971. 972. 973. 974. 975. 976. 977. 978. 979. 980. 981. 982. 983. 984. 985. 986. 987. 988. 989. 990. 991. 992. 993. 994. 995. 996. 997. 998. 999. 1000.

Fig. 9

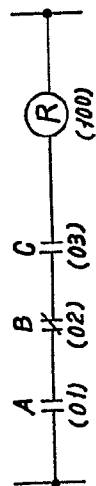


Fig. 10

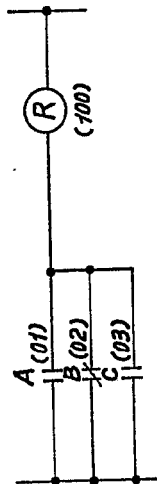


Fig. 11

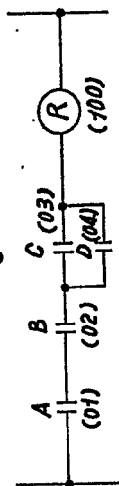
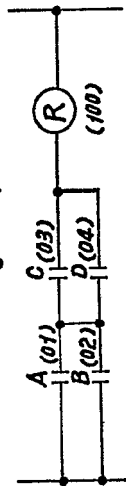


Fig. 12



5451 30 0 R

Handwritten signature or scribble.

Fig. 9

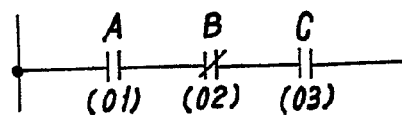


Fig. 10

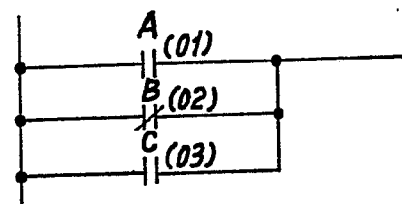


Fig. 11

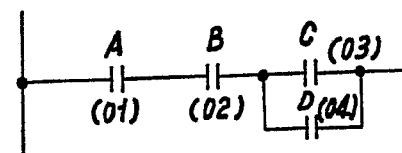
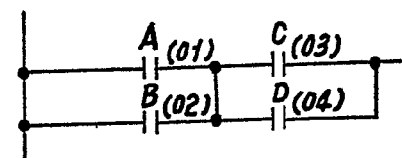
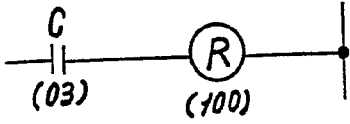


Fig. 12



ig. 9



ig. 10

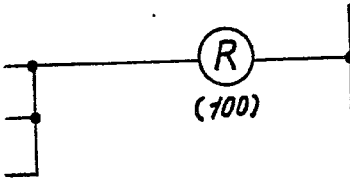


Fig. 11

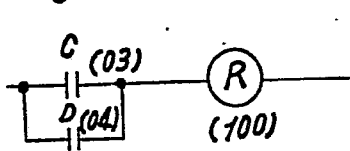
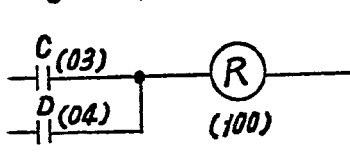


Fig. 12



ESC

10 OCT 1975

[Handwritten signature]