

434524

T. Blakeslee 1-1-1

Int. Cl.: H0493/54

CONCEDIDA
3^a COPIA

-5 JUL. 1976

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE IN-
VENCION EN ESPAÑA POR: " UN SISTEMA DE PROCESO DE
DATOS", A NOMBRE DE STANDARD ELECTRICA S.A., DOMI-
CILIADA EN MADRID, CALLE DE RAMIREZ DE PRADO Nº 5.

El presente invento se refiere a un sistema de proceso de datos que incluye una unidad de funcionamiento automático que comprende: una unidad de control para controlar el funcionamiento de dicha unidad de funcionamiento automático, una matriz de puntos de prueba con diversos puntos de prueba del sistema, elementos de memoria para almacenar las condiciones de dichos puntos de prueba, un explorador que puede realizar la exploración de los puntos de prueba a fin de detectar las condiciones presentes de los mismos, elementos para sustituir en los elementos de memoria, las condiciones previas de los puntos de prueba obtenidas por una operación de exploración anterior, por las condiciones presentes, elementos de comparador para comparar las condiciones presentes y previas en cada operación de exploración y

detectar las condiciones presentes de los puntos de prueba que son diferentes de las condiciones previas.

Este sistema de proceso de datos ya es conocido de la Patente norteamericana Nº 3 484 754. En este sistema conocido, la matriz de puntos de prueba y cada elemento de memoria tienen m filas y n columnas y están asociados con un primero y segundo registro de n -etapas, estando acoplado el elemento de comparador entre los últimos registros. Todos los puntos de prueba están dirigidos y se leen simultáneamente, y las condiciones presentes de los puntos de prueba así obtenidas se almacenan en el primer registro de n -etapas, mientras que en los elementos de memoria se lee la fila correspondiente que almacena las condiciones de los mismos puntos de prueba explorados durante una operación de exploración anterior, y se almacena en el segundo registro de n -etapas. Primeramente las condiciones presentes almacenadas en el primer registro se transfieren a la correspondiente fila mencionada anteriormente de los elementos de memoria. Después de esto, el elemento comparador compara en primer lugar y simultáneamente, las condiciones de todas las etapas correspondientes de los registros primero y segundo mencionados anteriormente. Esta comparación simultánea viene seguida por la comparación sucesiva de los correspondientes pares de etapas de los registros primero y segundo si, por lo menos, uno de tales pares de etapas tiene condiciones diferentes. Cuando se encuentra un par de etapas con condiciones diferentes, un circuito de salida envía la dirección del punto de prueba correspondiente.

De lo anterior se deduce que el sistema ya conocido es relativamente complicado, debido a la presencia de los dos registros y del multicircuito, así como de la complejidad del elemento comparador.

5. El objetivo del presente invento es proporcionar un sistema de proceso de datos del tipo mencionado anteriormente, pero de una estructura más sencilla y con una mayor confiabilidad.

10 El presente sistema para proceso de datos está caracterizado porque el elemento de memoria es una línea de retardo, por ejemplo, un registro de conversión, que tiene una entrada de éstos por lo que entran sucesivamente las condiciones presentes de los puntos de prueba, y una salida de datos a través de la cual se pueden recoger dichas condiciones, y porque los elementos
15 del comparador están acoplados entre dicha entrada y salida de éstos de la línea de retardo.

El presente sistema es muy confiable debido a la utilización de una sencilla línea de retardo o registro de conversión y elementos de comparador, que solamente
20 tiene que comparar las condiciones que aparecen en la entrada y salida de datos de la línea de retardo.

Según una característica del invento, la unidad de funcionamiento automático incluye una memoria intermedia y puede almacenar, en dicha memoria, para cada
25 número predeterminado de puntos de prueba, las condiciones de los que han cambiado una palabra que comprende la dirección del punto de prueba y otras informaciones que incluyen las condiciones de este punto de prueba.
30 Dicho sistema incluye además un computador acoplado a

la unidad de funcionamiento automático que puede comenzar la operación de exploración a través del circuito de control, después de haberse realizado cada operación de exploración, para leer la memoria intermedia ME y procesar las palabras leídas.

Ya que la unidad de funcionamiento automático realiza la exploración de los puntos de prueba y el almacenaje de dichas palabras, es la memoria intermedia el computador solamente tiene que recoger aquellas palabras para procesarlas, de tal manera que se ahorra gran parte del tiempo del computador, respecto a los sistemas en los que el computador tiene también que realizar ambas operaciones de exploración y almacenaje.

El mencionado anteriormente y otros objetivos y características del invento aparecerán mejor expuestos en la descripción que sigue y en los dibujos que acompañan, en los cuales:

La Fig. 1 representa esquemáticamente un sistema de proceso de éstos según el invento y que forma parte de un sistema de conmutación telefónica controlado por programa.

La Fig. 2 es una carta de flujo que muestra el funcionamiento del sistema representado en la fig 1.

La Fig. 3 es una configuración del circuito de control mostrado en la fig. 1.

La parte del sistema de conmutación telefónica mencionada últimamente en la fig, 1, incluye una malla de conmutación telefónica SN y un sistema de proceso de datos constituido por una unidad de funcionamiento automático AU y un computador CPU. La malla de conmutación SN

incluye diversos circuitos de línea (no mostrados) cada uno de los cuales está conectado a la unidad de funcionamiento automático AU a través de hilos de interconexión que forma el busbar (conexión múltiple) BB1. Esta unidad de funcionamiento automático AU está conectada al computador CPU a través de diferentes hilos de interconexión que forma el busbar BB2.

La unidad de funcionamiento automático AU incluye una matriz de 16 puntos de prueba TPM, del tipo descrito en la Solicitud de Patente Española Nº 423110 una unidad de control Cu, un dispositivo comparador Cd y un buffer (memoria intermedia) Bu. El TPM tiene cuatro filas y cuatro columnas de puntos de prueba, y está asociado al decodificador de dirección de cuatro terminales DC1, para dirigir cualquiera de las cuatro filas del TPM y con un multiplexor de 4 terminales MUX para dirigir cualquiera de las cuatro columnas del TPM y conectar una columna dirigida con su única salida Mo. Estas operaciones de direccionamiento están controladas por la unidad de control Cu, como veremos después. El MUX está asociado con un flip-flop J-K y con un inversor I1. El DC1, el MUX y la unidad de control Cu colaboran de tal manera que cuando una fila y una columna del TPM se direccionan simultáneamente, la condición libre/ocupado del punto de prueba en la intersección de esta fila y esta columna se explora, y aparece en la salida mo como una señal 1/0, respectivamente.

El decodificador DC1, el multiplexor MUX y el flip-flop J-K B son de tipos bien conocidos en la técnica, y no se mostrarán con detalle. Por ejemplo, el

5 multiplexor MUX y el flip-flop B son del tipo normalmente conocidos en el mercado bajo los números de código SN151A y SN7473 (Texas Instruments), respectivamente. La tabla de verdad de este flip-flop J-K es la siguiente:

t_n		t_{n+1}
J	K	Q
0	0	Q
0	1	0
1	0	1
1	1	\bar{Q}

10 en dónde J y K son las entradas de las etapas 1 y 0 del flip-flop respectivamente, mientras que Q y \bar{Q} son las salidas de estas etapas 1 y 0, respectivamente. Esta tabla de verdad dá la condición de la salida -Q del flip-flop J-K en el momento t_{n+1} esto es, cuando la entrada de reloj del mismo cambia de 1 a 0, y las entradas J y K, en el momento t_n , tienen las condiciones indicadas.

15 La unidad de control Cu incluye los contadores de 4 etapas ACT y HCt, y un circuito de control Cc. El contador ACT, que llamaremos el contador de dirección tiene una entrada de avance sti_1 , las salidas de dirección a01 a02 y a03, mientras que el contador HCt, que denominaremos en adelante contador de operaciones de reserva, tiene una entrada de avance sti_2 y una salida Col que se activa cuando el contador ha alcanzado su estado final 1111. Los cuatro bits del contador ACT forman las direcciones de los

20

25

30

16 puntos de prueba del TPM, los dos bits más y los dos menos significativos forman las direcciones de las cuatro filas y las cuatro columnas del TPM, respectivamente. El circuito de control Cc tiene las entradas i_1 , i_2 , i_3 , i_4 una entrada de arranque si , una salida de escritura W_0 , las salidas de avance st_1 , st_2 , st_3 y las salidas de control Cc_1 , Cc_2 . Este circuito de control está constituido por diversos circuitos lógicos (no mostrados) que pueden realizar las operaciones que describiremos más tarde y que se muestran con detalle en la fig. 3.

El dispositivo comparador Cd incluye un elemento de memoria o registro de conversión SR16 que tiene 16 etapas biestables S_0 a S_{15} y un elemento comparador constituido por una puerta-OR exclusiva EO. El SR16 está asociado con el multicircuito lógico que incluye las puertas AND AND1 y AND2 y la puerta-OR OR1 y tiene una entrada de avance st_3 , una entrada de datos IN conectada a la entrada-1 de la primera etapa S_0 y una salida de datos OUT conectada a la salida-1 de la última etapa S_{15} .

El "buffer" Bu incluye una memoria ME y un contador de dos etapas UDC. La memoria ME tiene tres filas y está asociada a un registro de 7 etapas REG1 y un decodificador de dirección DC2, mientras que el contador UDC tiene las entradas de avance st_5 y st_6 , las salidas Co_2 y Co_3 y una salida de dirección ao_4 . Las salidas Co_2 y Co_3 se activan cuando el contador ha contado cuatro y está en su posición-0, respectivamente. Este contador UDC es un contador arriba-abajo, por ejemplo, cuenta hacia arriba o hacia abajo cuando se activan, respectivamente, las entradas de avance st_6 o st_5 . El registro

REG1 tiene las entradas rg2, rg3, rg4 conectadas a las tres últimas etapas Rm, Rn, Rp, respectivamente, una entrada múltiple rgl a las primeras cuatro etapas que forman el registro de dirección AR y una salida múltiple ao5 conectada a todas las etapas de REG1.

El computador controlado por programa CPU tiene una entrada de contador ic, una entrada de dirección ai, una salida de arranque so y una salida de lectura ro. La entrada de arranque si, las salidas de avance stol, sto2, sto3, las entradas i1, i2, i3, i4, la salida de escritura Wo y las salidas de control Ccol y Cco2 del circuito de control Cc están conectadas a la salida de arranque so del computador GPU, así como a la entrada de avance sti₁ del conector ACT, la entrada de avance sti₂ del contador HCT, la entrada de avance sti₃ del registro de conversión SR16, el punto de unión de la salida de la puerta-OR y la entrada rg2 de la etapa Rm del registro REG1, la salida Co2 del contador UDC, el punto de unión de la salida Col del contador HCT y la entrada rg3 de la etapa Rn del registro REG1, el punto de unión de la salida de lectura ro del computador CPU y la entrada de avance sti₅ del contador UDC el punto de unión de la entrada de escritura de la memoria ME y la entrada de avance sti₆ del UDC, una de las entradas de la puerta-AND de dos entradas AND1, por una parte, y una de las entradas de la puerta-AND de dos entradas AND2 a través de un inversor I2, por otra parte, y la entrada del impulso de reloj del flip-flop J-K B, respectivamente. Las salidas de dirección aol, ao2l, ao3 del contador ACT están conectadas a la entrada múltiple rgl de REG1, el decodificador DC1 del TPM y el multiplexor MUX

respectivamente. La salida m_0 del multiplexor está conectada a la entrada-K a través del inversor II_1 y a la entrada-J del flip-flop B, cuya salida-Q está conectada a la otra entrada de la puerta-AND AND_2 . La salida de esta

5 puerta-AND está conectada al punto de unión de una de las entradas de la puerta-OR de dos entradas OR_1 , a la entrada rg_4 de la etapa R_p del registro REG_1 y a una de las entradas de la puerta-OR exclusiva de dos entradas EO , cuya otra entrada está conectada al punto de unión de la salida de datos OUT de SRI_6 y a la otra entrada de la puerta

10 AND de dos-entradas AND_1 . La salida de la puerta-AND AND_1 está conectada a la otra entrada de la puerta-OR OR_1 , cuya salida está conectada a la entrada de datos IN del registro de conversión SRI_6 . La salida de dirección ao_4 del contador UDC está conectada al decodificador DC_2 de la

15 memoria ME , mientras que la salida Co_3 está conectada a la entrada del contador ic del computador CPU . La salida múltiple ao_5 de REG_1 está conectada a la entrada de dirección ai del CPU .

20 Nótese que, la conexión entre el computador CPU y la unidad de funcionamiento automático AU a través del busbar BB_2 está representada por líneas sencillas, aunque pueden comprender más de un conductor, lo mismo ocurre para las líneas que conectan las diferentes partes que

25 constituyen AU para las que conectan SN a TPM a través del busbar BB_1 .

De una manera breve, el sistema funciona como describiremos después, refiriéndonos a la fig 1. A intervalos regulares de tiempo, el computador CPU , a través de su salida so , pone en marcha el circuito de control Cc que

30

subsecuentemente pone en marcha una operación de exploración de un grupo de 16 puntos de prueba, de la matriz de puntos de prueba TPM. Esta operación de exploración se denominará exploración de grupo. Durante cada una de estas operaciones, se direccionan los 16 puntos de prueba de un grupo de sucesión, a la cadencia de los impulsos de reloj. Estos impulsos de reloj se suministran por un generador de impulsos de reloj (no mostrado) en el circuito de control Cc. Durante cada operación de exploración de grupo, el estado presente de cada punto de prueba explorado, se compara con el estado anterior de este mismo punto de prueba explorado durante una operación de grupo anterior. Cuando, por ejemplo, se explora el primer punto de prueba de TPM, su estado presente se registra en el flip-flop J-K B. y cuando se explora subsiguientemente el segundo punto de prueba, se cambia el estado del primer punto de prueba desde este flip-flop el registro de conversión SR16, mientras que, a su vez, el estado del segundo punto de prueba se registra en el flip-flop J-K B. Las mismas operaciones se repiten para los 16 puntos de prueba, de tal modo que sus estados pasan a través del registro de conversión de 16 etapas SR16 a la cadencia de impulso de reloj. Consecuentemente, después de que los estados de los 16 puntos de prueba han sido cambiados en el registro de conversión SR16 uno después de otro, el estado del primer punto de prueba se registra en la última etapa S15. Durante una siguiente operación de exploración de grupo, cuando se explora nuevamente el primer punto de prueba, el estado presente de este punto de prueba se registra de

nuevo en el filp-flop J-K B y se compara con el estado del punto de prueba registrado en la etapa S15. Cuando se direcciona el segundo punto de prueba, su estado presente se registra en el flip-flop J-K B, sustituyendo el estado presente del primer punto de prueba. El último estado se cambia en el registro de conversión SR16, mientras que el estado anterior del segundo punto de prueba explorado durante una operación de exploración de grupo anterior se cambia en la última etapa S15 y se compara con el estado presente de este punto de prueba. Las operaciones anteriores se repiten, hasta que los estados de todos los puntos de prueba del TPM se han comparado. Esta comparación se realiza mediante la puerta-OR exclusiva Eo, que suministra una señal de salida cuando los estados presente y pasado de un punto de prueba son diferentes, esto es, cuando el estado de un punto de prueba cambia de una operación de exploración de grupo a la siguiente. Este cambio de estado, que denominaremos una adaptación, puede ser bien del estado 0 al 1 o viceversa. Cuando se detecta una tal inadaptación para un punto de prueba, el circuito de control Cc hace funcionar la entrada de escritura, mencionada anteriormente, de la memoria intermedia ME, para almacenar en la misma la dirección de este punto de prueba en una localización de esta memoria. Antes de comenzar una nueva operación de exploración, el computador CPU lee la memoria intermedia ME y procesa la información almacenada en la misma. Más concretamente, el computador, que tiene una memoria que almacena los estados previo de los 16 puntos de prueba, actualiza esta memoria teniendo en cuenta los estados

presentes de los puntos de prueba para los que se han detectado una inadaptación.

Para una densidad de tráfico normal en los circuitos de línea telefónica a los que están conectados los puntos de prueba, la memoria ME tiene un número de localizaciones direccionables, suficiente para almacenar ; la información de inadaptación de los puntos de prueba, proporcionada durante una operación de exploración de grupo. Sin embargo, en el caso de una densidad de tráfico anormal cuando, durante una operación de exploración de grupo, se detecta un exceso de inadaptaciones, estas inadaptaciones no pueden ser registradas en una memoria ya completamente llena ME y, como consecuencia, el circuito de control interconecta los estados primero y último del registro de conversión SR16 a fin de que la información almacenada en la misma vuelva a circular cuando avance el registro de conversión. Así, en lugar de cambiar el estado del flip-flop J-K B en el SR16, el estado de la última etapa S15 de SR16 se cambia en ella misma. Si, cuando la memoria está completamente llena no recirculara el estado de la etapa S15 durante la operación de exploración de los restantes puntos de prueba de la TPM, no podría detectarse una inadaptación cuando un punto de prueba cambia su condición durante esta operación de exploración, y permanece en la misma condición durante las operaciones de exploración siguientes. El caso en el que la memoria está completamente llena y tiene que registrarse una nueva inadaptación, se denominará "overflow" (exceso de capacidad).

ciones,, el sistema tambien puede realizar una operacion de comprobación continua. Durante cada operaci3n de exploraci3n de grupo, la direcci3n y estado presente de un solo y diferente punto de prueba a ser comprobado, se registran en la memoria intermedia ME y, despu3s de que esta memoria se ha leido por el computador CPU, 3ste compara el estado presente de este punto de prueba con el estado anterior del mismo punto almacenado en su memoria. Este estado anterior se obtuvo durante una operaci3n de exploraci3n de grupo anterior. Si el estado del punto de prueba que est3 comprobando no ha cambiado desde la 3ltima operaci3n de comprobaci3n, los estados presente y anterior comparados deben ser el mismo. Por el contrario, si los estados comparados son diferentes, est3 claro que el sistema est3 funcionando err3neamente, a menos que haya detectado para este punto una inadaptaci3n. En este caso, la memoria del computador anterior se actualiza, como se ha indicado anteriormente.

Los puntos de prueba mencionados antes y comprobados durante cada operaci3n de exploraci3n de grupo, se manejan en orden inverso a las de las operaciones de exploraci3n, por ejemplo, durante las operaciones de exploraci3n primera, segunda,.....d3cimo sexta, se comprueban los puntos de prueba d3cimo sexto, d3cimo quinto,.....primero, respectivamente, del TPM.

La operaci3n de comprobaci3n de la memoria del computador y red mencionada antes, el punto de prueba comprobado y la direcci3n del punto de prueba asociada, se denominar3n de ahora en adelante, operaci3n

de reserva, punto de prueba de reserva y dirección de reserva, respectivamente.

5 Describiremos ahora con detalle el funcionamiento del sistema de proceso de datos, refiriéndonos a las Figs. 1 y 2. Para facilitar el entendimiento, consideraremos diferentes casos.

1) Proceso de una inadaptación

10 Describiremos el proceso de una inadaptación, sin considerar si el exceso de capacidad ni la operación de reserva, aunque durante cada operación de exploración de grupo, se almacenan en la memoria intermedia ME el estado y dirección de un punto de prueba diferente. Se supone que el comienzo del funcionamiento del sistema, todos los contadores ACT, HCT, y UDC, el registro de con
 15 versión SR16 y la salida-Q del flip-flop J-K están en el estado-0. Por lo tanto, el estado del primer punto de prueba con dirección 0000 del TPM, está presente en la salida mo del multiplexor MUX, pero todavía no está registrado en el flip-flop J-K Bya que no ha empezado el
 20 funcionamiento del generador de impulso de reloj (no mostrado) en el circuito de control Cc. La primera dirección de punto de prueba 0000 se registra también en la parte AR del registro REG1. Las salidas Ccol, Cco2, Stol., Sto2, Sto3, Wo del Cc se desactivan, ya que el
 25 computador CPU no ha suministrado todavía un impulso de arranque po (fig. 2). Cuando se aplica un impulso de arranque del computador po a la entrada de arranque si del circuito de control Cc, éste arranca su generador de impulso de reloj, el cual genera impulsos de reloj en su salida de reloj Cco2. Sin embargo, la salida de
 30

escritura Wo, las entradas de avance stol, sto2 y sto3 y la salida de control Ccol del Cc, permanecen desactivadas. Como consecuencia de ello, se activa la puerta -AND AND2 a través del inversor I2 y se inhibe la puerta -AND AND1 a través del inversor I2 y se inhibe la puerta -AND AND1 y no avanzan los contadores Act, Hct, UDC y el registro de conversión SR16. El estado 1-(ocupado) o 0-(libre) del primer punto de prueba presente en la salida mo del MUX, se registra en el flip-flop J-K B en el momento en que el último se controla por el primer impulso de reloj que aparece en la salida de reloj Cco2. Este estado registrado aparece el borde trasero de este impulso de reloj, como se ha explicado anteriormente.

Debido a que la puerta-AND AND2 está activada, el estado presente del punto de prueba se aplica a la entrada de datos IN del registro de conversión SR16 a través de la puerta-OR OR1 y a una entrada de la puerta-OR exclusiva EO, y se registra en la última etapa Rp del registro REG1 de la memoria intermedia ME a través de rg4. La puerta-OR compara entonces este estado presente del punto de prueba con el estado de la etapa S15 del registro de conversión SR16: - Cuando los estados comparados son diferentes, esto es, cuando existe una inadaptación que corresponde a un cambio de estado de 0 a 1, ya que se supone que la etapa S15 está en el estado-0, la salida de la EO se activa debido a lo cual:

1. la etapa Rm de REG1 se pone en el estado-1 a través de rg2;
2. el circuito de control Cc se informa acerca de la

inadaptación a través de su entrada il debido a lo cual ac
activa la salida de escritura wo.

Consecuentemente, el contador UDC avanza a la
posición O1, lo que constituye la dirección de la primer
5 ra fila de la memoria intermedia ME a través de la en-
trada de avance sti6. Esta dirección alimenta al decodi-
ficador DC2 a través de la salida wo está activada, el
contenido del registro REG1 se almacena en la primera
fila de ME.

10 La etapa Rn de REG1 permanece en el estado-0,
ya que como se verá en la explicación siguiente, esta
etapa se pondrá en el estado-1 cuando la dirección y el
estado del punto de prueba de reserva se registre en REG1
Cuando los estados comparados son iguales, la salida de
15 la EO nos se activa como consecuencia de lo cual, el cir
cuito de control Cc no activa su salida de escritura wo,
de tal manera que no se escribe nada en la memoria ME y
no avanza el contador UDC.

Que el borde delantero de un segundo impulso
20 de reloj que aparece en la salida de reloj Cco2 del cir
cuito de control Cc, se cambia el estado del primer pun
to de prueba (0000) que está presente en la entrada de
datos IN del registro de conversión SR16, y el contador
ACT avanza a su posición 0001 debido a que las salidas
25 de avance stol y sto3, están activadas. La salida de a-
vance sto2 tambien se activa, debido a lo cual el contador
HCt avanza simultáneamente con el contador ACT, pero por
razones de simplicidad, no consideraremos esto de momen-
to. Se dirige así el segundo punto de pfueba, y su di-
rección 0001 se almacena en la parte AR del registro REG1
30 a través de aoL y rgl. El estado obtenido de este segundo

punto de prueba se registra en el flip-flóp J-K B a través de la salida mo del multiplexor. Durante el borde trasero del anterior segundo impulso de reloj, el estado del segundo punto de prueba aparece en la salida-Q del flip-flop J-K y, consecuentemente, en la entrada de datos IN de SR16. El estado del segundo punto de prueba se registra de nuevo en la etapa Rp de REG1 y se compara con el de la última etapa S15 del SR16 por la puerta-OR exclusiva EO, de la misma manera que se ha descrito para el primer punto de prueba. El contenido del registro REG1 se almacena ahora en la segunda fila de la memoria intermedia ME, cuando los estados comparados son diferentes.

Después de que se ha comparado el estado del punto de prueba 16 con dirección llll, con el estado SR15, el generador de impulso de reloj en el circuito de control Cc, genera un décimo séptimo y último impulso de reloj que cambia el estado de este último punto de prueba en el SR16 y avanza el contador ACT a su posición-0.

El generador de impulso de reloj detiene entonces la generación de impulsos de reloj, de tal manera que se detiene el funcionamiento del contador ACT y el circuito de control Cc desactiva su salida de escritura a fin de impedir el almacenaje de una falsa adaptación en la memoria ME. Con este décimo séptimo impulso de reloj, el primer punto de prueba con dirección 0000 se direcciona y su estado se almacena en el flip-flop J-K B. Este estado se compara entonces con el de la etapa S15, en donde ahora aparece el estado del primer punto de prueba explorado durante la anterior operación de exploración de grupo y cuando se detecta

una inadaptación, la correspondiente información de inadaptación sería almacenada en la memoria ME si la salida de escritura wo no hubiera sido desactivada.

De la anterior descripción se deduce que es ne
 5 cesario utilizar un elemento memorizador tal como un flip-flop J-K B. Cuando no se utilizaban tales elementos, un cambio de estado de un punto de prueba particular que ocurriera entre el momento de exploración cuya comparación del estado de este punto de prueba a la aparición de un
 10 impulso de reloj, y el momento en que este estado se cambia en el registro de conversión con el siguiente impulso de reloj, conduciría a un funcionamiento erróneo del sistema.

Antes de comenzar una nueva operación de explo
 15 ración de grupo, el computador CPU activa la salida de lectura ro de la memoria intermedia ME. La dirección de la fila a ser leída se determina por la posición del contador arriba-abajo UDC. Cada vez que se lee una fila, el contador UDC avanza un paso hacia abajo, hasta que se leen
 20 todas las filas de la memoria ME, estando entonces el contador en el estado 0 e informando así al computador CPU a través de su entrada ic, que la memoria ME ha sido leída completamente. El CPU alimenta entonces a Cc con un nuevo impulso de arranque, y comienza una segunda ope
 25 ración de exploración de grupo de los puntos de prueba de la matriz TPM, como se ha explicado anteriormente.

2) Operación de Reserva

Anteriormente hemos descrito la operación de reserva sin considerar el "overflow". Como ya hemos in
 30 dicado, tal operación de reserva es una comprobación

continúa mediante la cual, durante cada operación de exploración de grupo, el estado de un diferente punto de prueba se compara y almacena en la memoria intermedia ME, y después se compara por el computador con el estado del mismo punto de prueba direccionado durante una operación de grupo anterior, y se almacena en la memoria del computador. Más concretamente, después de 16 operaciones sucesivas de exploración, se comprueban respectivamente las condiciones de los puntos de prueba con direcciones 1111 a 0000. Por razones de simplicidad, se supone que para el punto de prueba comprobado por razones de reserva, no se detecta inadaptación por la operación de proceso de inadaptación.

Durante cada operación de exploración, los contadores ACT y HCT avanzan simultáneamente y, al arranque de la primera operación de exploración de grupo, el contador ACT y el contador de la operación de reserva HCT están en la oposición-0 y, simultáneamente, alcanzan su posición final cuando se explora el último punto de prueba con dirección 111. Es el estado de este punto de prueba el que tiene que ser comprobado. Como era la operación de inadaptación descrita anteriormente, esta dirección 1111 y el estado del último punto de prueba, se registran en la parte AR y Rp de REG1, respectivamente, pero la etapa Rm se mantiene en su posición-0, ya que la salida de EO, esto es, rg2, permanece desactivada, suponiendo que no se detecta inadaptación para este punto de prueba. Debido a que el contador HCT está en su estado final, su salida Col está activada, de tal manera que la etapa Rn del registro REG1 se pone en su estado-1 a través de

rg3. El circuito de control Cc se informa, a través de la entrada i3, de que el contador HCt, al haber alcanzado su estado final, activa su salida de escritura wo de tal manera que el contenido del registro REGl se almacena en la memoria intermedia ME. El último, o impulso décimo séptimo del reloj hace avanzar a ambos contadores ACt y HCt a su posición-0 y, como se describe anteriormente, para una operación de proceso de una inadaptación, se desactiva la salida wo del Cc y se detiene el generador de impulso de reloj. Cuando el computador CPU lee el contenido de la memoria ME, el circuito de control Cc se informa de ello a través de su entrada l4 y, a través de la entrada de avance sti2, hace avanzar el contador HCt un paso, para llevarle a la posición 0001.

Al comienzo de la segunda operación de exploración de grupo, los contadores ACt y HCt parten de su posición 0000 y 0001 respectivamente, de tal manera que los contadores HCt y ACt llegan simultáneamente a su posición final 1111 y a la penúltima posición 1110, respectivamente, estando entonces activada la salida Col de HCt. Esta dirección 1110 es la dirección del siguiente punto de prueba de reserva, cuyo estado tiene que ser comprobado. De una manera similar a como se ha descrito anteriormente para el último punto de prueba, el estado y la dirección del penúltimo punto de prueba a ser comprobado, se registran en REGl y se almacenan en ME. Después de esto el contador ACt avanza a su posición-0, mientras que el contador HCt avanza a su posición 0001. Cuando el computador CPU lee finalmente la memoria ME, el contador HCt avanza de nuevo un paso más a su posi-

ción 0010.

5 Durante la tercera operación de exploración de grupo, la dirección 1101 y el estado del punto de prueba a ser comprobado se almacena en la memoria ME y, después, el contador HCt avanza a su posición 0011 cuando el computador CPU lee la memoria intermedia ME. Una operación similar se repite en las siguientes operaciones de exploración.

10 Al comienzo de la décimo quinta operación de exploración de grupo, el contador HCt está en su posición 1100, como consecuencia de lo cual, la dirección 0001 y el estado del correspondiente punto de prueba a ser comprobado, se registran en la memoria ME cuando se explora este punto de prueba. De aquí, el contador HCt está de nuevo en su estado final cuando el computador CPU lee la ME y avanza un paso más el HCt después de que hayan sido explorados todos los puntos de prueba. Sin embargo, esto no tiene efecto, ya que la salida de escritura wo del Cc está inhibida.

20 Al comienzo de la décimo exta operación de grupo, el contador de reserva HCt está en su posición final 1111 como consecuencia de lo cual, la dirección y el estado del punto de prueba con dirección 0000 a ser comprobado se almacenan en la memoria intermedia ME. Por lo tanto, cuando el contador ACt vuelve a su posición-0 con el último impulso de reloj, el contador HCt avanza a su estado final. Como en la operación de exploración anterior, esto no tiene efecto ya que el Cc inhibe su salida de escritura con el último impulso de reloj.

30 El contador HCt avanza a su posición-0 cuando el compu-

tador vacía la memoria intermedia ME. Ambos contadores ACT y HCT están ahora en su estado-0, de tal manera que la siguiente operación de exploración de grupo, pueden comenzar de nuevo todas las operaciones de reserva des-
 5 critas anteriormente. Estas operaciones de reserva se resumen en la siguiente tabla, la cual indica los puntos de prueba de reserva, los estados correspondientes del contador HCT después de cada operación de exploración de grupo y el estado del contador HCT después de
 10 que el computador haya leído la memoria ME.

	número de operación de exploración	punto de prueba de reserva	posición del contador HCT con el impulso 17	posición del contador HCT después de que el computador ha leído ME
15	1a	1111	0000	0001
	2a	1110	0001	0010
	3a	1101	0010	0011
	4a	1100	0011	0100
	5a	1011	0100	0101
	6a	1010	0101	0110
	7a	1001	0110	0111
	8a	1000	0111	1000
20	9a	0111	1000	1001
	10a	0110	1001	1010
	11a	0101	1010	1011
	12a	0100	1011	1100
	13a	0011	1100	1101
	14a	0010	1101	1110
	15a	0001	1110	1111
	16a	0000	1111	0000

En la explicación anterior se ha supuesto
 25 que, durante las operaciones de reserva, no se detectaban inadaptaciones simultáneas de la exploración de los correspondientes puntos de prueba de reserva. En este caso, el estado de la etapa Rn pasa a su posición-1, mientras que el estado de la etapa Rm perma-

nece en su estado-0, y el estado actual del punto de
 prueba explorado se registra en la etapa Rp. Por el
 contrario, cuando se detecta una inadaptación simul-
 tánea en la exploración del anterior punto de prueba de
 5 reserva, las etapas Rm y REGl pasarán a su estado-1 y,
 en este caso; trata la palabra de información leída co-
 mo una información de inadaptación y actualiza su memo-
 ria con el nuevo estado del punto de prueba correspon-
 diente. A partir de la palabra de información leída el
 10 computador puede detectar los fallos. Si la palabra de
 información leída se refiere a un punto de prueba de
 reserva explorado, en ausencia de una detección de ina-
 daptación, los bits de las etapas Rm y Rn son, respec-
 tivamente, 0 y 1, y el bit de la etapa Rp que indica el
 15 estado actual del punto de prueba explorado debe ser igual
 al estado del mismo punto de prueba almacenado en la me-
 moria del computador y que ha sido actualizado durante
 una operación de exploración de grupo anterior. Cuando
 esto no es así, el sistema está funcionando errónea-
 20 mente.

3) "Overflow" (Exceso de capacidad)

Describiremos seguidamente la operación de
 un "overflow". Cuando la operación de exploración del gru-
 po de los puntos de prueba del TPM llega a tal número
 25 de inadaptaciones que la memoria intermedia ME está com-
 pletamente llena antes de que haya terminado la operación
 de exploración, está claro que las direcciones y es-
 tados de los puntos de prueba para los que se detectan
 estas inadaptaciones durante la exploración del resto
 30 de los puntos de prueba del TPM, no pueden registrarse

en la memoria ME. El número de inadaptaciones detectadas durante el "overflow" puede aumentarse en 1 debido ; a la dirección y estado de un punto de prueba de reserva. Por lo tanto, si aparece una inadaptación de la comparación de los estados de un punto de prueba explorado y, tan pronto como el contador UDC alcanza su estado final, dirigiendo así la última localización de la memoria ME y permitiendo que se almacene en ella la información del punto de prueba anterior a ser almacenado, se activa la salida Co2 de la UDC. El circuito de control Cc, que se informa a través de su entrada i2, desactiva su salida de escritura wo, de tal manera que no se puede almacenar más información en la memoria ME. Cuando se exploran los dos siguientes puntos de prueba consecutivos, ocurre lo siguiente. En la exploración del primero de dos puntos, cuando avanza el registro de conversión SR16, se cambia en el mismo el estado del punto de prueba anterior almacenado de la última etapa SR15, de donde se activa la salida de control Ccol, activando y desactivando respectivamente las puertas-AND AND1 y AND2. Consecuentemente, cuando se explora el segundo de los anteriores punto de prueba consecutivos y avanza el registro de conversión SR16, el estado del puntos de prueba anterior almacenado en la última etapa S15 del mismo, se hace circular en lugar de cambiarlo, esto es, este estado previo vuelve a entrar en la primera etapa so del registro de conversión y allí se cambia a la cadencia de los impulsos de reloj. La recirculación del estado del punto de prueba anterior registrado en la última etapa S15, tiene lugar en cada paso del registro de conversión, en tanto existe la condición

de "overflow", esto es, durante la exploración de los
 restantes puntos de prueba mencionados anteriormente
 del TPM e, independientemente, del hecho de que se de-
 tecte o no una inadaptación. Después de haber sido ex-
 5 plorados todos los puntos de prueba, el computador lee
 la memoria ME, de tal manera que se desactiva la salida
 Co2 del UDC.

Nótese que, si el estado del punto de prueba an-
 terior registrado en la etapa S15 de SR16 no fuera recir
 10 culado durante un período de "overflow", no podría ser
 detectada una inadaptación para cada uno de los restantes
 puntos de prueba mencionados anteriormente, cuando la
 condición de uno de tales puntos cambia durante un pe-
 ríodo de "overflow" y en tanto permanezca en la misma
 15 condición durante las operaciones de exploración de
 grupo subsecuentes. Evidentemente, cambiando el esta-
 do anterior del punto de prueba del registro de conver-
 sión SR16, se pierde definitivamente.

Nótese, además que, durante un periodo de "overflow"
 20 la puerta AND2 permanece inhibida, impidiendo así que
 el estado registrado en el flip-flop J-K B entre en el
 registro de conversión Sr16 y que, aunque la información
 del punto de prueba explorado durante este período de
 "overflow" se registre en REG1, esto no tenga efecto,
 25 ya que la salida de escritura wo permanece inhibida.

Si debe realizarse una operación de eserva en un
 punto de prueba durante una exploración de grupo, cuando la
 memoria ME está llena, la salida de escritura wo perma-
 nece desactivada, de tal manera que no puede almacenarse
 30 nueva información.

Cuando el computador lee la memoria ME, el contador HCT avanza un paso, de tal manera que puede formarse la dirección del siguiente punto de prueba de reserva a ser comprobado, durante la siguiente operación de exploración de grupo. Esto significa que no se realiza la operación de reserva mencionada anteriormente, y que el punto de prueba correspondiente será comprobado solamente después de quince operaciones de exploración. Esto no es peligroso, ya que el número de localizaciones de memoria ME ha sido calculado de tal manera que solamente ocurra el "overflow" cuando exista una densidad de tráfico anormalmente elevada. Podría evitarse fácilmente la situación anterior, donde no se comprueba un punto de prueba inhibiendo la salida de avance sto2 del Cc, a fin de no avanzar el contador HCT cuando el computador lee la memoria ME en las condiciones de "overflow". De esta manera, se comprueba el mismo punto de prueba durante una exploración de grupo subsiguiente. Otro modo de evitar la situación mencionada es permitir que el computador vacíe la memoria intermedia una primera vez cuando parte de los 16 puntos de prueba al final de la operación de exploración.

Las fases principales de la operación de los casos mencionados, se muestran en la carta de flujo de la fig. 2.

En la fig. 3 se muestra una configuración del circuito de control Cc. Este circuito de control incluye un generador de impulso de reloj CPL7 para enviar 17 impulsos de reloj a la recepción de un impulso de arranque po desde el computador a través de la entrada de arran

que si, un dispositivo biestable F, los dispositivos monoestables M1, M2 y M3 que tienen las constantes de tiempo T1, T2 y T3, respectivamente, un inversor IN, un circuito de retardo DL, dos puertas-AND de dos entradas AND3 y AND5, una puerta-AND de tres entradas AND4 y tres puertas-OR de dos entradas OR2, OR3, OR4. Las constantes de tiempo T1 es menor que el intervalo entre dos impulsos de reloj. La constante de tiempo T3 solapa el intervalo de tiempo necesario para vaciar la memoria intermedia ME por el computador, de tal manera que el contador HCT avanza solamente un paso durante la operación de lectura. T2 es un intervalo de tiempo durante el que está inhibida la salida de control Ccol, comenzando este intervalo de tiempo al ser almacenada una última palabra de información en la memoria intermedia ME, y es lo suficientemente grande como para permitir que se cambie el estado anterior del punto de prueba de la etapa S15, fuera del registro de conversión SR16, como hemos explicado anteriormente. El generador de impulso de reloj CP17 tiene una entrada icp conectada a la entrada de arranque si del Cc, una salida de impulso de reloj cp conectada a una primera entrada de la puerta-AND, a través del inversor IN, por una parte, y al punto de unión de la entrada-1 del dispositivo biestable F, la salida de impulso de reloj Cco2 del Cc y una de las entradas de la puerta-AND AND3, por otra parte, y una salida cpl7, que está activada cuando el generador de impulso de reloj genera su impulso décimo séptimo y, más concretamente, con el borde trasero del mismo, para permitir que el dispositivo biestable F vuelva a su estado-0. Esta salida cpl7 está conectada a la entrada-0

del dispositivo bienestable F a través de una entrada de la puerta-OR OR4. Por una parte, la entrada i2 del Cc está conectada a la otra entrada de la puerta-OR OR4, a través del circuito de retardo DL y, por otra parte, esta

5 entrada i2 está conectada a la salida Ccol del Cc a través del dispositivo monoestable M2 y la puerta-AND, AND5. La salida-1 del dispositivo bienestable F está conectada a la entrada-T1 del dispositivo monoestable M1, por una parte, y una segunda entrada de la puerta-AND, AND4, por otra

10 parte. Las entradas i3 e i4 del Cc están conectadas a la tercera entrada de esta puerta-AND, AND4, a través de la puerta-OR, OR3. La salida de esta AND4 está conectada a la salida de escritura wo del Cc. La salida-0 del dispositivo monoestable M1 está conectada a la otra entrada de la puerta-AND AND3, cuya salida está conectada

15 a las salidas de avance stol, sto3, sto2 del Cc, la última de ellas, a través de una de las entradas de la puerta-OR OR2. La otra entrada de esta OR2 está conectada a la entrada i4 del Cc a través del dispositivo monoestable M3.

20

Un primer impulso de reloj enviado por el generador de impulso de reloj CP17, se aplica a la entrada de impulso de reloj del flip-flop J-K B (fig 1) a través de la salida Cco2 del Cc, pero se impide que llegue

25 a las salidas de avance stol, sto2, sto3, ya que se inhibe la puerta-AND AND3 a través del dispositivo monoestable M1, cuya salida-0 está cerrada debido a que su entrada-T1 está activada por el dispositivo bienestable F, ahora en su estado-1. Debido a esto la puerta-AND AND4

30 se activa, pero la salida de escritura wo se activa durante

la ausencia de un impulso de reloj, solamente cuando se detecta una inadaptación o cuando se realiza una operación de reserva. La salida de escritura w_0 se desactiva durante la presencia de un impulso de reloj para impedir los efectos de un fenómeno transitorio. Ahora puede llegar un segundo impulso de reloj a las salidas de avance sto_1 , sto_2 y sto_3 , ya que, en el entretiempo, el dispositivo monoestable M_1 ha vuelto a su condición de reposo, por lo que se activa su salida-0.

A la llegada del impulso décimo séptimo y, más concretamente, con el borde trasero del mismo, el dispositivo biestable F pasa a su estado-0, inhibiendo así la salida de escritura w_0 , a través de la puerta-AND AND_4 , que ahora está desactivada, de tal modo que una detección de inadaptación ni las operaciones de reserva, pueden registrarse en la memoria intermedia ME .

Cuando se direcciona una última fila de la memoria ME (fig. 1), se activa la entrada i_2 , pero se desactiva la salida de escritura w_0 , solamente un poco después como consecuencia, debido a que el dispositivo biestable F está en su condición-0 a través del circuito de retardo DL y la puerta-OR OR_4 . Sin embargo, la salida $Ccol$ está activada solamente un intervalo de tiempo T_2 después del momento de activación de la entrada i_2 . El tiempo de retardo anterior es necesario para permitir que una última palabra de información registrada en la REG_1 , sea almacenada en la memoria ME (fig 1).

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limita-

ción de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Holanda el día 7 de Febrero de 1.974 señalada con el número 74 01673 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de la presente patente de veinte años son:

1.- Un sistema de proceso de datos que incluye una unidad que funciona automáticamente, la cual comprende un circuito de control para controlar el funcionamiento de la mencionada unidad que funciona automáticamente, una matriz de punto de prueba con diferentes puntos de prueba del sistema, elementos de memoria para almacenar las condiciones de dichos puntos de prueba, un explorador para realizar la exploración de dichos puntos de prueba a fin de detectar las condiciones reales de los mismos, elementos para sustituir en dichos elementos de memoria las condiciones presentes por las condiciones anteriores de dichos puntos de prueba obtenidas por una operación de exploración previa, elementos de comparador para comparar dichas condiciones presentes y anteriores en cada operación de exploración y como consecuencia detectar las condiciones de los puntos de prueba anteriores caracterizado porque dichos elementos de sustitución están preparados para recoger en serie las condiciones previas de los puntos de prueba a partir de los elementos de memoria en un orden preseleccionado y almacenar en

serie las condiciones presentes de los puntos de prueba en los elementos de memoria en el mismo orden predefinido.

2.- Un sistema de proceso de datos, según el punto 1, caracterizado porque el elemento de memoria es una línea de retardo, por ejemplo, un registro de conversión (SR16), que tiene una entrada de datos (IN) a través de la cual entran sucesivamente las condiciones presentes de los puntos de prueba, y una salida de datos (OUT) a través de la cual pueden recogerse dichas condiciones. Estos elementos de comparador (EO) están acoplados entre la entrada de datos (IN) y la salida de datos (OUT) de la mencionada línea de retardo (SR16), respectivamente.

3.- Un sistema de proceso de datos, según el punto 1, caracterizado porque la unidad de funcionamiento automático (AU) incluye una memoria intermedia (ME) y puede almacenar, en dicha memoria intermedia, para un número predeterminado de puntos de prueba, las condiciones de los que han cambiado una palabra, comprendiendo la dirección del punto de prueba y otra información que incluye la condición de dicho punto de prueba. Dicho sistema también incluye un computador (CRU) acoplado a la unidad de funcionamiento automático, que puede comenzar el funcionamiento del explorador a través del mencionado circuito de control (cc) después de haberse realizado cada operación de exploración, para leer la memoria intermedia ME y procesar las palabras leídas.

4.- Un sistema de proceso de datos, según los puntos 2 y 3, caracterizado porque el elemento comparador es una puerta exclusiva OR (EO), cuyas dos entradas están

acopladas a la entrada de datos (IN) y a la salida de datos (OUT) de la línea de retardo, respectivamente, la salida de la mencionada puerta-OR exclusiva está acoplada al mencionado circuito de control, lo que permite que una palabra se almacene en la mencionada memoria intermedia cuando se activa la salida de la mencionada puerta-OR exclusiva, esto es, cuando las condiciones presentes y anteriores de los puntos de prueba son diferentes.

5.- Un sistema para proceso de datos, según los puntos 2 y 3, caracterizado porque incluye además, elementos puerta (AND1) acoplado entre la salida de datos (OUT) y la entrada de datos (IN) de la línea de retardo (SR16) que puede ser controlado por el circuito de control, de tal manera que la entrada y la salida de datos están interconectados y, en consecuencia, toda la información almacenada en la línea de retardo pasa de nuevo a través de la misma, después de haberse completado el último llenado de palabras de dicha memoria (ME).

6.- Un sistema de proceso de datos, según el punto 3, caracterizado porque dicha memoria intermedia (ME) está asociada con un contador arriba-abajo (UDC) empleado para dirigir dicha memoria intermedia (ME), y porque dicho contador avanza un paso arriba o abajo, cada vez que una palabra tiene que ser almacenada en la memoria intermedia (ME), o cada vez que dicha palabra se lee por el computador, respectivamente.

7.- Un sistema de proceso de datos, según el punto 2, caracterizado porque incluye un multiplexor (MUX) con sus entradas acopladas a la matriz de puntos de prueba (TPM), y una salida (mo) acoplada a la entra-

da de datos del registro de conversión. Dicho multiple-
xor proporciona sucesivamente, durante la operación de
exploración, los estados de los puntos de prueba explo-
rados, en su salida (mo).

5 8.-Un sistema de proceso de datos, según el
punto 3, caracterizado porque la unidad de funciona-
miento automático (AU) también puede almacenar en la
memoria intermedia durante cada operación de explora-
ción de los puntos de prueba de la matriz de puntos de
10 prueba, una palabra referente a uno de los mencionados
puntos.

 9.- Un sistema de proceso de datos, según
el punto 8, caracterizado porque la unidad de funciona-
miento automático (AU) incluye un primer contador (ACT)
15 y un segundo contador (HCT) que avanzan simultáneamen-
te cada vez que se explora un punto de prueba. El pri-
mer contador ACT se utiliza para formar las direcciones
de los puntos de prueba de las palabras, y el segundo
20 contador, cuando se lee una posición predeterminada, per-
mite el almacenaje, en la memoria intermedia, de la di-
rección formada en el primer contador.

 10.- Un sistema de proceso de datos, según
el punto 9, caracterizado porque, cuando el computador
25 lee la memoria intermedia después de cada operación de
exploración, el segundo contador (HCT) avanza un paso,
independientemente del primer contador cada vez que
el segundo contador alcanza su posición predeterminada,
sea diferente para las sucesivas operaciones de exploración.

30 11.- Un sistema de proceso de datos, según

el punto 5, caracterizado porque dicho circuito de control puede impedir que se almacenen palabras en la memoria intermedia ME, cuando ésta está completamente llena.

5

12.- Un sistema de proceso de datos.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

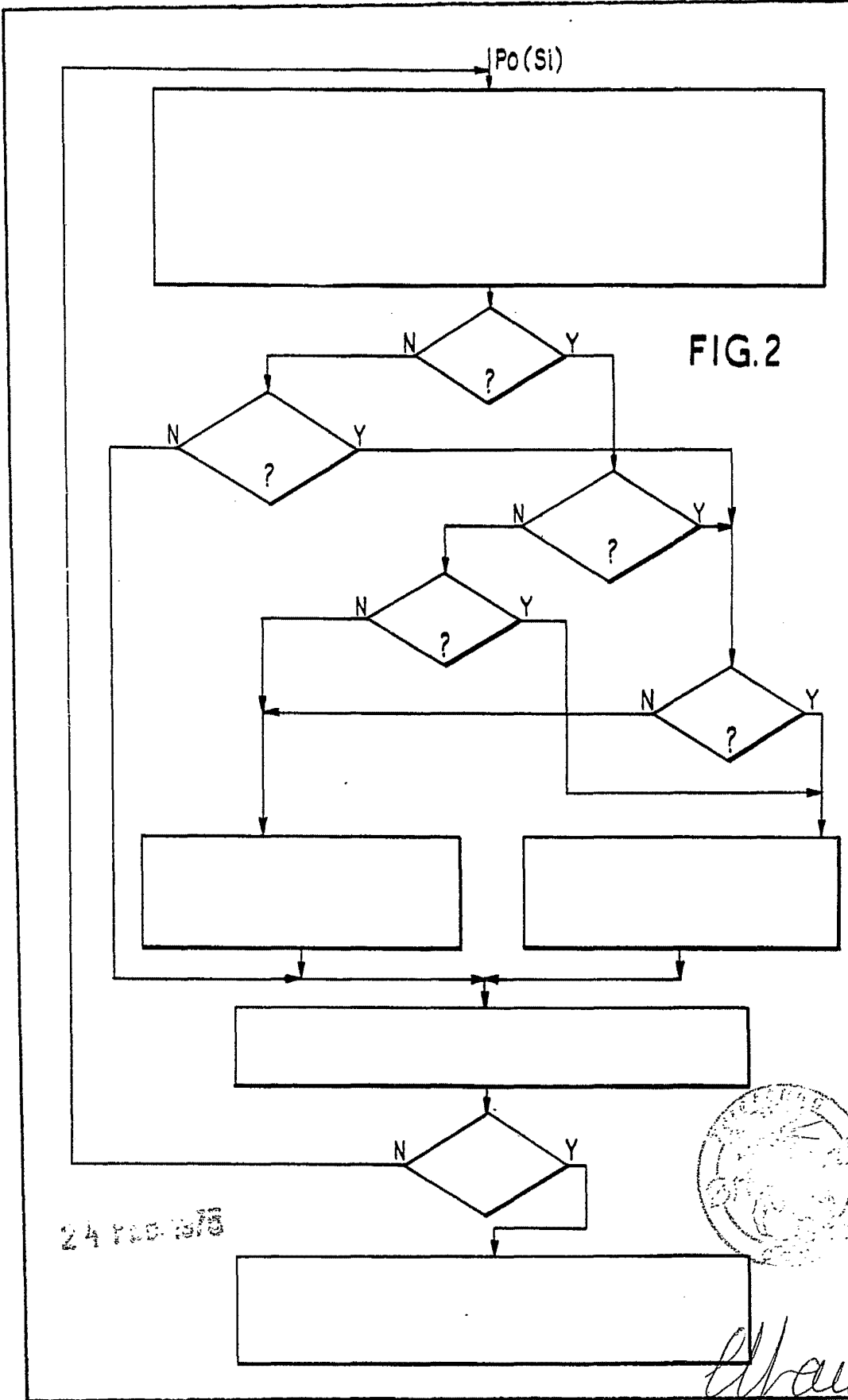
10

Esta memoria consta de 34 hojas escritas por una sola cara.

Madrid, 7 FEB. 1975.



Eugenio Barroso
EUGENIO BARROSO
Secretario General

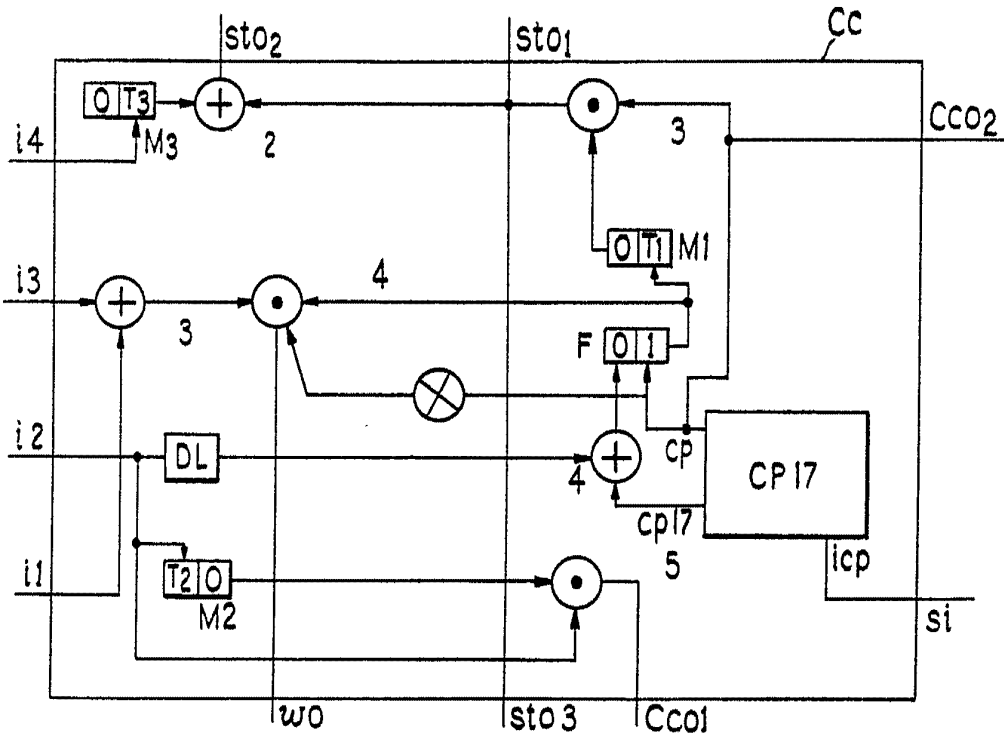


24 Feb 1978



Chau

FIG.3



4-175

Chaves
ESTADO DE SÃO PAULO
CAMPINAS, SP