

434288

PATENTE DE INVENCION

RCA 62517

Int. Cl.: H04N

## Memoria Descriptiva

sobre:

Perfeccionamientos en sistemas de sincronización de desviación.

.....

*Solicitante:* RCA CORPORATION, entidad norteamericana, residente en 30 Rockefeller Plaza, New York, N.Y. 10020, EE.UU. de A.

.....

Este invento se refiere a sistemas de sincronización de desviación.

Un problema común asociado con la recepción de señales de televisión es que una señal de televisión está sujeta a degradación de varias fuentes de

5.

BAD ORIGINAL

ruido. Las fuentes de ruido que causan un mal funcionamiento del sistema de sincronización de desviación vertical del receptor de televisión son una de las muchas formas de interferencias perturbadoras que el telespectador puede experimentar.

5. El fenómeno conocido comúnmente como "inestabilidad" o "bamboleo" de la imagen del cinescopio se producen frecuentemente por ruido que excita el sistema de sincronización de desviación vertical.

10. Un tipo de ruido de particular preocupación para poder eliminar la inestabilidad o bamboleo son los parásitos de corta duración, o sea, ruido que se caracteriza por uno o más impulsos de corta duración. Los impulsos pueden ser de la misma polaridad que la señal de sincronización de desviación vertical. Tales impulsos se conocen frecuentemente como parásitos de corta duración de "dirección al negro". Si los impulsos son de polaridad opuesta a la señal de sincronización de desviación vertical, se conocen como parásitos de corta duración de "dirección al blanco".

15. El parásito de corta duración tiene lugar frecuentemente en lo que se conoce como "dobletes" de ruido. Estos "dobletes" de ruido consisten en un impulso de hiperamplitud parásito de dirección al negro seguido por un impulso de hiperamplitud de dirección al blanco o un impulso de hiperamplitud de dirección al blanco seguido por un impulso de hiperamplitud de dirección al negro. El parásito de corta duración puede tener varias fuentes de origen pero una de las más comunes es el ruido de motores eléctricos. El ruido de motores eléctricos se puede introducir en el receptor de los aparatos electrodomésticos normales como puede ser una afeitadora eléctrica o una batidora.
- 20.
- 25.
- 30.

- No obstante, cualquiera que sea su fuente, estos parásitos de corta duración pueden perturbar el funcionamiento del sistema de desviación vertical. Los parásitos de corta duración de dirección al negro puede introducirse en el sistema de sincronización de desviación vertical y causar excitación parásita de la circuitería de desviación vertical. Los parásitos de corta duración de dirección al blanco que tiene lugar en la señal de sincronización vertical puede eliminar completamente la señal de sincronización vertical y hacer que el sistema se desincronice. La señal de sincronización vertical transmitida que controla el funcionamiento del sistema de desviación vertical en ausencia de ruido tiene lugar una vez durante cada exploración vertical o ciclo de desviación vertical. En el sistema de televisión empleado en los EE.UU., los ciclos de exploración vertical se generan a un ritmo de aproximadamente 60 Hz. Muchos receptores de televisión que se fabrican actualmente emplean circuitería clásica de filtro de paso bajo en la circuitería de utilización de la señal de sincronización en un intento de aislar las circuiterías de sincronización de desviación vertical de parásitos de corta duración para evitar interferencias con la sincronización de desviación vertical por parásitos de corta duración.
- 5.
- 10.
- 15.
- 20.

- No obstante, como los parásitos de corta duración se puede generar a la frecuencia del voltaje de línea o algún múltiplo de la misma por motores de corriente alterna en el hogar según se ha explicado anteriormente. Los filtros clásicos pueden dejar que algunos componentes de frecuencia de los parásitos de corta duración pasen a la circuitería de sincronización vertical de la misma manera que la señal de sincronización vertical auténtica.
- 25.

30. Algunos métodos más complicados para solucionar el pro



duración de tiempo apropiada en un intervalo de tiempo pronosticado para considerarse como una información de sincronización vertical válida. Si la señal externa no cumpliera con la duración de tiempo apropiada y el criterio de intervalo de tiempo pronosticado, el sistema buscaría una señal que cumpliera con el criterio de duración de tiempo apropiado y las señales de sincronización generada internamente en el sistema y de intervalo de predicción sería sincronizada por dicha señal.

De acuerdo con el presente invento, un sistema de sincronización comprende una fuente de señales de sincronización externa y medios de contaje con reposición destinados a contar señales de una fuente de segundas señales relacionadas integralmente en frecuencia con dichas señales externas, para generar señales internas en sincronismo con las señales de sincronización externa, reponiéndose los medios de contaje con reposición por las señales generadas internamente y por señales generadas por el sistema de sincronización cuando las señales internas no están virtualmente en sincronismo con las señales de sincronización externa. Un dispositivo de verificación de la señal de sincronización externa, acoplado a la fuente de señales de sincronización externas, y a los medios de contaje con reposición, verifica la presencia o ausencia de señales de sincronización externa durante las señales internas y genera un primer y un segundo niveles de señal en respuesta a la verificación de la presencia y ausencia, respectivamente, de las señales de sincronización externas. El dispositivo detector de señales de sincronización externas, acoplado a la fuente de señales de sincronización externas, detecta cuándo las señales de la fuente de señales de sincronización externa tiene por lo menos una duración de tiempo predeterminado y genera

- señales en respuesta a la detección de señales que tiene por lo menos esta duración de tiempo predeterminado. Un dispositivo de conmutación de modo se acopla al dispositivo contador con reposición, al dispositivo detector de señales de sincronización externas y al dispositivo de verificación de las señales de sincronización externas, para conmutar o cambiar a un modo sincrónico de funcionamiento o aún modo asincrónico en respuesta al primer o segundo niveles de señal generados respectivamente por el dispositivo de verificación de las señales de sincronización externas. El cambio a un modo asincrónico pone en condiciones el dispositivo de conmutación de modos para poner una señal desde el dispositivo detector de señales de sincronización externa al aparecer una señal ulterior desde la fuente de señales de sincronización externas para reponer el dispositivo contador reponible y conmutar la sincronización de las señales internas de forma que las señales internas sucesivas estén virtualmente en sincronismo con señales ulteriores procedentes de la fuente de señales de sincronización externas.
5. El invento se comprenderá mejor por la descripción que sigue y los dibujos adjuntos, en los que:
10. La figura 1 es un diagrama de conjuntos de un receptor de televisión que incorpora una modalidad de preferencia del presente invento.
15. La figura 2 es un diagrama de conjuntos más detallados de la modalidad de preferencia ilustrada en la figura 1; la figura 3 es un diagrama esquemático de una parte de la modalidad ilustrada en las figuras 1 y 2.
20. En un receptor de televisión ilustrado en la figura 1 las señales de televisión compuestas recibidas en una antena 10 se elaboran en un complemento de circuitos de recepción
- 25.
- 30.

5. y elaboración de la señal de televisión 12, de tipo normal, que comprende un sintonizador y amplificador de RF, un video-detector, un amplificador de I.F., un audiodetector, audioamplificador y altavoz un videoamplificador y, en un receptor de televisión en color, un circuito de crominancia y una circuitería de control de crominancia.

10. Los terminales de salida de los circuitos receptor y elaborador de la señal de televisión 12 se acoplan a una o más rejillas representadas por una rejilla 26 y una o más cátodos representados por un cátodo 24 de un cinescopio 22. Otro terminal de salida de los circuitos de recepción y elaboración de televisión 12, se acopla a un separador de sincronización 14 que separa la información compuesta de sincronización vertical y horizontal de la señal de video compuesta.

15. El separador de sincronización 14 se acopla a un terminal de entrada de un circuito de oscilador horizontal y de control automático de frecuencia y fase (AFPC) 16. Las señales de sincronización horizontal acopladas desde el separador de sincronización 14 al circuito de oscilador horizontal y AFPC 16 hace que el circuito 16 oscila en sincronismo con las señales de sincronización horizontal recibidas. Estas oscilaciones, a su vez, sincronizan el funcionamiento de una etapa de desviación horizontal y alto voltaje 18 a la que se acopla el circuito de oscilador horizontal y AFPC 16.

20. Las ondas de corriente en dientes de sierra de desviación horizontal sincronizadas, generadas en la etapa de desviación horizontal y alto voltaje 18, se acoplan por terminales X-X a las bobinas de desviación horizontal 20 para desviar el haz electrónico generado en el cátodo 24 del cines

25.

30.

5. copio 22 a través de la placa frontal o pantalla del cinescopio en la dirección horizontal. Un circuito generador de alto voltaje en el circuito de desviación horizontal y alto voltaje 18 suministra alto voltaje a un terminal de alto voltaje 28 del cinescopio 22. El voltaje en diente de sierra representativo de las ondas de corriente en dientes de sierra de desviación horizontal generadas en el circuito 18 se acopla al circuito de oscilador horizontal y AFPC 16 para asegurar que la frecuencia y fase de las señales de corriente en dientes de sierra generadas en el circuito 18 sean iguales que  
10. la frecuencia y fase de aquellas señales generadas por las señales de sincronización horizontal recibidas en el circuito de oscilador horizontal y AFPC 16.

15. El separador de sincronización 14 se acopla también a través de un terminal A a un sistema de sincronización vertical de modo dual 100. El circuito de oscilador horizontal y AFPC 16 se acopla a través del terminal B al sistema de sincronización vertical de modo dual 100. Un terminal de salida C del sistema de sincronización vertical de modo dual 100 se  
20. acopla a un generador de desviación vertical y amplificador 30. Los terminales de salida Y-Y del circuito de desviación vertical 30 se acoplan a un par de bobinas de desviación vertical 19 del cinescopio 22.

25. El sistema de sincronización vertical de modo dual 100 comprende un detector de verificación de sincronización vertical 60 y un detector de sincronización vertical 70, cada uno de los cuales tienen terminales de entrada acoplados al separador de sincronización 14 a través del terminal A. Un generador de sincronización interna e intervalos de predicción  
30. 50 del sistema de sincronización vertical de modo dual 100 tiene un terminal de entrada acoplado a través del punto B a

un terminal de salida del circuito de oscilador horizontal y AFPC 16.

5. Un terminal de salida del generador de sincronización interna e intervalo de predicción 50 se acopla a un terminal de entrada del detector de verificación de sincronización vertical 60. Otro terminal de salida del generador de sincronización interna y intervalo de predicción 50 se acopla a través del terminal C al circuito generador de desviación vertical y amplificador 30. Los terminales de salida del detector de verificación de sincronización vertical 60 y el detector de sincronización vertical 70 se acoplan a dos terminales de entrada de un conmutador de modos 80. Un terminal de salida del conmutador de modos 80 se acopla a otro terminal de entrada del generador de sincronización interna e intervalo de predicción 50, las señales de sincronización vertical 32 se acoplan desde el separador de sincronización 14 al detector de verificación de sincronización vertical 60 y el detector de sincronización vertical 70.

10. Los impulsos de cronometración 37 que, en esta modalidad del invento, tienen lugar a la frecuencia de impulsos de igualación que es doble a la frecuencia de impulsos de sincronización horizontal (que es de aproximadamente 15,734 KHZ en el sistema de televisión que es norma en los EE.UU.) se generan en el circuito de oscilador horizontal y AFPC 16 y se acoplan al generador de sincronización interna e intervalo de predicción 50. Estos impulsos de frecuencia de cronometración pueden suministrarse también al detector de sincronización vertical 70 para sincronizar su funcionamiento si se desea. Dicho dispositivo se ilustra en la figura 2 y se describirá más adelante.

15.

20.

25.

30.

5. Cuando hay muy poco o ningún ruido presente en la señal de sincronización vertical 32, es identificable por el detector de verificación de sincronización vertical 60 y el detector de sincronización vertical 70. Cuando el receptor de la figura 1 se conecta inicialmente, el detector de verificación de sincronización vertical 60 pone en condiciones el conmutador de modos 80 para poner el sistema en su modo de búsqueda y el detector de sincronización vertical 70, comienza a buscar una señal con longitudes de tiempo suficiente para considerarse como sincronización vertical válida. Una vez que se encuentra dicha señal, el detector de sincronización vertical 70 pasa una señal a través del conmutador de modos 80 al generador de sincronización interna y de intervalo de predicción 50 para sincronizar su sincronización generada internamente con la sincronización externa detectada.

10.

15.

Desde el momento en que se detecta la sincronización vertical en el terminal A y el circuito 50 se sincroniza con la sincronización detectada, en tanto que el detector de verificación de sincronización vertical 60 continúe verificando la presencia en el terminal A de una señal con una duración de tiempo y amplitud predeterminadas, por lo menos, en un intervalo de tiempo pronosticado, el conmutador de modos 80 no pasa señales al generador de sincronización interna e intervalos de predicción 50. Esto constituye el modo en sincronismo del sistema 100 y significa que la sincronización vertical se está encontrando continuamente en el intervalo de tiempo en que el generador 50 predice que debe encontrarse, por lo tanto, no hay necesidad de poner al corriente la sincronización generada internamente y el intervalo de predicción que está produciendo el circuito 50.

20.

25.

30.

No obstante, cuando el canal en que está sintonizado el receptor de la figura 1, cambia es probable que la sincronización vertical no aparezca en este intervalo pronosticado. De un modo similar, si el ruido de dirección negativa, incluyendo parásitos de corta duración de las fuentes mencionadas anteriormente, elimina la señal de sincronización vertical 32 o reduce su amplitud por debajo de un nivel mínimo, el detector de verificación de sincronización vertical 60 detecta la ausencia de sincronización en el intervalo pronosticado. Un nivel de señal resultante en un terminal de salida del detector de verificación de sincronización vertical 60 pone en condiciones el interruptor de modos 80 para el paso de una señal desde el detector de sincronización vertical 70 hasta el generador de sincronización interna 50 para volver a sincronizarlo cuando el detector de sincronización vertical 70 detecte una señal en el terminal A que tiene una característica de longitud mayor igual que la sincronización vertical transmitida.

Durante el intervalo en que la sincronización vertical está ausente del terminal A, la desviación vertical del receptor continua sincronizándose por las señales procedentes del generador de sincronización interna e intervalo de predicción 50. Así, si la señal de sincronización vertical se ha eliminado a su amplitud se ha reducido por debajo de un cierto nivel predeterminado por ruido de dirección negativa en la sincronización vertical o por alguna otra razón, la imagen del cinescopio continuará sincronizada correctamente por acción del circuito 50.

Si la ausencia de sincronización suficiente del intervalo de predicción se ha producido al cambiar de canal, una señal recibida anteriormente en la frecuencia del nuevo canal

que tiene la característica de longitud de la señal de sincronización vertical excitará una señal de salida procedente del detector de sincronización vertical 70. Esta señal de salida pasará a través del conmutador de modos 80 en virtud del nivel de señal activadora generada en el detector de verificación de sincronización vertical 60 cuando se detecte por primera vez la ausencia de sincronización vertical.

El sistema de sincronización de modo dual 100 genera de éste modo sus propias señales de sincronización vertical internas exentas de ruido que sincroniza con la sincronización vertical recibida verificando la presencia de una señal que tiene un producto suficiente de duración de tiempo y amplitud dentro del intervalo en que se genera la sincronización vertical interna. Si dicha señal está presente, la sincronización vertical interna del sistema no se vuelve a sincronizar con la señal recibida. Si dicha señal está ausente, el sistema se pone así mismo en condiciones de buscar la señal siguiente que tenga la característica de longitud de la sincronización vertical al par que mantiene su sincronización vertical interna original. Esto se realiza para permitir la sincronización vertical correcta aún cuando la sincronización vertical externa haya sido eliminada por ruido de dirección negativa o dirección al blanco.

Cuando se detecta la señal entrante siguiente con la característica de longitud de la sincronización vertical, se genera una señal de desplazamiento de sincronización o señal actualizadora y pasa al generador de sincronización interna para actualizar su funcionamiento. Actualizando la sincronización interna, el intervalo de predicción se actualiza también y el sistema predice entonces sincronización en el nuevo

intervalo de predicción.

5. Si una señal que tiene un producto de duración de tiempo y amplitud suficiente para considerarse sincronización vertical transmitida se haya en el nuevo intervalo de predicción, el sistema continua funcionando en su propio modo de sincronismo según se ha resumido en los párrafos inmediatamente anteriores. Si no se encuentra dicha señal, el sistema vuelve a su modo de falta de sincronización o modo de búsqueda según se ha descrito anteriormente.

10. La figura 2 ilustra un diagrama de conjuntos de una modalidad de preferencia del sistema de sincronización de modo dual 100 según se ilustra en la figura 1. Las señales de cronometración a aproximadamente 31,5 KHz, doble que la frecuencia de sincronización horizontal, se acoplan al terminal B. El terminal B se acopla a un terminal de entrada de un contador 51 divisor por 525. Las señales de salida de contaje de 525 se decodifican en una puerta Y 53 y se acoplan a través de un terminal de una puerta O 52 al terminal de entrada de reposición del contador 51 divisor por 525. Una segunda puerta Y 54 decodifica señales representativas de otro contaje del contador 51 divisor por 525. Esta señal de salida decodificada es de la duración necesaria y tiene lugar en el instante preciso con relación a la sincronización generada internamente para asegurar que cuando la sincronización generada internamente esté en sincronización apropiada con la señal de sincronización vertical recibida, una parte sensible de dicha señal de sincronización vertical recibida caiga dentro de la duración de la señal de salida decodificada procedente de la puerta Y 54.

30. Por ejemplo, en el sistema ilustrado, un contador 51

- es un contador normal divisor por 525 compuesto por diez basculadores excitados acoplados en serie. Las señales de entrada de decodificación a la puerta Y 53 son las señales de salida del primer, tercer, cuarto y décimo basculadores. Las señales de entrada de decodificación procedentes de la puerta Y 54 son las señales de salida del cuarto y décimo basculadores que dan un impulso de predicción de 2,5 periodos de impulsos de sincronización horizontal de anchura durante los cinco últimos contajes antes de la reposición de cada serie de 525 impulsos contados por el contador 51 divisor por 525. Una señal de salida procedente del sistema de sincronización vertical de modo dual 100 en el terminal C es la señal de salida del décimo basculador, un impulso de 6,5 periodos de impulsos de sincronización horizontal entre el contaje 512 de cada serie de 525 impulsos y el contaje de reposición 525 del contador 51 divisor por 525.

Se verá por lo expuesto que los conjuntos 51, 52, 53 y 54 funcionan como el generador de sincronización interna y de intervalo de predicción 50 de la figura 1.

- El terminal B se acopla también a un terminal de entrada de un contador 72 divisor por 6 para proporcionar señales al doble de la frecuencia de sincronización horizontal para contaje. Las señales de salida se acoplan desde el contador 72 a una puerta Y 73 para decodificar el sexto contaje del contador 72. Un terminal de salida de la puerta Y 73 se acopla a un terminal de entrada de una puerta O 71, cuyo terminal de salida se acopla al terminal de entrada de reposición del contador 72 divisor por 6. El contador 72 divisor por 6 puede construirse de tres basculadores acoplados en serie, acoplándose los terminales de salida del segundo y tercer basculadores a los terminales de entrada de la puerta Y 73.

De esta manera, el sexto contaje del contador 72, producirá una señal de reposición en un terminal de salida de la puerta Y 73 que repondrá el contador 72 a través de la puerta O 71.

5. La sincronización vertical en el terminal A se acopla a un terminal de entrada inversor de la puerta O 71. Se observará que cuando no aparece señal presente en el terminal A la señal de entrada invertida en el terminal de entrada de la puerta O 71 repondrá continuamente el contador 72 divisor por 6. De éste modo se verá que solamente en presencia de una señal de por lo menos 6 contajes de longitud (3 periodos de la señal de sincronización horizontal) en el terminal A, habrá cualquier señal de salida decodificada en el terminal de salida de la puerta Y 73 para reponer en contador 72 a través de la puerta O 71.

10. Así, el conjunto 70 que comprende los elementos 71, 72 y 73 sirve para determinar si una señal recibida en el terminal A tiene por lo menos la duración de tiempo de la señal de sincronización vertical. Si una señal de ruido con la duración de tiempo de la sincronización vertical es improbable, el conjunto 70 funciona como un detector de sincronización vertical.

15. El terminal A se acopla también a un terminal de entrada de la línea de retardo 63 y un terminal de entrada de una puerta Y 64. Un terminal de salida de la línea de retardo 63 se acopla a un segundo terminal de entrada de la puerta Y 64. El bloque 61 que comprende los elementos 63 y 64, se llama "eliminador de impulsos cortos" o "eliminador de señales parásitas". Elimina impulsos o parte de los mismos que aparecen en el terminal A que tienen una duración de tiempo menor o igual que el tiempo de retardo de la línea de retardo.

63. Es útil eliminar gran parte de los parásitos de corta duración que se puede generar en la señal de sincronización vertical.

5. Por ejemplo, si el tiempo de la línea de retardo es de 4 microsegundos, la señal de salida de la puerta Y 64 será la sincronización vertical en el terminal A menos todos los impulsos de 4 microsegundos o de duración más corta que eliminarán parásitos de corta duración de dirección al negro de cuatro microsegundos o de más corta duración y eliminarán 10. cuatro microsegundos del frente delantero de cualquier impulso de duración más larga y la señal de sincronización vertical 32. El frente delantero delante de la señal de sincronización vertical 32 no afectará virtualmente al funcionamiento del sistema, porque la sensibilidad del sistema puede ajustarse para compensar la energía perdida. 15.

Las señales de intervalo de predicción se acoplan desde un terminal de salida de una puerta Y 54 hasta un terminal de entrada de un circuito compensador 81 y a un terminal de entrada de una puerta Y 62. Un terminal de salida de la puerta Y 64 se acopla a través de un terminal de entrada inversor a una puerta Y 62. Se observará que la puerta Y 62 genera una señal de salida durante la señal de intervalo de predicción en el terminal de salida de la puerta Y 54, solamente cuando no hay señal presente en el terminal de salida 20. de la puerta Y 64. Por lo tanto, el "eliminador de señales parásitas" 61 y la puerta Y 62 funcionan como un dispositivo para detectar cuando la sincronización vertical está ausente del terminal A durante el intervalo de predicción. 25.

Un terminal de salida del circuito compensador 81 se acopla a un terminal de entrada " + " de un circuito de 30.

5. sustracción 82. Un terminal de salida de la puerta Y 62 se acopla al terminal de entrada " - " del circuito de sustracción 82. Un terminal de salida del circuito de sustracción 82 se acopla a un terminal de entrada de un circuito integrador 83, cuyo terminal de salida se acopla a un terminal de entrada de un comparador 85. Otro terminal de entrada del comparador 85 se acopla a una fuente de voltaje de referencia de corriente continua 84. Un terminal de salida del comparador 85 se acopla a un terminal de entrada de un circuito puerta 86. Un terminal de entrada de manipulación del circuito puerta 86 se acopla a un terminal C para transmitir información del comparador 85 a través del circuito puerta 86 solamente cuando existe señal presente en el terminal O. Esta información de salida transmitida se acopla a un terminal de entrada de una
10. puerta Y 88. El basculador de memoria de modo 87 se acopla también a la puerta Y 53 y se coloca periódicamente por las señales de salida del mismo al final de intervalo de predicción.
15. Un terminal de salida de la puerta Y 73 en el detector de sincronización vertical 70 se acopla a otro terminal de entrada de la puerta Y 88. Las señales de salida de la puerta Y 88 se acoplan a la puerta O 52 en el circuito de reposición del contador 51 divisor por 525.
20. El circuito compensador 81 modifica la amplitud de la señal del intervalo de predicción para ajustar el nivel umbral contra el cual se compara una señal de ausencia de sincronización vertical en el terminal de salida de la puerta Y 62. El circuito compensador 81 controla por lo tanto el producto duración de tiempo-amplitud durante el intervalo de predicción contra el cual cualquier señal que aparece en el ter-
25. 30.

terminal A se debe comparar favorablemente para poderse considerar sincronización vertical válida.

5. Cuando una señal de intervalo de presión está presente en los terminales de entrada de circuito comparador 81 y la puerta Y 62 y no hay presente sincronización vertical en el terminal A, el terminal de salida de la puerta Y 62 tiene un voltaje positivo que es superior al valor umbral producido por el circuito compensador 81 en el terminal de entrada positivo del circuito de sustracción 82 y la sustracción e integración realizada sobre las señales de intervalo de producción compensadas y las señales de salida de la puerta Y 62 da por resultado en el terminal de salida del integrador 83 un voltaje negativo con respecto al voltaje de referencia alimentado por el suministro de referencia 84 al comparador 85. Cuando
10. la señal de intervalo de predicción está presente y ni una cierta cantidad umbral de la señal de sincronización vertical se encuentra presente en el terminal A durante el intervalo de precisión, la señal de salida de la puerta Y 62 y la señal de intervalo de predicción compensada tienen exactamente las mismas áreas bajo sus curvas de producto de duración de tiempo-amplitud y la sustracción e integración de los circuitos 82 y 83 da por resultado un voltaje cero neto con respecto al voltaje de referencia que se alimenta desde la fuente de referencia 84. Cuando la señal de intervalo de predicción es
15. tápresente y ni una cantidad superior a la umbral de la señal de sincronización vertical aparece en el terminal A, la señal de salida de la puerta Y 62 tiene un menor producto de duración de tiempo-amplitud que la salida de señal del intervalo de predicción compensado del circuito 81 y el proceso de sustracción e integración realizado por los circuitos 82
20. y 83 da por resultado un voltaje positivo neto con respecto
- 25.
- 30.

al nivel de referencia.

5. El comparador 85 compara el resultado del proceso de sustracción e integración realizado durante el intervalo de predicción en el circuito 82 y 83 por el voltaje de referencia alimentado desde el circuito 84. Cuando el resultado de la sustracción e integración es negativo con respecto al voltaje de referencia, habrá una cantidad menor que la umbral de información de sincronización vertical, v.g., área bajo la curva de la señal, presente en el terminal A durante el intervalo de predicción.

10. Por lo tanto, la comparación produce aproximadamente una condición de voltaje cero en un terminal de salida del comparador 85 que es interrogado una vez cada exploración vertical al final del intervalo de predicción por la acción de la señal acoplada desde el terminal C hasta un terminal de entrada del circuito puerta 86. Durante la interrogación del comparador 85, el basculador de memoria de modos 87 se coloca en un estado "temporalmente fuera de sincronización" por la señal acoplada desde el terminal de salida y la puerta Y 53. Como existe un voltaje positivo insuficiente en el terminal de salida del circuito puerta 86 para reponer el basculador 87 a un estado en sincronización, el basculador 87 permanece fuera de sincronización cuya condición se caracteriza por una señal de voltaje positivo en su terminal de salida.

20. Esta señal pone en condiciones la puerta Y 88 para pasar una señal generada en el terminal de salida de la puerta Y 73 cuando la señal siguiente se detecta en el terminal A que tiene por lo menos la característica de longitud de la sincronización vertical. La señal generada pasa desde el terminal de salida de la puerta Y 73 a través de la puerta Y 88 y la puerta O 52, a la que se acopla la puerta Y 88,

para reponer el contador 51 divisor por 525 al nuevo intervalo de sincronización vertical recibido, cuyo final está representado por el impulso generado en el terminal de salida de la puerta Y 73.

5. El contador 51 comienza a contar este intervalo, produciendo el impulso de sincronización interna entre sus contajes 512 y 525 en el terminal C y el impulso de predicción de la señal de sincronización vertical esperada siguiente entre sus contajes 520 y 525 en el terminal de salida de la puerta Y 54.

10. Si hay presente una señal en el terminal A que tiene un área suficiente durante el intervalo de predicción para producir un voltaje positivo neto cuando la señal de salida de la puerta Y 62 se resta de la señal de intervalo de predicción compensada en el circuito de sustracción 82 y el resultado se integra en el integrador 83, el sistema interpretará la presencia de dicha señal en el terminal A como presencia de sincronización vertical o un estado de sincronización. En dicha situación, la señal de salida del comparador 85, cuando es interrogado por la puerta 86, será suficiente para reponer el basculador de memoria de modos 87 que se ha colocado en el estado de posición temporal por la señal en el terminal de salida de la puerta Y 53. La puerta Y 88 volverá de éste modo, a un estado desactivado.

25. Por esta explicación, se verá que los valores del factor compensado determinado por el circuito compensador 81 y el voltaje de referencia de corriente continua atribuible al circuito de referencia 84, determinan el valor umbral de la información de sincronización vertical presente en el terminal A al sistema de conmutación 100 desde el modo en sincro-
- 30.

nización hasta el modo fuera de sincronización o de búsqueda. El factor compensador y el voltaje de referencia se pueden ajustar de forma que el sistema no busque sincronización hasta que la señal de entrada en el terminal A durante el intervalo de predicción sea de corta duración. Dicho ajuste pueda ser conveniente en zonas donde la recepción de la señal de televisión sea muy ruidosa y gran parte de la señal de sincronización vertical pueda ser eliminada por ruido.

5.

10.

15.

20.

De un modo similar, el intervalo de conteo del contador 72 podría ajustarse simplemente decodificando una cantidad diferente a la puerta Y 73. Por ejemplo, en una zona donde la recepción tiene normalmente gran cantidad de ruido, sería conveniente ajustar el contador 72 para pasar un impulso de reposición a la puerta O 71 y la puerta Y 88 después que el contador 72 ha efectuado 5 conteos en lugar de los 6 indicados. Esto podría realizarse en el sistema presente acoplando los terminales de salida del primer y tercer basculador del contador 72 a los terminales de entrada de la puerta Y 73 en lugar de hacerlos a los terminales de salida del segundo y tercer basculadores según se ha explicado anteriormente.

25.

De éste modo, el contador 72 pasaría a ser un contador divisor por 5 y permitiría pasar una señal de reposición después de la ausencia de sincronización detectada en el terminal A cuando la señal siguiente que apareciera en el terminal A tuviera una longitud de menos de 5 periodos de impulsos de cronometración o dos y medio periodos de impulsos de sincronización horizontal en longitud.

30.

En zonas particularmente ruidosas, podría ser conveniente retardar la búsqueda de una señal con longitud suficiente para considerarse sincronización vertical hasta que el

5. sistema hubiera detectado la ausencia de varios periodos sucesivos de señal de sincronización vertical. Dicha función podría realizarse mediante el sistema presente simplemente reemplazando el basculador de memoria de modos 87 por un registrador de corrimiento que corriera la información de ausencia de la señal de sincronización vertical al ritmo de la señal de intervalo de predicción.

10. Si, por ejemplo, fuera deseable inhibir la búsqueda de sincronización hasta haberse detectado la ausencia de 4 periodos sucesivos de señal de sincronización vertical, un registrador de corrimiento serial de 4 bits podría comprobar y almacenar la información de salida procedente de la puerta 86. El registrador podría correr la información a la frecuencia a la señal del intervalo de predicción, v.g., la frecuencia de exploración vertical, de aproximadamente 60 Hz. Los terminales de salida de los 4 bits acoplados en serie podría acoplarse a una puerta Y de cuatro entradas y el terminal de salida de la puerta Y podría acoplarse al terminal de entrada de la puerta Y 88 al que está acoplado actualmente el basculador de la memoria de modos 87, o un multivibrador monoestable u otra circuiteria conformadora de ondas podría acoplarse entre las dos puertas Y para conseguir el intervalo de activación de búsqueda deseado en la puerta Y 88.

15. 20. 25. La figura 3 es un diagrama esquemático de un circuito que realiza la función del circuito compensador 81, el circuito de sustracción 82, el integrador 83, fuente de referencia 84, comparador 85, circuito puerta 86, basculador de memoria de modos 87, y puerta Y 86 de la figura 2.

30. Las señales del intervalo de predicción 810 se acoplan desde la puerta 54 de la figura 2 hasta el electrodo

base de un transistor 813. El colector del transistor 813 se acopla a una fuente de suministro de voltaje de corriente continua V y su emisor se acopla a través de un resistor 811 y un resistor 812 en serie al colector de un transistor 814.

5. El emisor del transistor 814 se pone a tierra y su electrodo base se acopla al terminal de salida de la puerta 62 de la figura 2 y recibe señales de ausencia de sincronización vertical 620 desde la misma. Se observará que la señal de ausencia de sincronización vertical 620 variará dependiendo de la cantidad de la señal de sincronización vertical acoplada al terminal A de la figura 2 que está ausente durante la señal de intervalo de predicción 810. Si existe sincronización vertical en el terminal A en todo el intervalo de predicción, la señal 620 tendrá un nivel de cero en todo el intervalo de predicción. Si no hay sincronización vertical en el terminal A durante el intervalo de predicción, la señal 620 será alta en todo el intervalo de predicción y se parecerá a la señal 810.

20. La unión de los resistor 811 y 812 se acopla a un terminal de un capacitor 821, al electrodo base de un transistor 831 y a través de un resistor 830 a la base de un transistor 834. El colector del transistor 831 se acopla a la fuente de suministro de voltaje V y su emisor se acopla a la base de un transistor 832. El colector del transistor 832 se acopla a través de un resistor de carga 838 a la fuente de suministro de voltaje de corriente continua V. El colector del transistor 832 se acopla también al terminal restante del capacitor 821.

30. La base del transistor 834 se acopla también al voltaje de suministro V a través de un resistor 836 y a tierra a

5. través de un resistor 835. El colector del transistor 834 se acopla a la fuente de suministro de voltaje de corriente continua V. El emisor del transistor 834 se acopla a la base de un transistor 833, cuyo colector se acopla a través de un resistor de carga 837 a la fuente de suministro de voltaje de corriente continua V. El emisor del transistor 833 se acopla al emisor del transistor 832. Los emisores acoplados de los transistores 832 y 833 se acoplan a tierra a través de un resistor 839.

10. Se observará que la red que comprende los transistores 831, 832, 833 y 834 y sus resistores asociados es un amplificador diferencial que compara el voltaje presente en la unión de los resistores 811 y 812 con un voltaje de referencia establecida sobre la base del transistor 834 por el divisor de tensión que comprende los resistores 835 y 836. El resistor 830, que polariza la base del transistor amplificador 831 en el mismo punto de funcionamiento del transistor 834, deberá ser sensiblemente mayor que los resistores 835 y 836 para evitar acoplamiento de la señal desde la base del transistor 831 a la base del transistor 834. Los transistores 813 y 814 conducen corrientes a través de los resistores 811 y 812 respectivamente, representativos de la señal de intervalo de predicción 810 acoplada a la base del transistor 813 y la señal de sincronización vertical faltante 620 acopladas a la base del transistor 814 durante el intervalo de predicción. La relación de las resistencias de los resistores 812 y 811 es el factor compensador por el cual la amplitud de la señal de intervalo de predicción en la base del transistor 813 se multiplica. La corriente a través del punto D es la diferencia entre estas corrientes y da por resultado un voltaje a través

15.

20.

25.

30.

5. del capacitor 821 según la corriente que pasa a través del transistor 813 y el resistor 811 suministra un voltaje en la unión de los resistores 811 y 812 que es la integral de la señal 810 de la que resta la integral de la señal 620 según fluye corriente a través del resistor 812 y el transistor 814 a tierra.

10. El colector del transistor 832 se acopla también a la base del transistor 856. El colector del transistor 833 se acopla a la base de un transistor 857. Los colectores de los transistores 856 y 857 se unen y se acoplan a la fuente de suministro de voltaje de continua V. El emisor del transistor 856 se acopla al cátodo de un diodo zener 855 y el emisor del transistor 857 se acopla al cátodo de un diodo zener 855 y 854 se acoplan a las bases de un transistor 851 y un transistor 852, respectivamente. El colector del transistor 852 se acopla a la fuente de suministro del voltaje de continua V y el colector del transistor 851 se acopla a través de un resistor regulador de carga 853 a la fuente de suministro de voltaje de corriente continua V. Los emisores de ambos transistores se acoplan al colector de un transistor 864, cuyo emisor se pone en tierra. La base del transistor 864 se acopla al terminal C de las figuras 1 y 2, el terminal de salida del sistema 100. La base de un transistor 863 se acopla también al terminal C. El emisor del transistor 863 se pone a tierra y su colector se acopla a través de un resistor 861 a la fuente de suministro de voltaje de continua V. El colector del transistor 863 se acopla también a la base de un transistor 862, cuyo emisor se pone a tierra. El colector del transistor 862 se acopla al colector del transistor 851. Los colectores unidos de los transistores 851 y 862 se acoplan al cátodo del diodo zener

15.

20.

25.

30.

865.

- La configuración que comprenden los transistores 851 y 852 y el resistor de carga 853 es un circuito comparador. Los transistores 856 y 857 amplifican las señales generadas en la circuitería de sustracción e integración, transistores 5. 813, 814, 831, 832, 833 y 834 y sus componentes asociados. Los diodos zener 854 y 855 ajustan el nivel de voltaje de la señal acoplada desde los emisores de los transistores 857 y 856 respectivamente, a los transistores comparadores siguientes: 851 y 852. Los transistores 862, 863 y 864 y el diodo zener 10. 865 forman un circuito puerta que permite que el comparador se vuelva conductivo y genere la señal de voltaje de salida del comparador durante la señal del intervalo de conteo 512 a 525 acoplada a las bases de los transistores 863 y 864 desde el terminal C, el terminal de salida del sistema de sincronización 100 de las figuras 1 y 2. El ánodo del diodo 865 15. se acopla a la base de un transistor 874. El emisor del transistor 874 se acopla a tierra y su colector se acopla a la base de un transistor 875 y al colector de un transistor 876. Los emisores de los transistores 875 y 876 se acoplan también 20. a tierra. El colector del transistor 875 se acopla a la fuente de suministro de voltaje de continua V a través de un resistor 872. El colector del transistor 876 se acopla a la fuente de suministro de voltaje de continua V a través de un resistor 873 y la base del transistor 876 se acopla a los 25. colectores de los transistores 875 y un transistor 877. El emisor del transistor 877 se pone a tierra y su base se acopla al terminal de salida de la puerta Y 53 de la figura 2.
- Los transistores 874, 875, 876 y 877 y su circuitería correspondiente forman un basculador que cambia al estado de 30. posición inicial caracterizado por un bajo voltaje en el colector

tor del transistor 877 después que una señal de posición inicial o colocación 530 aparece en el terminal de salida de la puerta Y 53 de la figura 2. El basculador envuelve al estado de reposición solamente cuando la señal de voltaje en el colector del transistor 862 es lo suficientemente alta para dar por resultado una interrupción inversa del diodo zener 865 y la conexión del transistor 875, reponiendo por lo tanto el basculador 87. Es el estado de reposición de éste basculador, que se caracteriza por un voltaje elevado en el colector del transistor 877, el que corresponde al modo en sincronización del sistema 100 de la figura 1.

La unión de la base del transistor 876 y los colectores 875 y 877 se acopla a la base de un transistor 882. El colector del transistor 882 se acopla a través de un resistor 731 a la fuente de suministro de voltaje de continua V. El emisor del transistor 882 se pone a tierra. La base de un transistor 884 se acopla al conector del transistor 882 así como los colectores de un transistor 732 y un transistor 733. Los emisores de los transistores 732 y 733 y 884, se ponen a tierra. El colector del transistor 884 se acopla a un terminal de entrada de la puerta O de reposición 52 de la figura 2. Las bases de los transistores 732 y 733 se acoplan a los terminales de salida del contador 72.

Los transistores 882 y 884 comprenden la puerta Y 80 de la figura 2, cuando hay presente suficiente voltaje positivo en el colector del transistor 877 del circuito basculador precedente, el transistor 882 se activa en conducción, eliminando la corriente de activación de la base del transistor 884. De un modo similar si el transistor 732 o el transistor 733 que comprenden la puerta Y 73 de la figura 2 se

encuentran en estado de conducción el transistor 884 no tendrá suficiente corriente de base para permanecer en conducción y se desactivará, permitiendo que se eleve el voltaje en su colector.

5. La señal del intervalo de predicción 810 de la puerta Y 54 de la figura 2, acoplada a la base del transistor 813, da por resultado la carga del capacitor 821 a través del resistor de factor de compensación 811 según se integra la señal 810 por todo el intervalo de predicción. No obstante, si durante el intervalo de predicción, la señal de sincronización vertical está ausente en el terminal A de la figura 2, una señal de ausencia de sincronización vertical de la puerta Y 62 de la figura 2, que puede semejar la forma de la onda 620, hará que el transistor 814 conduzca a través del resistor del factor de compensación 812 reduciendo el voltaje a través del capacitor 821. Los resistores 811 y 812, transistores 813 y 814, y capacitor 821 actúan por lo tanto como sustractor e integrador que integra las ondas 810 y 620 y resta la integral de la onda 620 de la integral de la onda 810 durante el intervalo de predicción.
- 10.
- 15.
- 20.

- El amplificador diferencial que consiste en los transistores 831, 832, 833 y 834, producen entonces un voltaje de salida en respuesta al voltaje integrado y restado a través del capacitor 821 al voltaje de referencia establecido por el divisor de tensión que comprende los resistores 835 y 836 en la base del transistor 834. Este voltaje de comparación se acopla desde los colectores de los transistores 832 y 833 a través de dos transistores amplificadores 856 y 857 y los diodos zener de acoplamiento de señal 854 y 855 a un comparador consistente en transistores 851 y 852. Si el voltaje a través del capacitor
- 25.
- 30.

5. 821 es de tal magnitud que la base del transistor 831 es positiva con respecto a la base del transistor 834, dicho voltaje positivo es una indicación de que durante el intervalo de predicción, no había señal de ausencia de sincronización vertical 620 suficiente acoplada a la base del transistor 814 para vencer el umbral del factor de compensación. O sea el transistor 814 no conducirá durante un período de tiempo suficiente para descargar el capacitor 821 a través del resistor 812, por lo que los transistores 834 y 833 pasarán al estado de conducción, cuya conducción indicaría la ausencia de una cantidad umbral predeterminada de información de sincronización vertical en el intervalo de predicción.

10. La presencia de esta cantidad umbral de información de sincronización vertical da por resultado una determinación por parte del circuito de que hay presente suficiente sincronización vertical en el terminal A de la figura 2 durante el intervalo de predicción para considerar el sistema de sincronización vertical en sincronización y no en un estado de necesidad de corrección de sincronización de corrimiento o actualización.

15. Durante el intervalo de tiempo en que la comparación de los impulsos de intervalo de predicción 810 y los impulsos de ausencia 620 y la determinación resultante de la presencia o ausencia de la sincronización vertical tiene lugar, las señales 510 acopladas desde el terminal C a las bases de los transistores 863 y 864 hacen que conduzcan estos transistores. Esta conducción activa al comparador que comprende los transistores 851 y 852. Por consiguiente, el transistor 852 o el transistor 851 se vuelven conductivos dependiendo de que el sistema esté en sincronización o fuera de sincronización, respecti-

vamente. En este momento el transistor 862 está inactivo como resultado del estado conductivo del transistor 863.

5. Al final de este intervalo de tiempo, ocurren dos cosas: en primer lugar, una señal 530 se acopla desde el terminal de salida de la puerta Y 53 de la figura 2 a la base del transistor 877 en el basculador de memoria de modos 87 de la figura 2 para conectar el transistor 877. Esta señal de colocación o posición para el basculador 87 reduce el voltaje del colector de transistor 877 y desconecta el transistor 876 y el  
10. transistor 882 y conecta el transistor 875. La señal 530 en la base del transistor 877 dura solamente un corto periodo de tiempo, aproximadamente 7,9 microsegundos, y entre su terminación y la terminación de la señal 510 en el terminal C, aproximadamente 7,9 microsegundos después el comparador que comprende los transistores 851 y 852 continúa conduciendo. Esta  
15. conducción después de la llegada de la señal de posición o colocación 530 en la base del transistor 877 es atribuible al método elegido para reponer el contador 51 divisor por 525 de la figura 2 es esta modalidad del invento. Cuando el impulso  
20. 524 aparece en el terminal B, todos los basculadores del contador 51 se colocan en el estado de posición correspondiente al número 1023 un contaje antes 1024, que es el contaje total del contador 51.

25. El impulso 524, señal 530, tiene una duración de 7,9 microsegundos. Aproximadamente 7,9 microsegundos después, termina el impulso de semiciclo positivo 524 y comienza el impulso 525. Es en este instante, el comienzo del impulso 525 de una serie de 525 impulsos, entre el contador 51 divisor por 525 de la figura 2 alcanza el contaje total, 1024, que corresponde a un cero en el terminal de salida de cada basculador de  
30.

contador 51 y repone por lo tanto el contador a cero.

5. Por lo tanto, durante el intervalo entre el paso del impulso 524 de cada serie de 525 impulsos y el instante en que el contador divisor por 525 se repone a cero, el comparador que comprende los transistores 851 y 852 permanece activado. Si, después que la señal temporal fuera de sincronización 530 repone el basculador de memoria de modos 87 de la figura 2 conectando el transistor 877, el transistor 852 permanece en conducción correspondiente a un estado en sincronización, la corriente que fluye desde la fuente de suministro de voltaje de corriente continua V a través del resistor 553 hará que el diodo zener 865 se interrumpa, dando por resultado la reposición del basculador de memoria de modos 87 de la figura 2 cuando el transistor 874 se conecta por la interrupción y conecta los transistores 876 y 882.
- 10.
- 15.

- Si, después que el impulso temporal fuera de sincronización 530 conecta el transistor 877, el transistor 851 permanece en un estado correspondiente de fuera de sincronización, el voltaje en la unión del resistor 853 y el transistor 851 será bajo. Por consiguiente, no habrá interrupción inversa del diodo zener 865 y el transistor 874 permanecerá desconectado. El basculador de memoria de modos 87 de la figura 2 permanecerá en el estado de posición o colocación (fuera de sincronización) puesto que el transistor 875 permanecerá conectado después que pasa el impulso temporal fuera de sincronización 530. Por lo tanto, el transistor 882 permanecerá desconectado.
- 20.
- 25.

- El estado de desconexión del transistor 882 corresponde al modo de fuera de sincronización o de búsqueda del sistema de sincronización 100. Los transistores 732 y 733 se acoplan a los basculadores en el contador 72 de tal manera que
- 30.

- hasta que el contador 72 ha pasado 6 contajes desde el terminal B de las figuras 1 y 2 sin reposición, uno u otro o ambos transistores 732 y 733 estarán conectados. Cuando el contador 72 ha contado 6 contajes del doble de la señal de frecuencia de cronometración horizontal 37 acoplada desde el terminal B sin reposición, los transistores 732 y 733 se desconectarán ambos durante un breve intervalo de tiempo. Si el transistor 882 está también desconectado, correspondiendo a un estado fuera de sincronización en el sistema 100, entonces el transistor 884 se conectará en virtud del voltaje en la unión del resistor 731 y la base del transistor 884. De este modo se abatirá el voltaje en el colector del transistor 884 suministrado desde la puerta 0 52 de la figura 1 y hará que pase un impulso de reposición a la línea de reposición del contador 51 divisor por 525 de la figura 2 a través de la puerta 0 52 actualizando la sincronización del contador 51 divisor por 525.

- Por la descripción anterior se verá que el sistema ilustrado en la figura 3 realiza toda las funciones lógicas necesarias para verificar si hay suficiente información en la señal recibida acoplada al terminal A de las figuras 1 y 2 para considerar dicha información sincronización vertical auténtica.

- La señal recibida en el terminal A se emplea para generar una señal de ausencia de sincronización vertical en el terminal de salida de la puerta Y 62 de la figura 2, que se acopla al sistema de la figura 3, a través de la base del transistor 814. La señal de ausencia de sincronización vertical se compara con una señal de intervalo de predicción generada internamente por el contador 51 de la figura 2 y sus componentes asociados. Durante la comparación, la señal de intervalo de predicción se compensa por la relación de los valores de los

resistores 812 y 811. Este factor de compensación permite el ajuste de la sensibilidad del sistema a la sincronización faltante. Un factor de compensación inferior hace el sistema más sensible a la detención de la sincronización faltante y un factor de compensación superior hace que el sistema sea menos sensible a la sincronización faltante.

El efecto del factor de compensación es ajustar la amplitud de la corriente de carga acoplada desde el emisor del transistor 813 a través del resistor 811 al capacitor 821 para dar por resultado un voltaje mayor o menor que el resultante de la corriente de descarga acoplada desde el colector del transistor 814 a través del resistor 812 al capacitor 821. Por ejemplo, los valores de los resistores 812 y 811 de 16.000 ohms y 20.000 ohms, respectivamente, dan un factor de compensación de  $4/5$  (v.g.  $16/20$ ) que significa que, cuando ambos transistores 813 y 814 se activan en conducción para el mismo intervalo de tiempo, el capacitor 821 cargará solamente a los  $4/5$  del ritmo al que se descarga, dando un voltaje negativo neto en la base del transistor 831, con respecto al voltaje de la base del transistor 834.

Una determinación en sincronización por la circuitería de sustracción e integración, transistores 813, 814, 831, 832, 833 y 834 y sus componentes asociados, hace que se conecten los transistores 831 y 832. Por consiguiente, durante el intervalo en que el comparador interroga a la circuitería de decisión con relación al estado de sincronización, los transistores 851 y 852 los transistores 856 y 851 y el diodo zener 855 estarán inactivos.

Como durante el intervalo de interrogación el terminal C de la figura 2 recibe un voltaje positivo con respecto a tie

5. rra la forma de la onda 510, los transistores 863 y 864 conducirán y el transistor 862 no conducirá. Cuando el transistor 851 no conduce, se produce un voltaje positivo en su colector que causa la interrupción del diodo zener 865 y la reposición del basculador de la memoria de modos que se ha colocado en posición original por la señal 530 acoplada desde la puerta 53 de la figura 2 hasta la base del transistor 877 según se ha explicado anteriormente.

10. La reposición del basculador de la memoria de modos hace que el colector del transistor 877 vuelva a un voltaje positivo y de por resultado la conexión del transistor 882, desconectando el transistor 884 y elevando el voltaje del colector del transistor 884 para inhibir la reposición a través de la puerta Y 88 de la figura 2 que comprende los transistores 882 y 884.

15. Una determinación de desincronización por la circuitería de sustracción e integración da por resultado el que los transistores 834 y 833 pasen al estado conductivo. Como resultado de esta determinación de desincronización, los transistores 856 y 851 y el diodo 855 pasan al estado de conducción. Por lo tanto, durante el intervalo de interrogación, el colector del transistor 851 es suficientemente bajo por lo que no se produce interrupción inversa del diodo 865. De este modo, después que la señal de posición 530 se acopla a la base del transistor 877 no habrá señal de reposición ulterior y el basculador de la memoria de modos 87 de la figura 2 permanecerá fuera de sincronización o en el modo de búsqueda. El colector del transistor 877 (y por lo tanto la base del transistor 882), permanece bajo y el transistor 882 se desconecta.

30. La llegada de la señal siguiente del terminal A de la

5. figura 2 que tiene una duración de tiempo suficiente para mantener el contador 72 sin que se reponga durante un periodo de tiempo suficientemente largo para hacer que ambos transistores 732 y 733 se desconecten, hace que el transistor 884 se vuelva conductivo y pase una señal de reposición de actualización de sincronización a la puerta 0 52 de la figura 2.

N O T A

10. Descrita suficientemente la naturaleza del invento así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento  
15. corresponde a una solicitud de patente presentada en Norteamérica con el nº 438.047 de 30 de Enero de 1.974, acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención  
20. por 20 años en España sobre: PERFECCIONAMIENTOS EN SISTEMAS DE SINCRONIZACIÓN DE DESVIACION; caracterizándose por lo siguiente:

25. 1.- Perfeccionamientos en sistemas de sincronización de desviación, del tipo que son sensibles a una fuente de señales de sincronización externa y una fuente de segundas señales integralmente relacionadas en frecuencia con dichas señales externas, caracterizados porque el sistema comprende un dispositivo contador con reposición para contar señales procedentes  
30. de dicha fuente de segundas señales con el fin de generar señales internas a dicha frecuencia de las señales de sincroniza

- ción externas, pudiendo reponerse dicho dispositivo contador con reposición por dichas señales internas; medios de verificación de las señales de sincronización externas acoplados a dicha fuente de señales de sincronización y a dicho dispositivo contador con reposición para verificar la presencia o ausencia de dichas señales de sincronización externas durante dichas señales internas y para generar un primer y un segundo niveles de señal respectivamente en respuesta a dicha acción; medios de detección de las señales de sincronización externas acoplados a dicha fuente de señales de sincronización externas para detectar cuando la señales de dicha fuente tienen por lo menos una duración de tiempo predeterminada y para generar señales en respuesta a dicha detección; y medios de conmutación de modos acoplados a dicho dispositivo contador con reposición, a dichos medios de detección de la señal de sincronización externa y a dichos medios de verificación de la señal de sincronización externa para conmutar a un modo asincrónico de funcionamiento en respuesta a dicho segundo nivel de señal generada por dichos medios de verificación de señales de sincronización externas con el fin de pasar una señal desde dicho medios de detección de las señales de sincronización externas al aparecer una señal ulterior desde dicha fuente de señales de sincronización externas con el fin de reponer dicho dispositivo contador con reposición para sincronizar dichas señales internas de forma que las señales internas sucesivas estén prácticamente en sincronismo con dicha señal ulterior procedente de dicha fuente de señales de sincronización externas.

- 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque dichos medios de detección de las señales de sincronización externas comprenden medios para determinar

la duración de tiempo de las señales procedentes de dicha fuente de señales de sincronización externas y para generar señales cuando dicha duración de tiempo es mayor que la duración de tiempo mínima predeterminada de dichas señales de sincronizaciones externas.

5.

3.- Perfeccionamientos según la reivindicación 1, caracterizados porque dichos medios de conmutación de modos conmuta desde dicho modo sincrónico de funcionamiento a dicho modo asincrónico de funcionamiento inmediatamente después de detectar que dichas señales internas prácticamente no están en sincronismo con dichas señales de sincronización externas, pasando por lo tanto, dicha señal generada por dichos medios de detección de las señales de sincronización externas para reponer dicho dispositivo contador reponible y correr o desplazar la sincronización de dichas señales internas de forma que las señales internas sucesivas estén prácticamente en sincronismo con dicha señal siguiente sucesiva procedente de dicha fuente de señales de sincronización externas.

10.

15.

4.- Perfeccionamientos según la reivindicación 1, caracterizados porque dichos medios de conmutación de modos conmutan desde dicho modo sincrónico de funcionamiento a dicho modo asincrónico de funcionamiento al detectar que dichas señales internas prácticamente no están en sincronismo con dichas señales de sincronización externas durante un número predeterminado de ciclos de dichas señales internas, pasando por lo tanto, dicha señal desde dichos medios de detección de las señales de sincronización externas para reponer dicho dispositivo contador reponible y desplazar o correr la sincronización de dichas señales internas de forma que las señales internas, después de dicho número predeterminado de ciclos, estén práctica

20.

25.

30.

mente en sincronismo con dicha señal sucesiva siguiente después de dicho número predeterminado de ciclos de dicha fuente de señales de sincronización externa.

5. 5.- Perfeccionamientos según la reivindicación 1, caracterizados porque dichos medios de verificación de las señales de sincronización externas comprenden; una primera puerta de coincidencia, uno de cuyos terminales de entrada se acopla a través de medios inversores a dicha fuente de señales de sincronización externas y cuyo otro terminal de entrada se acopla a dicho dispositivo contador reponible para recibir dichas señales internas del mismo y generar una señal de ausencia cuando dicha señal de sincronización externa está ausente durante dicha señal interna; medios compensadores acoplados a dicho dispositivo contador reponible para ajustar la amplitud de dicha señal interna; y medios de sustracción e integración acoplados a dicha primera puerta de coincidencia y a dichos medios compensadores para integrar dichas señales internas compensadas y dichas señales de ausencia de la señal de sincronización externa y restar dichas señales de ausencia integradas de dichas señales internas compensadas integradas, determinando la diferencia de dichas señales integradas la presencia o ausencia de dichas señales de sincronización externas.
- 10.
- 15.
- 20.

25. 6.- Perfeccionamientos según la reivindicación 5, caracterizados porque dichos medios de verificación de las señales de sincronización externas comprenden además medios de comparación acoplados a dichos medios de sustracción e integración para comparar el resultado de dicha sustracción e integración con un voltaje de referencia umbral con el fin de determinar si dicha información de las señales de sincronización externas que aparece durante dicha señal interna es suficiente para que
- 30.

dicha señal interna pueda considerarse prácticamente en sincro  
nismo con dicha señal de sincronización externa y para generar  
dicho primer nivel de señal correspondientemente.

5. 7.- Perfeccionamientos según la reivindicación 5, ca-  
racterizados porque dichos medios de verificación de la señal  
de sincronización externa comprenden además una segunda puerta  
de coincidencia, uno de cuyos terminales de entrada se acopla  
a dicha fuente de señales de sincronización externas y cuyo  
otro terminal de entrada se acopla a un terminal de salida de  
10. una línea de retardo, cuyo terminal de entrada se acopla a di-  
cha fuente de señales de sincronización externa y un terminal  
de salida de dicha segunda puerta de coincidencia se acopla a  
través de dichos medios inversores a dicho terminal de entrada  
de dicha primera puerta de coincidencia para eliminar impulsos  
15. de duración más corta que el tiempo de retardo de dicha línea  
de retardo desde la citada información de señal de sincroniza-  
ciones externas acoplada a través de dichos medios inversores  
a dicho terminal de entrada de dicha primera puerta de coinci-  
dencia.

20. 8.- Perfeccionamientos en sistemas de sincronización  
de desviación, tal y como queda sustancialmente descrito en la  
presente Memoria y en los dibujos adjuntos.

Esta Memoria consta de treinta y nueve hojas escritas  
a máquina por una sola cara.

Madrid, 30 ENE. 1975

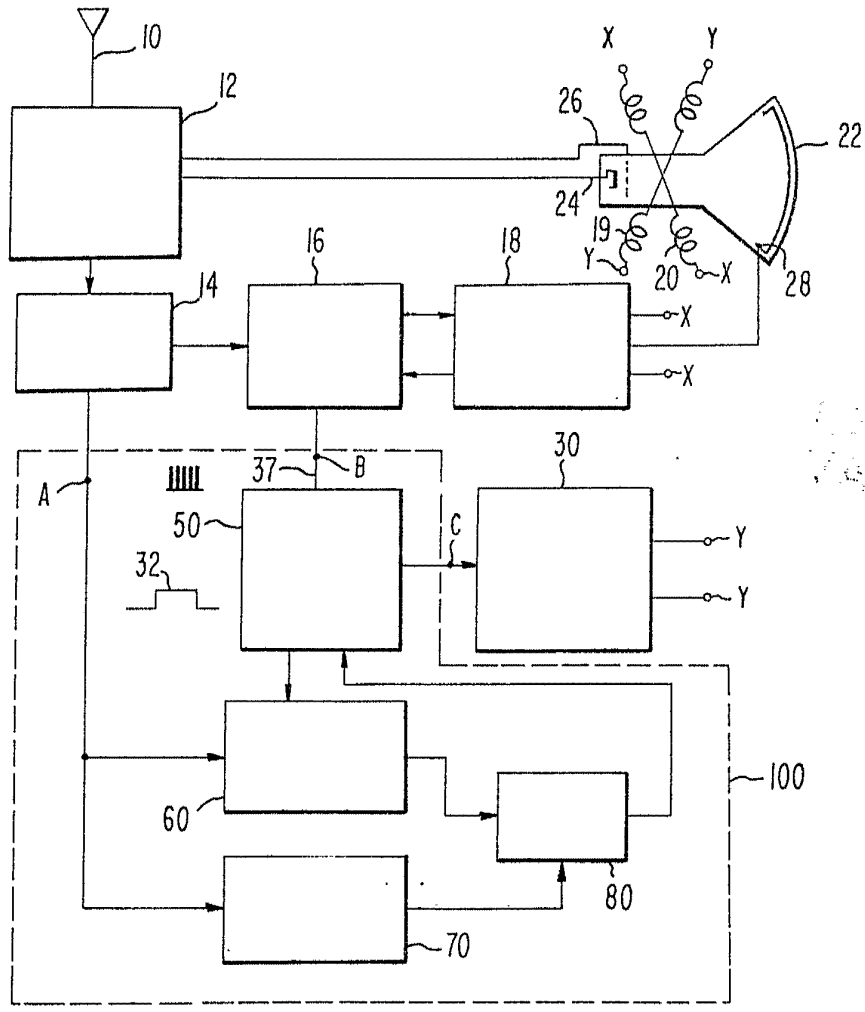
RCA CORPORATION.

GOMEZ ACEBO Y MOJER

p. p. Firmado: L. Gola Faruádon



Fig. 1.



APR 1975  
*[Handwritten signature]*



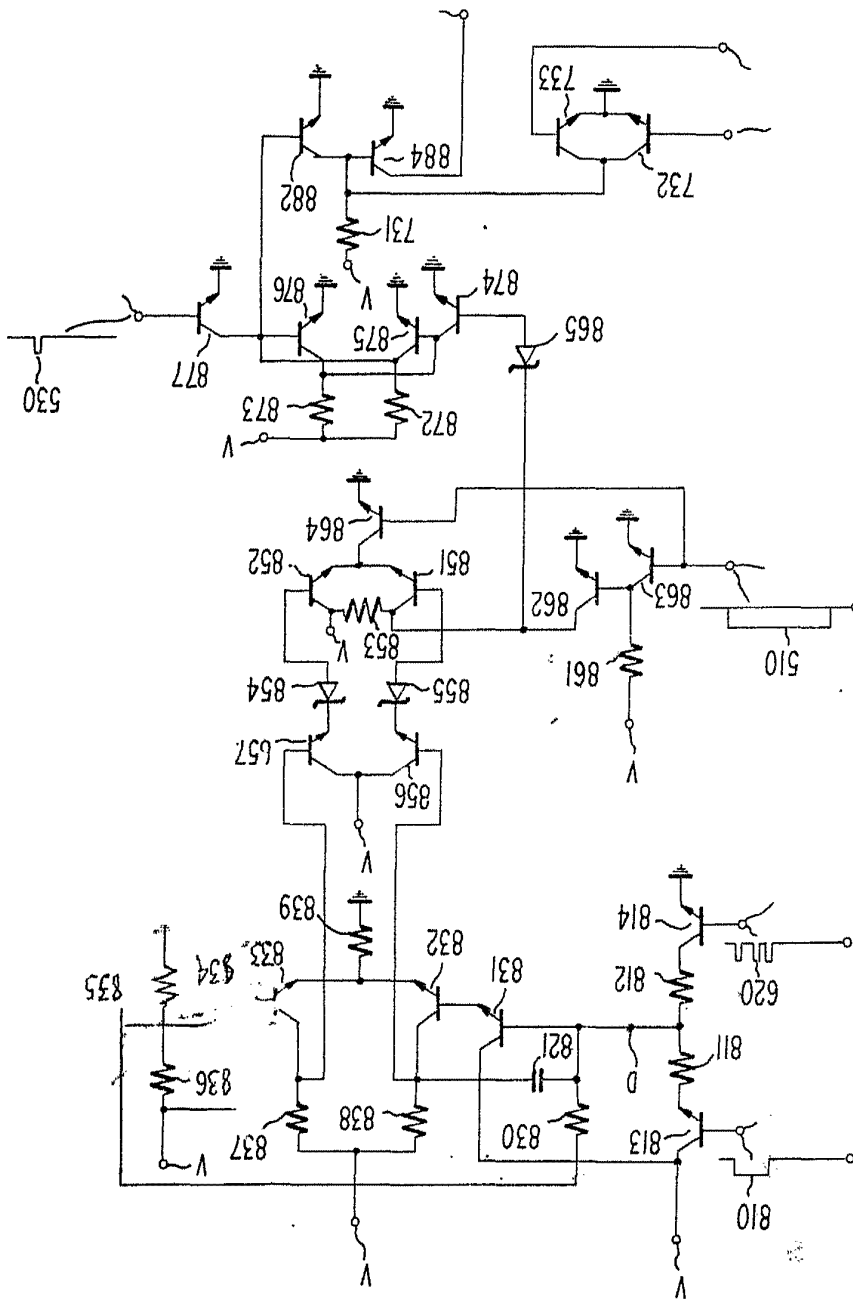


Fig. 3

30 ENE 1975

*[Handwritten signature]*