

S/Ref. 4632 Spain

N/Ref.: O.G. 29.370.-mc.

PATENTE DE INVENCION

434081

CONCEDIDA

15 OCT 1976

H04M

MEMORIA DESCRIPTIVA

Sobre:

"APARATO SUPERVISOR DE ACONTECIMIENTOS"

Solicitante: La Corporación del Estado de New Jersey:

TELESCIENCES, INC., con domicilio en:

351 New Albany Road - MOORESTOWN, NEW JERSEY

08057 (U.S.A.).-

Inventores: Leroy H. Werner, Ingeniero y

John E. Litzinger, ingeniero

Extracto de la descripción

- Un terminal de datos utiliza un multitransmisor de división de tiempo para supervisar tráfico hasta en 10240 líneas en grupos de 1024 líneas y convierte la información de cada grupo de la forma paralela a la seriada como 1024 palabras paralelas de 12 bits en series, registra los datos sobre conteo de acontecimientos y la duración del tiempo de uso para cada línea de entrada y bajo interrogación por un centro de control transmite los datos acumulados sobre conteo de acontecimientos y tiempo de uso por una línea telefónica como mensaje seriado de 1024 grupos de seis caracteres, designando tres caracteres el conteo de acontecimientos y otros tres caracteres el tiempo de uso.
- El terminal tiene hasta 10 grupos paralelos de memorias que funcionan sincronizadamente, uno por cada grupo de 1024 líneas, conteniendo cada grupo de memorias una memoria acumuladora que cuenta los acontecimientos al producirse y una memoria pasiva que tras una orden recibe datos de la memoria acumuladora. Los datos presentes en cualquier memoria acumuladora o pasiva pueden ser leídos en el terminal por mando desde una unidad supervisora remota. La operación de acumulación del terminal es automática y la lectura de datos con la subsiguiente puesta a cero de los registros y contadores se controla mediante la unidad de supervisión remota. La condición de cada línea es continua y cíclicamente examinada para determinar la presencia o ausencia de un acontecimiento y la duración del mismo. Se utiliza una técnica de muestreo múltiple para distinguir la presencia de un acontecimiento de ruido.
- Esta invención se relaciona en general con aparatos transmisores-receptores (o transeptores) para supervisión de
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.

acontecimientos, que se destinan a supervisar una serie de sistemas independientes generadores de acontecimientos, determinar cuándo han ocurrido tales acontecimientos en cada sistema y la duración de los mismos, almacenar los datos supervisados en

5. una serie de lugares, transferir datos almacenados en ciertos lugares a otros lugares y transmitir los datos almacenados en cualquier lugar especificado a una fuente de supervisión remota tras una orden de esta última.

A efectos de ilustración se describirá y mostrará la

10. invención incorporada en un terminal automático de supervisión de tráfico usado para la acumulación automática de datos de tráfico telefónico. Los datos de tráfico supervisados podrían ser, por ejemplo, el número y duración de llamadas en un determinado circuito de conexión o grupo de ellos, el número de veces y duración en que todos los circuitos de conexión o buscadores de líneas estuvieron ocupados o cualquier otro "acontecimiento" que ocurra en una línea y que proporcione una señal adecuada para su registro por el terminal.

15.

Resumiendo, la ilustrada versión de terminal de la

20. invención utiliza la multitransmisión con división del tiempo para supervisar el tráfico hasta en 10240 líneas separadas, - siendo manipuladas estas líneas en grupos de 1024 de manera - que puedan incorporarse hasta diez de tales grupos en un terminal. Todos estos grupos funcionan sincronizadamente y en paralelo mediante un módulo común de dirección de línea y memoria, de manera que sólo son necesarias 1024 direcciones de línea y memoria para manejar todo el complemento terminal de --

25. 10240 líneas supervisadas.

La multitransmisión se lleva a cabo en una secuencia

30. paralela/seriada de dos etapas. Las 1024 líneas se dividen en

- 128 grupos secuenciales de 8 líneas. Los datos de cada grupo de 8 líneas se hacen examinar por una transferencia en paralelo y luego se consideran los datos de estas líneas en una secuencia seriada. Cuando se han examinado las 8 líneas de un grupo, se transfieren en paralelo los datos del siguiente grupo de 8 líneas para su examen seriado.
- 5.

- Cada grupo de 1024 líneas tiene un grupo de memorias asociado al mismo, incluyendo cada grupo de memorias una activa y otra pasiva para datos de conteo de acontecimientos supervisados y una memoria activa y otra pasiva para datos supervisados sobre duración de los tiempos de los acontecimientos. En consecuencia, pueden disponerse hasta diez de tales grupos de memorias en un terminal. Los datos supervisados se acumulan en cada una de las memorias activas como 1024 palabras en paralelo de 12 bits seriados y, tras una orden, son transferibles a las asociadas memorias pasivas. Además, mediante una orden, los datos almacenados son selectivamente leibles en el terminal partiendo de cualquier memoria activa o pasiva especificada.
- 10.
- 15.

- Se utiliza un campo de 32 caracteres del Código ASCII de cuatro campos y 128 caracteres para designar 32 grupos de memorias separados, de manera que pueda comunicarse con 32 memorias separadas mediante una fuente de supervisión remota. Como se ha definido un terminal, a efectos ilustrativos, como dotado de una capacidad máxima de diez grupos de memorias, el código ASCII proporciona un puente mediante el cual una computadora de supervisión puede comunicar desde un solo puesto con una serie de terminales situados alejadamente entre sí. Se disponen medios para que la específica memoria demandada de las 32 posibles memorias sea identificada como presente por el terminal donde está situada y sea identificada como no presente por todos los demás terminales.
- 20.
- 25.
- 30.

- Para reducir al mínimo el registro de ruido en una línea como datos reales, se examina cada línea a intervalos espaciados y se registra un acontecimiento como dato verdadero sólo después de que tres exámenes u observaciones sucesivas de la línea muestran una condición de presencia de acontecimiento, seguido de tres exámenes u observaciones sucesivos de la línea que muestran una condición de ausencia de acontecimiento. Los tiempos entre observaciones para condiciones de presencia y ausencia de acontecimientos son seleccionables y pueden ser diferentes entre sí. Análogamente, el dato de duración de tiempo sólo es registrado cuando tres observaciones sucesivas muestran una condición de presencia de acontecimiento y los tiempos entre sucesivas observaciones y entre grupos de tres observaciones sucesivas son seleccionables y pueden ser diferentes entre sí. Una importante característica de la invención es su posibilidad de proporcionar simultáneamente datos de conteo de acontecimientos y datos de tiempos de uso de la línea de un solo punto supervisado, por medio de dispositivos físicamente pequeños, fiables y relativamente económicos.
5. Para reducir al mínimo el registro de ruido en una línea como datos reales, se examina cada línea a intervalos espaciados y se registra un acontecimiento como dato verdadero sólo después de que tres exámenes u observaciones sucesivas de la línea muestran una condición de presencia de acontecimiento, seguido de tres exámenes u observaciones sucesivos de la línea que muestran una condición de ausencia de acontecimiento. Los tiempos entre observaciones para condiciones de presencia y ausencia de acontecimientos son seleccionables y pueden ser diferentes entre sí. Análogamente, el dato de duración de tiempo sólo es registrado cuando tres observaciones sucesivas muestran una condición de presencia de acontecimiento y los tiempos entre sucesivas observaciones y entre grupos de tres observaciones sucesivas son seleccionables y pueden ser diferentes entre sí. Una importante característica de la invención es su posibilidad de proporcionar simultáneamente datos de conteo de acontecimientos y datos de tiempos de uso de la línea de un solo punto supervisado, por medio de dispositivos físicamente pequeños, fiables y relativamente económicos.
10. Una importante característica de la invención es su posibilidad de proporcionar simultáneamente datos de conteo de acontecimientos y datos de tiempos de uso de la línea de un solo punto supervisado, por medio de dispositivos físicamente pequeños, fiables y relativamente económicos.
15. Un objeto principal de la invención es el de proporcionar un nuevo aparato transmisor-receptor para la supervisión de una serie de sistemas independientes de generación de acontecimientos, el almacenamiento de los datos supervisados y la transmisión de estos datos almacenados a una fuente de interrogación remota tras una orden de esta última.
20. Otro objeto de la invención es el de proporcionar un nuevo aparato de supervisión de acontecimientos como el anteriormente indicado, en el que cada sistema supervisado de generación de acontecimientos sea supervisado para determinar el número de acontecimientos que han ocurrido durante un particular
25. Otro objeto de la invención es el de proporcionar un nuevo aparato de supervisión de acontecimientos como el anteriormente indicado, en el que cada sistema supervisado de generación de acontecimientos sea supervisado para determinar el número de acontecimientos que han ocurrido durante un particular
30. Otro objeto de la invención es el de proporcionar un nuevo aparato de supervisión de acontecimientos como el anteriormente indicado, en el que cada sistema supervisado de generación de acontecimientos sea supervisado para determinar el número de acontecimientos que han ocurrido durante un particular

intervalo de tiempo, datos de enclavijamiento solicitados y la duración de todos esos acontecimientos y datos de enclavijamiento solicitados, derivando tanto estos últimos como los relativos a uso de un solo punto de supervisión.

5. Otro objeto de la invención es el de proporcionar un nuevo aparato supervisor de acontecimientos como el antes expuesto, cuyo aparato está provisto de una serie de grupos de memorias, cada uno de los cuales incluye una memoria activa o acumulativa para datos sobre enclavijamiento y uso y una memo-

10. ria pasiva o estática para datos sobre enclavijamiento y uso previamente acumulados, y en el que se disponen medios para transferir selectivamente el contenido de la memoria activa a la memoria pasiva dentro de un grupo de memorias seleccionade o en todos los grupos de memorias.

15. Otro objeto de la invención es el de proporcionar un nuevo aparato supervisor de acontecimientos como el expuesto, que incluye medios en los que puede leerse el contenido de la memoria activa o pasiva dentro de cualquier grupo de memorias y transmitirse a una fuente interrogadora remota tras una or-

20. den de esta última.

Otro objeto es el de proporcionar un nuevo aparato su pervisor de acontecimientos como el expuesto, en el que los datos sobre enclavijamiento para cada sistema generador de acontecimientos se incrementan sólo después de que por lo menos tres exámenes sucesivos, y espaciados en el tiempo, de la condición del sistema muestran una condición de presencia de acontecimiento, seguido de tres sucesivos exámenes, espaciados en el tiempo, que muestran una condición de ausencia de acontecimiento.

Otro objeto de la invención es el de proporcionar un nuevo aparato supervisor de acontecimientos como el expuesto, en el que los datos sobre uso para cada sistema generador de

30.

acontecimientos se incrementan después de que cada grupo de tres exámenes sucesivos de la condición del sistema, espaciados en el tiempo, muestran una condición de presencia de acontecimientos.

5. Otro objeto de la invención es el de proporcionar un nuevo aparato supervisor de acontecimientos como el expuesto, en el que el tiempo entre exámenes de la condición de presencia de acontecimientos referidos a datos sobre enclavijamientos es seleccionable y en el que el tiempo entre exámenes de la condición de ausencia de acontecimientos referidos a datos sobre enclavijamientos es también seleccionable y puede ser igual o diferente al seleccionado para el examen de la condición de presencia de acontecimientos.

10. Otro objeto de la invención es el de proporcionar un nuevo aparato supervisor de acontecimientos como el expuesto, en el que el tiempo entre los exámenes de la condición de presencia de acontecimientos referida a datos sobre uso es seleccionable y en el que el intervalo de tiempo entre sucesivos grupos de tres exámenes sobre condición de presencia de acontecimientos es también seleccionable.

15. Los citados objetos, y otros, de la invención aparecerán con mayor detalle más adelante mediante la lectura de la siguiente descripción y de las reivindicaciones, junto con un examen de los adjuntos dibujos, en los cuales:

20. La figura 1 es un diagrama en bloque funcional y global del aparato según la invención.

25. Las figuras 2 a 8 son diagramas lógicos más detallados de los bloques funcionales 2 a 8, respectivamente, de la figura 1, es decir, la figura 2 es un diagrama lógico más detallado de la lógica del generador de cronometración del bloque

funcional 2 de la figura 1; la figura 3 es un diagrama lógico más detallado de la lógica de dirección de memorias del bloque funcional 3 de la figura 1; y así sucesivamente.

5. Las figuras 9 a 12 son diagramas de formas de onda de cronometración que muestran las formas de onda de cronometración importantes presentes dentro del aparato según la invención, hallándose trazadas las distintas figuras a escalas correspondientes a las diferentes bases de tiempo, pero correlacionadas entre sí por formas de onda comunes.

10. La figura 13 es un diagrama lógico detallado de la red de integración ascendente y descendente de enclavijamiento mostrada en la figura 4.

15. La figura 14 es un diagrama lógico detallado del contador y descodificador binario de 8 bits mostrado en la figura 4.

La figura 15 es un diagrama lógico detallado de las redes de integración de usos mostradas en la figura 4; y

La figura 16 muestra un formato típico de lectura.

20. En las diversas figuras, los elementos análogos están indicados por caracteres de referencia análogos.

Puede obtenerse mejor una comprensión más completa de la invención considerando primeramente el funcionamiento general del aparato y considerando luego los medios detallados para llevar a cabo las diversas operaciones. En consecuencia,
25. la invención, incorporada en el aparato ilustrado, se describirá en adelante según las siguientes secciones:

Descripción general - Figura 1.

Cronometración - Figuras 2, 3, 9, 10 y 11.

Generador de cronometración - Figuras 2 y 9.

30. Dirección de memorias - Figuras 3, 9, 10 y 11.

5. Detección de acontecimientos relativos a enclavamientos y usos - Figuras 4, 9, 10, 11, 12, 13, 14 y 15.
5. Conteo de acontecimientos sobre enclavamientos - Figuras 4, 9, 10, 11, 13 y 14.
5. Conteo de intervalos de usos - Figuras 4, 11, 12, 14 y 15.
5. Almacenamiento de datos sobre enclavamientos y usos - Figura 5.
10. Funciones exteriormente controladas - Figuras 3, 4, 5, 6, 7, 8 y 16.
10. Puesta en cero de todas las memorias - Figuras 6, 5 y 4.
10. Transferencia de todas las memorias - Figuras 6 y 5 .
15. Identificación de grupos de memorias - Figura 7.
15. Transferencia selectiva de memorias - Figuras 6 y 5 .
15. Lectura selectiva de memorias - Figuras 8, 5, 3 y 16.

Descripción general - Figura 1

20. Tal como se muestra en el diagrama en bloques funcional de la figura 1, pueden conectarse hasta 10240 líneas de entrada al terminal a través de los conjuntos de exploración de clavijas 1-A. Estos conjuntos de exploración de clavijas son piezas standard del equipo multitransmisor con división de tiempos que de por sí no forman parte de la invención, pero que son
25. necesarios para leer datos en el aparato según la invención. Un típico conjunto de exploración de clavijas posee medios para su conexión a 1024 líneas que son secuencialmente exploradas en grupos de un número particular de líneas. En la siguiente descripción del aparato, las líneas conectadas a los conjuntos
30. de exploración de clavijas son examinadas en grupos de ocho

líneas, de manera que las 1024 líneas conectadas a un conjunto de exploración de clavijas serán examinadas en 128 grupos secuenciales de ocho líneas cada uno. El aparato según la invención es capaz de acomodar, por ejemplo, hasta diez conjuntos de exploración de clavijas en un solo terminal, de manera que la capacidad de un terminal podría constituir un máximo de 10240 líneas en el caso en que se dispusiesen los diez conjuntos.

5. La exploración secuencial de las líneas a las que están conectados los conjuntos de exploración de clavijas y la inserción de los datos derivados de esas líneas en los lugares de las memorias que corresponden a cada línea individual que se examina, se controlan por el bloque 3 de direcciones de memorias y el bloque 4 de entrada de datos y control de memorias. Ambos bloques citados 3 y 4 reciben señales cronometradoras -

10. del bloque 2 del generador de cronometración, que genera continua y cíclicamente una serie de impulsos de cronometración T₀ a T₉ que constituyen conjuntamente el tiempo de un bit. El tiempo de un bit corresponde al tiempo asignado para realizar todas las funciones de exploración de datos conectadas a cualquier línea simple de entrada conectada al conjunto de exploración de clavijas. Por ejemplo, una específica línea conectada a los conjuntos de exploración de clavijas 1-A será examinada durante un tiempo de bit cero y la línea inmediatamente siguiente a explorar será examinada durante un tiempo de bit 1, seguido de la exploración de la línea inmediatamente siguiente durante un tiempo de bit 2, y así sucesivamente. Como hay 1024 líneas en un conjunto de exploración de clavijas, después de que se han examinado las 1024 líneas, se llevará a cabo de nuevo -

15. el re-examen de la primera línea del grupo de 1024 líneas, y así sucesiva y cíclicamente. En consecuencia, una exploración

20.

25.

30.

completa de las 1024 líneas de un conjunto de exploración de clavijas invertirá 1024 tiempos de bit y este intervalo de 1024 tiempos de bit se denomina una revolución.

5. El generador de cronometración genera también una señal de reloj AM y una señal de reloj PM una vez durante cada tiempo de bit, utilizándose estas señales de reloj durante el proceso de acumulación de datos y transferencias de memorias a exponer más adelante y en relación con la cronometración de ciertos acontecimientos en el bloque 4 de entrada de datos y control de memorias. El bloque 2 del generador de cronometración genera también una serie de señales USR o de ritmo de exploración de uso y una serie de señales de reloj de bauds, dirigiéndose la señal USR al bloque 4 de entrada de datos y control de memorias, donde se utiliza en la acumulación de datos de conteo de intervalos de uso.
- 10.
- 15.

- El bloque 3 de direcciones de memorias genera un número de señales que se dirigen a los conjuntos de exploración de clavijas 1-A y al bloque 4 de entrada de datos y control de memorias. Las señales \overline{PAS} y siete señales de dirección del bloque 3 para el bloque 1-A de conjuntos de exploración de clavijas determinan qué particular grupo de ocho líneas de entrada será examinado durante cualquier tiempo determinado, estando contenida la dirección del particular grupo de ocho líneas en las siete señales de dirección. Las señales PDS, R y tres señales de dirección generadas por el bloque 3 de direcciones de memorias y dirigidas al bloque 4 de entrada de datos y control de memorias determinan cuál de las ocho líneas de datos del grupo seleccionado por las siete señales de direcciones será examinada en cualquier momento particular y durante que revoluciones será examinada.
- 20.
- 25.
- 30.

- El bloque 4 de entrada de datos y control de memorias examina los datos presentados al mismo desde los conjuntos de exploración de clavijas y determina si ha ocurrido un acontecimiento en cada línea examinada, determinando asimismo el espacio total de tiempo en que han ocurrido acontecimientos en cada línea. Esta información se codifica en las señales PEG y UIC (de conteo de acontecimientos en clavijas y de conteo de intervalos de uso, respectivamente) y se envía al bloque de memorias 5, donde se almacena en el lugar de memoria que corresponde a cada línea supervisada por los conjuntos de exploración de clavijas. En consecuencia, por cada conjunto de exploración de clavijas que tenga 1024 líneas supervisadas, el bloque de memorias 5 contiene grupos de memorias dotados de 1024 lugares de memoria separados, uno por cada línea. El bloque de memorias 5 contiene un grupo de memorias por cada grupo de exploración de clavijas que supervisa 1024 líneas, de manera que en un intervalo completo habría diez de tales grupos de memorias numerados de 0 a 9.
5. total de tiempo en que han ocurrido acontecimientos en cada línea. Esta información se codifica en las señales PEG y UIC (de conteo de acontecimientos en clavijas y de conteo de intervalos de uso, respectivamente) y se envía al bloque de memorias 5, donde se almacena en el lugar de memoria que corresponde a cada línea supervisada por los conjuntos de exploración de clavijas. En consecuencia, por cada conjunto de exploración de clavijas que tenga 1024 líneas supervisadas, el bloque de memorias 5 contiene grupos de memorias dotados de 1024 lugares de memoria separados, uno por cada línea. El bloque de memorias 5 contiene un grupo de memorias por cada grupo de exploración de clavijas que supervisa 1024 líneas, de manera que en un intervalo completo habría diez de tales grupos de memorias numerados de 0 a 9.
10. En consecuencia, por cada conjunto de exploración de clavijas que tenga 1024 líneas supervisadas, el bloque de memorias 5 contiene grupos de memorias dotados de 1024 lugares de memoria separados, uno por cada línea. El bloque de memorias 5 contiene un grupo de memorias por cada grupo de exploración de clavijas que supervisa 1024 líneas, de manera que en un intervalo completo habría diez de tales grupos de memorias numerados de 0 a 9.
15. un grupo de memorias por cada grupo de exploración de clavijas que supervisa 1024 líneas, de manera que en un intervalo completo habría diez de tales grupos de memorias numerados de 0 a 9.

- Cada grupo de memorias contiene registros de cambios designados por almacenamiento de memoria activa y almacenamiento de memoria pasiva. El almacenamiento de memoria activa es la memoria que acumula datos de conteo de acontecimientos de clavijas y datos de conteo de intervalos de uso sobre una base de acumulación actual, habiendo un almacenamiento de memoria separado para acontecimientos de clavijas y un almacenamiento de memoria separado para el conteo de uso. Cada una de las memorias activas lleva asociada una memoria pasiva a la que se transfiere el contenido de la asociada memoria activa tras la recepción de una específica orden de transferencia.
20. El almacenamiento de memoria activa es la memoria que acumula datos de conteo de acontecimientos de clavijas y datos de conteo de intervalos de uso sobre una base de acumulación actual, habiendo un almacenamiento de memoria separado para acontecimientos de clavijas y un almacenamiento de memoria separado para el conteo de uso. Cada una de las memorias activas lleva asociada una memoria pasiva a la que se transfiere el contenido de la asociada memoria activa tras la recepción de una específica orden de transferencia.
25. Cada una de las memorias activas lleva asociada una memoria pasiva a la que se transfiere el contenido de la asociada memoria activa tras la recepción de una específica orden de transferencia.

- La orden de transferencia es generada por el bloque 6 de transferencia de memorias en forma de señales designadas por
30. de transferencia de memorias en forma de señales designadas por

- TM₈ a TM₉, designando el número asociado a la señal de transferencia el grupo de memorias al que se dirige aquella señal. Por ejemplo, la computadora dispuesta corriente abajo puede emitir una orden recibida en el bloque 1-B de descodificación y control
5. de órdenes de entrada que designa que el contenido de la memoria activa 3 sea transferido a la memoria pasiva 3. Esta orden sería descodificada y dirigida al bloque de transferencia de memorias 6 como señal TP y dirigida al bloque 7 de identidad de memorias como señales ID e IDR, representando TP "vuelta de
10. página" y designando un particular grupo de memorias con el que se relaciona la orden de transferencia. Las señales ID e IDR hacen que el bloque 7 de identidad de memorias genere una señal MID que identifica el grupo de memorias 3. La señal TP, junto con la señal MID del bloque 7 de identidad de memorias,
15. hace que el bloque 6 de transferencia de memorias genere una señal TM₃ que causa la producción de la transferencia e igualmente causa la generación de una señal de PUESTA A CERO 3 que a su vez determina la puesta a cero de la memoria activa desde la que se transfieren los datos.
20. Puede recibirse también una orden similar que se designa por señal de "giro total" y que es una indicación para causar la transferencia del contenido de todas las memorias activas del terminal a sus asociadas memorias pasivas. Esta orden es descodificada en el bloque 1-B de descodificación y control
25. y dirigida al bloque 6 de transferencia de memorias como señal TA. La señal TA hace que el bloque 6 genere toda la secuencia de señales TM₈ a TM₉ y todas las señales de PUESTA A CERO ϕ a PUESTA A CERO 9, determinando así la transferencia de todas las memorias y la puesta a cero de las memorias activas.
30. Además, en ocasiones puede desearse poner a cero todas

- las memorias. Tal situación de puesta a cero ocurriría cuando se conecte inicialmente la energía, pero también puede descarse la puesta a cero de una memoria en algún momento durante el tiempo normal de acumulación de datos. Esto se consigue cuando
5. el bloque 1-B de descodificación y control de órdenes de entrada genera una señal de PUESTA A CERO, que dirige al bloque 6 de transferencia de memorias en respuesta a la recepción de una orden de PUESTA A CERO. La señal de PUESTA A CERO recibida por el citado bloque 6 causa la generación de la señal de
10. PUESTA TOTAL A CERO, que se dirige al bloque de memorias 5 para poner a cero las memorias del mismo, causando también la generación de la señal CL que se dirige al bloque 4 de entrada de datos y control de memorias, donde pone a cero los registros de almacenamiento y conteo, descodificadores y redes de integración contenidos en aquél.
- 15.

- Los datos acumulados y almacenados en los grupos de memorias del bloque 5 pueden leerse a través del bloque 1-C de codificación y control de datos de salida tras la recepción de una orden de entrada desde una computadora de supervisión que dirige los datos específicos que han de ser leídos. Como
20. cada grupo de memorias contiene una memoria activa para datos sobre clavijas y usos y contiene también una memoria pasiva para datos sobre clavijas y usos, cada grupo de memorias contiene cuatro secciones de datos de las que puede leerse información. Sin embargo, como la información sobre intervalos de
25. uso no es particularmente significativa aparte de la relacionada información sobre conteo de acontecimientos referidos a clavijas, los datos son leídos de manera que lo sean los relativos a clavijas y uso para las memorias activas, como asimismo los destinados a las memorias pasivas. En consecuencia, re-
30. sultan disponibles dos diferentes lecturas de cada grupo de

memorias, una para las memorias activas y otra para las memorias pasivas. Como un terminal puede contener, en este ejemplo ilustrativo, hasta diez grupos de memorias separados, se comprenderá que han de disponerse veinte órdenes separadas de lectura de memoria a fin de poder leer los datos selectivamente

5. de cualquier memoria particular de los grupos de ellas. Tal orden contiene un identificador de grupos de memorias y una porción de orden que designa también si es la memoria activa o la pasiva de la que hay que leer.

10. Tras la recepción de la orden adecuada por el bloque 1-B de descodificación y control de órdenes de entrada, este bloque genera una señal ARO ó PRO para el bloque 8 del secuenciador de lecturas designando si es una lectura activa o pasiva la que se desea, generando también las señales IDR e ID que se

15. dirigen al bloque 7 de identidad de memorias. Este bloque 7, como anteriormente se describe, determina si la memoria particular que se está buscando está o no en aquél terminal particular. Si la memoria no está situada en ese terminal, cuando una búsqueda de la identidad de todos los grupos de memorias contenidos

20. en el terminal indica que el deseado grupo no se halla presente, se interrumpe la búsqueda y se ignora la orden.

Sin embargo, si la memoria buscada está en el terminal, el bloque 7 de identidad de memorias genera la señal MID que se dirige al bloque 6 de transferencia de memorias y al secuenciador de lecturas 8, generándose también la señal SID y enviándose al secuenciador de lecturas. Este último sincroniza la transferencia de datos a elevada velocidad desde la memoria

25. 5 al bloque 1-C de codificación y control de datos de salida con las conversiones a baja velocidad de esas señales de datos en señales de datos enviadas al exterior por la línea telefónica.

30.

ca, por ejemplo en forma de caracteres de teletipo.

- Aquel lleva a cabo la sincronización generando una dirección de lectura de diez líneas que se compara en el bloque 3 de direcciones de memorias con la dirección de diez líneas que se genera continuamente allí en las líneas de señales de tres y siete direcciones. Cuando se encuentra un emparejamiento, el -
5. bloque 3 envía una señal RAO al secuenciador de lecturas indicando que se ha encontrado el lugar de memoria correcto para la lectura de datos. Si el secuenciador de lecturas está recibien-
10. do también una señal BE del bloque 1-C de codificación y control de datos de salida, indicativa de que el neutralizador de salida está vacío y se halla a disposición para la recepción de algunos datos, el secuenciador de lecturas 8 genera las señales - adecuadas y las transmite al bloque de memorias 5 para determi-
15. nar la apertura de las puertas de salida de las memorias y permitir la lectura de datos al citado bloque 1-C.

- Las señales generadas por el secuenciador de lecturas 8 que causan la lectura selectiva de datos se muestran como AUE $\phi/9$, APE $\phi/9$, PUE $\phi/9$ y PPE $\phi/9$. La señal AUE representa a habi-
20. litación de uso activo y es una señal habilitadora que se aplica a la puerta de salida del grupo de memorias seleccionado ϕ a 9. Análogamente, la señal APE es la señal de habilitación de clavi-
vija activa, la señal PUE es la de habilitación de uso pasivo y la PPE es la señal de habilitación de clavi-
vija pasiva. En una --
25. operación de lectura efectiva, si por ejemplo la orden entrante hubiese dirigido la lectura de la información de memoria pasiva en el grupo de memorias 3, las señales que fuesen generadas en los momentos adecuados serían primeramente la señal PUE 3 deman-
30. dando la lectura de la información de uso de memoria pasiva del grupo de memorias 3 y cuando los datos hubiesen sido leídos para

- una línea particular, aquélla iría seguida de la señal PPE 3, demandando la lectura de los datos sobre información de clavija pasiva en el grupo de memorias 3 para la misma línea. Esta secuencia de señales PUE 3 y PPE 3 se lleva a cabo por cada -
5. posición de bit o lugar de memoria del total de 1024 de tales lugares en el grupo de memorias y se continúa hasta que han sido leídos todos los datos. El secuenciador de lecturas 8 -- termina entonces la operación de lectura.

Cronometración - Figuras 2, 3, 9, 10 y 11

10. Generador de cronometración - Figuras 2 y 9

- Con referencia ahora a la figura 2, que muestra la lógica detallada del bloque 2 generador de cronometración de la figura 1, se observa que las señales de cronometración derivan todas ellas de un oscilador de cristal 2-1 de 5 MHz, cuya
15. salida es dividida por tres cadenas de cronometración para generar tres grupos de señales de cronometración. La cronometración básica para las diversas operaciones internas del aparato se deriva dividiendo el ritmo del oscilador básico a través de una red de división por dos 2-2 para derivar un ritmo de reloj
20. básico de 2,5 MHz, como se muestra en la línea superior del diagrama de formas de onda de cronometración de la figura 9, midiendo cada uno de los impulsos de reloj un intervalo de tiempo de 400 nanosegundos o de 0,4 microsegundo. Tal como se muestra también por la forma de onda de reloj de la figura 9, diez de
25. tales ciclos de reloj definen un tiempo de bits de una duración de 4 microsegundos. Como se verá seguidamente, durante el tiempo de bits total ocurren acontecimientos en diferentes tiempos, cuyos acontecimientos son controlados por la producción de impulsos de cronometración T₀ a T₉ que son derivados de un descodificador BCD a decimal 2-3 después de que el reloj de 2,5 MHz
- 30.

ha sido dividido por una red 2-4 de división por diez.

- Los impulsos de cronometración T_0 , T_1 y T_9 se ilustran en el diagrama de forma de onda de cronometración de la figura 9, pero se comprenderá que aquéllos no constituyen todos los impulsos de cronometración usados, sino que son sólo representativos de los impulsos de cronometración mostrados en la figura 2 como generados y utilizados en diferentes partes del aparato. También se muestran en la figura 9, inmediatamente debajo de las formas de onda de los impulsos de cronometración, unas formas de ondas de reloj de memoria designadas por reloj PM pasivo y reloj AM activo, cuyos impulsos de reloj ocurren cada tiempo de bit y son generados respectivamente por el multivibrador biestable de memoria pasiva 2-5 y por el multivibrador biestable de memoria activa 2-6. El reloj PM se produce al comienzo del tiempo T_0 y termina al comienzo del tiempo T_1 , en tanto que el reloj AM se produce al comienzo del tiempo T_1 y termina al comienzo del tiempo T_2 .

- También se generan ocho impulsos de reloj de bauds de entrada y salida de la señal de reloj de 2,5 MHz por medio de las redes de división por ocho 2-7 a 2-14. Cada uno de los relojes de bauds equivale a dieciséis veces los ritmos de bauds de entrada y salida efectivos, de manera que, por ejemplo, el ritmo de 2400 bauds corresponde a un reloj de bauds de dieciséis por 2400. Como un baud es un bit por segundo, esto corresponde a un ritmo de entrada o de salida de 2400 bits por segundo. En un sistema que requiriese diez bits para designar un carácter, el ritmo de entrada y/o de salida sería en consecuencia de 240 caracteres por segundo, un ritmo relativamente rápido para un equipo de teletipo que típicamente sería puesto en funcionamiento por datos leídos del aparato a tal ritmo. Típi-

camente, la lectura de datos del aparato según la invención constituiría una lectura a líneas telefónicas que tienen una anchura de banda limitada y por consiguiente restringen el ritmo de información que puede transmitirse por tales líneas.

5. Finalmente, la salida del oscilador de 5 MHz se pasa a través de una red divisora que consta de los divisores 2-15 a 2-20 para generar una serie de cinco ritmos de exploración de uso, subsecuentemente designados en otras partes del equipo por señales USR. Estas señales, que ocurren una vez por cada
10. intervalo mostrado en la figura 2, tales como a intervalos de un segundo y de cien segundos, son los intervalos de cronometración básicos que, cuando se correlacionan con las señales de conteo de intervalos de uso, a describir más adelante, designan el espacio de tiempo durante el cual se ha observado que existe
15. una particular condición de acontecimiento detectada. Estos impulsos USR son seleccionables y se usan para generar las señales HW y HR utilizadas del modo mostrado en el bloque de entrada de datos y control de memorias. En la figura 15 se ilustra un sistema circuital específico para generar las señales HW y HR utilizando la señal USR.
- 20.

Dirección de memorias - Figuras 3, 9, 10 y 11

- A fin de llevar los datos de las líneas de los abonados a través del bloque 1-A de conjuntos de exploración de clavijas al bloque 4 de entrada de datos y control de memorias, el
25. bloque 3 de direcciones de memorias genera una señal estroboscópica de dirección de clavija $\overline{P\bar{A}S}$, una señal estroboscópica de datos de clavijas PDS y señales de dirección de líneas en las siete líneas de direcciones de grupos de bits, que indican que grupo de ocho líneas de abonados ha de ser examinado. Esto se
30. realiza generando 128 direcciones separadas en las siete líneas de direcciones de grupos de bits, seleccionando cada dirección

- secuencialmente ocho de las líneas de abonados, de manera que los 128 grupos sucesivos de ocho líneas de abonados corresponden a la totalidad de 1024 líneas supervisadas por un solo conjunto de exploración de clavijas. Estas señales de direcciones y la señal \overline{PAS} se dirigen simultáneamente a la totalidad de hasta diez conjuntos de exploración de clavijas que pueden hallarse presentes en el aparato, de manera que pueden dirigirse simultáneamente hasta ochenta líneas. La señal \overline{PAS} ralentiza la dirección a los conjuntos de exploración de clavijas, de manera que las líneas dirigidas son acondicionadas para el muestreo de datos cuando se genera subsiguientemente la señal de ralentización de datos de clavijas PDS. Como se verá, la señal PDS ralentiza la muestra de datos seleccionada desde los conjuntos de exploración de clavijas al bloque 4 de entrada de datos y control de memorias.
- 5.
- 10.
- 15.

- Con referencia a la figura 3, la señal estroboscópica de direcciones de clavijas \overline{PAS} y las direcciones en las siete líneas de direcciones de grupos de bits son generadas por una señal $\overline{T7}$ del bloque de cronometración 2. Una vez cada tiempo de bit, pasa un impulso $\overline{T7}$ a la entrada de conteo de contador binario 3-1 de 3 bits y cada vez que se han contado ocho señales $\overline{T7}$, se transmite un conteo de ocho a la entrada de conteo de los dos contadores binarios 3-2 y 3-3 de 7 bits. Cuando el contador 3-2 cuenta hasta 127, que representan 127 ciclos de ocho conteos, y seguidamente el conteo en el contador binario 3-1 de 3 bits alcanza un valor de siete, de manera que la entrada de conteo total en la puerta 3-4 es de 1023, dicha puerta 3-4 queda habilitada de manera que el siguiente impulso $T9$ pase a través de ella y ajuste al multivibrador biestable 3-5 de revoluciones para producir una salida habilitadora R por la
- 20.
- 25.
- 30.

puerta 3-6. El siguiente impulso T3 pasa a través de la puerta 3-6 como señal R, que establece el tiempo de bit ϕ . También -- introduce un primer conteo en la red 4-7 de descodificación y contadores binarios de 8 bits del bloque 4 de entrada de datos y control de memorias y preajusta el conteo en el contador binario 3-3 a un conteo de 1. El contador binario 3-2, que ha --
5. avanzado hasta su máximo conteo, vuelve de nuevo a un conteo cero, en tanto que el contador binario 3-3, que había vuelto también a su conteo cero, avanza ahora a un conteo 1, de manera
10. que muestra un conteo superior en 1 al mostrado en el contador 3-2.

La siguiente señal de cronometración T4 reajusta el multivibrador biestable de revoluciones 3-5 y retira por consiguiente la señal R de la puerta 3-6. En consecuencia, como
15. el contador binario 3-2 ha salido de su estado de conteo 127, la puerta 3-4 no puede ser habilitada hasta 1023 bits posteriores y no se generará otra señal R hasta el tiempo del bit ϕ de la siguiente revolución, que es 1024 bits posteriores. La señal R se muestra en el diagrama de formas de onda de cronometración de la figura 9 que tiene lugar en T3 del tiempo de bit ϕ .
20.

La dirección de las siete líneas de direcciones de grupos de bits del contador binario 3-3 cambia un conteo cada ocho ciclos de impulsos T1, en tanto que el conteo de las tres líneas de direcciones del contador binario 3-1, que identifica
25. separadamente cada línea en el grupo de líneas dirigidas, cambia sucesivamente con cada sucesivo impulso T1. Las siete líneas de direcciones de grupos de bits se muestran en la figura 10 como líneas de direcciones de memorias 3-9, mientras que -- las tres líneas de direcciones que identifican a cada línea específica en un grupo de ocho líneas se muestran como líneas --
30.

- de direcciones de memorias β a 2. La línea de dirección de memoria β se muestra también en el diagrama de escala de tiempos extendida de la figura 9 de manera que pueden correlacionarse las formas de ondas de las figuras 9 y 10. Por consiguiente,
5. las tres líneas de direcciones que se dirigen al bloque 4 de entrada de datos y control de memorias hacen que el multitransmisor de paralelo a seriado 4-1 de las mismas examine secuencialmente cada uno de los ocho bits almacenados en el registro 4-2 de almacenamiento de 8 bits. Cuando el noveno impulso T_1 entra
10. en el contador binario 3-1, hace que las tres líneas de direcciones empiecen un nuevo ciclo, explorando desde el primer al octavo bit en el siguiente grupo de ocho bits de datos que habrán sido transferidos desde las ocho líneas de abonados dirigidas al registro 4-2 de almacenamiento de 8 bits debido a la
15. nueva dirección ahora mostrada en las siete líneas de direcciones del contador binario 3-3.

- El motivo de ajustar el contador binario 3-3 a un conteo superior en 1 respecto al mostrado en el contador 3-2, es la necesidad de acondicionar las puertas del bloque 1-A de
20. conjuntos de exploración de clavijas de manera que sean preparadas para transferir al siguiente grupo de ocho bits al registro 4-2 de almacenamiento de 8 bits del bloque 4 de entrada de datos y control de memorias, tan pronto como se ha completado el examen de los ocho bits actualmente almacenados. -
25. Las tres líneas de direcciones del contador 3-1 y los siete bits del contador 3-2 se dirigen también a un comparador 3-7 de 10 bits para su comparación con la dirección de lectura de diez líneas que se presenta durante una operación de lectura de datos y que se describirá más adelante.

30. Cada vez que el conteo en el contador binario 3-1 es

- igual a 7, se pasa un impulso de cronometración T9 a través de la puerta 3-8 para ajustar el multivibrador biestable 3-9 de 8º bit y generar una señal PDS de ralentización de datos de clavijas. Inmediatamente después, en el tiempo T1, la salida
5. 8 del multivibrador biestable 8-9 de 8º bit pasa un impulso T1 a través de la puerta 3-10 y reajusta el multivibrador biestable 3-11 de direcciones de clavijas y genera la señal \overline{PAS} de ralentización de direcciones de clavijas. Es esta señal \overline{PAS} , junto con las señales de las siete líneas de direcciones del
10. contador binario 3-3, la que retira los ocho siguientes bits de datos del bloque 1-A de conjuntos de exploración de clavijas y presenta los datos en las puertas de entrada 4-3 del -- control de memorias y entrada de datos. Sin embargo, estos datos no se pasan a través de las puertas de entrada 4-3 hasta que
15. se genera la señal PDS de ralentización de datos de clavijas a través de la puerta 3-8 ocho ciclos de cronometración (tiempos de bits) después mediante un impulso T9 después de que se han examinado los ocho bits actualmente en el registro 4-2 de almacenamiento de 8 bits. Tal como se muestra en la figura 10,
20. la señal \overline{PAS} , que tiene lugar durante el tiempo de los bits - (o líneas) 0-7, está realmente acondicionando las líneas 0-7 de los conjuntos de exploración para el muestreo de datos por la señal PDS que se muestra en el tiempo T9 del tiempo de exploración de la línea 7 durante el tiempo de los bits 0-7. En
25. consecuencia, el muestreo efectivo de las líneas 0-7 tiene lugar durante el intervalo de tiempo que empieza en el punto designado "comienzo del tiempo ϕ de localización de memorias".

El impulso T4 reajusta el multivibrador biestable 3-9 de 8º bit después de que el impulso T1 ha reajustado el

30. multivibrador biestable 3-11 de direcciones de clavijas. La -

- señal \overline{PAS} es suprimida por una señal dirigida a la entrada de ajuste del multivibrador biestable 3-11 de direcciones de clavijas del contador binario 3-1 cuando tiene lugar el siguiente conteo de 2 en dicho contador binario. La supresión de la señal \overline{PAS} carece de importancia en este punto, puesto que la dirección del contador binario 3-3 había sido ya ralentizada al bloque 1-A de conjuntos de exploración de clavijas y la dirección queda almacenada, de manera que al producirse la siguiente señal PDS de ralentización de datos de clavijas, los bits de información de las líneas de direcciones seleccionadas son enviadas al registro 4-2 de almacenamiento de 8 bits a través de las puertas 4-3 de datos de entrada. Las señales \overline{PAS} y PDS se muestran en la relación de cronometración que se acaba de describir, en el diagrama de formas de ondas de cronometración de la figura 10
- 5.
- 10.
- 15.

Detección de acontecimientos de clavijas y usos

Figuras 4, 9, 10, 11, 12, 13, 14 y 15.

Conteo de acontecimientos en clavijas - Figuras 4,

9, 10, 11, 13 y 14.

20. Cuando se recibía la señal PDS de ralentización de datos de clavijas del bloque 3 de direcciones de memorias, los datos sobre las ocho particulares líneas de entrada designadas por la dirección entonces actual se introducían en el registro 4-2 de almacenamiento de 8 bits, donde permanecían durante ocho --
25. tiempos de bit, de manera que los ocho bits pudieran examinarse secuencialmente uno cada vez a través del multitransmisor de -- paralelo a seriado 4-1, examinándose el particular bit objeto de determinación por el estado de las tres líneas de direcciones ϕ_1 y ϕ_2 del bloque 3 de direcciones de memorias, como se muestra en la figura 10. La actividad en la particular línea
- 30.

examinada se designa por una salida de señal F y la ausencia de actividad en tal línea se designa por una salida de señal \bar{F} . Estas señales F y \bar{F} se presentan a la red de integración ascendente y descendente de clavijas 4-4 junto con las señales de cronometración T3, T5, T6 y T7 del bloque de cronometración 2 y con información de conteo del contador binario 4-5 de 3 bits y el registro de cambios 4-6.

- 5.
- 10.
- 15.
- La producción de un acontecimiento que generará una señal PCO de conteo de acontecimientos en clavijas es una en la que se examina una línea particular a intervalos periódicos y resulta presentar una condición o señal F durante tres observaciones sucesivas, seguida de la condición de la línea en la que existe ausencia de tal condición o una señal \bar{F} durante tres observaciones sucesivas. Cuando se ha determinado que existe tal secuencia de condiciones para una línea determinada, se genera una señal PEC de conteo de acontecimientos en clavijas para tal línea, cuyo conteo se añade en la memoria 5 al conteo anterior almacenado en la memoria para esa línea.

- 20.
- 25.
- 30.
- El espacio mínimo total de tiempo requerido para determinar si ha ocurrido o no un acontecimiento de clavija, se controla mediante la señal PU de clavija-arriba y la señal PD de clavija-abajo. Estas señales son generadas por el contador y descodificador binario 4-7 de 8 bits, que genera señales que son múltiplos del intervalo R de la señal de revolución de -- 1024 bits que se genera en el bloque 3 de direcciones de memorias por el multivibrador biestable 3-5 de revoluciones y un impulso de cronometración T3. La señal R se genera una vez en cada 1024 bits y las señales adicionales generadas por el descodificador y contador binario 4-7 son sucesivos múltiplos de dos de la señal R; así, las señales disponibles son, además

de la señal R, una señal que aparece en un intervalo de 2R, en un intervalo de 4R, 8R y así sucesivamente hasta intervalos de 256R. Las señales de revolución R a 32R se muestran en el diagrama de formas de ondas de cronometración de la figura 11.

5. La cronometración relativa para las otras señales cronometradas se observa comparando las señales R de las figuras 9 y 11.

Tal como se muestra en la lógica de direcciones de memorias de la figura 3 y en el diagrama de formas de ondas de cronometración de la figura 9, la señal R que ocurre una vez

10. en cada revolución ó 1024 bits, tiene una duración del tiempo de un impulso, que ocurre durante el tiempo del impulso T3 del bit β . El estado de cada línea puede observarse de una vez durante cada revolución, en cuyo caso la señal R se empleará --

para clavija-arriba y clavija-abajo o bien el estado de cada

15. línea puede observarse en algún múltiplo de una sola revolución, por ejemplo cada cuatro revoluciones, en cuyo caso las señales clavija-arriba y clavija-abajo seleccionadas serían la señal 4R. Además, es posible seleccionar un primer intervalo durante el cual se examina la condición de clavija-arriba y seleccionar

20. un segundo intervalo durante el cual se examina la condición de clavija-abajo, por ejemplo examinando la condición de clavija-arriba cada dos revoluciones y la condición de clavija-abajo cada ocho revoluciones. Las específicas condiciones de mudo de las líneas supervisadas determinarán qué intervalos se seleccionan para los tiempos de clavija-arriba y clavija-abajo.

La señal de clavija-arriba seleccionada se aplica a la puerta 4-9 para determinar cuando se introducen los datos de conteo del registro de cambios 4-5 en la red de integración 4-4 para determinar la producción del conteo de acontecimiento de clavija.

30.

- Suponiendo que inmediatamente antes se hubiese generado una señal para la entrada de puesta a cero del contador binario 4-5 de 3 bits por la red de integración 4-4 a partir de una señal CL dirigida a aquél como consecuencia de una orden de puesta a cero recibida de una computadora situada corriente abajo, la señal de entrada de puesta a cero se mantiene durante una revolución completa de manera que el conteo de salida del contador binario 4-5 de 3 bits se pone en cero, como lo es el conteo en todas las posiciones del registro de cambios 4-6. Con referencia de nuevo al generador de cronometración, la lógica de la figura 2 muestra que el multivibrador - biestable 2-6 de las memorias activas genera una señal de reloj AM de memoria activa que existe durante el intervalo de tiempo de T1 a T2 por cada bit. Esta señal de reloj AM de memoria activa es una señal que sincroniza el registro de cambios 4-6 del bloque 4 de entrada de datos y control de memorias con los registros de cambios 5-5 y 5-6 de la memoria mostrada en la figura 5, asegurando así que los datos de conteo de acontecimientos de clavijas que aparecen como señal PEC de la red de integración 4-4 se añaden al adecuado lugar de bit en el registro de cambios 5-5 de memorias activas.
- 5.
- 10.
- 15.
- 20.

- Como todo se ha puesto a cero en el registro de cambios 4-6 y en el contador binario 4-5, el conteo de cero del registro de cambios 4-6 será recirculado de nuevo a través del contador binario 4-5 en el tiempo T3 por un impulso T3 y aparecerá de nuevo como conteo de salida para su recirculación a la entrada del registro de cambios 4-6, a menos que haya sido generada una señal de incremento BC por la red de integración 4-4. La generación de una entrada BC de incremento para el contador binario 4-5 eleva el conteo de cero a uno y, suponiendo
- 25.
- 30.

que en los dos siguientes ciclos sucesivos se genere también una salida BC de incremento por la red de integración 4-4, entonces el conteo del contador binario 4-5 se habrá elevado a 3, si no se detectan tres sucesivos estados o condiciones F, el

5. conteo en el contador binario se restablece en cero y se continúa la observación hasta que se detectan tres estados F sucesivos.

Las señales de incremento BC se generan en el tiempo T5 y después de que el conteo de salida del contador binario

10. 4-5 ha ascendido a 3, inmediatamente después, en el tiempo T6, la red de integración 4-4 generará una señal de incremento BC y una señal de incremento A que elevará el conteo de salida del contador binario 4-5 a cuatro. El cambio del conteo del contador binario de tres a cuatro inhabilita la puerta 4-8 de clavija-arriba para la red de integración y habilita la puerta 4-9 de clavija-abajo. Por consiguiente, la red de integración 4-4 para los tres conteos siguientes aguarda tres sucesivos estados \bar{F} para generar una señal PEC de conteo de acontecimientos de clavijas.

20. Si no se detectan tres sucesivos estados o condiciones \bar{F} , el conteo en el contador binario se establece de nuevo en cuatro mediante señales A de puesta a cero e incremento y se continúa la observación hasta que se detectan tres estados \bar{F} sucesivos. En este momento, se genera la señal PEC de conteo

25. de acontecimientos en clavijas para incrementar el conteo en el correspondiente lugar de memoria del registro de cambios 5-5 de memorias activas y se genera una señal de puesta a cero - que pone de nuevo en cero el conteo en el contador binario 4-5.

- En consecuencia, con el conteo de salida del contador binario 4-5 ahora ajustado en cero, el conteo en el registro de cambios
- 30.

- 4-6 en la correspondiente línea y lugar de memoria será también de cero en preparación a la próxima vez que se examine ese lugar. En las figuras 13 y 14 se muestra respectivamente la lógica específica para instrumentar las funciones anteriormente descritas para la red de integración 4-4 de clavija-arriba y clavija-abajo y para el contador binario y descodificador 4-7 de 8 bits.

Conteo de intervalos de uso (UIO) - Figuras 4, 11, 12, 14 y 15

- Además de determinar y registrar la cantidad de actividad en cualquier línea determinada de la manera que se acaba de describir, mediante generación de las señales PEO de conteo de acontecimientos de clavijas y registro de las mismas por cada línea en el registro de cambios 4-6, es también importante poder determinar cuál ha sido la duración media de cada acontecimiento. Tal duración media es determinable cuando se conocen el tiempo total de uso y el número de acontecimientos. El intervalo de uso total se determina para cada línea mediante selección de una de las redes de integración de usos 4-10 y 4-11, junto con el contador binario 4-12 de 2 bits, el registro de cambios 4-13 y las puertas asociadas a ellos. Los datos sobre intervalos de usos se adquieren durante el mismo tiempo en que se está adquiriendo la información sobre conteo de acontecimientos en clavijas para cada línea particular y se fijan a las señales F y \bar{F} que indican si hay o no actividad en la particular línea objeto de examen.

- La señal F del multitransmisor 4-1, además de dirigirse a la red de integración ascendente y descendente 4-4, se presenta también como entrada a la puerta 4-14, mientras que la señal \bar{F} se dirige como entrada a la puerta 4-15. Además, las puertas 4-14 y 4-15 requieren una señal de cronometración T5 y

- Una señal HW de las redes de integración de usos A ó B 4-10 y 4-11. Suponiendo de momento que no haya ninguna señal HW presente en las puertas 4-14 y 4-15, estas puertas se mantienen inactivas y puede no haber entradas para el contador binario 4-12 de 2 bits o para el registro de cambios 4-13. Por consiguiente, se inhibe la puerta 4-16 y se habilita la puerta 4-17, de manera que el contenido del registro de cambios 4-13 pueda recircularse continuamente a través del registro bajo control de la señal de reloj AM de memoria activa. Además, como se mostrará seguidamente, el registro de cambios 4-13 ha sido puesto a cero en cada posición de bit, de manera que el circuito de recirculación externo de la salida de conteo del registro de cambios 4-13 que recircula de nuevo a la entrada de conteo preajustada del contador binario 4-12 de 2 bits estará circulando conteos de cero hacia la entrada de conteo preajustada.

- Con referencia ahora también a la figura 12, suponga se que se genera una señal HW por una de las redes de integración de usos y que la particular línea objeto de examen se halla en estado activo, de manera que existe también la presencia de una señal F. Bajo estas condiciones, al producirse el siguiente impulso de cronometración T5, se pasará una señal a través de la puerta 4-14 e incrementará el conteo en el contador binario 4-12 de 2 bits, de manera que el conteo de salida de dicho contador será de "uno". Con la presencia de la señal HW, se inhibe la puerta 4-17, lo que interrumpe la recirculación del registro de cambios 4-13 y habilita la puerta 4-16, de manera que la producción del siguiente impulso de reloj AM retira el conteo "uno" del contador 4-12 hacia la adecuada posición lineal del registro de cambios 4-13. Cada sucesiva línea de las 1023 siguientes será análogamente examinada y el conteo para ca

da una de tales líneas se incrementará o no en función de que haya o no actividad en esa línea particular en el momento en que es examinada.

- Suponiendo ahora que la primera línea examinada ha sido descendida a través del registro de cambios 4-13 a la posición de salida y se circula alrededor de la entrada de conteo preajustada del contador binario 4-12 de 2 bits porque se ha completado una revolución y el multitransmisor 4-1 se encuentra ahora a punto de examinar de nuevo la condición de tal línea, el conteo inicial de "uno" que se había establecido en la revolución anterior se establece ahora en la posición de conteo de salida del contador binario de 2 bits por la entrada de conteo preestablecida en el tiempo T3 mediante un impulso de cronometración T3. Dos impulsos más tarde, en T5, cuando se examina de nuevo esta línea para determinar la presencia de actividad en la misma, y suponiendo que haya tal actividad de manera que la señal F se encuentre de nuevo presente en la puerta 4-14, será recibida otra entrada de conteo incrementado por el contador binario 4-12 de 2 bits, que elevará el conteo de salida a "dos". Este conteo de "dos" se inserta ahora, tal como queda explicado, en aquella posición lineal del registro de cambios 4-13 y procede reduciendo a través del registro como un conteo de "dos". De nuevo se examina secuencialmente el resto de las líneas hasta que esta misma línea que ha sido establecida ahora como dotada de un conteo de "dos" se circula de nuevo hacia la entrada de conteo preajustada del contador binario 4-12 y aparece en la posición de conteo de salida.

- Suponiendo de nuevo que haya actividad en esa línea, se pasará por tercera vez una señal a través de la puerta 4-14 a la entrada de conteo incrementado del contador binario 4-12

y elevará el conteo de salida a "tres". Este conteo de "tres" habilita también la puerta 4-18, de manera que se pasa, un impulso después, en T6, una señal UIC de conteo de intervalos de uso a través de la puerta para su transmisión y almacenamiento en el lugar de memoria correspondiente a aquella línea, como se describirá luego. Además, la señal UIC es transmitida a la puerta CR 4-19, a través de la cual pasa a la entrada de puerta a cero del contador binario 4-12, al que pone a cero para esa -- particular posición lineal. Este conteo de cero para esa posición lineal aparece en la salida de conteo del contador binario de 2 bits y cuando seguidamente aparece en el siguiente tiempo T1 la señal de reloj AM de memoria activa, este conteo de cero se coloca en esa posición lineal del registro de cambios 4-13.

La señal HW se halla presente durante tres revoluciones completas, que pueden ser consecutivas o estar espaciadas entre sí por intervalos determinados por la señal UU de uso ascendente. En consecuencia, estas revoluciones durante las cuales tiene lugar un examen de datos pueden espaciarse a intervalos de 1R, 2R, 4R, 8R y así sucesivamente. La señal HW permanece durante una revolución adicional, pero durante este tiempo la señal HR ha sido generada también y se halla presente, de manera que, independientemente de que se hubiese pasado o no algún dato a través de la puerta 4-14 a la entrada de conteo incrementado del contador binario 4-12, la presencia de la señal HR que se pasa a través de la puerta CR 4-19 a la entrada de puerta a cero del contador binario 4-12 traba el conteo de salida de este último en cero durante una revolución completa de 1024 bits, de manera que el registro de cambios 4-13 contiene ahora cero conteos en todas las posiciones lineales y el contador binario 3-12 es puesto también en cero.

- Por lo que antecede se comprenderá que se generaba una señal UIC por cada posición lineal en la que se obtenía un conteo de tres durante el tiempo de muestreo y que no se generaba ninguna señal UIC para ninguna posición lineal en la que se obtuviese menos de un conteo de tres durante el tiempo de muestreo. El sistema muestreador de conteos de tres se utiliza como para el conteo de acontecimientos en clavijas a fin de asegurar tan estrechamente como sea posible que se está detectando un acontecimiento verdadero en lugar de ruido.
- 5.
10. El intervalo entre grupos de señales HW y la duración de toda la señal HW son selectivamente variables. La señal USR o de ritmo de exploración de usos determina el espacio de tiempo entre la producción de grupos de señales HW y se muestra en las salidas del generador de cronometración como seleccionables en 1 segundo, 3,6 segundos, 10 segundos, 36 segundos ó 100 segundos. El tiempo de uso total para una línea determinada es por consiguiente el ritmo de exploración de uso en segundos -- multiplicado por el número de señales UIC registradas para -- aquella línea. El tiempo de uso medio por acontecimiento se obtiene dividiendo el tiempo de uso total por el número de señales PEC registrado para esa línea. Habiendo seleccionado el intervalo de exploración de uso, el espacio de tiempo durante el cual tiene lugar los tres muestreos se determina mediante la señal UU ó de uso ascendente del contador binario de 8 bits y del decodificador 4-7. Las tres muestras pueden tomarse en tres revoluciones consecutivas o bien pueden espaciarse entre sí, dependiendo de la particular señal UU que se seleccione. Estas relaciones de cronometración se muestran en las formas de ondas de la figura 12.
- 15.
- 20.
- 25.
30. Se ilustran dos redes de integración de usos 4-10 y

- 4-11, mostrándose la red de integración de usos B 4-11 conectada de hecho al sistema circuital ilustrado para el control del grupo de memorias número 1 en el terminal. Cada uno de los otros nueve grupos de memorias del terminal está análogamente conectado a cualquiera de las redes de integración de usos A ó B, -
5. de manera que diferentes grupos de memorias dentro del terminal pueden estar utilizando diferentes ritmos de exploración de -- usos y/o diferentes intervalos de uso ascendente. En la figura 15 se muestra la lógica específica para instrumentar las fun--
10. ciones anteriormente descritas para las redes de integración - de usos 4-10 y 4-11.

Almacenamiento de datos sobre clavijas y usos - Figura 5

- Las señales PEC y UIC que acaban de ser generadas por el bloque 4 de entrada de datos y control de memorias son dirigidas al bloque de memorias 5, desde el que tales señales son dirigidas al particular grupo de memorias que almacena --
15. los datos para las 1024 líneas asociadas al bastidor del conjunto de exploración de clavijas para el que han sido generadas las señales PEC y UIC. Este grupo de memorias es uno de -
20. hasta diez grupos contenidos en un terminal particular, suministrándose cada uno de los otros nueve grupos de memorias -- con sus propias señales PEC y UIC para su asociado sub-bastidor de conjunto de exploración de clavijas. Uno de los diez - grupos idénticos de memorias se muestra en la figura 5, a la
25. que se hará ahora referencia.

- Los conteos de acontecimientos de clavijas y los - de intervalos de usos se dirigen respectivamente a los contadores de decenas 5-1 y 5-2 de 12 bits a través de las puertas 5-3y 5-4. Estos contadores tienen una capacidad de conteo de 999
30. por cada línea supervisada, representando el máximo conteo de 999 el máximo conseguible con tres posiciones digitales decima-

les. Cada dígito decimal requiere cuatro bits binarios para alcanzar un conteo de nueve, de manera que los tres dígitos decimales requieren un contador de 12 bits. El conteo de salida de cada uno de los contadores de decenas 5-1 y 5-2 de 12 bits se aplica a la entrada de conteo de los registros de cambios 5-5 y 5-6. En el diagrama 1 se muestra un esquema de estos registros de cambios, por cuyo diagrama es evidente la estructura de 12 bits/3 dígitos decimales/1024 lugares de memorias. La salida de conteo de cada uno de los registros de cambios se circula exteriormente a la entrada de conteo preajustada del asociado contador de decenas 5-1 ó 5-2, pasándose el particular conteo al contador mediante una señal de cronometración T3. Esta recirculación externa y continua avanza a menos que aparezca una señal PEC o UIC, en cuyo caso tales señales se pasan a través de las respectivas puertas 5-3 ó 5-4 a la entrada de conteo incrementado de los contadores de decenas, donde se añade el incremento al conteo preajustado y aparece en la salida de conteo de los contadores de decenas y en consecuencia se inserta en el adecuado lugar lineal de memoria del asociado registro de cambios.

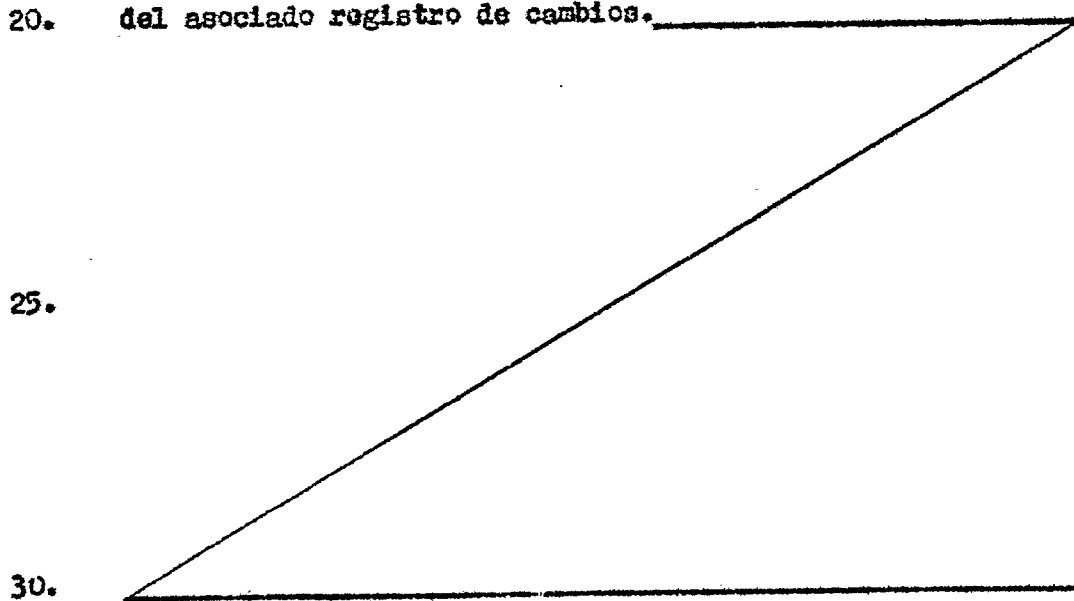


Diagrama 1

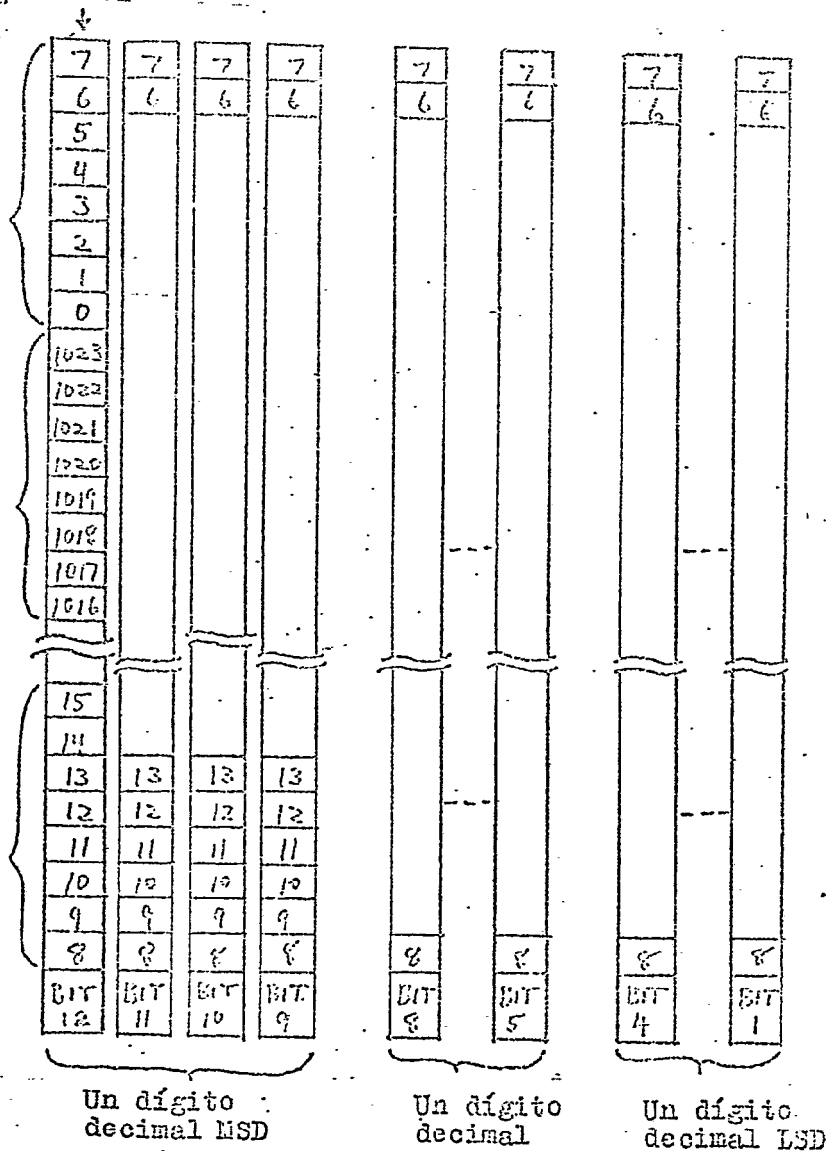
Registro de cambios de 12 x 1024 bits de grupos de memorias

Dirección de memoria

Grupo 0. 8 líneas de conjunto de exploración de clavijas

Grupo 127. 8 líneas de conjunto de exploración de clavijas

Grupo 1. 8 líneas de conjunto de exploración de clavijas



POOR QUALITY

- La circulación de la información de bits se produce a un ritmo determinado por la señal de reloj AM de memorias activas, que es naturalmente la misma señal que proporciona el cambio de bits a través de los registros de cambios del bloque 4
5. de entrada de datos y control de memorias, de manera que todos estos registros están sincronizados y los datos para una determinada línea que genera una señal PEC o UIC se añaden siempre al adecuado lugar lineal del registro de cambios de grupos de memorias 5-5 ó 5-6. Cuando el conteo en cualquiera de los
10. registros de cambios 5-5 ó 5-6 alcanza su máximo de 999, se genera una señal de salida que inhibe la puerta de entrada PEC 5-3 ó la puerta de entrada UIC 5-4. Si no se hiciese esto, un conteo adicional devolvería a cero los datos para esa particular posición lineal y los datos informativos se perderían.
15. Estas memorias pueden ponerse a cero mediante una señal de puesta a cero total generada en respuesta a una orden de giro total procedente de una computadora de supervisión, determinando la señal de puesta total a cero tal puesta a cero de todos los grupos de memorias de todo el terminal. Además, pueden generarse también señales de puesta a cero en respuesta a
20. una orden de vuelta de página recibida de una computadora supervisora o situada corriente abajo, cuya señal de vuelta de página hace que la memoria acumuladora o activa que se acaba de describir transfiera su contenido a una memoria pasiva, seguido de
25. una puesta a cero de la memoria activa. El grupo de memorias ilustrado en la figura 5 es el grupo 1 asociado a la lógica del bloque de entrada de datos y control de memorias que anteriormente se describe y en consecuencia la señal selectiva de puesta a cero para este grupo de memorias se muestra como señal de puesta a cero 1. Otros grupos de memorias serán puestos a cero selectivamente por señales específicas para tales grupos, como una
- 30.

señal de puesta a cero ϕ 6 9.

Funciones exteriormente controladas - Figuras 3 a 8

5. La anterior descripción ilustra la manera de tomar información de un gran grupo de líneas que son exploradas para determinar si hay o no actividad en las mismas y cuál es la duración de tal actividad. Esta sección está relacionada con la manera en que los datos que han sido almacenados en los grupos de memorias son controlados mediante una adecuada computadora situada corriente abajo, de manera que los datos de las memorias puedan ser leídos del terminal y transmitidos a otra parte para su evaluación. Además, mediante una orden de una computadora situada corriente abajo, puede inicializarse todo el terminal para poner a cero todas las memorias y asegurar que todos los componentes interiormente cronometrados del terminal funcionen sincronizadamente. Asimismo, ciertas transferencias de datos internas pueden llevarse a cabo dentro de las memorias del terminal, aún cuando los datos no estén siendo leídos en ese momento del terminal para su uso en otra parte.
- 10.
- 15.

Puesta a cero de todas las memorias - Figuras 6, 5 y 4

20. Con referencia ahora al diagrama en bloques completo de la figura 1 y al bloque de transferencia de memorias mostrado en la figura 6, se observa que tras el recibo de una orden de la computadora de control para inicializar todo el terminal, se genera una señal por el bloque 1-B de control y descodificación de órdenes de entrada, que se envía al bloque 6 de transferencia de memorias como señal de puesta a cero.
- 25.

30. La señal de puesta a cero ajusta el multivibrador - biestable 6-1 de ralentización de puesta a cero para generar una señal GS que se aplica como entrada a la puerta 6-2, cuya otra entrada es la señal R generada en el bloque de direcciones

de memorias de la manera anteriormente descrita. La señal R existe durante un impulso en el tiempo T3 y ralentiza la señal CS a través de la puerta 6-2 para ajustar el multivibrador -- biestable 6-3 de nivel de puesta a cero y generar la señal CL.

5. Esta señal CL se dirige al bloque 4 de entrada de datos y control de memorias, donde pone a cero al registro de almacenamiento 4-2 de 8 bits, al contador y descodificador binario 4-7 de 8 bits y a las redes de integración de usos A y B 4-10 y 4-11 y se dirige a la red de integración ascendente y descendente de clavija 4-4, que genera una señal para la entrada de puesta a cero del contador binario 4-5 de 3 bits, poniendo a cero a este último y también al registro de cambios 4-6.
- 10.

Esta misma señal CL aparece en la puerta 6-4, por donde se pasa en el tiempo T4 durante los siguientes 1024 tiempos T4 para generar en consecuencia 1024 señales de puesta a

15. cero de todo. Estas señales de puesta a cero de todo se dirigen a los puntos de entrada de puesta a cero de todo del contador de decenas de clavijas de 12 bits y del contador de decenas de uso de 12 bits del bloque de memorias 5 para los diez grupos de
20. memorias. En consecuencia, los 1024 lugares de memorias de los registros de cambios 5-5 y 5-6, así como sus correspondientes contrapartidas en los otros grupos de memorias, son puestos a cero. La señal CL permanece durante 1024 bits porque la señal R que permitió el ajuste del multivibrador biestable 6-3 de -
25. nivel de puesta a cero no es recibida de nuevo hasta 1024 bits más tarde. En ese momento habilita la puerta 6-5 para el paso a través de ella de una señal \overline{CS} del multivibrador biestable 6-1 de ralentización de puesta a cero para reajustar el multivibrador biestable 6-3 de nivel de puesta a cero y terminar la se-
30. ñal CL. La señal \overline{CS} fue generada en el primer impulso T0 después

de generarse la señal CL dirigiendo esta última hasta la puerta 6-6, la entrada reajustada del multivibrador 6-1 de ralentización de puesta a cero, por donde la siguiente señal $T\bar{0}$ pasa hacia la entrada reajustada.

5. Transferencia de todas las memorias - Figuras 6 y 5

- La orden de giro total es una que se recibe de la fuente de supervisión situada corriente abajo y que hace que todos los registros de memorias activas, tanto de clavijas como de uso, transfieran sus contenidos a un asociado registro de memorias pasivas para su almacenamiento pasivo, determinando asimismo la puesta a cero de todas las memorias activas. Tras el recibo de una orden de giro total por el bloque 1-B de descodificación y control de órdenes de entrada, se genera una señal TA que se dirige al bloque 6 de transferencia de memorias. En este bloque, la señal TA activa al multivibrador biestable estroboscópico 6-7, generando así una señal ST que se aplica a la puerta 6-8. Cuando aparece la siguiente señal de revolución R, aquella deja pasar la señal ST para activar el multivibrador 6-9 de nivel de TA y genera una señal L. Esta señal se hace circular de nuevo a la puerta 6-10, por donde pasa el siguiente impulso de cronometración $T\bar{0}$ para reajustar el multivibrador 6-7 de ralentización de TA. Tras el reajuste, la señal ST situada en la puerta 6-8 desaparece y surge la señal \bar{ST} en la puerta 6-11. Una revolución más tarde, cuando la señal R aparece de nuevo, ésta dirige la señal \bar{ST} a través de la puerta 6-11 para reajustar el multivibrador 6-9 de nivel de TA. En consecuencia, la señal L se halla presente durante una revolución ó 1024 bits.
- 10.
- 15.
- 20.
- 25.

30. La señal L pasa a través de la puerta OR 6-12 y de un grupo de diez puertas OR 6-13 a 6-22 para habilitar a la puerta AND 6-23 y al grupo de diez puertas AND 6-24 a 6-33. Las señales

- habilitadoras en el grupo de diez puertas 6-24 a 6-33 se designan por señales TM \emptyset a TM9 que representan la señal de -- "transferencia de memoria \emptyset " a la señal de "transferencia de memoria 9", cuyas señales son dirigidas al bloque de memo--
5. rias 5. Tal como se muestra en la figura 5, que ilustra al -- grupo de memorias 1, la señal de transferencia de memoria 1 6 TM1 se aplica como señal de inhibición a las puertas 5-7 y 5-8 y como señal habilitadora a las puertas 5-9 y 5-10. Las -
10. puertas 5-7 y 5-8 son las puertas normales de recirculación interna para el registro de cambios pasivo de clavijas 5-11 y el registro de cambio pasivo de uso 5-12, siendo cronometrada la recirculación a través de los registros por las señales de reloj PM de las memorias pasivas, que se aplican también a las cuatro puertas 5-7 y 5-10.
15. Durante la recirculación normal puede que no haya transferencia de información desde los registros de cambios 5-5 y 5-6 a los registros de cambio 5-11 y 5-12 porque las puertas de entrada a estos últimos están cerradas en ausencia de una señal TM1. Cuando se genera esta señal, se habilitan las
20. puertas 5-9 y 5-10, permitiendo así que los respectivos contenidos de los registros 5-5 y 5-6 pasen a los registros 5-11 y 5-12 mediante las sucesivas señales de reloj PM de memorias - pasivas. Durante este tiempo, las puertas de recirculación 5-7 y 5-8 han sido inhabilitadas por la señal TM1, de manera que no
25. puede ocurrir ninguna recirculación. Las señales de transferencia de memorias se producen en el tiempo T3 e inmediatamente - después, en el tiempo T4, se pasa un primer impulso de cronometración a través de la puerta 6-23 mediante la señal habilitadora L para generar señales de puesta a cero \emptyset a 9 de las
30. puertas 6-24 a 6-33. Durante el intervalo correspondiente a --

una revolución durante la cual permanece presente la señal L, serán generadas 1024 de tales señales de puesta a cero por los impulsos de cronometración T4.

5. La señal de puesta a cero 1 de la puerta 6-25 se dirige al bloque de memorias 5, donde se aplica a los contadores de decenas de uso y clavijas 5-1 y 5-2 de 12 bits para poner el conteo a cero para cada lugar de línea, con el resultado de una puesta a cero total de esos registros después de una revolución. Como anteriormente se indica, cuando se genera la siguiente señal R, se reajusta el multivibrador biestable 6-9 de nivel TA, de manera que la señal L desaparece y terminan así las señales de transferencia de memorias y las señales de puesta a cero mediante inhabilitación de las puertas 6-23 a 6-33.

10. El sistema está establecido de tal manera que durante la operación de transferencia de las memorias, la información en cada lugar de línea de los registros de cambios 5-5 y 5-6 se transfiere a los registros de cambios 5-11 y 5-12 respectivamente antes de que la información de los correspondientes lugares de líneas de los contadores de decenas 5-1 y 5-2 sea transferida desde ellos a los registros de cambios activos 5-5 y 5-6. Esto se realiza haciendo que la señal de reloj PM de las memorias pasivas se produzca un impulso antes de la señal de reloj AM de las memorias activas. La mecánica se lleva a cabo de la siguiente manera.

15. En el tiempo T3, el conteo para un particular lugar de línea, entonces en la salida de los registros de cambios 5-5 y 5-6, se hace circular de nuevo hacia los contadores de decenas 5-1 y 5-2 y se inserta en ellos mediante un impulso T3 en la entrada de conteo preajustada de los contadores. La señal

- de puesta a cero 1 ocurre durante el tiempo T4 del impulso inmediatamente siguiente y pone en cero el conteo preestablecido que acababa de introducirse. Dos impulsos después, en T6, si hubiese habido alguna actividad en las líneas de conteo de acontecimientos en clavijas o de conteo de intervalos de usos, estos datos se dirigen al lugar de línea ahora puesto en cero y aparecen como nuevos datos para ese lugar de línea en la salida de los contadores de decenas 5-1 y 5-2. Este conteo se lleva ahora a los registros de cambios 5-5 y/o 5-6 por el siguiente impulso de reloj AM de memorias activas. Así, pueden acumularse nuevos datos durante una transferencia de memoria.
- 5.
- 10.

Identificación de grupos de memorias - Figura 7

- Cada orden que entra en el bloque 1-B de control y descodificación de órdenes de entrada contiene, entre otras cosas, un carácter de identidad de grupo y un carácter de orden. El carácter de identidad de grupo determina qué grupo de memoria ha de utilizarse conjuntamente con la particular orden recibida. El carácter de orden especifica la naturaleza de la actividad que ha de efectuarse. La flexibilidad del sistema puede ilustrarse como sigue. Supóngase que un terminal, en un lugar particular, tiene una capacidad de contención de hasta diez grupos de memorias y además que los caracteres de identidad de grupos son capaces de identificar sustancialmente más de los diez grupos de memorias que pueden contenerse en un terminal, siendo capaces quizás de identificar, como ejemplo ilustrativo, treinta y dos grupos de memorias separados. Como el particular terminal tiene una capacidad máxima de grupos de memorias de sólo diez de tales grupos, se deduce que puede controlarse, interrogarse y ordenarse un número múltiple de terminales mediante la fuente de órdenes y que esta serie de terminales puede si-
- 15.
- 20.
- 25.
- 30.

tuarse físicamente en diferentes lugares.

- Por ejemplo, uno de tales sistemas podría implicar cuatro terminales en cuatro diferentes lugares, cada uno de ellos con ocho grupos de memorias en un terminal. Como variante, podrían utilizarse seis terminales en seis diferentes lugares, siempre que el número total de grupos de memorias de los seis terminales no exceda de treinta y dos. Se disponen medios dentro de cada terminal para determinar si el particular grupo de memorias al que se está dirigiendo en la orden está o no -
5. situado de hecho en ese terminal. Seguidamente se describirá en relación con la figura 7 el proceso de tal identificación acerca de si el particular grupo de memorias que se busca está o no en un determinado terminal.
- 10.

- El caracter de identidad de grupos genera desde el bloque 1-B de control y descodificación de órdenes de entrada las dos señales ID e IDR que se dirigen al bloque 7 de identidad de memorias. La señal ID contiene cinco bits que tienen -- una capacidad de identificación de treinta y dos códigos separados, cada uno de los cuales corresponde a un grupo de memorias.
- 15.
- Con referencia de momento a la Tabla 1, se observará que cada uno de los treinta y dos grupos de memorias separados está identificado por un particular identificador y cada uno de estos - identificadores está caracterizado por un esquema de ocho bits, mostrándose los cinco bits menos significativos de ellos, los bits 1 a 5, como constitutivos de la señal ID. Los bits 6 y 7 identifican cual de los cuatro campos del código standard ASCII está siendo designado. Tal como se muestra, el campo tres es el designado, designándose los otros campos por 00, 01 y 11. El bit 8 es un bit de comprobación impar/par. Con referencia a la
- 20.
- 25.
- 30.
- figura 7, se verá que el multitransmisor digital 7-1 de 5 bits presenta el esquema de bits ID mostrado en la Tabla I para des-

codificar los grupos de memorias A y B, pero deberá entenderse que si este terminal particular contuviese diez grupos de memorias, el multitransmisor 7-1 representaría solamente uno de cinco dispositivos tales, de manera que el terminal dispondría de una identificación total de grupos de memorias de diez.

TABLA 1

Esquema de bits

Identificador de
grupos de memorias

Compro- Campo ID
bación

@
A
B ←
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U
V
W
X
Y
Z
[
/]
^
|

	8	7	6	5	4	3	2	1
1	1	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1
0	1	0	0	0	0	0	1	0
1	1	0	0	0	0	0	1	1
0	1	0	0	0	0	1	0	0
1	1	0	0	0	0	1	1	0
0	1	0	0	0	0	1	1	1
0	1	0	0	0	1	0	0	0
1	1	0	0	0	1	0	0	1
1	1	0	0	0	1	0	1	0
0	1	0	0	0	1	0	1	1
0	1	0	0	0	1	1	0	0
0	1	0	0	0	1	1	1	0
1	1	0	0	0	1	1	1	1
0	1	0	0	1	0	0	0	0
1	1	0	0	1	0	0	0	1
1	1	0	0	1	0	0	1	0
0	1	0	0	1	0	0	1	1
1	1	0	0	1	0	1	0	0
0	1	0	0	1	0	1	1	0
1	1	0	0	1	0	1	1	1
1	1	0	0	1	1	0	0	0
0	1	0	0	1	1	0	0	1
1	1	0	0	1	1	0	1	0
0	1	0	0	1	1	1	0	0
1	1	0	0	1	1	1	0	1
1	1	0	0	1	1	1	1	0
0	1	0	0	1	1	1	1	1

**POOR
QUALITY**

A este respecto se observará que el descodificador BCD a decimal 7-2 ilustra una situación de descodificación en la que un 0 descodificado corresponde a la identificación de un grupo de memorias A, en tanto que un 1 descodificado corresponde a una identificación de un grupo de memorias B. Los otros números descodificados 2 a 9 corresponderían naturalmente a --

5. otros identificadores de grupos de memorias para otras memorias del terminal. Supóngase ahora que el carácter de identificación de memorias ID de cinco bits ha sido introducido en una entrada del comparador 7-3, donde se almacena para su comparación con cinco bits que serán presentados en la otra entrada del citado comparador para determinar si se produce o no una equiparación.

10.

La señal IDR, que significa identificación recibida, pone al multivibrador biestable IDR 7-4 en su estado M y pone asimismo a cero el contador binario 7-5 de 4 bits. La señal M establece un nivel en la puerta 7-6 y también en la puerta 7-7. Cuando la señal IDR pone a cero el contador binario 7-5 de 4 bits, establece un conteo de cero en la salida BCD del contador, que a su vez establece un conteo de cero en la entrada de conteo de descodificador BCD a decimal 7-2, generando así una señal habilitadora del grupo de memorias A, de manera que el código de cinco bits 00001 correspondiente al citado grupo de memorias A aparece en la salida del multitransmisor digital de 5 bits en las posiciones de bits F0 a F4. Este grupo de bits

15. aparece en la puerta 7-7 y en el tiempo T5, que corresponde a un impulso posterior a la señal IDR, y el grupo de cinco bits de la salida del multitransmisor 7-1 se dirige a la entrada - del registro de almacenamiento 7-8 de 5 bits. La salida de este registro se dirige a la entrada de comparación del comparador 7-3 para ver si estos cinco bits corresponden o no al código ID

20.

25.

de 5 bits que ha sido previamente introducido en el comparador. Suponiendo que los cinco bits de la señal ID sean de hecho los cinco bits correspondientes a la identificación del grupo de -
5. memorias B, resultará evidente que la identificación de cinco bits de dicho grupo de memorias no proporciona una salida de - comparación con el grupo de 5 bits que identifica al grupo de memorias A. En consecuencia, no se generará ninguna señal en - la salida G del comparador 7-3.

10. En el tiempo T1 siguiente al tiempo T5 que causó la inserción del código de salida de 5 bits del multitransmisor en el registro de almacenamiento 7-8, se pasará un impulso T1 a - través de la puerta 7-6 a la entrada de conteo del contador binario 7-5 debido a la continuada presencia en la puerta de una señal habilitadora M. El impulso T1 hace que el contador binario 15. avance su conteo en la salida BCD desde "cero" a "uno", cuyo conteo de "uno" se inserta en la entrada del decodificador de BCD a decimal 7-2 para avanzar el conteo de salida desde -- "cero" a "uno". Esto suprime la condición habilitadora A y determina la aparición de la condición habilitadora B, de manera 20. que el código de 5 bits correspondiente al grupo de memorias B, concretamente 00010, aparece en la salida de 5 bits del multitransmisor. Cuando el siguiente impulso de cronometración T5 ocurre cuatro impulsos después del T1, el grupo de 5 bits que 25. identifica al grupo de memorias B se dirige a la entrada del - registro de almacenamiento 7-8 y se transmite a través de él a la salida y luego a la entrada del comparador 7-3 para su comparación con el código ID de 5 bits que había sido introducido inicialmente.

30. Como el código ID de 5 bits es de hecho exactamente el código del grupo de memorias B, se efectúa una comparación y

se genera una señal C por el comparador, que pasa a través de la puerta OR 7-9 para reajustar el multivibrador IDR 7-4 y suprimir la señal M. Con esta señal suprimida, no se habilitará ningún impulso sucesivo T1 para pasar a través de la puerta -

5. 7-6, de manera que la condición de conteo de salida BCD del contador binario 7-5 permanece ahora estática a un nivel de "uno". El conteo en la salida del contador binario 7-5, identificado como señal MID, identifica así únicamente el grupo de memorias seleccionado como grupo 1. Debe destacarse que el
10. conteo en el contador binario 7-5 permanecerá en estado estático hasta algún momento futuro en el que sea recibida una nueva señal IDR para ponerlo de nuevo en cero.

- Debe observarse que la señal MID o la salida del contador binario 7-5 se dirige también a la entrada de un comparador 7-10 de 4 bits para su comparación con un número almacenado en el comparador. Este número corresponde al de grupos de memorias presentes en el terminal. Tal como se muestra en la figura 7, el terminal ilustrativo se muestra conteniendo siete grupos de memorias representados por el conteo codificado binario de seis mostrado en el comparador 7-10. El número codificado binario seis representa siete grupos, puesto que un grupo está representado por una condición de cuatro ceros. La señal IDR ocurre en el tiempo T4, de manera que cuando pone al contador binario 7-5 a un conteo de salida BCD de cero, este conteo cero se
15. presenta al comparador 7-10 de 4 bits en tiempo suficiente para que pueda efectuarse una comparación contra el conteo almacenado en dicho comparador. En consecuencia, un conteo de cero puede designar de hecho uno de los grupos de memorias en el terminal.

20. Suponiendo que el grupo de memorias de hecho buscado no fuese uno de los grupos de memorias del terminal considerado,
- 25.
- 30.

- entonces, después de que el contador binario 7-5 hubiese con-
tado hasta seis, representando así la condición en la que un con-
teo adicional sería superior al número de grupos de memorias
contenidos de hecho en el terminal, el conteo de seis del con-
5. tador binario 7-5 proporcionaría una comparación con el conteo
de seis previamente establecido en el comparador 7-10 y se ge-
neraría una señal C1 para reajustar el multivibrador biestable
IDR 7-4 y terminar la búsqueda de la identificación de un grupo
de memorias. El comparador 7-10 es evidentemente necesario para
10. generar una señal C1, porque en la circunstancia que se acaba de
ilustrar el comparador 7-3 no podría generar nunca una señal C
y sin la generación de esta señal no se llevaría a término el
ciclo de conteo.

- Finalmente, se observará que aparece una señal SID
15. en la salida del registro de almacenamiento 7-8 de 5 bits, cuya
señal es realmente un código de 5 bits que constituye de hecho
el código de identificación del grupo de memorias que apareció
en la salida del multitransmisor 7-1 y permanece estáticamente
establecido en la misma, debido al término de la secuencia de
20. conteo del contador binario 7-5 cuando se obtuvo la identifica-
ción. Esta señal SID, o de identificación almacenada, se utili-
za en la secuencia de lectura de datos y se describirá seguida-
mente.

Transferencia selectiva de memorias - Figuras 6 y 5

25. Tal como anteriormente se describe, una orden recibi-
da contiene, entre otras cosas, el carácter de identificación del
grupo de memorias y el carácter de orden. El carácter de iden-
tificación del grupo de memorias ha causado, de la manera que
se acaba de describir, la generación de la señal MID. Esta señal
30. MID se utiliza conjuntamente con los caracteres de órdenes para

- determinar la realización de la orden seleccionada. Seguidamente se describirán dos tipos de órdenes, el primero de los cuales se conoce por orden de paso de página o de transferencia selectiva de memorias, con referencia de nuevo a la figura 6. El paso de página o transferencia selectiva de memorias es muy similar al proceso realizado cuando se transferían y ponían a cero todas las memorias, consistiendo en este caso la diferencia en que sólo se producirá en una particular memoria seleccionada la transferencia de su contenido de la memoria activa a la pasiva y se pondrá a cero de acuerdo con la identificación de tal memoria por la señal MID.

- El carácter de orden que determina la transferencia selectiva de memorias genera la señal TP desde el bloque de control y descodificación de órdenes de entrada, cuya señal, junto con la señal MID recién generada, se dirige al bloque 6 de transferencia de memorias. La señal TP activa al multivibrador bistable estroboscópico 6-34 de señales TP para generar una señal STP que habilita la puerta 6-35 de manera que la siguiente señal de revolución R pueda pasar a través de ella para activar el multivibrador 6-36 de nivel de TP y generar una señal E en su salida. La señal E se dirige a la puerta de entrada 6-37 del multivibrador estroboscópico 6-34 de señales TP, de manera que el siguiente impulso de cronometración $T\phi$ reajuste al multivibrador y genere una señal \overline{STP} que habilite la puerta 6-38, de manera que una revolución ó 1024 bits después, la siguiente señal R entre en el multivibrador 6-36 de nivel TP y lo reajuste, suprimiendo la señal E mientras genera la señal \overline{E} , que más tarde se usa de la manera a describir seguidamente,

- La aparición de la señal E del multivibrador 6-36 de nivel TP habilitó también la puerta 6-39, de manera que el código MID de 4 bits puede pasarse a la entrada del multitransmi-

5. sor digital 6-40 de 4 bits. El código de identificación de grupos de memorias MID de 4 bits aparece en la salida del multi-transmisor en las líneas F0 a F3, que están conectadas a la entrada del descodificador BCD a decimal 6-41. La señal MID de 4 bits, como anteriormente se indica, identificaba al grupo de memorias 1, de manera que aparece la salida "uno" del descodificador 6-41, y pasa a través de la puerta OR 6-14 para habilitar la puerta 6-25 de puesta a cero 1 y aparecer como señal TM1. Esta señal TM1 se transmite a las puertas de memorias 5-7 a 5-10 y causa una transferencia de los contenidos de las memorias activas de clavijas y usos a las memorias pasivas de los mismos, de la manera anteriormente descrita.

15. Además, la presencia de la señal E del multivibrador de nivel 6-36 aparece en la puerta AND 6-23 y en el tiempo T4 se pasa a través de ella un impulso de cronometración a la puerta 6-25, que ha sido habilitada por el descodificador decimal 6-41, de manera que se genera una señal de puesta a cero 1. Como la señal E del multivibrador 6-36 permanece presente en la puerta 6-23 durante una revolución completa o 1024 bits,
20. pasarán 1024 impulsos de cronometración T4 a través de aquélla para generar 1024 señales de puesta a cero 1, de manera que los registros de memorias activas del grupo de memorias 1 pueden ponerse a cero en todos los lugares de líneas.
25. Cuando se suprime la señal E de los multivibradores de nivel 6-36 y aparece la señal \bar{E} , esta última señal habilita la puerta 6-42 para permitir así el paso a través de ella de la señal de bloqueamiento de 4 líneas a la entrada del multi-transmisor digital de 4 bits designada por bloqueamiento >9. Esta entrada de bloqueamiento hace que el código de salida F0 a F3 asuma un conteo superior a 9, de manera que tal conteo no
- 30.

- puede ser descodificado por el descodificador BCD a decimal 6-4f y por consiguiente no se habilita ninguna de las líneas de salida 0 a 9. Por lo tanto, no se genera ninguna de las señales TMØ a TM9 y todas las puertas 6-24 a 6-33 quedan inhabilitadas, de modo que no puede generarse ninguna señal de puesta a cero Ø a 9. Esto termina la operación de transferencia selectiva de memorias.
- 5.

Lectura selectiva de memorias - Figuras 8, 5, 3 y 16

- Hasta ahora, la descripción de la invención ha estado limitada a la manera en que se llevan los datos al aparato de las diversas fuentes objeto de supervisión y la manera en que ciertas transferencias internas de datos se efectúan dentro del aparato por orden de una fuente supervisora, tal como una computadora situada corriente abajo. La sección restante se relaciona con la manera en que los datos almacenados en los grupos de memorias del aparato pueden ser selectivamente leídos del aparato por orden de la fuente supervisora.
- 10.
- 15.

- Se recordará de la descripción del bloque de memorias 5 que cada grupo de memorias almacena datos designados por datos PEC de conteo de acontecimientos de clavijas y datos designados por datos UIC de conteo de intervalos de uso, proporcionando los datos de conteo de intervalos de uso la duración total del número de acontecimientos que han ocurrido y se almacenan en el correspondiente lugar de línea de la memoria PEC que, a modo de ilustración, pueden ser la misma cosa que los acontecimientos que han ocurrido en una particular línea de comunicación de un sistema telefónico. Se ha mostrado también que cada grupo de memorias posee una memoria activa para datos de conteo de acontecimientos de clavijas y una memoria activa para datos de conteo de intervalos de uso, en cuyas memorias se acu-
- 20.
- 25.
- 30.

mulan datos sobre una base actual. Además, se recordará que cada uno de estos grupos de memorias tiene una memoria pasiva de conteo de acontecimientos de clavijas y una memoria pasiva de conteo de intervalos de usos, a las que se transfiere la información de las memorias activas y en las que se retiene mientras se acumula ulteriormente información adicional en las memorias activas.

Puede que se desee leer del grupo de memorias la información almacenada en las memorias activas de clavijas y usos o la información almacenada en las memorias pasivas de clavijas y usos. La selección entre activo y pasivo requiere dos diferentes órdenes y como puede haber diez grupos de memorias dentro del terminal, es también necesario especificar de cuál de los grupos de memorias ha de ser leído. En consecuencia, pueden desearse veinte diferentes lecturas de memorias y llevarse a cabo tras una orden seleccionada.

Tal como se ha descrito anteriormente en relación con la descripción de la figura 7, el particular grupo de memorias del que se desea leer queda especificado por la generación de la señal MID, de manera que sólo queda determinar dentro de ese grupo de memorias si es la memoria activa o la pasiva de la que ha de leerse. Esta selección está contenida en el carácter de orden entrante y es descodificada por el bloque 1-B de control y descodificación de órdenes de entrada, que genera la señal ARO ó la PRO, que se dirige al bloque 8 secuenciador de lecturas. La específica manera en que se lea de las memorias seleccionadas del grupo de memorias activas o pasivas se comprenderá mejor con referencia ahora a la figura 8, que muestra la lógica del secuenciador de lecturas, junto con la figura 2, que muestra la lógica del bloque de memorias.

- Con referencia en primer lugar al secuenciador de lecturas mostrado en la figura 8, supóngase que las señales MID y SID han sido generadas por el bloque 7 de identidad de memorias como anteriormente se describe y que la fuente supervisora ha ordenado la lectura de las memorias pasivas del grupo de memorias B correspondiente al grupo de memorias \dagger del terminal.
5. La orden de lectura pasiva ha causado la generación de la señal PRO, que se transmite a través de la puerta OR 8-1 a la puerta AND 8-2, a la puerta AND 8-3 y a la puerta OR 8-4. Además, esta
10. señal PRO, activa al multivibrador PRO 8-5 para generar la señal P que habilita las puertas AND 8-6 y 8-7.

- Con la puerta 8-2 habilitada, la señal MID de cuatro bits se dirige a la entrada del registro de almacenamiento 8-8 de 4 bits y por consiguiente se dirige a la entrada del descodificador 8-9 de BCD a decimal, donde la señal descodificada del grupo de memorias B, correspondiente al grupo de memorias \dagger del terminal, determina la generación de la salida \dagger del descodificador 8-9 y coloca una señal habilitadora en las puertas 8-10 a 8-13. Como las puertas 8-6 y 8-7 han sido habilitadas por la
15. señal P, en el momento en que se pasa una señal a través de cualquiera de estas puertas tal señal será transmitida a las correspondientes puertas 8-12 ó 8-13, de manera que se generará una señal PUE \dagger ó PPE \dagger .
- 20.

- Las puertas 8-10 y 8-11 no pasarán señales porque sólo son capaces de hacerlo en presencia de una señal de orden ARO que no se halla presente en este momento. La señal ARO, si se halla presente, habrá activado al multivibrador 8-14 de señales ARO para generar la señal A que habría habilitado las
25. puertas 8-15 y 8-16 en lugar de las puertas 8-6 y 8-7. La puerta 8-6 controla la lectura de la memoria de uso pasiva y en con
- 30.

secuencia tiene una de sus entradas conectada a la salida de la puerta de uso 8-17, que tiene sus entradas conectadas a salidas seleccionadas del descodificador 8-18 de BCD a decimal, en tanto que la puerta 8-7 que controla la lectura de los datos de las memorias pasivas sobre clavijas tiene su entrada conectada a la puerta de clavijas 8-19 que recibe entradas de otras salidas seleccionadas del descodificador decimal 8-18.

La señal SID del bloque 7 de identidad de memorias es el código de 5 bits que identifica la memoria de la que ha de efectuarse la lectura como memoria B 6 del grupo de memorias 1 del terminal. Esta señal de 5 bits se pasa a través de la puerta 8-3 por la señal PRO y se almacena en el registro de almacenamiento 8-20 de 5 bits, donde aparece en la salida y por consiguiente en la puerta 8-21. La señal PRO pasa también a través de la puerta OR 8-4 a la entrada de conteo del contador binario 8-22 de 3 bits, donde cambia el conteo de cero a "uno". El conteo "uno" del contador binario 8-22 habilita la puerta 8-23, de manera que el siguiente impulso de cronometración T7 pasa a la puerta 8-21 y determina el paso de la señal SID almacenada a través de la puerta 8-21 como señal BID, que se dirige al bloque 1-C de control y codificación de datos de salida, se almacena en el neutralizador de salida y se transmite como carácter de datos al ritmo de bauds seleccionado. El conteo "uno" del contador binario 8-22 habilita también la puerta AND 8-24, de manera que el siguiente impulso T9 se pasa a través de ella y a través de la puerta 8-4 a la entrada de conteo del contador binario 8-22, donde incrementa el conteo a "dos". La señal de conteo "dos" es transmitida a la puerta AND 8-25, donde actúa como una de tres señales habilitadoras necesarias, cuya totalidad ha de hallarse presente para permitir el paso

de un impulso de cronometración T3 a través de aquélla a la entrada de conteo del contador BCD 8-26.

- La señal BE mostrada en la puerta 8-25 es una señal de "neutralizador vacío" y se envía al secuenciador de lecturas desde el bloque 1-C de control y codificación de datos de salida siempre que el neutralizador de salidas está vacío y se halla en condiciones de recibir datos adicionales. Suponiendo que -- el neutralizador de salidas esté vacío, la señal BE estará presente en la puerta 8-25, de manera que, cuando aparezca la señal de conteo de "dos" procedente del contador binario 8-22, sólo permanece durante la aparición de la señal RAO para acondicionar plenamente la puerta 8-25. Con referencia de nuevo al diagrama lógico detallado del bloque de direcciones de memorias de la figura 3, se recordará que el comparador 3-7 de 10 bits se muestra comparando las tres líneas de direcciones y siete líneas de direcciones generadas por los contadores 3-1 y 3-2 con la entrada al comparador designada por 10 líneas de direcciones de lectura. Las líneas de entrada de tres y siete direcciones al comparador 3-7 de 10 bits son naturalmente las direcciones de memorias de libre funcionamiento y repetición cíclica - generadas por los impulsos de cronometración T1 del bloque 2 generador de cronometración. Las señales de 10 líneas de direcciones de lectura son generadas por el contador binario 8-27 de 10 bits del secuenciador de lecturas, empezando en cero esas direcciones de memorias y avanzando secuencialmente hasta 1023 bajo el control del neutralizador de salidas del bloque 1-C de control y codificación de datos de salida.

- Suponiendo que el contador binario 8-27 haya sido puesto a cero desde una salida anterior, es este conteo cero de lugar de memoria el que se lee al comparador 3-7 de 10 bits

en el bloque de direcciones de memorias como dirección estática. Las direcciones de memorias de los contadores binarios 3-1 y 3-2 que se suministran también al comparador 3-7 de 10 bits cambian naturalmente a un conteo superior una vez cada bit. Con el lugar de memoria cero estáticamente presentado al comparador 3-7 de 10 bits por el contador binario 8-27 de 10 bits del secuenciador de lecturas, las cambiantes direcciones de memorias suministradas al comparador 3-7 desde los contadores 3-1 y 3-2 llegan finalmente en el punto del ciclo en que la dirección de lugar de memoria cero se presenta al comparador. En este momento se genera la señal RAC de comparación de direcciones de lectura y se transmite a la puerta 8-25 del secuenciador de lecturas, persistiendo la señal RAC durante el tiempo de un bit.

La señal RAC se produce en el tiempo T1 y la siguiente señal de cronometración T3 se pasa a través de la puerta 8-25 a la entrada de conteo del contador 8-26, donde incrementa el conteo de salida desde cero a "uno" y transmite este conteo de "uno" a la entrada de conteo del descodificador BCD a decimal 8-18, haciendo que este último cambie su conteo de salida de cero a "uno". La salida de conteo "uno" del descodificador 8-18 se transmite por el cable DS de señales de datos al bloque 1-C de control y codificación de datos de salida, donde causa la generación de un carácter de espacio al ritmo de bauds. Cuando la salida "uno" del descodificador 8-18 se dirige al codificador de datos de salida, se suprime la señal BE hasta el momento en que el codificador de salidas había generado el carácter de espacio. Cuando se ha generado este carácter y se ha transmitido, aparece de nuevo la señal BE en la puerta 8-25. Como el ritmo de bauds es mucho más lento que el ritmo de revoluciones de los terminales, se habrán generado muchas señales RAC interme-

días pero no habrán podido pasar ningún impulso de cronometraci3n T3 a trav3s de la puerta 8-25 en ausencia de la se1al habilitadora BE.

5. Con el retorno de la se1al BE, la siguiente comparaci3n de memorias para el lugar de direcci3n de memoria cero que produce una se1al RAC har3 que el siguiente impulso de cronometraci3n T3 pase a la entrada de conteo del contador 8-26 e incremente su conteo, y por consiguiente el del descodificador decimal 8-18, de "uno" a "dos". La se1al de conteo "dos" del descodificador 8-18 pasa a trav3s de la puerta de usos 8-17 a las puertas 8-6 y 8-15. Como la puerta 8-6 es habilitada por la -- presencia de una se1al P del multivibrador PR 8-5, la se1al de usos del descodificador pasa a trav3s de la puerta 8-6 a la puerta PUE1 8-12, que atraviesa como se1al PUE1 debido a la --
10. presencia de la se1al habilitadora en la puerta procedente del descodificador decimal 8-9. Esta se1al PUE1 se transmite al bloque de memorias 5, donde habilita la puerta de salida 5-13 de la memoria pasiva de usos e inhibe la puerta de salida 5-14 de la memoria pasiva de cl3vijas.
- 15.
20. En consecuencia, al presentarse entonces en la salida del registro el lugar de memoria cero del registro 5-12 de cambios de memorias pasivas de usos, la salida de 12 bits del registro se dirige al bloque 1-C de control y codificaci3n de datos de salida, donde el neutralizador de salidas acepta los
25. cuatro bits que designan el d3gito m3s importante del conteo de lugares de memorias para su transmisi3n como car3cter de salida. El neutralizador de salidas acepta los cuatro bits del d3gito m3s importante y no cualquiera de los otros bits porque ha sido acondicionado para hacerlo mediante la salida de conteo "dos"
30. del descodificador decimal 8-18, que ha sido tambi3n transmitida al bloque 1-C de codificaci3n de datos de salida a trav3s del

cable DS y ralentiza los cuatro bits al interior del neutralizador. Durante el tiempo en que se está transmitiendo el dígito más importante a ritmo de baud, la señal BE es suprimida naturalmente de nuevo y no ocurre nada más en el secuenciador de -

5. lecturas.

Cuando se ha transmitido el dígito más importante y la señal BE de neutralizador vacío se halla de nuevo presente en la puerta 8-25, la siguiente señal RAC hará pasar de nuevo un impulso de cronometración T3 y naturalmente aumentará el -

10.

conteo del descodificador decimal 8-18 desde "dos" a "tres". Este último se transmite a través de las puertas 8-17, 8-6 y 8-12 para mantener abierta la puerta 5-13 de salida de la memoria, y el conteo de "tres" que se transmite por el cable DS al blo-

15.

que 1-C de codificación de datos de salida determina ahora la ralentización del grupo de cuatro bits del segundo dígito más importante al neutralizador de salidas, causando de nuevo la supresión de la señal BE. Después de generarse el correspondiente carácter de salida, se repite de nuevo el proceso de manera que el descodificador decimal 8-18 es ahora cambiado desde su

20.

estado de salida de conteo "tres" al "cuatro" y se repite el mismo proceso para la transferencia de la memoria de los cuatro bits correspondientes al dígito menos importante bajo control de la salida de conteo "cuatro" del descodificador decimal -- 8-18.

25.

En este punto, los tres dígitos decimales que designan las señales de conteo de intervalos de uso UIC han sido ya transmitidos y el siguiente conteo del descodificador decimal 8-18, que ocurre cuando el conteo de "cuatro" pasa a "cinco", no presenta ninguna señal de salida a la puerta de usos 8-17

30.

de manera que se termina la señal PUE1 de la puerta 8-12, inhabilitándose así la puerta de salida de usos 5-13 de la memo-

ria pasiva, de modo que las salidas del registro de cambios 4-12 no aparecen en las líneas de salida de los datos de memorias. El conteo de "cinco" del descodificador decimal 8-18 se envía también a través del cable DS al bloque 1-C de codificación de datos de salida, donde genera un carácter de separación tal como un símbolo de corte (/).

5.

Cuando se ha generado el anterior carácter, y de la manera ahora bien conocida, el descodificador decimal 8-18 ha cambiado su conteo de salida de "cinco" a "seis", pasando este último a través de la puerta de clavijas 8-19, a través de la puerta 8-7 y de la puerta 8-13 para generar la señal PPE¹ que aparece en las puertas de salida 5-13 y 5-14 de las memorias, inhibiendo la primera y habilitando la segunda. En consecuencia, la salida del registro de cambios 5-11 de clavijas de las

10.

memorias pasivas se presenta ahora en las líneas de datos de las memorias al bloque 1-C de control y condificación de datos de salida. Tal como en el caso de los datos de usos, el conteo "seis" del descodificador decimal 8-18 se envía también a través del cable DS al bloque codificador de datos de salida, donde determina la ralentización al interior del neutralizador de salidas de los cuatro bits correspondientes al dígito más importante de la señal PEC de conteo de acontecimientos de clavijas del lugar de dirección de memoria cero.

15.

20.

La transmisión de datos de salida continúa de la manera anteriormente descrita en relación con los datos de usos para los dos caracteres restantes de los datos de clavijas. Sin embargo, durante el tiempo de bit en que se lee el dígito menos importante de los datos de clavijas, se pasa un impulso de cronometración T8 a través de la puerta 8-28, que es habilitada por el conteo 8 del descodificador decimal 8-18 y se envía a la puerta 8-29, pero no puede pasar a través de ella por-

25.

30.

- que no hay ninguna señal de conteo 1023 en esta última puerta, ya que el conteo del contador binario 8-27 de 10 bits se halla todavía en el lugar de dirección de memoria cero. Sin embargo, la señal de cronometración T9 inmediatamente siguiente pasa a través de la puerta 8-30 para poner a cero el conteo en el contador BCD 8-26 y aplicar un conteo a la entrada del contador binario 8-27, cambiando así las 10 líneas de direcciones de lecturas del código de dirección de memoria cero al código para el lugar de dirección de memoria 1. En este momento, se han transmitido los datos de usos de tres caracteres desde el terminal, seguidos de los datos de clavijas de tres caracteres para el lugar de memoria cero y se halla a punto de repetirse el proceso para el lugar de memoria 1.

- De manera exactamente igual a la que se acaba de describir respecto a la transmisión de los datos sobre usos y clavijas para el lugar de memoria 1, los datos sobre usos y clavijas para cada sucesivo lugar de memoria se leen a través del bloque 1-C de control y codificación de datos de salida hasta que se ha leído el último lugar de memoria 1023. Cuando se avanzaba el conteo en el contador binario 8-27 de 10 bits a un valor de 1023, se transmitía una señal habilitadora a la puerta 8-29, de manera que al completarse la subsiguiente lectura, en el tiempo T8 del último grupo de cuatro bits transferido al neutralizador de salidas, se pasa un impulso a través de la puerta 8-28 a la 8-29, cuya última puerta, habilitada ahora por la señal habilitadora de conteo 1023 del contador binario 8-27 pasa un impulso a través de la misma para reajustar el multivibrador biestable 8-5 de señales PRO y retirar la señal habilitadora P de las puertas 8-6 y 8-7, pone a cero el contador binario 8-22 de 3 bits y se dirige como señal DSE al bloque 1-C de control y codificación de datos de salida, donde causa

- la generación de un carácter de terminación que significa el final de la transmisión. En el tiempo T9 inmediatamente posterior a la generación de la señal DSE, pasa un impulso de cronometración a través de la puerta 8-30 para poner a cero el
5. contador 8-26 y establecer en el descodificador BCD a decimal 8-18 su conteo de cero, y cambia el conteo en el contador binario 8-27 de 10 bits de nuevo a cero en preparación de la siguiente secuencia de lectura a generar en respuesta a una orden adecuada.
10. También se muestra a modo de ilustración un grupo de puertas 8-31 a 8-34, que constituye un grupo de puertas comparables a las 8-10 a 8-13, consistiendo la diferencia en que el grupo de puertas 8-31 a 8-34 es el que sería habilitado para la lectura del grupo de memorias 9. En consecuencia, se comprende
15. rá que se hallan presentes también grupos de cuatro de tales - puertas por cada uno de los otros grupos de memorias en el terminal, teniendo cada grupo de cuatro puertas una entrada conectada a una de las salidas del descodificador BCD a decimal 8-9.
20. Finalmente, si hubiese sido una señal de lectura activa la orden entrante en lugar de la señal de lectura pasiva, el multivibrador biestable 8-14 habría habilitado las puertas 8-15 y 8-16, de manera que las señales de usos y clavijas de las puertas 8-17 y 8-19 habrían causado la generación de las señales AUEI y APEI a través de las puertas 8-10 y 8-11. La
25. señal AUEI de la puerta 8-10 habría sido aplicada a la puerta de salida de memoria 5-15, mientras que la señal APEI de la - puerta 8-11 habría sido aplicada a la puerta de salida de memoria 5-16 para causar una lectura de memoria activa de manera exactamente igual a la descrita en relación con la lectura de
30. la memoria pasiva.

En la figura 16 se muestra un formato típico de lec-

- turas, en el que la primera línea contiene la información de cabecera y las líneas subsiguientes a la misma contienen los datos sobre lugares de las memorias. El primer carácter de la cabecera indica el grupo de memorias del que se han leído los datos y en este caso identifica el grupo de memorias B. Los tres caracteres siguientes identificarían típicamente el puente en cuyo interior está situado el grupo de memorias B. Los caracteres 06/28 representarían el mes y el día, mientras que los caracteres 10/00 representarían la hora y minuto en que se estaban transmitiendo los datos. Los restantes caracteres de la cabecera incluyen otra información, tal como si la lectura se efectúa a una estación local o remota, indicando el carácter final la lectura de las memorias pasivas. La línea situada bajo la cabecera, designada por 000, representa el grupo de ocho direcciones de líneas correspondiente a las líneas cero a siete para las que aparecen los datos en aquella línea. El resto del formato es similar, mostrando una lectura de los 128 grupos de ocho direcciones de líneas.

- Habiendo descrito nuestra invención junto con una versión particularmente ilustrada de la misma, se comprenderá que los expertos en la materia pueden idear de vez en cuando modificaciones y variaciones de la invención, sin apartarse del ámbito o espíritu esencial de la misma y, en consecuencia, se pretende reivindicar aquéllas en un sentido amplio como asimismo especificado, tal como se indica en las adjuntas reivindicaciones.

N O T A

- La patente de invención que se solicita por veinte años para España, de acuerdo con la vigente Legislación, deberá recaer sobre: "APARATO SUPERVISOR DE ACONTECIMIENTOS" - con Prioridad de la Solicitud de Patente en U.S.A. Serial nú-

mero 507.937 de fecha 20 de septiembre de 1974, según las características esenciales de las siguientes:

REIVINDICACIONES

1ª.- Aparato supervisor de acontecimientos, que comprende combinadamente:

5. a) medios supervisores para acoplarse y examinar --
cíclica, selectiva, individual y secuencialmente las condiciones de las señales en un solo punto de cada uno de una serie de circuitos de señales supervisados independientes, siendo
10. el tiempo de un ciclo el requerido para examinar secuencialmente todos los citados circuitos una vez;

b) unos primeros medios acoplados a dichos medios -
supervisores y eficaces en múltiples intervalos de ciclos para determinar en cada circuito de señales supervisado si ha
15. ocurrido o no un acontecimiento en tal circuito y para generar una primera señal de datos siempre que se ha determinado la producción de un acontecimiento;

c) unos segundos medios acoplados a dichos medios -
supervisores y efectivos para cada circuito de señales durante
20. te el intervalo de tiempo en que se determina que ha ocurrido un acontecimiento en tal circuito, para generar una segunda señal de datos, cuya segunda señal de datos representa el espacio de tiempo durante el cual persistió el acontecimiento -
ocurrido y supervisado.

25. 2ª.- Aparato según la reivindicación 1ª, en el que los primeros medios citados comprenden medios de validación de la producción de acontecimientos que funcionan examinando la condición de las señales de cada circuito supervisado durante una serie de ciclos secuenciales y determinando y recordando
30. si hay datos de acontecimientos presentes o datos de aconte-

cimientos ausentes y que responden efectivamente a una determinación de la presencia de datos de acontecimientos para una primera serie preseleccionada de ciclos, seguida de una deter-
minación de ausencia de datos de acontecimientos para una se-
5. gunda serie preseleccionada de ciclos en el mismo circuito de señales supervisado, para generar la primera señal de datos - citada.

3^a.- Aparato según la reivindicación 1^a, que inclu-
ye además medios de almacenamiento de señales de datos que al-
10. macenan las primeras y segundas señales de datos mencionadas para cada circuito de señales supervisado, y medios incremen-
tadores de acontecimientos acoplados a dichos primeros y se-
gundos medios y a los referidos medios de almacenamiento de -
señales de datos para incrementar tales señales de datos alm-
15. cenadas por cada circuito de señales supervisado de acuerdo - con la generación de primeras y segundas señales de datos.

4^a.- Aparato según la reivindicación 1^a, en el que
dichos primeros medios comprenden medios de validación de pro-
20. ducción de acontecimientos que funcionan examinando cada con-
dición de las señales de circuito de éstas supervisado duran-
te una serie de ciclos secuenciales y determinando y recordan-
do si hay presencia o ausencia de datos de acontecimientos y
que responden a una determinación de presencia de tales datos
durante una primera serie preseleccionada de ciclos, seguido
25. de una determinación de ausencia de datos de acontecimientos
durante una segunda serie preseleccionada de ciclos en el mis-
mo circuito de señales supervisado para generar la primera se-
ñal de datos referida, incluyendo además medios de almacena-
miento de señales de datos para almacenar las primeras y segun-
30. das de dichas señales por cada circuito de las mismas super-

visado, y medios incrementadores de acontecimientos acoplados a los primeros y segundos medios referidos y a los medios de almacenamiento de las señales de datos para incrementar -- las señales de datos almacenadas por cada circuito de señales supervisado, de acuerdo con la generación de primeras y segundas señales de datos.

5^a.- Aparato según la reivindicación 1^a, en el que los segundos medios citados generan segundas señales de datos, cada una de las cuales representa un espacio de tiempo predeterminado durante el cual persistió el acontecimiento ocurrido y supervisado, de manera que dichos segundos medios pueden -- generar más de una de las segundas señales de datos por cada primera señal de datos generada por los primeros medios citados.

15. 6^a.- Aparato según la reivindicación 1^a, en el que dichos medios supervisores comprenden un multitransmisor de -- entrada de señales eléctricas paralelas a seriadas, que tiene un circuito de salida y una serie de circuitos de entrada independientes, estando cada circuito de entrada cíclica, se-
20. lectiva, individual, secuencial y funcionalmente acoplado a dicho circuito de salida durante un intervalo de tiempo predeterminado para suministrar así al referido circuito de salida una secuencia de señales eléctricas correspondientes a la con-
25. dición de la señal en cada uno de dichos circuitos de entrada durante el intervalo de tiempo en que el particular circuito de entrada seleccionado está acoplado al mencionado circuito de salida, cuyo circuito de salida tiene varios puntos de salida, uno de los cuales, cuando está activado, representa una condición de presencia de datos de acontecimientos, y el otro,
30. cuando está activado, representa una condición de ausencia de

datos de acontecimientos, estando acoplados dichos medios primeros y segundos al referido circuito de salida del multitransmisor.

5. 7ª.- Aparato según la reivindicación 2ª, en el que dicha primera serie preseleccionada de ciclos es igual a tres ciclos.

10. 8ª.- Aparato según la reivindicación 2ª, en el que dichos segundos medios generán la segunda señal de datos durante el tiempo en que los medios de validación de producción de acontecimientos examinan las condiciones de presencia de datos de acontecimientos en los referidos circuitos de señales supervisados.

15. 9ª.- Aparato según la reivindicación 2ª, en el que dichos medios de validación de producción de acontecimientos comprenden medios selectores de ciclos para seleccionar los de ciclos sucesivos durante los cuales se examinan dichos circuitos de señales supervisados.

20. 10ª.- Aparato según la reivindicación 4ª, en el que dicha primera serie preseleccionada de ciclos y la segunda serie preseleccionada de ellos son las mismas e iguales a tres ciclos.

11ª.- Aparato según la reivindicación 4, en el que dichos medios de almacenamiento de señales de datos comprenden:

25. a) primeros y segundos medios de almacenamiento y acumulación para acumular y almacenar las primeras y segundas señales de datos incrementadas, respectivamente, por cada circuito de señales supervisado, teniendo cada medio de almacenamiento y acumulación medios de entrada y salida;

30. b) primeros y segundos medios de almacenamiento sin

acumulación, cada uno de ellos dotado de medios de entrada y salida; y

- c) medios de transferencia de almacenamientos que acoplan los medios de salida de los medios de almacenamiento y acumulación a los medios de entrada de los medios de almacenamiento sin acumulación y que, al habilitarse, transfieren las primeras y segundas señales de datos citadas, respectivamente, desde los primeros y segundos medios de almacenamiento y acumulación a los primeros y segundos medios de almacenamiento sin acumulación.
- 5.
- 10.

12ª.- Aparato según la reivindicación 5ª, que incluye además medios para seleccionar el citado espacio de tiempo predeterminado, representado por cada segunda señal de datos.

- 13ª.- Aparato según la reivindicación 5ª, en el que dichos primeros medios comprenden medios de validación de producción de acontecimientos que funcionan examinando cada condición de las señales del circuito de éstas supervisado durante una serie de ciclos secuenciales y determinando y recordando si hay presencia o ausencia de datos de acontecimientos -- y que responden a una determinación de presencia de tales datos durante una primera serie preseleccionada de ciclos, seguido de una determinación de ausencia de los referidos datos durante una segunda serie preseleccionada de ciclos en el mismo circuito de señales supervisado, para generar la primera señal de datos referida.
- 15.
- 20.
- 25.

- 14ª.- Aparato según la reivindicación 9, en el que dichos medios selectores de ciclos comprenden medios que permiten el examen de los referidos circuitos de señales supervisados durante ciclos inmediatamente sucesivos o durante ciclos sucesivos espaciados entre sí por múltiplos integrales --
- 30.

de un ciclo.

15ª.- Aparato según la reivindicación 11ª, que incluye además medios acoplados a los de transferencia de almacenamientos para habilitar estos últimos.

5. 16ª.- Aparato según la reivindicación 11ª, que se incluye en una serie de grupos que comprenden este aparato y medios de lectura de almacenamientos selectivamente habilitables acoplados a los medios de salida de los medios de almacenamiento con y sin acumulación de cada grupo de la referida serie de grupos de aparatos, y medios habilitadores de lectura acoplados a los citados medios de lectura de almacenamientos para habilitar selectivamente a estos últimos y leer así los datos almacenados en los asociados medios de almacenamiento - primeros o segundos, con o sin acumulación.

10. 17ª.- Aparato según la reivindicación 13ª, en el que dichos medios de validación de producción de acontecimientos comprenden medios selectores de ciclos para seleccionar los de ciclos sucesivos durante los cuales se examinan los referidos circuitos de señales supervisados.

15. 18ª.- Aparato según la reivindicación 17, que incluye además medios para seleccionar dicho espacio de tiempo pre determinado, representado por cada segunda señal de datos mencionada.

20. 19ª.- "APARATO SUPERVISOR DE ACONTECIMIENTOS".
Según queda sustancialmente descrito en la presente

.../...

- 70 -

memoria que consta de setenta hojas, escritas a máquina por -
una sola cara y acompañada de dibujos.

Madrid, 16 SET. 1976

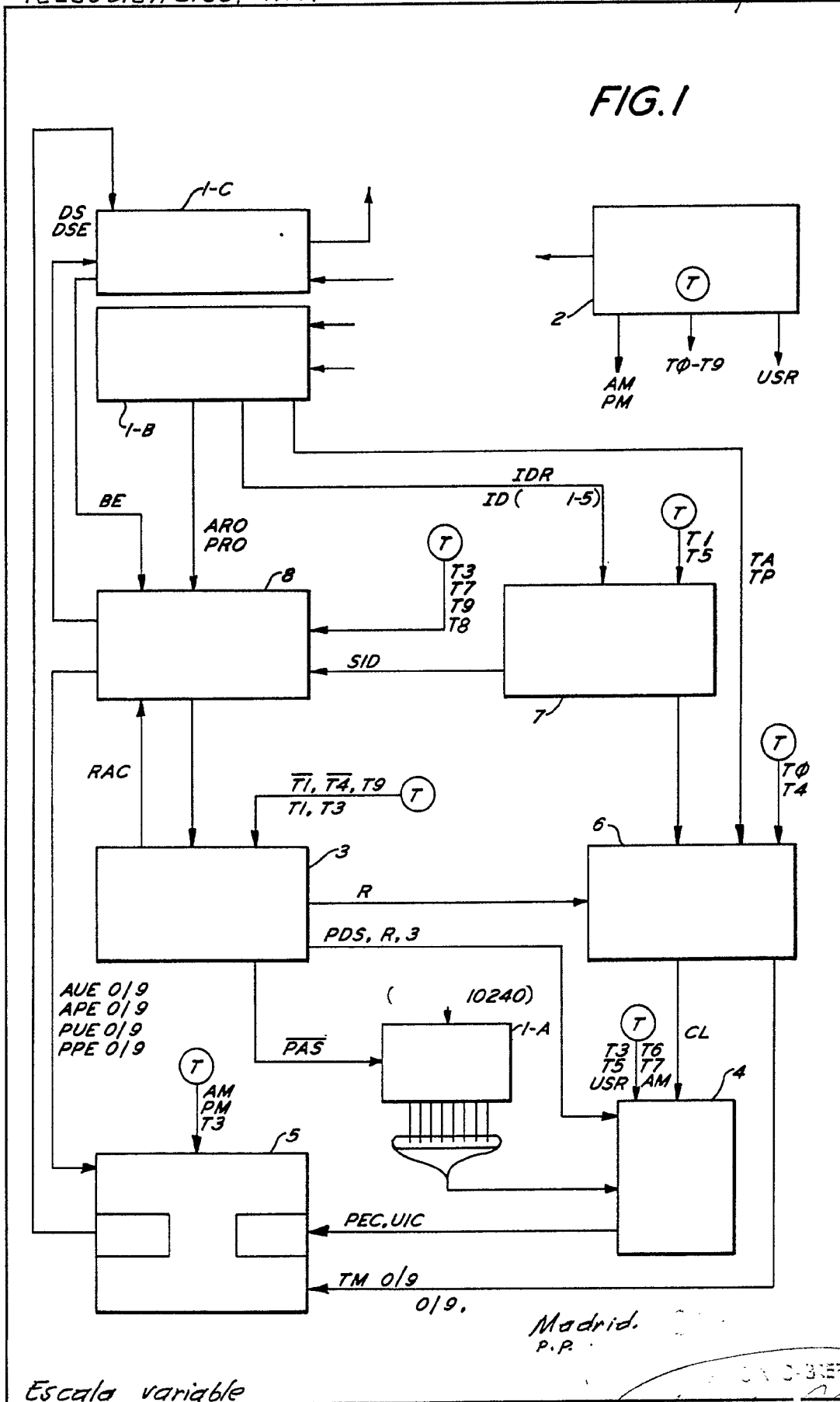
TELESCIENCIAS, INC.

P. P.

FRANCISCO GARCIA CABRERIZO
P. P.

Firmada en M.ª Dolores Jorquera

FIG. 1



Escala variable

Madrid.
P.R.

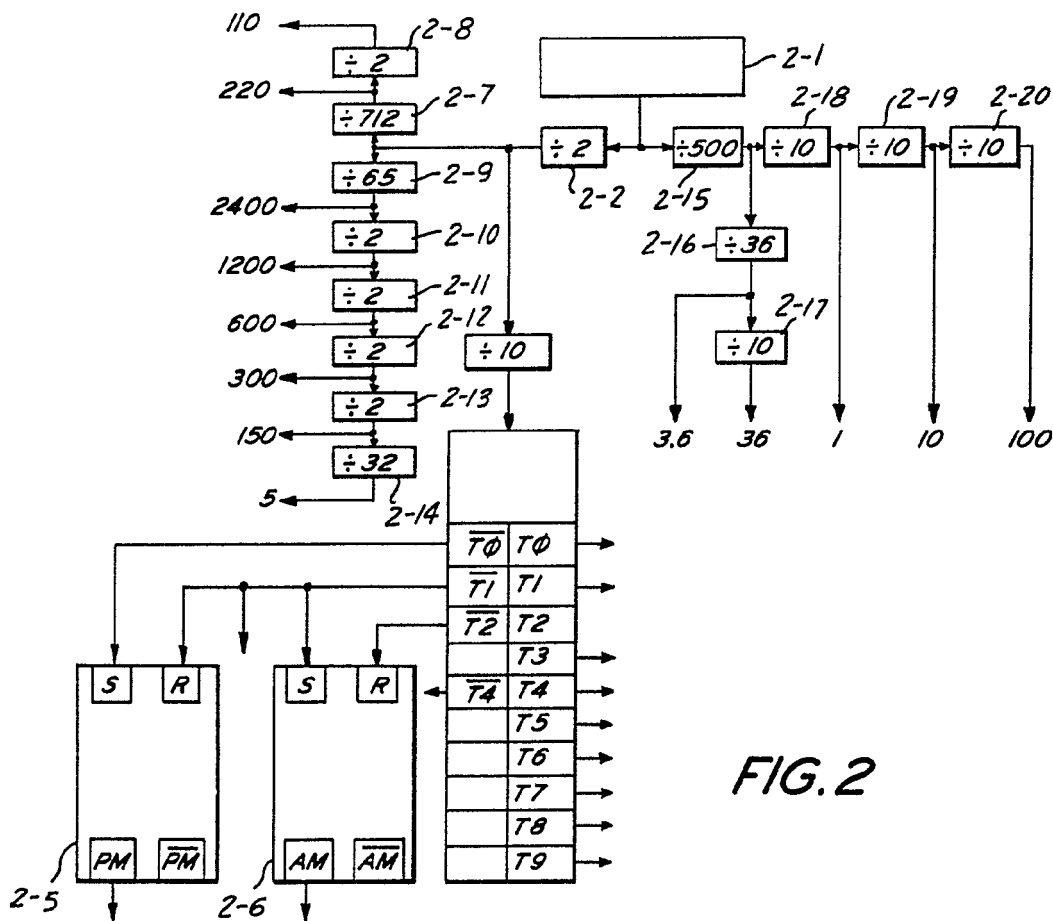


FIG. 2

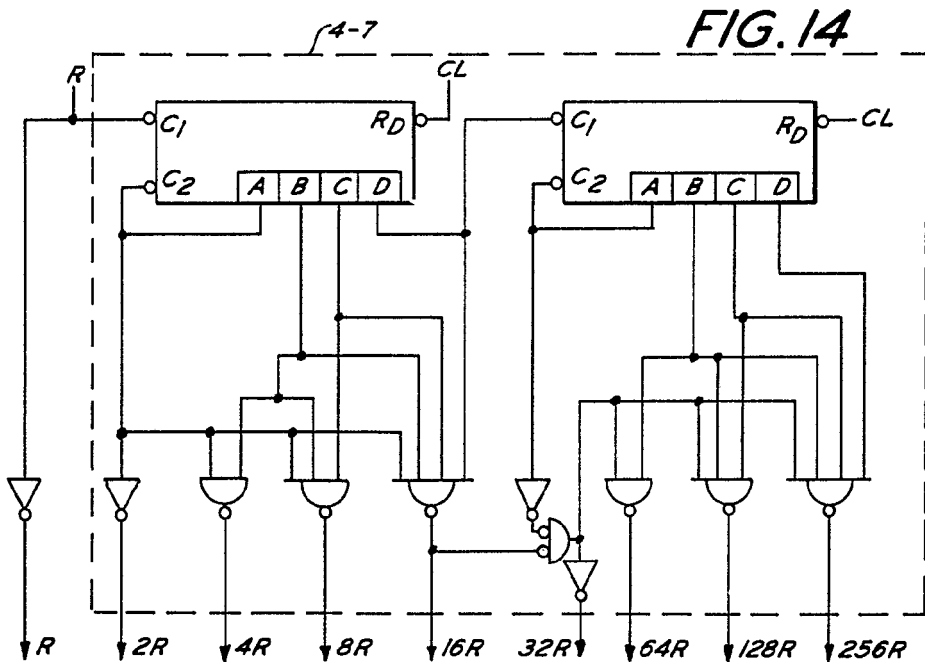


FIG. 14

Madrid
P.R.

Escala variable

TELESCIENCES, INC.

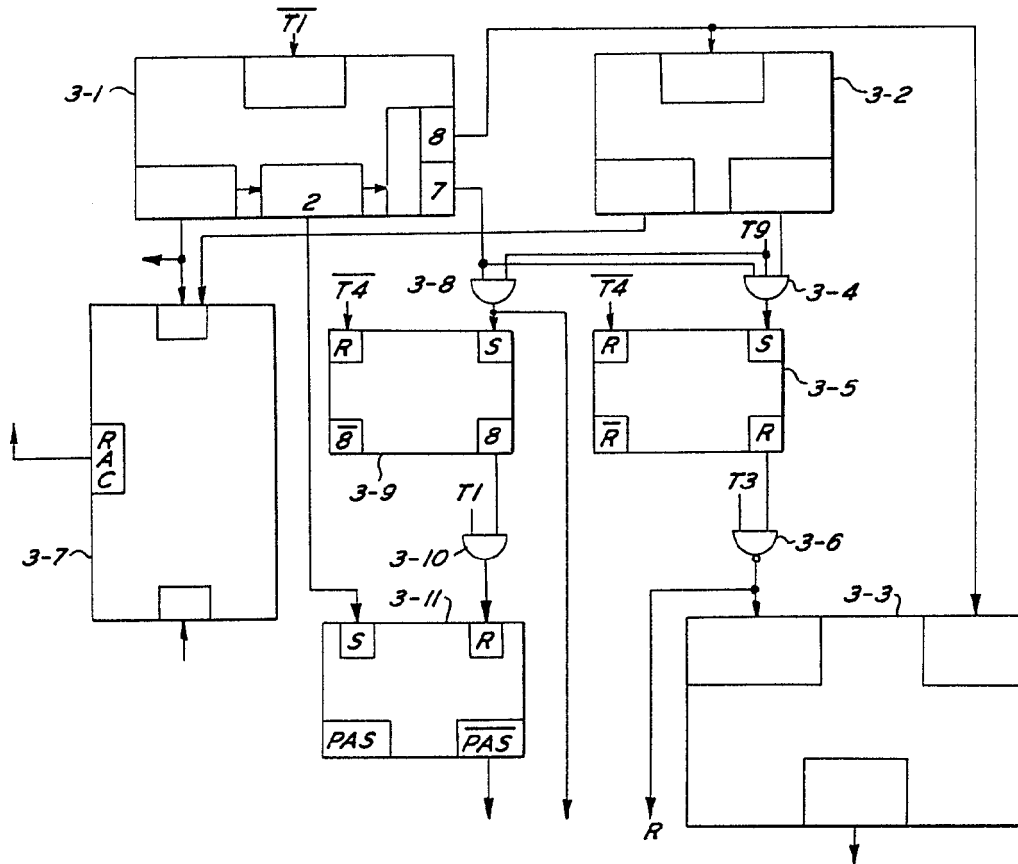
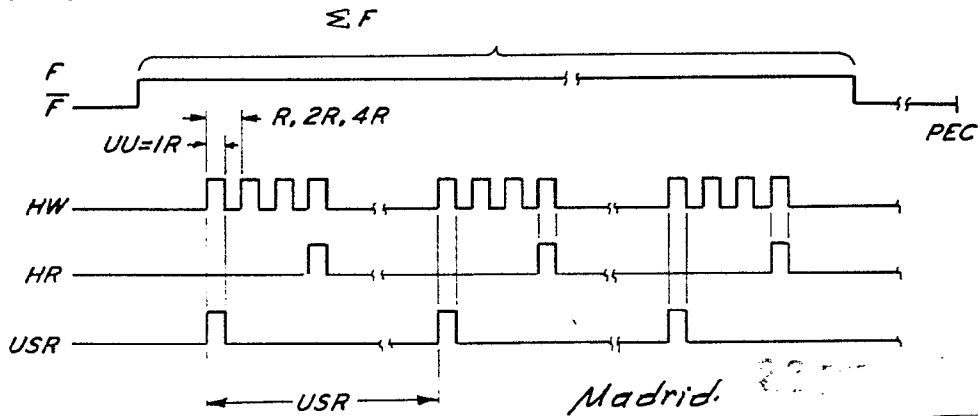


FIG. 3

FIG. 12



Escala variable

Madrid.
P.P.

[Handwritten signature]

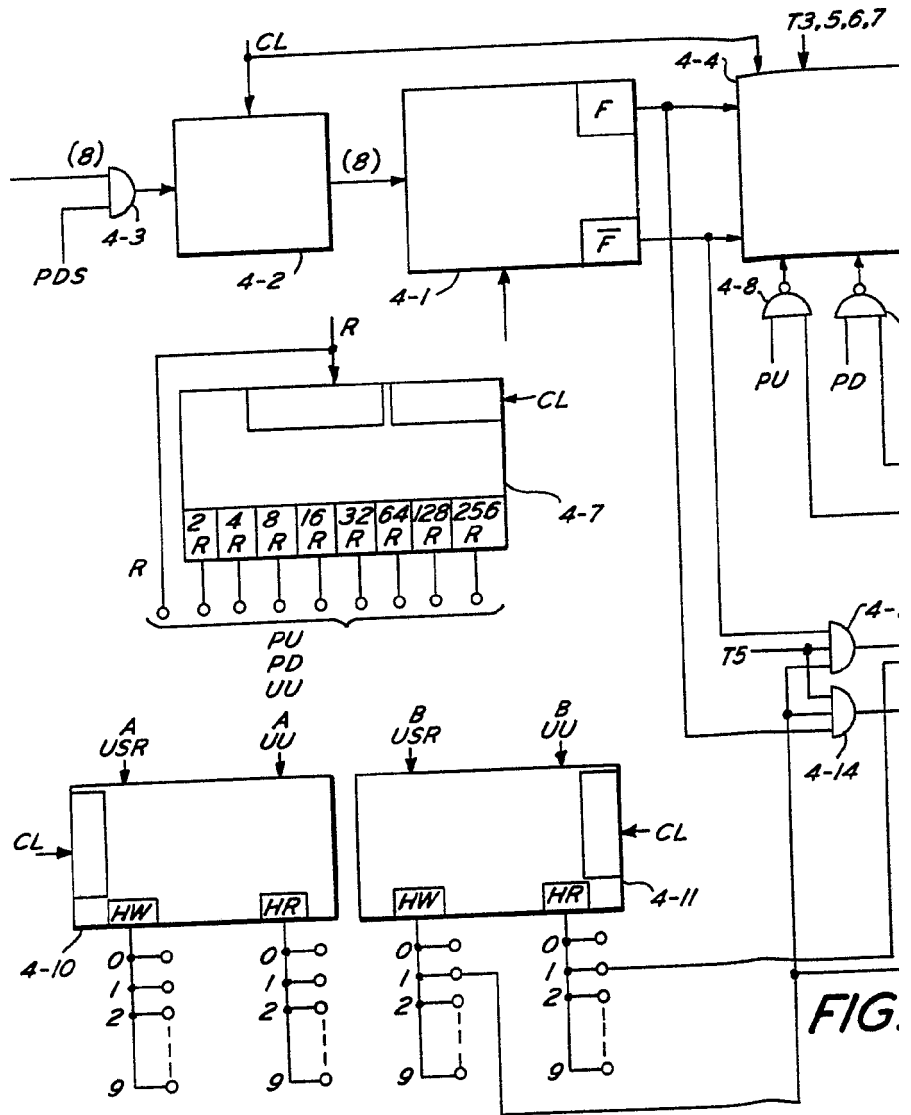
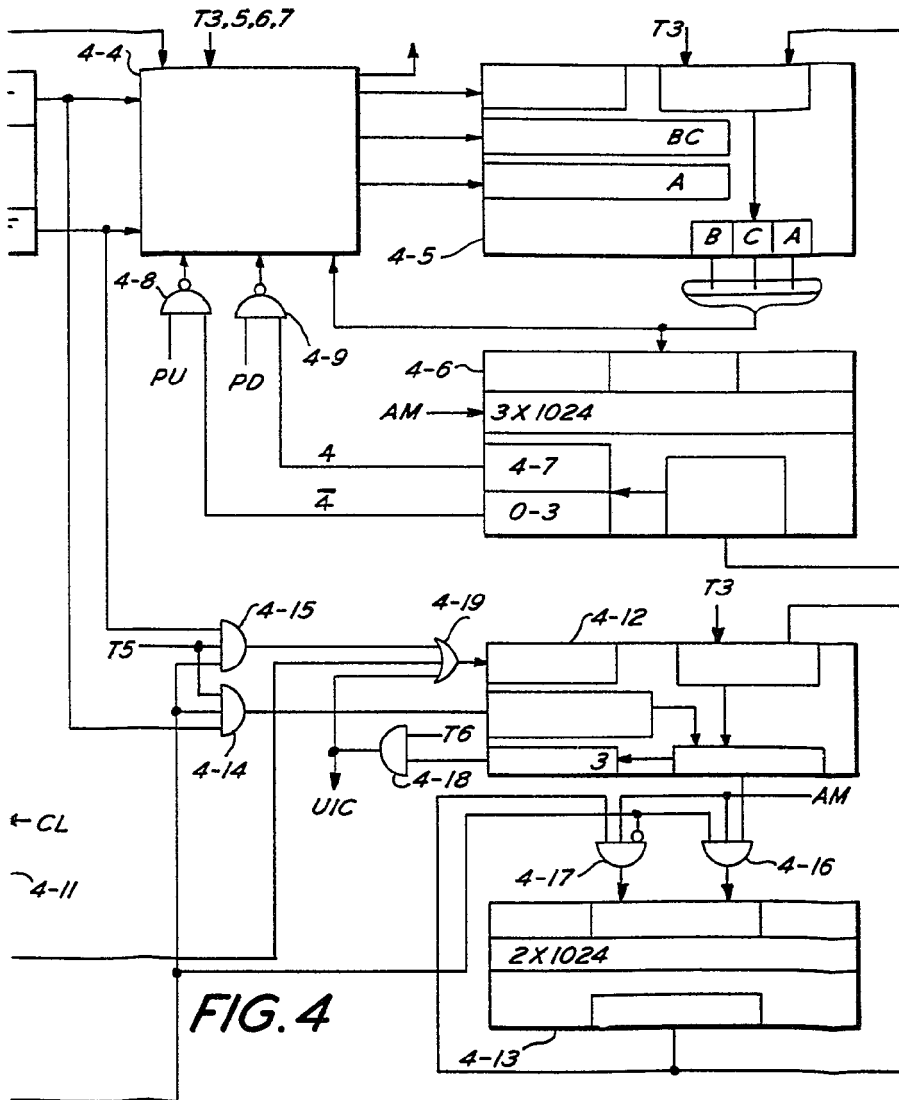


FIG.

Escala variable



Madrid.
P.R.

FRANCISCO ESCOBAR CABRERIZO
E.P.

Madrid, 1975

FIG. 5

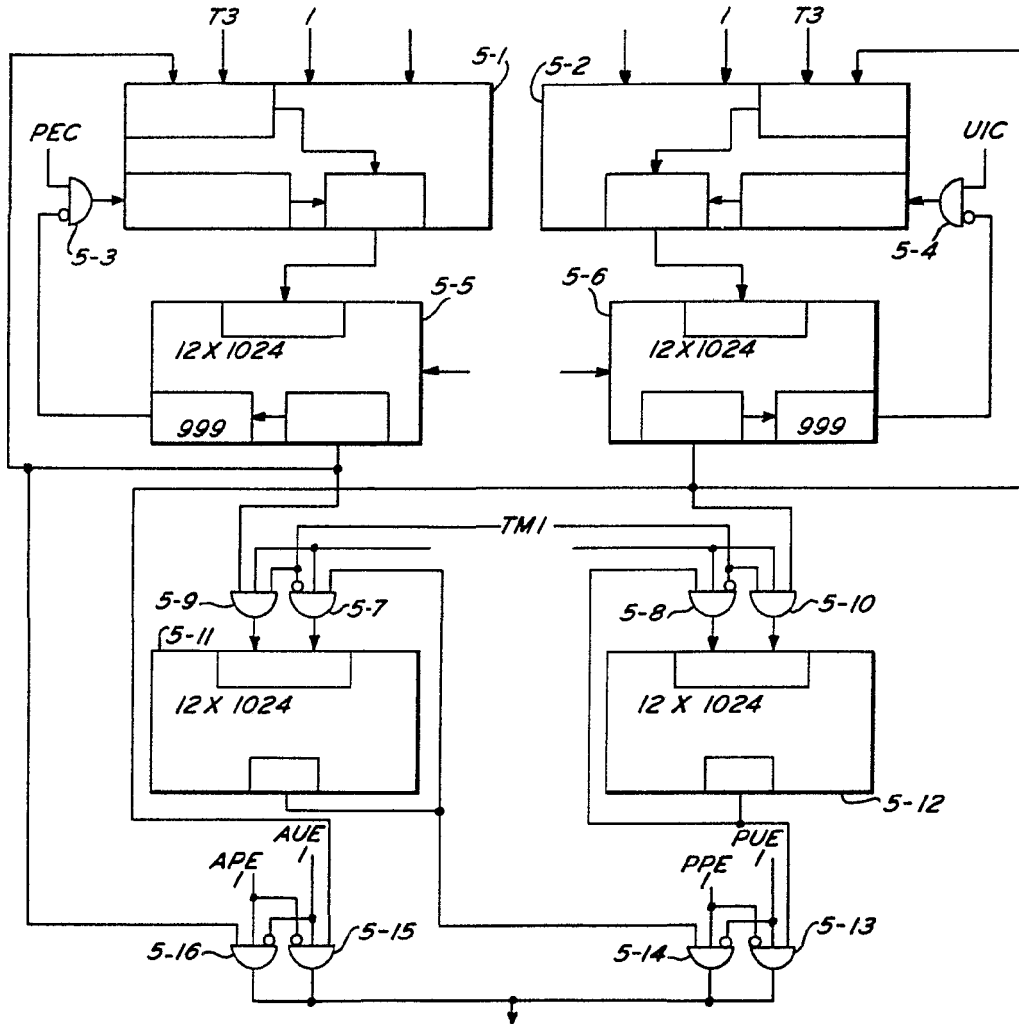


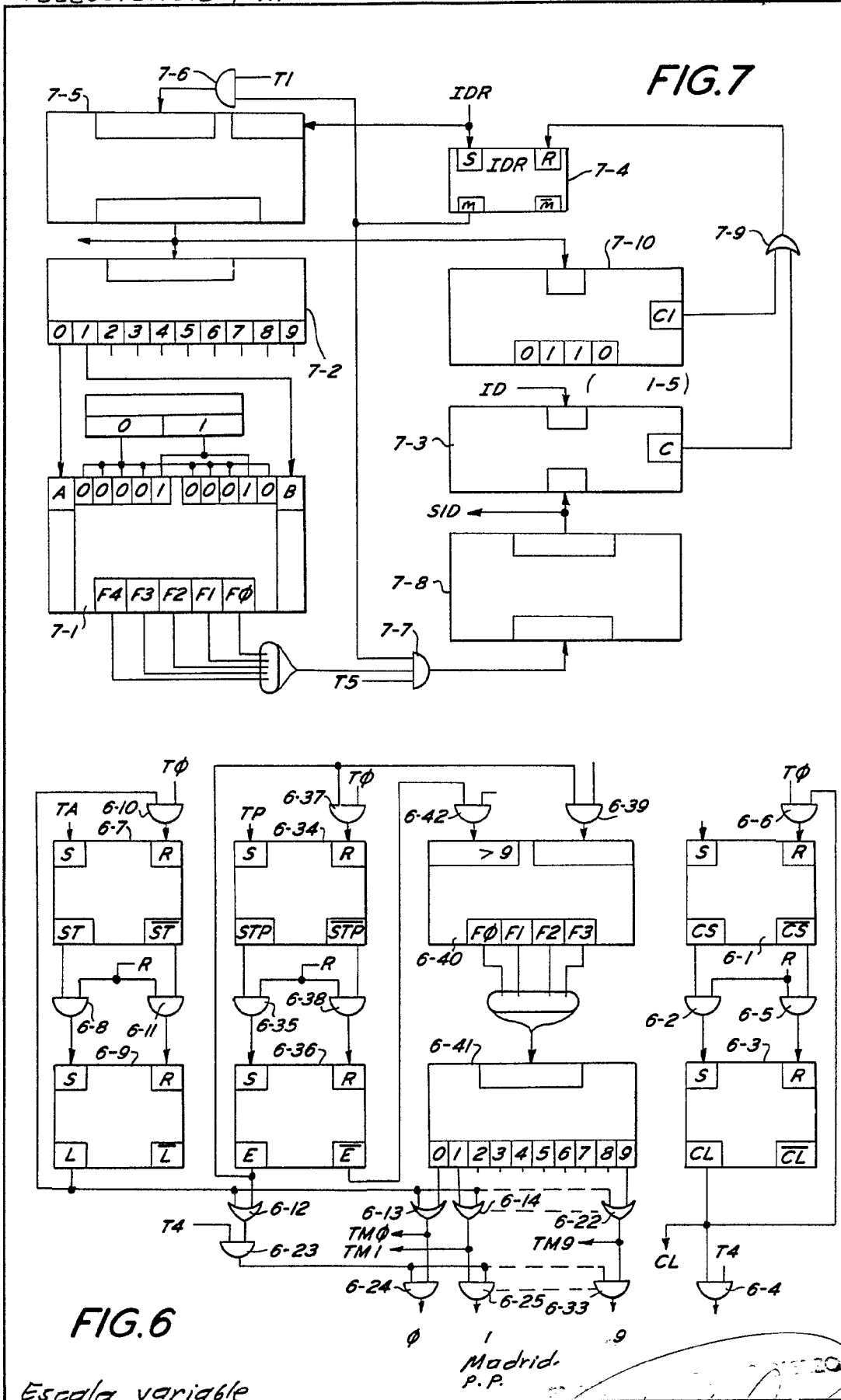
FIG. 16

B1A1 06/28 10/00 - 0000/;
 000 000/000 030/006 066/003 044/002 000/000 093/010 045/003 040/004
 001 000/000 000/000 037/001 000/000 023/001 052/001 016/002 040/003
 002 093/025 046/001 000/000 041/003 087/001 008/002 000/000 040/003
 ...
 127 009/002 093/029 079/003 000/000 000/000 000/000 035/005 040/003.

Madrid
P.P.

Escala variable

[Handwritten signature and stamp]



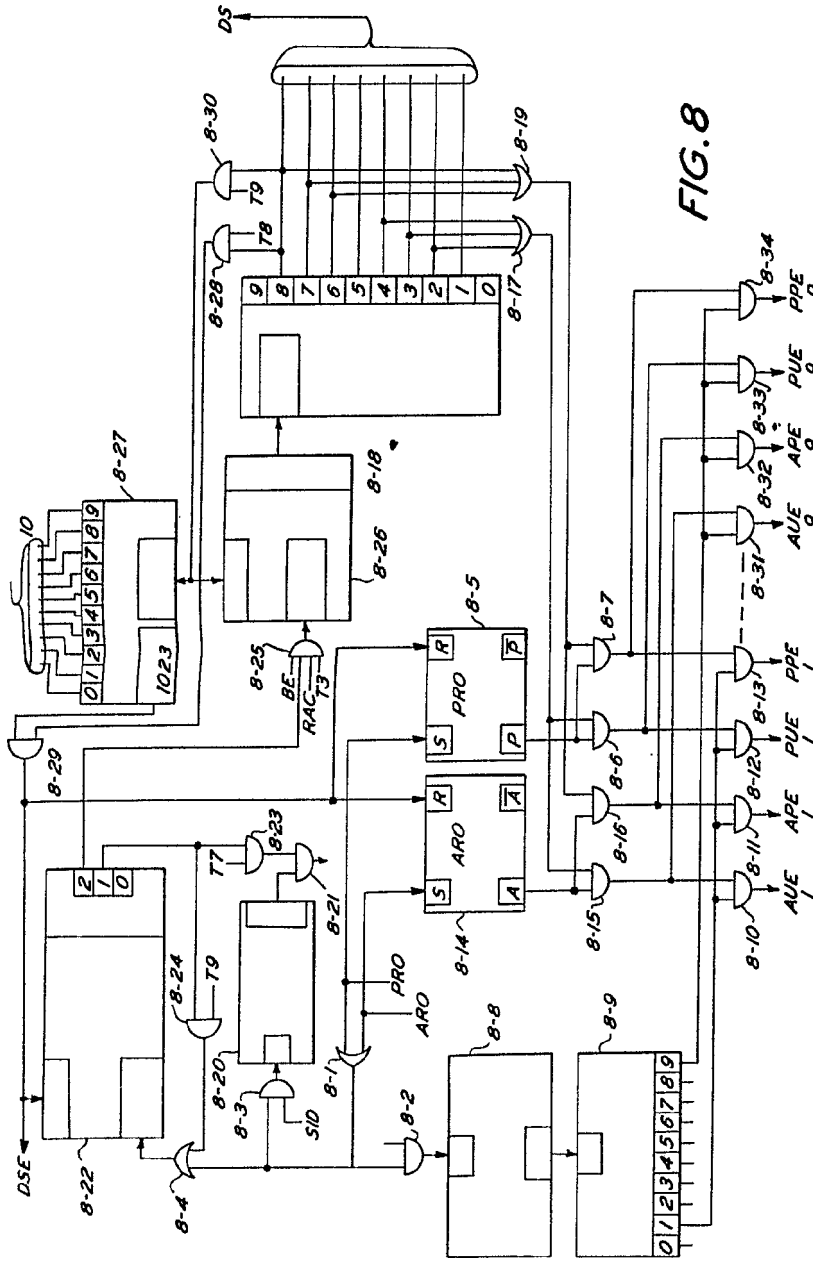


FIG. 8

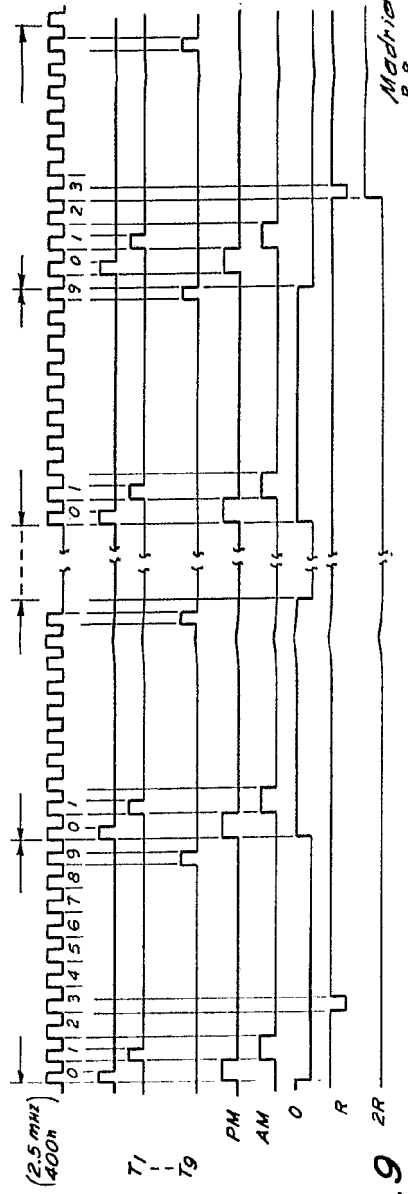


FIG. 9

Escala variable

Madrid, P.P.

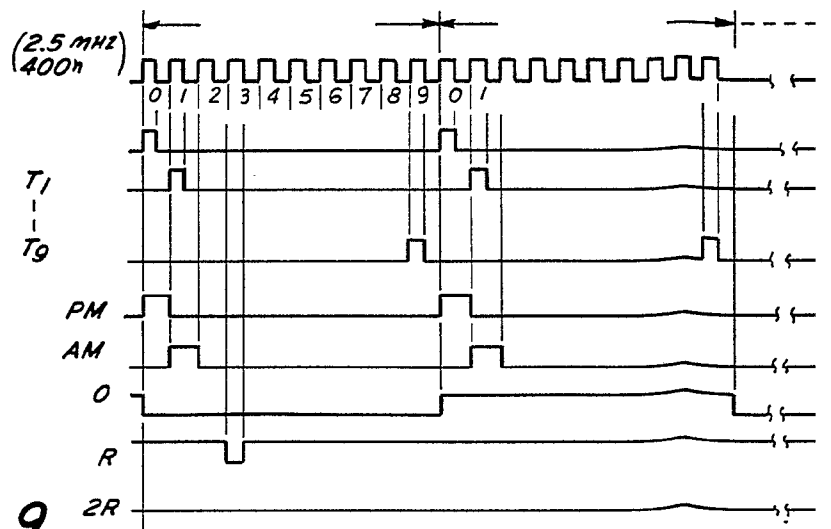
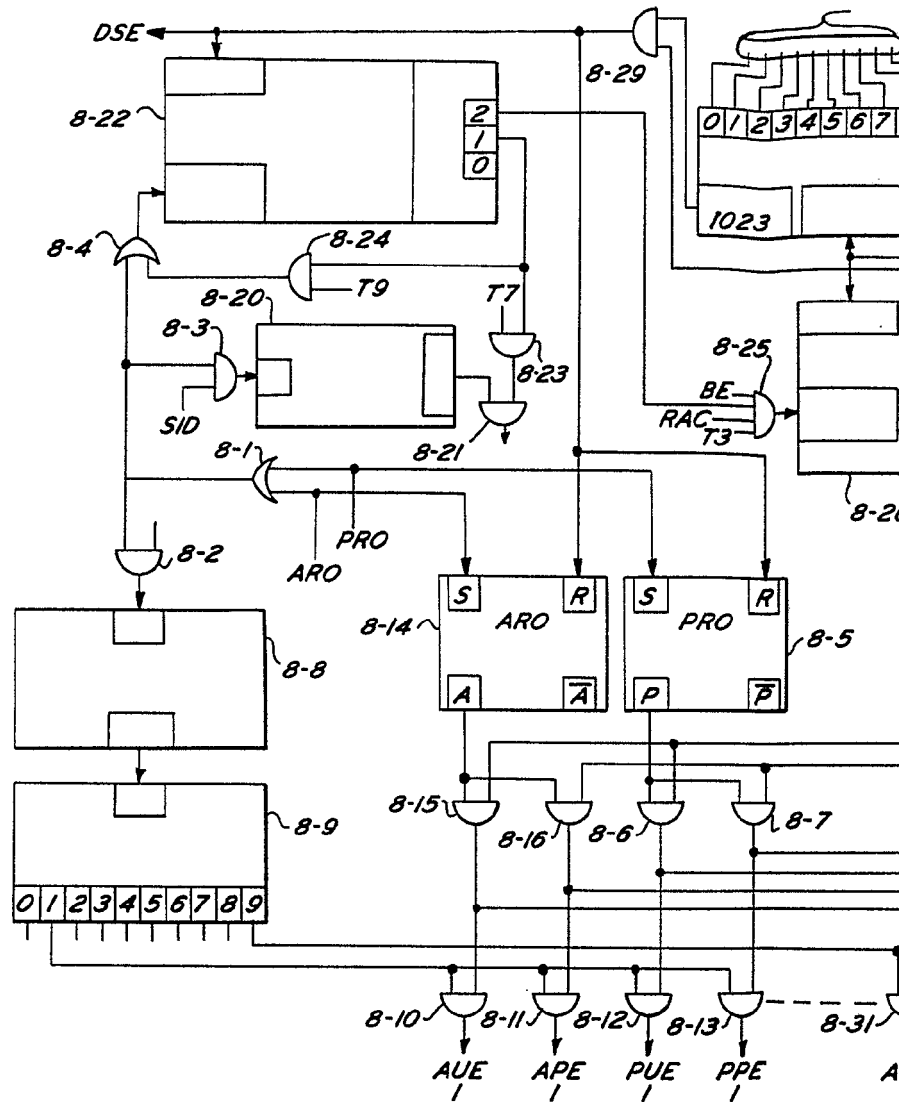


FIG. 9

Escala variable

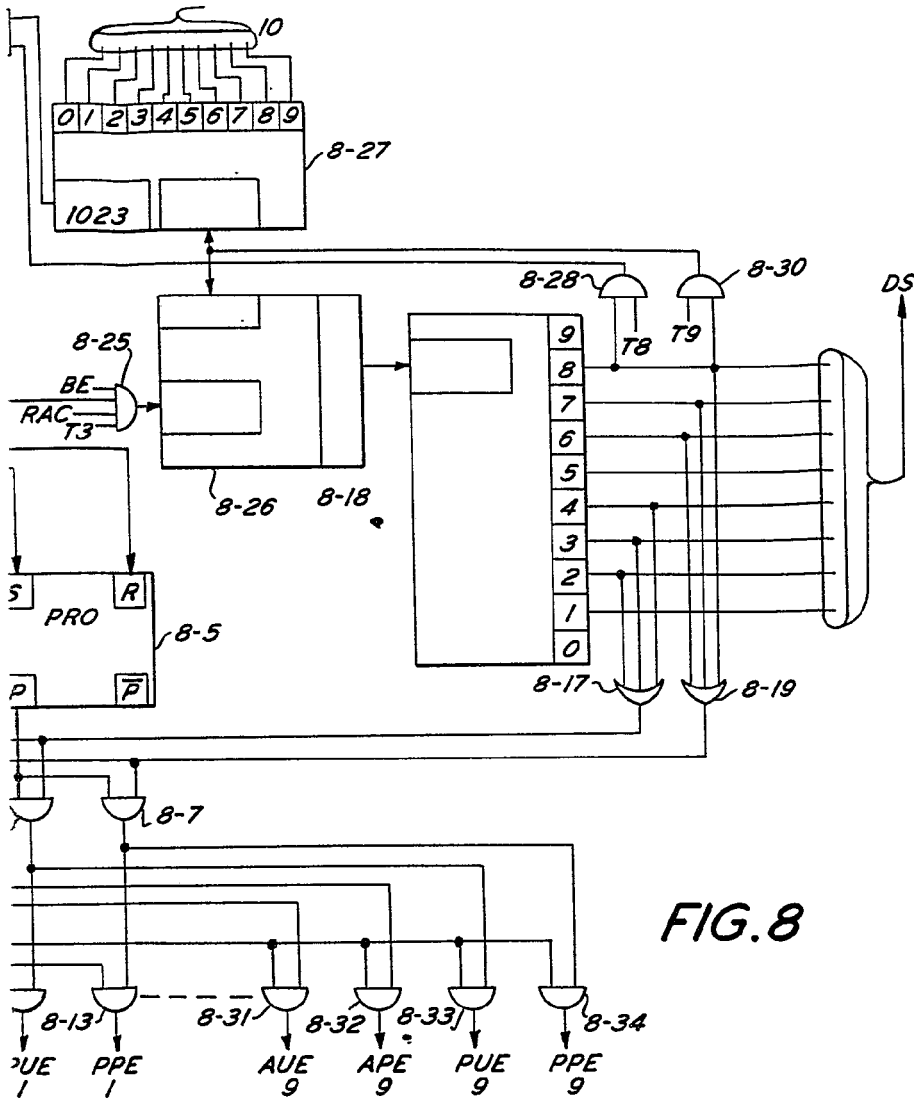
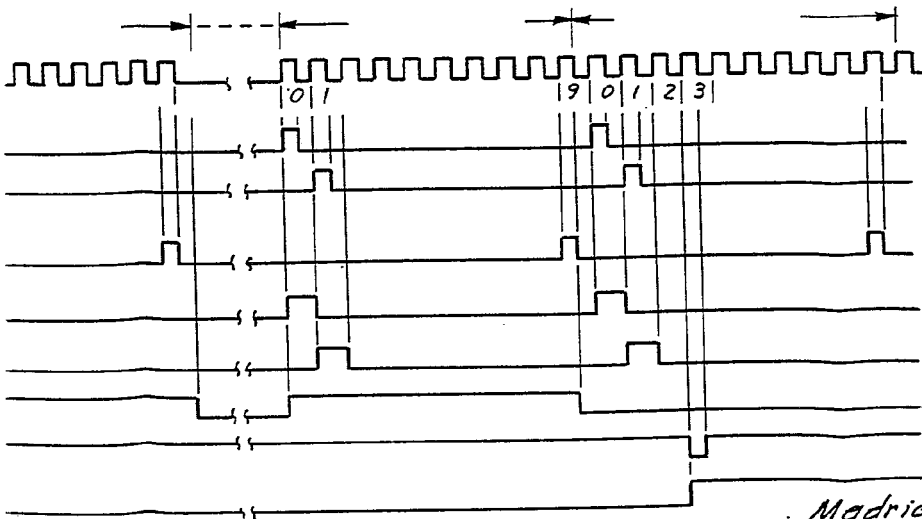
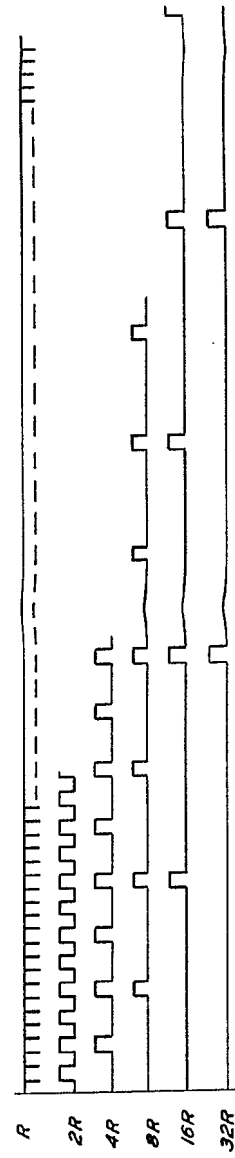
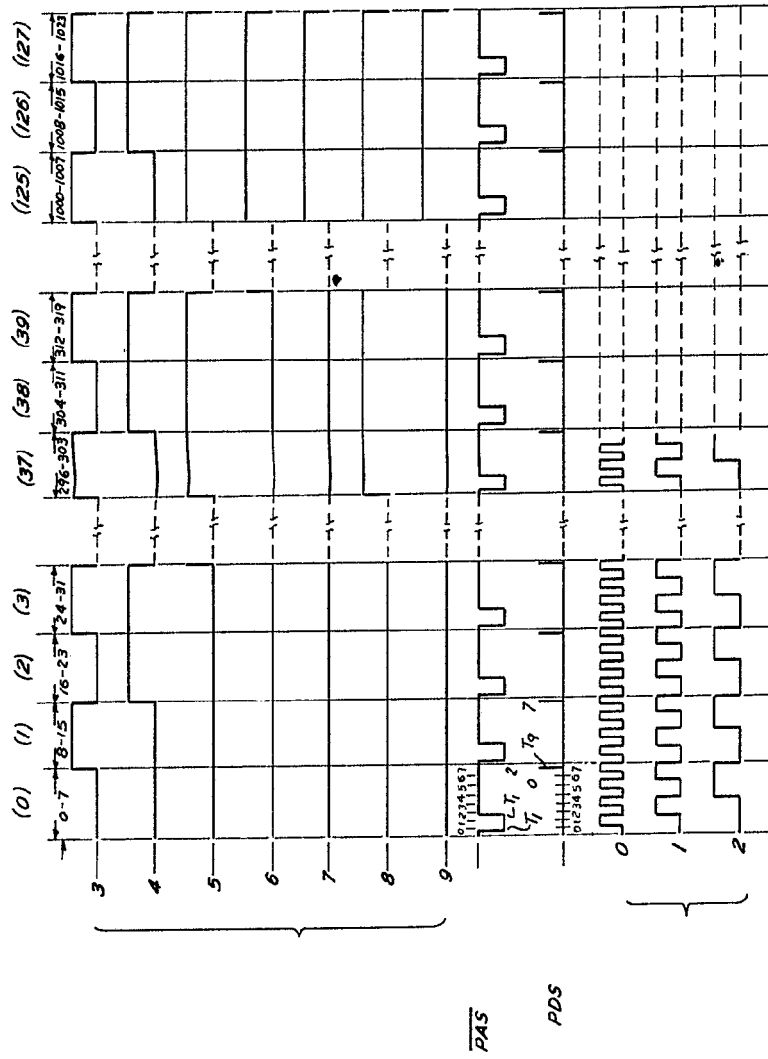


FIG. 8



Madrid.
P.P.

Handwritten signature and stamp.



M. de la R.
P.R.

FIG. 11

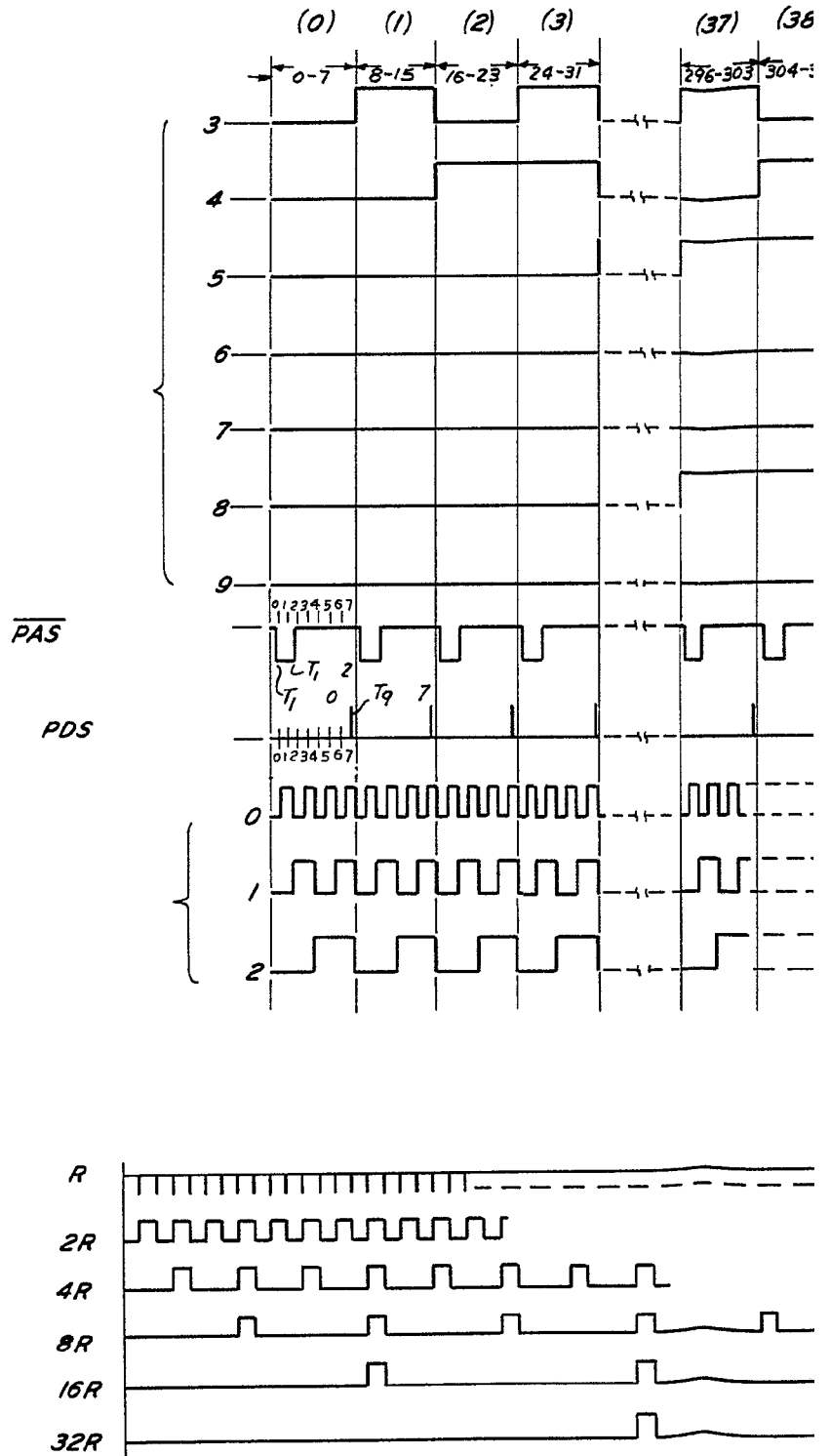


FIG. II

Escala variable

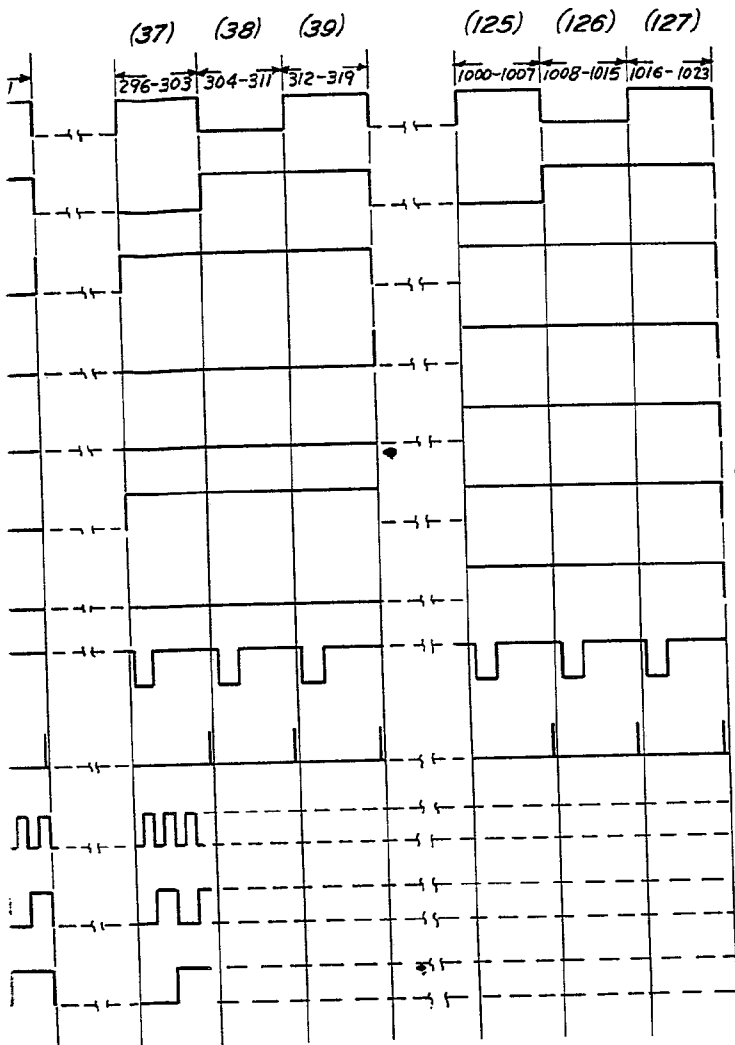
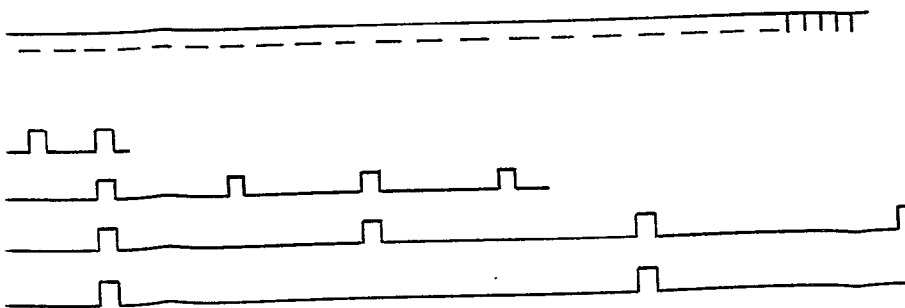


FIG. 10



Madrid.
P. P.

Handwritten signature and initials.

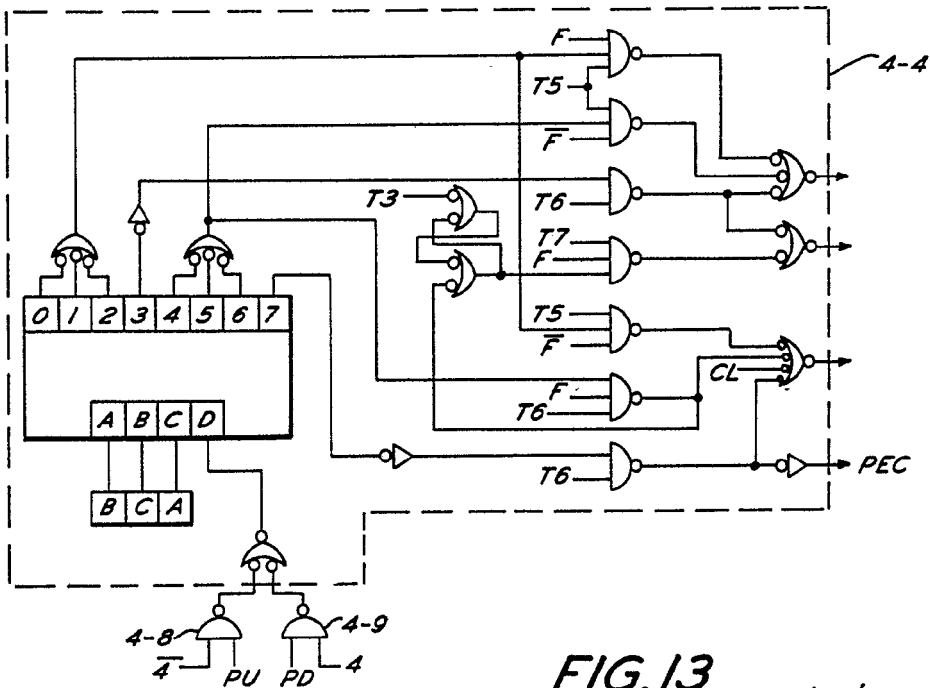
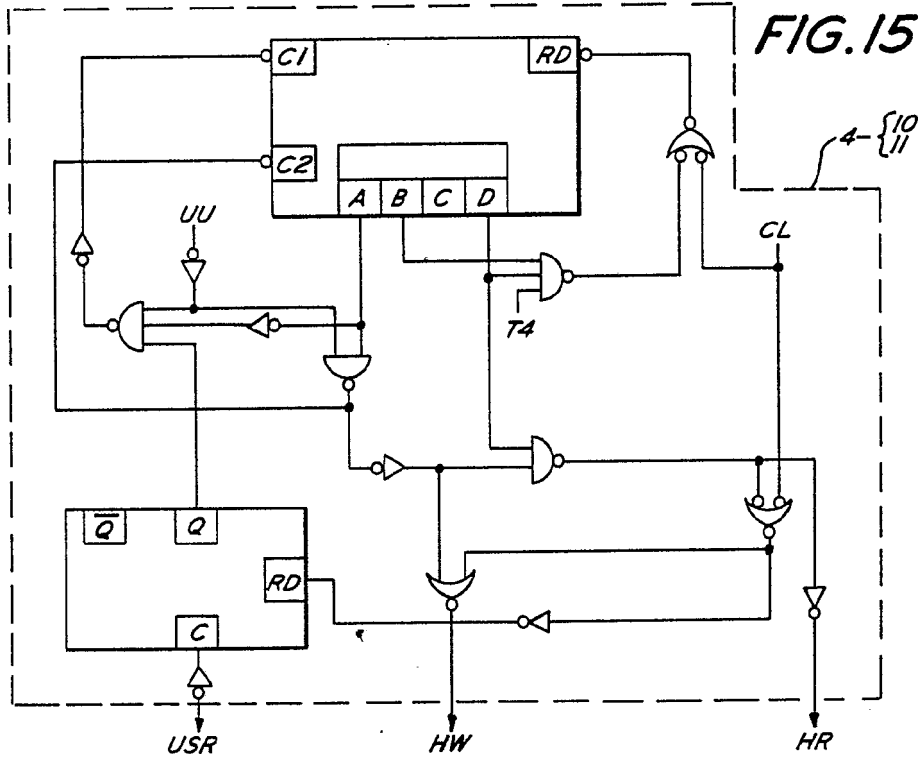


FIG. 13

Madrid.
P.R.

Escala variable

[Handwritten signature]