



PATENTE DE INVENCION

Dossier 684

Inventor: G 06 F 7/38, 9/18
433614

Memoria Descriptiva

sobre:

PERFECCIONAMIENTOS EN OPERADORES DE CARACTERES DE CIFRAS DECIMALES CODIFICADAS EN BINARIO.

Solicitante: COMPAGNIE INTERNATIONALE POUR L'INFORMATIQUE, entidad francesa, residente en 68, rue de Versailles, 784300 LOUVÉCIENNES, Francia.

5. La presente invención tiene por objeto un operador de caracteres de cifras decimales codificadas en binario para el tratamiento, en un sistema de informática, de cadenas de elementos codificados que tiene cada uno de ellos, múltiplo de cuatro, cifras binarias de un caracter y pueden representar, directamente o por conversión

**POOR
QUALITY**



previa, cifras decimales codificadas en binario de una condición. Tales cadenas son, ilustrativamente, explotadas para la representación de las instrucciones de gestión en sistemas de informática: Por ejemplo, los caracteres usuales son octetos, cada caracter comporta pues dos cifras decimales codificadas en binario.

5.

Los elementos codificados de estas cadenas se presentan normalmente en sucesión en un registro de transferencia y son tratadas bajo el comando de un microprograma que, por la secuencia de sus palabras, define la progresión del trabajo en el operador de caracteres,

10.

Según la presente invención, un operador tal comprende un par de memorias de caracteres, un operador aritmético/lógico que trata los caracteres leídos en estas memorias, una organización de registro de memorización temporal para la deducción de los caracteres que resultan de este trabajo y una organización de carga de las memorias que incorpora una fase de multiplex para la manipulación y el acondicionamiento de los códigos leídos en estos registros y memorias pero pudiendo hacer llamada, cuando se desea, a constantes y cifras externas a dichos registros y memorias. Los registros de transferencia y memorización temporal pueden ser resumidos en un registro común que recibe a través de una etapa de multiplex condicionada por el microprograma, los elementos codificados de las cadenas a tratar y los caracteres originados del operador aritmético/lógico.

15.

20.

La fase de multiplex de la organización de carga puede estar provista de una entrada que incorpora un operador de pre-acondicionado de las cifras decimales que provienen del o de los registros en vista a simplificar la organización de las correcciones de las cifras decimales que salen del operador aritmético /lógico, debidas a la propagación de sumas anteriores entre cifras decimales dentro de este nivel.

25.

30.

Estas características, así como otras que vienen aún a reforzar los efectos, van a ser expuestas en detalle con referencia a un ejem_



plo, no limitativo de puesta en práctica del cual pueden deducirse, sin más, todas las variantes de ejecución de los operadores según la presente invención. Este ejemplo está representado en las figuras adjuntas.

5. La fig. 1 es un esquema en bloque de este ejemplo de operador de caracteres, asociado a la descripción de la palabra de accionamiento de su microprograma accionador.

La fig. 2 es una representación de la fase de multiplex TD de este operador de caracteres, asociado a una tabla de formación de sus señales de accionamiento.

10. La fig. 3 muestra una constitución posible de los circuitos de este operador, que trata caracteres octetos.

15. Todo elemento codificado de una cadena de caracteres, octeto en este ejemplo, se introduce en INF, fig. 1, a través de un multiplexor TS provisto de un registro de salida RS y accionado por un área KTS de la palabra de programa cuya configuración general viene dada en la parte de arriba de la fig. 1. Los emplazamientos no significativos para el operador de caracteres están, en esta configuración, marcados por una cruz. La primera y la última línea de esta representación definen las denominaciones de los campos de esta palabra, la segunda y la tercera líneas, enlazadas a la primera, describen más en detalle el contenido de algunos de estos campos.

20. El multiplexor TS tiene entradas conectadas a la salida del operador aritmético/lógico ϕD a través de un circuito ϕM que rectifica los códigos procedentes de ϕD mientras que en ciertas operaciones, adición y sustracción, del operador aritmético/lógico, aparecían retenciones.

25. La naturaleza del trabajo de ϕD está definida por el campo $K\phi D$ de toda palabra de accionamiento. ϕD puede, por ejemplo efectuar las operaciones siguientes sobre los códigos aplicados a sus estradas A y B: adición de B con A, sustracción de B con A, intersección de A y B, reunión lógica de A y B, disyunción de A y B, transferencia de A, transferen-

30.



cia de B, adición y sustracción de una unidad a uno de los códigos, y puede, por ejemplo además ser accionado para liberar un código "todo ce ros" o un código "todo unos", esta enumeración no es evidentemente limi tativa en sí.

5. El registro RS tiene, ventajosamente, una capacidad igual a varios caracteres y es pues leído caracter por caracter bajo el control de un "reloj" local CTC, tal como un contador de circuito cerrado. A cada im pulso de este reloj, los caracteres son extraídos de un emplazamiento en el registro RS y "salen" pues uno a uno a esta cadencia, que es a la que funciona el operador de caracteres. Según que una u otra de las dos
10. puertas GS y ϕ esté transitada, los caracteres extraídos de RS son di rigidos hacia la salida S del dispositivo o bien dirigidos, por explota ción de los elementos codificados en la carga (memoria), para re-explotación de los resultados parciales en explotación, sobre la entrada de la cadena de tratamiento del operador, a saber sobre una entrada s de
15. su fase multiplex TD y sobre una entrada de un circuito ϕ P cuya salida está también conectada a las entradas de TD.

- Se podrían tener dos registros tales como RS, uno recibiendo las informaciones INF solamente, y el otro los caracteres procedentes de
20. ϕ D/ ϕ N, cada uno de ellos asociado a un multiplexor tal como TS por ejem plo. El reloj CTC tendría en este caso su salida accionada por KTS para la extracción de las informaciones bien sea en uno o en otro de estos dos registros. Si se desea, en este caso, el registro ligado al operador aritmético/lógico podría tener solamente capacidad para un caracter. Una
25. tal organización de dos registros permitiría introducir elementos codi ficados de cadenas de caracteres deduciendo resultados de cálculo del operador de caracteres.

- La salida d de la fase multiplex TD está dirigida sobre las entra das de dos memorias de caracteres RDA y RDE cuyas direcciones de escri
30. tura CE están contenidos en las áreas KRN y KAR de la palabra de accio



- namiento. Bien entendido, las órdenes de escritura no pueden ser simultáneas. La dirección de lectura de RDA viene dada en el área KIN de una palabra de accionamiento, la dirección de lectura de RDE viene dada en el área KEB de la palabra de accionamiento. Las dos lecturas serán simultáneas en la mayor parte de las operaciones elementales. Además, una lectura en RDA puede ser simultánea a una escritura en RDA, o a una escritura en RDE. Normalmente, esta simultaneidad no será aplicada a RDE. También normalmente, la capacidad de caracteres de RDB se tomará superior a la de RDA para que RDE pueda, por ejemplo, servir de tapón a una cadena completa de elementos codificados que entran en INF, RDA juega entonces principalmente el papel de una memoria de trabajo en el curso de la explotación de estos elementos codificados en el operador de caracteres, carga y explotación pudiendo superponerse en el curso del trabajo. Tanto en la carga como en la explotación, en efecto, la fase de multiplexor TD asegura, bajo la acción del área KTD, salida del área KAA de la palabra de accionamiento, manipulaciones de códigos para definir los caracteres a introducir en las memorias RDA y RDB. A título ilustrativo, pues tales manipulaciones dependen, como es evidente, de las configuraciones de los microprogramas, las operaciones siguientes pueden ser consideradas en este nivel, como muestra la fig. 2 en el caso de caracteres octetos, pues de dos cifras decimales y ocho accionadas, de (1) a (8) formadas a partir del código de tres cifras del área KTD de la palabra de accionamiento. El multiplexor TD comprende en este caso ocho elementos de ocho entradas cada uno para la formación y transferencia selectiva a las memorias de códigos de ocho cifras binarias, de d0 a d7 que constituyen dos cifras decimales, d0 a d3, peso fuerte, y d4 a d7 peso débil.

- En accionamiento (1), el multiplexor transfiere tal cual a las memorias, las cifras binarias s0 a s7 leídas en el registro RS, y por consiguiente las cifras decimales s0 a s3 y s4 a s7.



5. En accionamiento (2), estas cifras d0 a s7 quése aplica sobre un operador ϕP , salen bajo la forma de cifras p0 a p7 que son transferidas tal cual por el multiplexor a las citadas memorias. El operador ϕP añade a cada cifra decimal que recibe, la cifra "6". Las cifras p0 a p7 son por consiguiente codificadas en decimal binario 6, èste serà pues teni do en cuenta a la salida del operador aritmético/lógico ϕD para las co rrecciones de las sumas anteriores recogidas, formadas en este nivel. El circuito ϕP permite ademàs, si se desea, verificar el codificado an terior en decimal binario dado que entonces no debe de haber aquí sumas 10. anteriores de retención engendradas por la adición de "6" a cada una de las cifras decimales que entran.

15. En accionamiento (3), el multiplexor transfiere a las memorias las cifras decimales p0 a p3 y p4 a p7 pero invirtiendo las posiciones rela tivas. El código que sale de TD comprende la cifra p4 a p7 como cifra de peso fuerte y la cifra p0 a p3 como cifra de peso dèbil.

20. En accionamiento (4), el multiplexor forma un caracter que compren de la cifra decimal "5" como cifra de peso fuerte, y como cifra de peso dèbil, la cifra de peso dèbil p4 a p7 procedente de ϕP . En accionamien to (5), la cifra de peso fuerte transferida sigue siendo (5) pero la ci fra de peso dèbil consiste en la cifra de peso fuerte, p0 a p3, procede nte de ϕP . Estas dos operaciones pueden ser llamadas "dilataciones" (en inglès: "unpack").

25. En accionamiento (6), el multiplexor forma un caracter concatenado cuya cifra de peso dèbil es la cifra de peso dèbil p4 a p7 procedente de ϕP y cuya cifra de peso fuerte consiste en una cifra leida en memo ria RDB pero tomada invertida, complemento a "1" de sus cifras binarias sea $\overline{b4}$ a $\overline{b7}$, lo que indica que la cifra leida en RDB es una cifra deci mal de peso dèbil de un caracter en memoria.

30. En accionamiento (7) el multiplexor transfiere a las memorias un ca racter constituido por una cifra de peso fuerte f0 a f3, cuyo origen



será explicado más adelante, y una cifra de peso débil constituida por la cifra de peso fuerte p0 a p3 del caracter procedente de ϕP y que está forma "cuadrado a la derecha".

5. En accionamiento (8) el multiplexor transfiere a las memorias un caracter constituido por una cifra de peso fuerte que consiste en la cifra de peso débil p4 a p7 del caracter procedente de ϕP y que es pues de esta forma "cuadrado a la izquierda", y de una cifra de peso débil z0 a z3 cuyo origen va a ser explicado a continuación al igual que el de la cifra f0 a f3 del accionamiento (7).

10. Como se ha dicho, la memoria RDA puede leerse incluso si, por otra parte, se imprime allí un caracter. La cifra de peso débil a4 a a7 de todos los caracteres leídos en RDA se aplica sobre la entrada de un multiplexor elemental T1, la cifra de peso fuerte de este caracter se aplica sobre una entrada de un multiplexor elemental T2. Sobre su otra
15. entrada, el multiplexor elemental T1 recibe la cifra decimal "6"; el multiplexor elemental T2 recibe, sobre su otra entrada, una cifra decimal que proviene de un registro AT. T1 cuando es activado libera el código f0 a f3. Cuando se activa T2 libera el código z0 a z3.

20. El registro At está cargado por un código definido por la macro-institución que da lugar, en el sistema, a la ejecución del microprograma que hace intervenir el operador de caracteres, esta carga no tiene lugar más que cuando la palabra de accionamiento de la micro-instrucción de comienzo de este microprograma contiene la cifra 2L2 en su área KC. El código en AT fija en tal caso un nivel de área dirigido en
25. la instrucción. En el ejemplo de la figura 1, la carga del registro AT pasa por el registro RS. Podría ser cargado independientemente de este registro.

30. Las estructuras de los multiplexores T1 y T2 son evidentes: cada uno de ellos comprende cuatro elementos de dos entradas de cifras binarias, cuyos dos circuitos-puerta son, en cada elemento, accionados en



condiciones contrarias según que la salida de un órgano regulador sea "0" o "1".

5. En el ejemplo representado, este órgano regulador es un comparador COMP del contenido de los dos registros EC y CT cargados por el programa. Son, como se muestra, cargados a través del registro RS pero podrían serlo independientemente de este registro. CT recibe en principio de trabajo, a través de un circuito-puerta desbloqueado en un orden a partir del área KAR de la primera palabra de accionamiento, un código que define el número de operaciones elementales a ejecutar en dicho trabajo.
10. A continuación, cada palabra de accionamiento asegura un decrecimiento (o un incremento según la estructura del micro-programa en curso), de una unidad en este registro CT. EC está cargado al principio de una ejecución de cada micro-instrucción del micro-programa por un código que proviene del área KAU de la micro-instrucción; a través de un circuito-puerta desbloqueado por la señal de cumplido ACQ de la micro-instrucción
15. precedente. Cuando el contenido de los registros CT y EC difiere, los multiplexores T1 y T2 transfieren sobre TD las cifras decimales leídas sobre RDA. Cuando el contenido de CT y EC es igual, el registro T1 suministra "6" y el registro T2, el código contenido en el registro AT.
20. La fig. 3 reproduce parte del esquema de la fig. 1 para el tratamiento de los códigos octetos, el tratamiento de los códigos de un mayor número de cifras está evidenciado por lo que precede. Los elementos señalados I en la fig. 3 son inversores. El circuito ϕP comprende dos elementos adicionadores $\phi P1$ y $\phi P2$ independientes para añadir "6" a cada cuartero o cifra decimal entrante. El operador aritmético/lógico ϕD
25. opera sobre las informaciones inversas a partir de las procedentes de las memorias RDA y RDB. Existe una suma anterior $M\phi$ del operador $\phi D1$ al operador $\phi D2$, cada operador que trabaja sobre una cifra o un par de cifras decimales y, en $M\phi$, se ha indicado una memoria de suma inicial
30. de la retención procedente de $\phi D2$ sobre el operador $\phi D1$, en caso de ope



- raciones en que es necesario (ejecutadas en dos tiempos). $\phi D1$ y $\phi D2$ son circuitos del género conocido como adicionadores/sustractores-generadores de funciones para satisfacer a las operaciones enumeradas más arriba. Existe, de hecho, en los adicionadores-sustractores decimales que operan en numeración paralela, un circuito $\phi M1-\phi M2$ que permite las correcciones de las sumas anteriores entre cifras decimales entonces de adición o de sustracción decimales. Habida cuenta de la presentación obtenida por el operador ϕP , de las condiciones de aplicación de las cifras leídas en memoria sobre ϕD y del hecho de que las sumas anteriores procedentes de $\phi D1$ y $\phi D2$ son transferidas en inversión, el circuito ϕM opera como sigue sobre cada cifra decimal: cuando la operación efectuada en $\phi D1$, o en $\phi D2$, engendra una suma anterior, la cifra decimal proveniente de $\phi D1$ o de $\phi D2$ se trata en transferencia en $\phi M1$ o en $\phi M2$; en el caso contrario, la cifra "6" es añadida al valor del código de cifra decimal procedente del operador correspondiente de ϕD , esto mismo correspondería hacer (-6) si la operación fuera efectuada en polaridad normal.
5. 10. 15.

- Las salidas de ϕM se dirigen sobre las entradas de TS donde pueden sufrir los desajustes apropiados para su nivelación en vista de su descuento ulterior. Los códigos salen en polaridad inversa de ϕP , de ahí la presencia de un inversor a su recepción sobre ϕP y TD para volverlas a colocar en polaridad normal. Ni ϕP , ni TD son considerados como que posean las salidas invertidas, así como tampoco las salidas de lectura de las memorias RDA y RDB.
- 20.

N O T A
=====

- Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental; también se hace constar que el invento corresponde a una solicitud de patente presentada en Francia n° 74 00 463 de 7 de enero de 1.974, accogiéndose por lo tanto
25. 30.



to a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención por 20 años en España, sobre: PERFECCIONAMIENTOS EN OPERADORES DE CARACTERES DE CIFRAS DECIMALES CODIFICADAS EN BINARIO; caracterizándose por lo siguiente:

5.

1.- Perfeccionamientos en operadores de caracteres de cifras decimales codificadas en binario, del tipo que trabajan bajo el accionamiento de un micro-programa para tratar cadenas de tales caracteres que se presentan en sucesión en un registro de transferencia, caracterizados porque cada operador comprende la combinación de un par de memorias de caracteres, un operador aritmético/lógico de caracteres y pares de caracteres leídos en estas memorias, una organización de registro de memorización temporal de los resultados de estas operaciones y de una organización de carga de las memorias que incorpora un multiplexor de formación y transferencia de los caracteres que recibe, entre otros, los códigos de cifras y de caracteres procedentes de los citados registros y de dichas memorias.

10.

15.

20.

2.- Perfeccionamientos según la reivindicación 1, caracterizados porque el registro de transferencia y el registro de memorización temporal están resumidos en un registro único accesible a través de una fase de multiplex de los elementos codificados de las cadenas de caracteres y de los caracteres de resultados formados en este operador.

25.

30.

3.- Perfeccionamientos según la reivindicación 1 o la reivindicación 2, caracterizados porque cuando el operador aritmético/lógico efectúa las operaciones dando lugar a retenciones y la propagación de retenciones entre cifras sirve para simplificar la organización de este operador aritmético/lógico en esta consideración, la fase de multiplex presenta, además de un acceso directo a los códigos de caracteres procedentes de los citados registros y memorias, un acceso indirecto que pasa por un operador de pre-acondicionamiento de los códigos a tratar





para tales operaciones en el operador aritmético/lógico.

5. 4.- Perfeccionamientos según la reivindicación 3, caracterizados porque este operador de pre-acondicionamiento añade "6" a toda cifra decimal codificada en binario que le es aplicada y los circuitos de corrección de los desarrollos de las sumas anteriores en el operador aritmético/lógico resta "6" al código de toda cifra que no haya dado lugar a una suma anterior de retención en su formación en este operador.

10. 5.- Perfeccionamientos según la reivindicación 3, caracterizados porque dicho multiplexor tiene una entrada de inversión de niveles de las cifras decimales procedentes de este operador de pre-acondicionamiento al menos.

15. 6.- Perfeccionamientos según la reivindicación 3, caracterizados porque este multiplexor tiene entradas de concatenación, por lo menos con cifras procedentes del operador de pre-acondicionamiento, cifras de constantes y/o cifras decimales leídas en estas memorias, una entrada por lo menos de cifra leída en por lo menos una de las memorias que asegura el complemento a "1" de los elementos binarios de esta cifra.

20. 7.- Perfeccionamientos según la reivindicación 6, caracterizados porque entre las salidas de cifras leídas en cada memoria y las entradas de concatenaciones de este multiplexor, hay intercalados multiplexores elementales para la sustitución de las cifras de memoria, cifras de constantes y/o cifras leídas en por lo menos un registro cargado en cada comienzo de ejecución de un trabajo del operador.

25. 8.- Perfeccionamientos según la reivindicación 7, caracterizados porque el accionamiento de los citados multiplexores elementales está asegurado por detección de no-coincidencia y de coincidencia de contenido de otros dos registros uno de los cuales está cargado al principio de ejecución con un micro-programa y el otro está cargado al principio de ejecución con toda micro-instrucción de este micro-programa.

30. 9.- Perfeccionamientos en operadores de caracteres de cifras de



cimales codificadas en binario, tal y como queda sustancialmente descrito en la presente Memoria e ilustrado en los dibujos adjuntos.

Esta Memoria consta de 12 hojas escritas a máquina por una sola ora.

5.

Madrid, _ 8 ABR. 1975

COMPAGNIE INTERNATIONALE POUR
L'INFORMATIQUE.

L. GOMEZ ACEES Y MODET
p. p. Firmado: L. Goeta Fernández

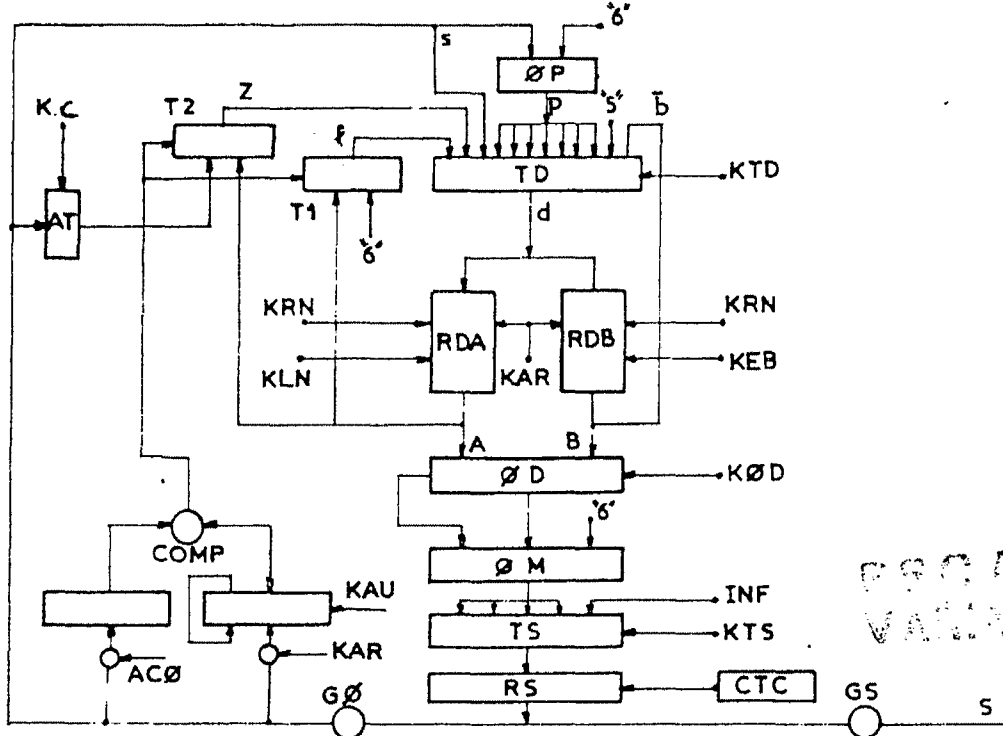
10.



FIG.1

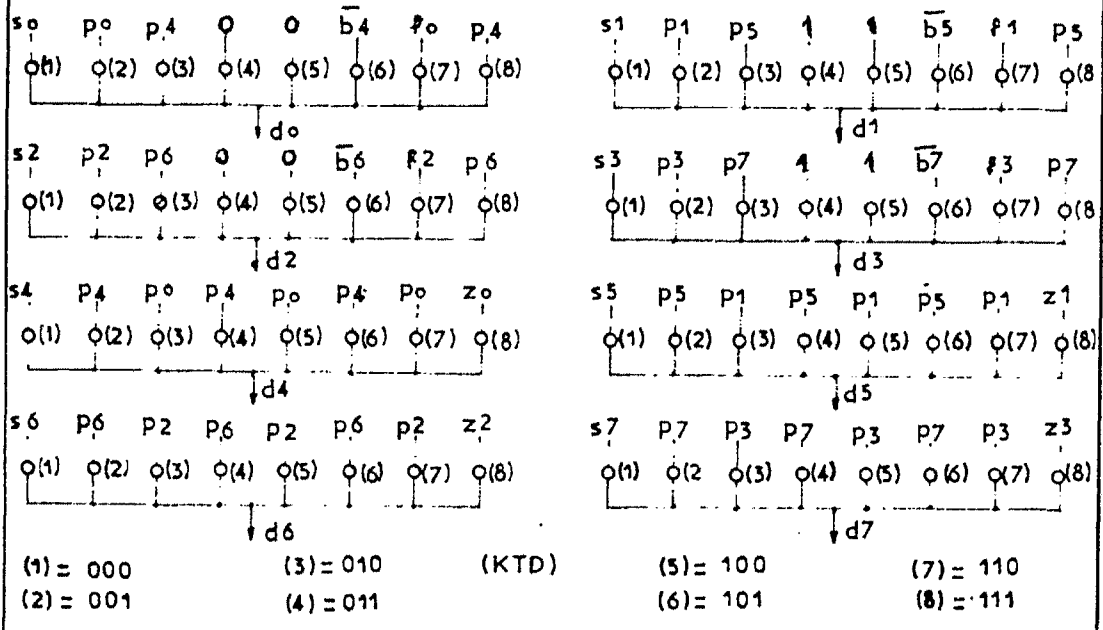
KAA		KRN		KLN		KCB		KAR		KTS								
x	KTD	AE	RDA	o	o	o	o	o	1	o	x	x	x	x	x	CE	RDA	RDB
x	KTD	AE	RDA	AL	RDA					x	AL	RDB	CE	RDA	RDB			

KØD	KAU	x x													
-----	-----	---	--	--	--	--	--	--	--	--	--	--	--	--	--



PROCALA
VARIABLE

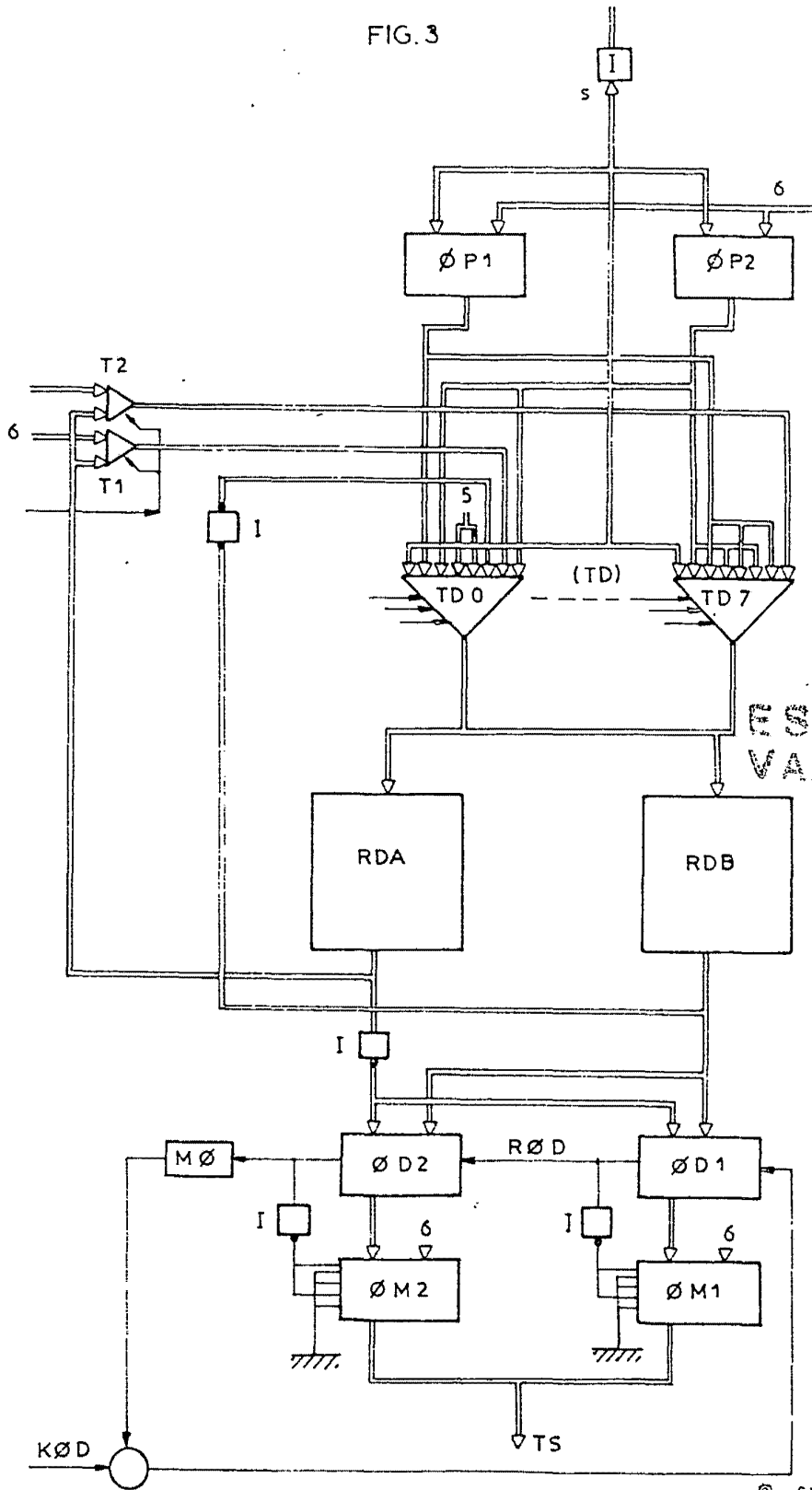
FIG.2



Madrid - 8 ABR. 1974

J. GARCIA ALONSO Y MODELL
 Director General de Equipos Periféricos

FIG. 3



ESCALA
VARIABLE

Madrid - 8 ABR. 1975

J. GOMEZ ACEBS Y MODEY
Firmado: L. Gesta Fernández