

433.508

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN  
ESPAÑA POR: "UN SISTEMA ELECTRICO DE TRANSMISION DE DATOS"  
A NOMBRE DE STANDARD ELECTRICA, S.A., CON DOMICILIO EN MA-  
DRID, CALLE DE RAMIREZ DE PRADO N.º. 5.

-----

El presente invento se refiere a un sistema eléctrico de transmisión de datos en el que se utiliza la codificación de bloque y que proporciona detección de error con corrección para retransmisión por circuitos dúplex completo.

5           En tal sistema, cada terminal transmite bloques, cada uno de los cuales tiene un número fijo de bits, consistentes de bits de datos, un bit de conocimiento para transportar OK ó RQ y los bits de paridad. Los bits de paridad protegen el bit OK-RQ así como los bits de datos. Alternativamente, puede  
10           transportarse RQ destruyendo deliberadamente la comprobación de paridad, invirtiendo alguno de los bits de paridad.

En cada bloque, excepto cuando tiene lugar un ciclo de retransmisión, un terminal envía OK si el último bloque completo que recibió estaba correcto, esto es, comprobada la pa-



ridad y transmitido OK, transmite RQ si el último bloque completo estaba incorrecto o se transmitía RQ. No tiene que hacerse la decisión OK-RQ hasta que se alcanza el bit OK-RQ en el bloque que se está enviando, o (en el caso alternativo mencionado) hasta que se alcanza el primer bit a ser invertido. Así,  
5 el término "último bloque completo recibido" se refiere a la situación en ese momento.

Cuando un terminal envía un bloque que contiene RQ, sigue con una repetición en orden correcto de los últimos N bloques transmitidos. Con la excepción del último bloque de este ciclo de retransmisión, el terminal que transmite pasa por alto la condición del bloque que recibe e inserta OK en cada bloque que envía. En el último bloque vuelve al procedimiento normal, insertando OK ó RQ según la condición del último bloque completo recibido.  
10  
15

Un terminal que recibe bien un bloque corrompido u otro que contenga RQ, rechaza dicho bloque, esto es, no lo da pasa al receptor de datos, y ni tampoco los siguientes (N-1) bloques (siendo N el número de bloques en el ciclo de retransmisión), esten o no corrompidos y contengan OK ó RQ.  
20

En tal sistema, el retardo de bucle del circuito máximo sobre el que funciona correctamente, depende del número N de bloques en el ciclo de retransmisión. Este retardo puede, para un valor dado de N, aumentarse si la fase relativa de bloques enviados en las dos direcciones está controlado a una condición óptima.  
25

Los sistemas descritos hasta aquí se aplican donde están sincronizadas las dos direcciones de transmisión, esto es, las cadencias de bits se derivan del mismo reloj. El presente invento se propone adaptar dicha técnica a un sistema en  
30



el que las cadencias de bits no están sincronizadas. En el presente invento se describe un sistema de transmisión de datos eléctricos en el que se utilizan los principios del dúplex completo, esto es, existen canales separados para la IDA y la VUELTA, en el que la detección de un error en la transmisión en ambas direcciones provoca ciclos de retransmisión en ambas direcciones, en donde las señales de conocimiento enviadas desde un dispositivo de recepción a uno de transmisión para indicar la recepción correcta (OK) o una requisición de repetición (RQ), forman parte de los bloques de datos enviados desde dicho dispositivo de recepción al de transmisión, en donde los circuitos dúplex no tienen las cadencias de bits para las dos direcciones de transmisión derivadas de la misma fuente de impulsos de reloj, en donde, cuando se recibe un bloque incorrectamente o un bloque que contenga una señal de conocimiento RQ en la transmisión de datos normal, demandando así la inserción de una RQ en un bloque transmitido, se mantiene la demanda hasta que se efectúa la inserción, y en donde no se envía señal de conocimiento en respuesta a cualquier bloque subsiguiente que pueda recibirse mientras tanto.

Describiremos seguidamente, refiriéndonos a los dibujos, una configuración del presente invento, en donde la Fig. 1 es un diagrama explicativo de un bloque de datos, las Figs. 2 y 3 muestran la transmisión de datos en dos circunstancias diferentes, y la Fig. 4 es un diagrama bloque de una configuración del invento.

La Fig. 1 es un bloque EDC de duración  $T_B$ , que consiste de bits de datos, un bit de conocimiento para transportar OK ó RQ, y finalmente, los bits de paridad del sistema EDC. Si el bit OK-RQ tiene lugar  $T_C$  antes del final del bloque,



es posible comenzar un ciclo de retransmisión con un bloque cuya transmisión ya haya empezado, a condición de que se haya realizado menos que  $T_B - T_C$  cuando se conozca la necesidad de tal ciclo. Aprovechando esto, la Fig. 2 muestra la condición de fase relativa óptima en un sistema en el que esto se controla por un ciclo de 2-bloques y para un retardo de bucle máximo aceptable bajo estas condiciones.

Si el bloque  $X_2$  se corrompe durante la transmisión, a condición de que en el terminal Y el final del bloque recibido  $X_2$  tenga lugar marginalmente más pronto que  $T_C$  y antes del final de  $Y_2$ , puede insertarse un RQ en dicho bloque  $Y_2$ , señalizándose así el comienzo de un ciclo de retransmisión. Con las condiciones limitativas del retardo de bucle, la fase de bloque relativa en los dos terminales debe ser simétrica, de tal manera que el sistema pueda tratar los errores correctamente en ambas direcciones de transmisión. Si existe la misma fase de bloque relativa en X (correspondiente a un retardo de bucle marginalmente menor que  $T_B - 2T_C$  - que es el valor máximo tolerable) se reconoce el bloque  $Y_2$  y su RQ ligeramente antes que  $T_C$  antes del final del bloque  $X_3$ . Por consiguiente,  $X_3$  puede señalar el comienzo del ciclo de retransmisión. Si el retardo de bucle es menor que  $T_B - 2T_C$ , no es necesaria una relación de fase simétrica y el funcionamiento es satisfactorio si la fase relativa está controlada en las condiciones de la Fig. 2, en cada uno de los terminales. En este sistema, si un terminal recibe un bloque corrompido o una RQ, rechaza dicho bloque y el que le sigue.

Si la fase de bloque relativa está incontrolada, esto es, es aleatorio, la peor condición tiene lugar cuando el final de  $X_2$  en el terminal Y está ligeramente después que  $T_C$ ,



antes del final de  $Y_2$ . Para un retardo de bucle marginalmente menor que  $T_B - 2T_C$ , debe insertarse el RQ debido al bloque corrompido  $X_2$  en  $Y_3$ , esto es, no en el bloque que se está enviando, sino en el siguiente. Como consecuencia necesitamos un ciclo de transmisión de 3-bloques, Fig. 3. En tal caso, y con un retardo de bucle máximo marginalmente menor que  $T_B - 2T_C$ , el  $Y_3$  que se recibe en X termina más pronto que  $T_C$  antes del final de  $X_4$ , y así, puede insertarse RQ en este bloque. Cada terminal, si recibe un bloque corrompido o una RQ, rechaza ese bloque y los dos siguientes.

Tal sistema de tres bloques funciona correctamente hasta un retardo máximo de bucle de  $T_B - 2T_C$  para las condiciones de fase relativa más adversas en las dos direcciones, y también funciona correctamente para cualquier otra condición de fase relativa. Sin embargo, si la fase está controlada optimamente, el sistema de dos-bloques es más económico en términos de la capacidad de almacenaje necesaria y el número de bloques perdidos cuando se detectan errores.

Por supuesto que ambos sistemas funcionan correctamente sin ajustes especiales para cualquier retardo de bucle menor que el retardo máximo tolerable. Este último puede aumentarse aumentando el número de bloques en el ciclo de retransmisión, de tal manera que para un ciclo de retransmisión de N bloques, el retardo de bucle máximo tolerable es  $(N-1)T_B - 2T_C$  si la fase de bloque relativa en las dos direcciones está controlada, y es de  $(N-2)T_B - 2T_C$  si dicha fase no está controlada. Puede también aumentarse el retardo de bucle máximo tolerable, aumentando el tamaño del bloque.

Aunque un terminal no tiene medios para identificar a cual de sus bloques transmitidos corresponde la señal de



conocimiento recibida, se recibe un conocimiento durante la transmisión normal por cada bloque enviado, a condición de que la cadencia de bit de las dos direcciones de transmisión sean exactamente iguales. Si las dos direcciones no se derivan del mismo reloj, esto no es posible, ya que el número total de bloques ( y de conocimientos ) enviados en las dos direcciones, en cualquier momento, no pueden ser idénticos. Si las cadencias de bits en las dos direcciones de transmisión están controladas por relojes con las mismas cadencias nominales, la fase relativa de los bloques enviados en las dos direcciones varía a una cadencia que depende de la diferencia de velocidades de los relojes, no siendo por lo tanto posibles los sistemas que tengan controlada la fase de bloque relativa.

Suponiendo que X envía más rápido que Y: en la Fig. 3 puede ocurrir que el bloque  $X_2$  en Y se complete justo después del envío del bits OK-RQ del bloque Y2. También puede ocurrir que, como la cadencia de bit de los bloques X excede a la de los bloques Y, se completa la recepción de  $X_3$  en Y antes del envío del bits OK-RQ de Y3, que transmite así el bit OK-RQ apropiado al bloque recibido  $X_3$ . Así, no se realiza conocimiento respecto a  $X_2$  y si, como en la Fig. 3,  $X_2$  está corrompido, no se realiza requisición para su retransmisión.

Para salvar las dificultades anteriores cuando la fase relativa es incontrolada, en el caso de que se reciba un bloque corrompido o una RQ, que indica que debería transmitirse una RQ en el bloque transmitido, se mantiene esta condición hasta que se haya enviado. Si, antes de que ocurra esto, se recibe completamente el siguiente bloque, se ignora la condición de este bloque siguiente y no se envía conocimiento re-



lativo al mismo. Por supuesto que no se pueden mantener las  
señales de conocimiento para todos los bloques recibidos hasta  
que se hayan enviado, dado que las señales de conocimiento re-  
cibidas por el terminal más rápido caerían más y más por de-  
trás de los bloques transmitidos a los que se refieren, y el  
5 sistema sólo trabajaría correctamente si el número de bloques  
en el ciclo de retransmisión fuera infinito. Así, la retención  
de un conocimiento hasta que se haya enviado, se confina  
en las señales RQ. La pérdida ocasional de un conocimiento OK  
10 no produce perjuicio.

Cuando se utiliza el principio de "retención" mencio-  
nado anteriormente, se ignora la señal de conocimiento deman-  
dada por el siguiente bloque recibido. Sin embargo, como el  
bloque transmitido con una RQ viene seguido por un ciclo de  
15 retransmisión, se ignora la condición de este siguiente blo-  
que. Por supuesto que, la respuesta correcta debe ser resumi-  
da en el bloque N-simo recibido después del bloque recibido  
que inició el ciclo de retransmisión. Este es el primer bloque  
que después de este ciclo que, si no está corrompido, pasa al  
20 terminal de datos. Si este bloque N-simo está corrompido o con-  
tiene una RQ, el lado de transmisión responde con una RQ y  
otro ciclo de retransmisión. Como consecuencia, el lado de  
recepción extiende el control al lado de transmisión para apli-  
car el principio de "retención" y asegurar que se envía la  
25 RQ si el bloque N-simo recibido después del primer bloque re-  
chazado está corrompido o contiene una RQ. Así, en la Fig. 3,  
si está corrompida la segunda transmisión de X2, debe mante-  
nerse la condición y debe provocar la inserción de RQ en la  
segunda transmisión de Y3. Esto debe asegurarse no solamente  
30 a pesar del hecho de que debe completarse la recepción de X3



antes de que se alcance el bit OK-RQ de Y<sub>3</sub>, sino también a pesar del hecho de que debe completarse la X<sub>2</sub> recibida antes de que se alcance el bit OK-RQ de Y<sub>2</sub>.

5 En el terminal X, que se ha supuesto que envía más rápido que Y, puede surgir una situación inversa. En la Fig. 3, se recibe el primer bloque Y<sub>3</sub> en el terminal X a tiempo para que se inserte en X<sub>4</sub> el apropiado conocimiento (RQ en este caso). Sin embargo, el segundo Y<sub>3</sub> llega demasiado tarde para determinar el conocimiento transmitido en la segunda transmisión de X<sub>4</sub>. Cuando ocurre esta condición, el terminal X inserta RQ en el bloque X<sub>4</sub> y realiza otro ciclo de retransmisión (X<sub>2</sub> X<sub>3</sub> X<sub>4</sub>).

15 El retardo de bucle máximo tolerable se reduce ligeramente como resultado de la tolerancia de velocidad y del hecho de que las dos direcciones de transmisión no se derivan del mismo reloj. Sin embargo, con tolerancias de velocidad normales, el porcentaje de reducción en el retardo de bucle tolerable es pequeño.

20 Como un ejemplo de la aplicación del invento, nos referiremos a la Fig. 4, que si se prescinde de la conexión de puntos, es un sistema según el descrito en la solicitud de Patente británica N<sup>o</sup>. 48618/71 (A.D. Marr 5). En la transmisión de datos normal, el Distribuidor de Temporización 1 abre la puerta G<sub>3</sub> para enviar los bits de datos de un bloque, 25 G<sub>4</sub> para enviar la lectura del bit de reconocimiento desde el almacenaje RQ/OK 17, y G<sub>5</sub> para transmitir los bits de paridad desde el Generador de Paridad 3. El Distribuidor de Temporización 8 controla las puertas G<sub>8</sub>, G<sub>9</sub> y G<sub>10</sub> para almacenar los bits de datos de un bloque recibido en el almacenaje de 30 datos RX 7, hasta que se haya comprobado la paridad, el bit



de conocimiento en el almacenaje 6 de RQ/OK RX, y para dar paso a ambos, los bits de datos y los de paridad, a la Unidad de Comprobación de Paridad 5.

5 Las salidas de las dos últimas unidades mencionadas activan la Unidad de Aceptación/Rechazo 9 para determinar la condición de conocimiento correcta que debe pasar al Control de Ciclo 12 de RTM TX que en condiciones normales, esto es, sin ciclo de retransmisión, da paso a la condición directamente al almacenaje 17 de RQ/OK TX. Cuando esta condición es RQ, 10 el Control de Ciclo 11 RTM RX, a través de la Unidad 9 hace que se inhiba la puerta G7 para los N bloques, que son así rechazados y no pasan a la Salida de Datos 10.

15 Cuando la Unidad 9 señala RQ al Control de Ciclo 12 RTM TX, el último espera al siguiente impulso de activación desde el Distribuidor de Temporización TX 1 a G4, que hace que se inserte una RQ en un bloque transmitido e inicia entonces un ciclo de retransmisión. Durante los siguientes (N-1) bloques, las condiciones de conocimiento recibidas desde la Unidad 9 se rechazan y estos bloques se comprimen para transmitir OK. Al mismo tiempo, se inhibe G3 y se activa G1, de 20 tal manera que se retransmiten los bloques transmitidos previamente y retenidos en el Almacenaje de Retransmisión de N-bloques 4.

25 Hasta aquí se han descrito las operaciones según la Solicitud de Patente británica antes mencionada, a la cual nos remitimos para una descripción más detallada del funcionamiento. Para aplicar los principios del presente invento, hemos de considerar la conexión 20 mostrada en líneas de rayas. Cuando el control 12 recibe una RQ desde la Unidad 9 durante la transmisión de datos normal, lo pasa al almacenaje 30



17 de RQ/OK TX de la manera normal, pero impide ningún cambio subsiguiente en esta condición hasta después de que el siguiente impulso de activación haya alcanzado G4 desde el distribuidor 1. Aparece entonces un ciclo de retransmisión como en la especificación anterior, Sin embargo, cuando el Control 11 alcanza el final de su ciclo, esto es, ha hecho que se rechacen los N bloques recibidos, hace que el control 12, a través de la conexión 20, reponga el control del almacenaje 17 a la Unidad 9, y también, si se está suministrando una RQ al almacenaje, retiene esta condición de la misma manera que en la transmisión de datos normal, hasta que se suministra el siguiente impulso de activación a G4.

Si el control 12 ha completado su ciclo de retransmisión y está listo para insertar una señal OK/RQ determinada por la unidad 9 antes de que la unidad 11 haya indicado a través de la conexión 20 que su ciclo está completo, el control 12 inserta RQ y, siguiendo sus reglas normales de funcionamiento, repite su ciclo de retransmisión.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de Patente formulada en Inglaterra el día 3 de Enero de 1974, señalada con el N.º. 00248/74 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

## - - - - - NOTA - - - - -

Los puntos de invención propia y nueva que se presentan para que sean objeto de la presente patente de veinte años son:

5           1.- Un sistema eléctrico de transmisión de datos en el que se utiliza los principios del dúplex completo, esto es, existen canales separados para la IDA y la VUELTA, en el que la detección de un error en la transmisión bien en la dirección de IDA o en la de VUELTA provoca unos ciclos de retransmisión en ambas direcciones. En dicho sistema, las señales de reconocimiento enviadas desde un dispositivo de recepción a un dispositivo de transmisión para indicar bien la recepción correcta (OK) o una requisición para la repetición de un bloque recibido incorrectamente (RQ) forma parte de los bloques de datos enviados desde el dispositivo de recepción al dispositivo de transmisión; los circuitos dúplex no tienen las cadencias de bits para las dos direcciones de transmisión derivadas de la misma fuente de impulso de reloj, en donde, cuando se recibe incorrectamente un bloque o se recibe un bloque que contiene una señal de conocimiento RQ en la transmisión de datos normal, demandando así la inserción de una RQ en un bloque transmitido, se retiene la demanda hasta que se ha efectuado la inserción, y en el que no se envía señal de conocimiento en respuesta a cualquier bloque subsiguiente que pueda recibirse mientras tanto.

25           2.- Un sistema, según el punto 1, caracterizado porque las señales OK ó RQ se transportan por un bit de servicio en cada bloque, que pasa a uno de sus lados estados dependiendo de si debe señalizarse OK ó RQ, y en que dicho bit de servicio está entre los bits de datos del bloque y sus bits de

30

paridad.

3.- Un sistema, según los puntos 1 ó 2, en el que el bloque recibido al que primeramente responde un terminal de datos del sistema después de completar un ciclo de transmisión, se determina por el equipo de control del receptor de ese terminal, siendo efectuada dicha retención respecto de la respuesta mencionada.

4.- Un sistema, según el punto 1, modificado de tal manera que la señal de conocimiento RQ se transporta por la inversión de alguno de los bits de paridad de un bloque, siendo efectiva tal inversión para destruir la paridad del bloque.

5.- Un sistema el eléctrico de transmisión de datos.

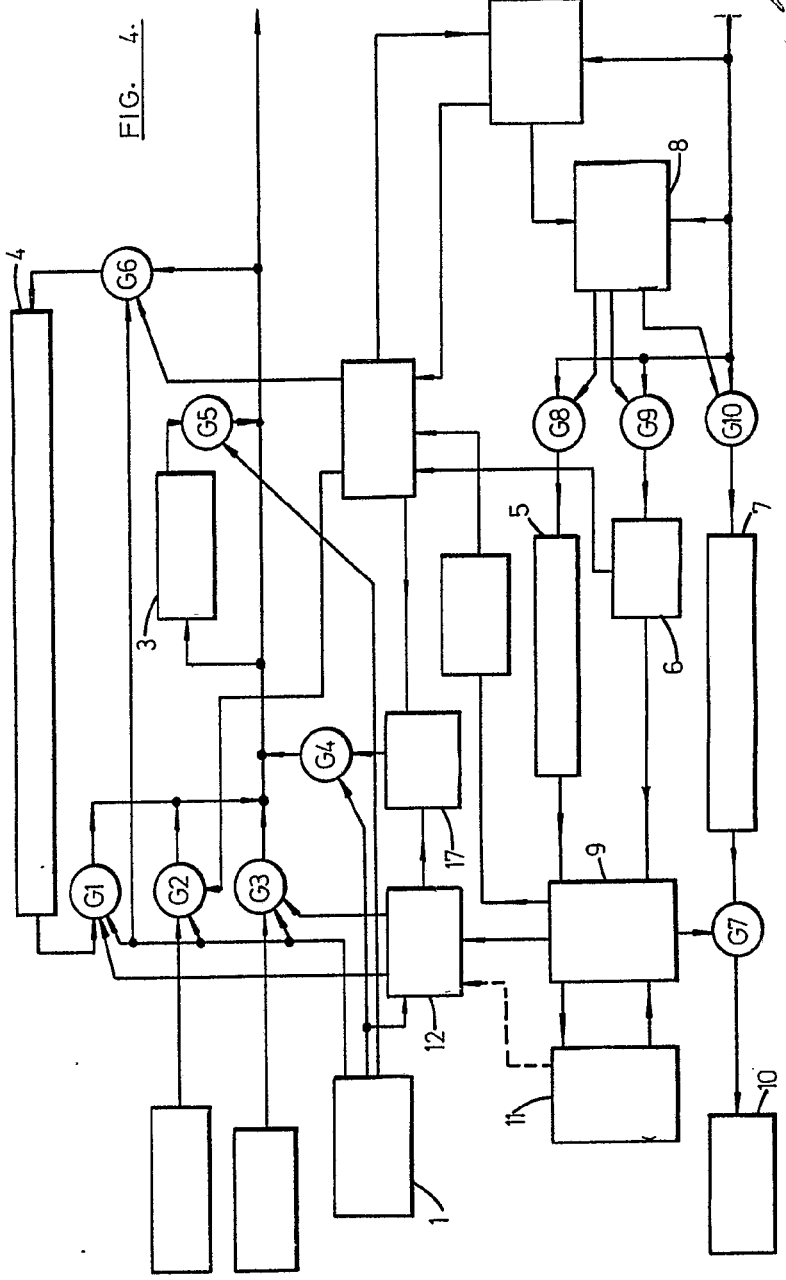
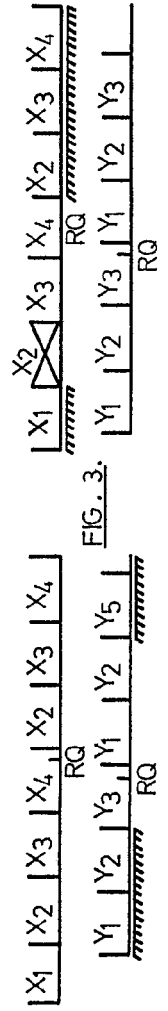
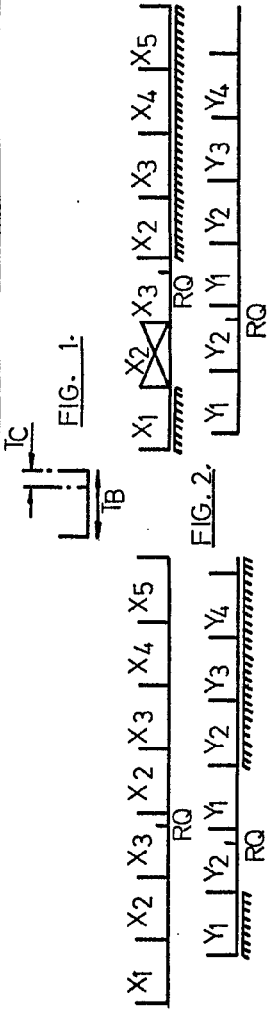
Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta Memoria consta de doce hojas escritas por una sola cara.

23 JUN. 1976



*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL



3 ENE. 1975



*M. G. Santamaría*  
M. G. SANTAMARÍA  
VICESECRETARIO GENERAL

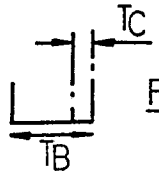


FIG. 1.

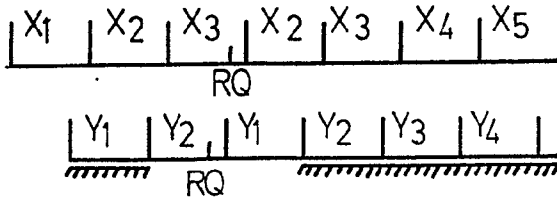


FIG. 2.

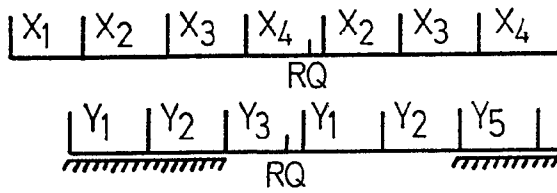
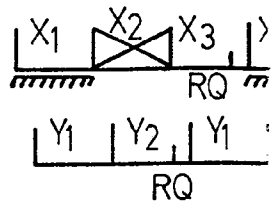
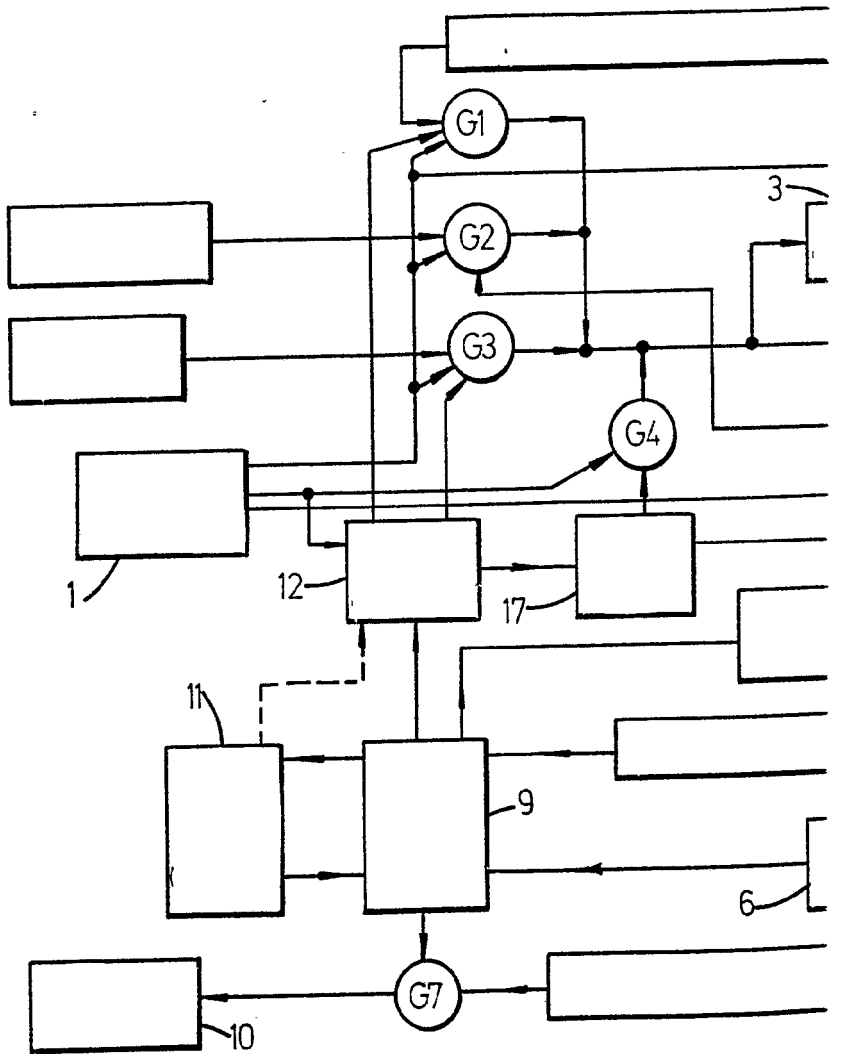
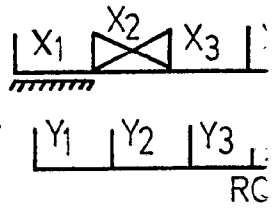


FIG. 3.



TC

FIG. 1.

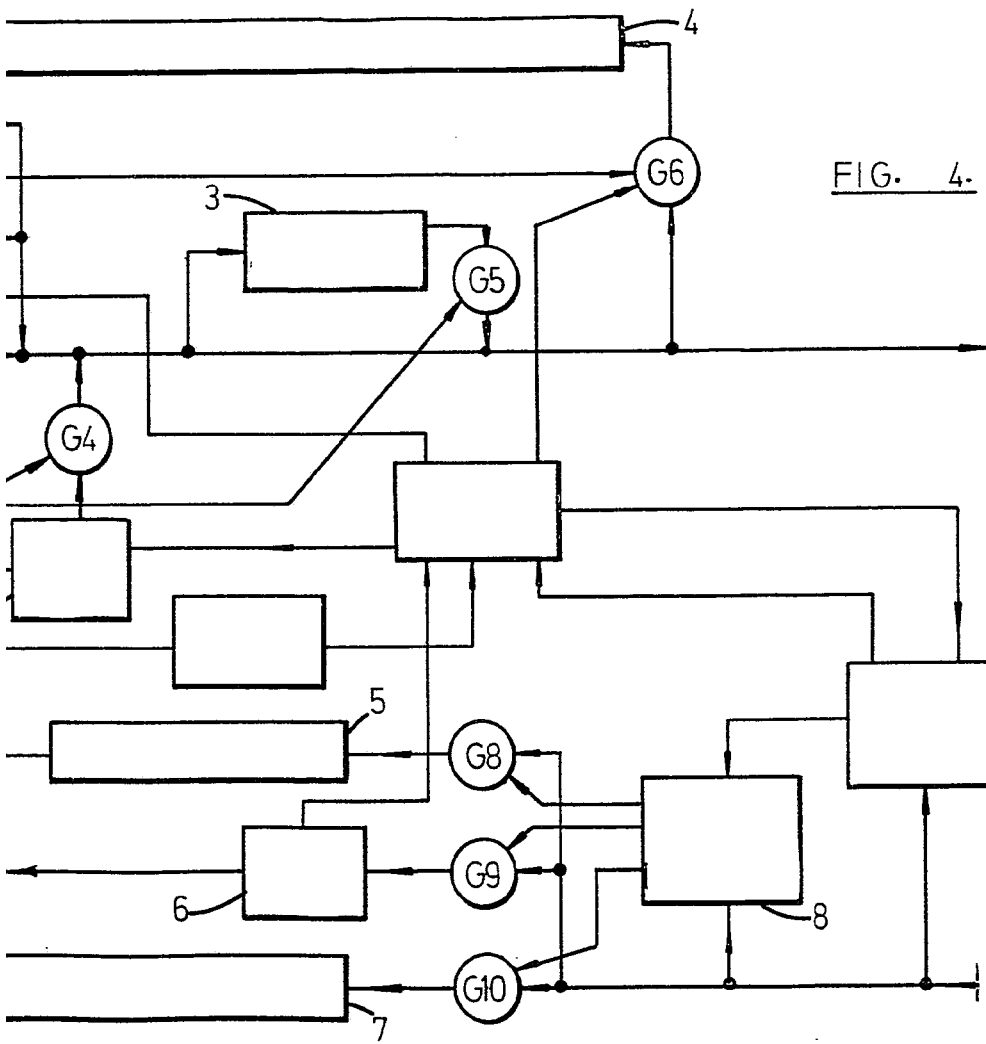
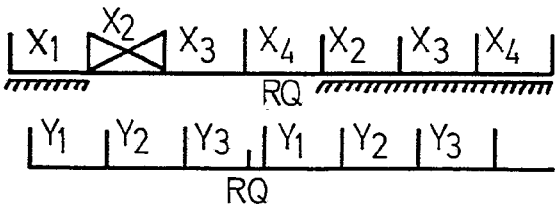
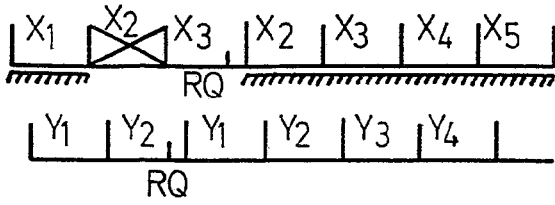


FIG. 4.

3 ENE. 1975

*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL