

433188

P.- 59.248

LM 3681

Int. Cl.: H03K 13/22

MEMORIA DESCRIPTIVA

para solicitar PATENTE DE INVENCION

a nombre de TELEFONAKTIEBOLAGET L M ERICSSON

entidad sueca

establecida en 126 25 Estocolmo, Suecia.

por: "UN DISPOSITIVO PARA CONVERTIR UNA SEÑAL ANALOGICA  
DE ENTRADA EN UNA SEÑAL DE SALIDA DE MODULACION DE  
CODIGO DE IMPULSOS"

(Clase Internacional H03k)

La invención se refiere a un dispositivo para convertir una señal analógica de entrada en una señal de salida de modulación en código de impulsos (PCM) que comprende un codificador de  $\Delta M$ , en el que un comparador tiene entradas analógicas primera y segunda, de las cuales la primera entrada analógica está dispuesta para ser alimentada con la señal de entrada y una salida digital dispuesta para suministrar una señal en delta con una frecuencia de reloj considerablemente más alta que la frecuencia límite superior de la señal de entrada y en el que un filtro de realimentación para la señal en delta está conectado entre la salida digital y la segunda entrada analógica del circuito comparador, y un convertidor digital de  $\Delta M$ -PCM en el que un filtro digital está conectado a la salida digital del circuito comparador en el codificador de  $\Delta M$  y está dispuesto para generar una señal media de la señal en delta y un generador de palabras de PCM está conectado en cascada con el filtro digital y está dispuesto para generar dicha señal de salida de PCM con una frecuencia de muestreo considerablemente más baja que dicha frecuencia de reloj.

Un dispositivo del tipo anteriormente mencionado ha sido previamente descrito por Goodman, D.J.: la aplicación de la modulación en delta a codificación de analógica a PCM, Bell System Technical Journal 48, No. 2, febrero

ro de 1969, págs. 321-343. El principio se basa en una integración única ideal en el filtro de realimentación con el codificador  $\Delta M$  y en la generación de señales medias primaria y secundaria en el filtro digital del convertidor  $\Delta M$ -PCM que corresponden a una integración y una filtración subsiguiente de pasa-bajos en el caso de filtros analógicos. Sin embargo, el filtro de realimentación tiene el inconveniente de ser complicado de ejecutar debido a la necesidad de tomar medidas contra el ruido y la sobrecarga, véase por ejemplo Laane, R.R., Murphy, B.T.: código de modulación en delta para aplicaciones de transmisión y conmutación telefónicas Bell System Technical Journal 49, No. 6, julio-agosto de 1970, págs. 1013-1031. A esto se añade el inconveniente del hecho de que el espectro del codificador de  $\Delta M$  obtiene una forma tal que la señal media secundaria del filtro digital puede mantenerse a un nivel bajo de alteración lineal sólo si es generada por un número de muestras que sea pequeño en comparación con la relación entre la frecuencia de reloj del codificador de  $\Delta M$  y la frecuencia de muestreo del generador de palabras de PCM. Esto significa que la filtración de pasa-bajos en el filtro digital apenas puede dar por resultado una filtración precisa de este ruido de fuera de banda de la señal analógica de entrada que es replegado a la banda de frecuencia del mismo

al ser muestreada la señal de PCM, véase Goodman, D.J. Greenstein, L.J. ruido de cuantificación de codificadores de  $\Delta$  M-PCM, Bell System Technical Journal 52, No. 2, febrero de 1973, págs. 183-204.

5 El dispositivo de la invención comprende un filtro de realimentación que no es complicado en comparación con el filtro de realimentación del dispositivo conocido y que elimina los problemas del ruido y de la sobrecarga en el codificador de  $\Delta$  M y da su espectro  
10 de tal manera que es posible llevar a cabo con una alteración lineal despreciable en el filtro digital en el convertidor de  $\Delta$  M-PCM una filtración de pasa-bajos de un gran número de muestras igual a la relación entre la frecuencia de reloj del codificador de  $\Delta$  M y la frecuencia  
15 de muestreo del generador de palabras de PCM, con lo que puede filtrarse con precisión el ruido de fuera de banda de la señal de entrada. Un resultado de esto es que el dispositivo de la invención puede obtener una exactitud dada para la señal de PCM con respecto a la señal  
20 analógica de entrada a una frecuencia de reloj en el codificador de  $\Delta$  M más baja que el dispositivo conocido.

El dispositivo de la invención, cuyas características aparecen en las reivindicaciones adjuntas, se describirá ahora más en detalle con referencia al dibujo  
25 que se acompaña, en el que

La figura 1 muestra un diagrama de bloques que ilustra el principio del dispositivo conocido,

La figura 2 muestra un diagrama de bloques sobre una realización del dispositivo de acuerdo con la in  
5 vención, y

La figura 3 muestra un diagrama de bloques sobre una disposición multiplex de tiempo en la que se apli  
ca la invención.

La figura 1 muestra un dispositivo conocido para  
10 ra convertir una señal analógica de entrada con una anchu  
ra de banda W en una señal de salida de PCM con una fre-  
cuencia de muestreo 2W. El dispositivo incluye un codifi-  
cador de  $\Delta M$  1 en el que un circuito comparador 2 tiene  
entradas analógicas primera y segunda, de las cuales la  
15 entrada analógica primera es alimentada con la señal ana-  
lógica de entrada y una salida digital que bajo el control  
de un generador de impulsos de reloj 3 suministra una se-  
ñal en delta con una frecuencia de muestreo 2RW, en que R  
es un número de la magnitud  $10^2-10^3$ , y en el que un fil-  
20 tro de realimentación 4 para la señal en delta está conec-  
tado entre la salida digital y la segunda entrada analógi-  
ca del circuito comparador 2. El circuito comparador 2  
consiste en un amplificador diferencial 5 que está conec-  
tado en cascada con un biestable 6 activado por el genera-  
25 dor de impulsos de reloj 3, y el filtro de realimentación

4 comprende un integrador 7 que es alimentado desde una etapa de excitación 8 con una corriente cuyo valor absoluto de amplitud es una constante I y cuyo sentido depende de si la señal en delta tiene el valor binario 1 ó 0.

5 El dispositivo comprende además un convertidor digital de  $\Delta$  M-PCM 9 en el que un filtro digital 10 está conectado a la salida digital del circuito comparador 2 en el codificador de  $\Delta$  M y está dispuesto para producir una señal media de la señal en delta, y un generador de palabras de PCM 11 está conectado en cascada con el filtro digital

10 10 y está bajo control de un generador de impulsos de reloj 12 dispuesto para producir a la frecuencia de muestreo  $2W_{di}$  dicha señal de salida de PCM desde dicha señal media.

El filtro digital 10 consiste en un contador de avance/retroceso 13 que sobre un binario "uno" de la señal en delta avanza y sobre un binario cero retrocede y con ello consigue una versión digital de la señal analógica de entrada alimentada al codificador de  $\Delta$  M 1, y un filtro de promedio 14 que está conectado en cascada con el

15 contador de avance/retroceso 13 y está dispuesto para llevar a cabo una filtración de pasa-bajos por medio de N muestreos de la señal de salida del contador de avance/retroceso 13, en que N es un número de la magnitud 10. Para una descripción más detallada del dispositivo conocido descrito en esta memoria y especialmente del filtro digital 10

20

25

se hace referencia a Goodman, D.J., la aplicación de la modulación en delta a codificación de analógica a PCM, Bell System Technical Journal 48, No 2, febrero de 1969, págs. 321-343.

5                   La figura 2 muestra una realización del dispositivo de la invención para convertir una señal analógica de entrada con una anchura de banda  $W$  en una señal de salida de PCM con una frecuencia de muestreo  $2W$ . El dispositivo de la invención incluye un codificador de  $\Delta M$   
10                   15 en el que un circuito comparador 16 tiene entradas analógicas primera y segunda de las cuales la primera entrada analógica es alimentada con la señal analógica de entrada y una salida digital que, bajo el control de un generador de impulsos de reloj 17, suministra una señal en  
15                   delta con una frecuencia de muestreo  $2WR$ , en que  $R$  de acuerdo con el ejemplo es igual a 128 y en el que un filtro de realimentación 18 para la señal en delta está conectado entre la salida digital y la segunda entrada analógica del  
20                   circuito comparador 16. El circuito comparador 16 consiste, como en el dispositivo conocido en la figura 1, en un amplificador diferencial 19 que está conectado en cascada con un biestable 20 activado por el generador de impulsos de reloj 17, mientras que el filtro de realimentación 18 incluye un filtro de pasa-bajos 21 que es alimentado desde  
25                   de una etapa de excitación 22 con una tensión cuyo valor

absoluto de amplitud es una constante E y cuya polaridad depende de si la señal en delta tiene el valor binario 1 ó 0.

5 El filtro de pasa-bajos 21 comprende un circuito RC de segundo orden que consta de dos enlaces L conectados en cascada y formados por una resistencia  $R_1$  y un condensador  $C_1$  y una resistencia  $R_2$  y un condensador  $C_2$ , respectivamente, estando conectado el condensador  $C_2$  en serie con una resistencia  $R_3$  que es pequeña en  
10 comparación con la resistencia  $R_2$  para estabilizar la realimentación en el codificador de  $\Delta M 15$ , y que tiene dos polos localizados cerca de la frecuencia límite superior de la señal de entrada. De acuerdo con el ejemplo, la frecuencia límite superior es de 3400 Hz y los polos están  
15 localizados a 2567 Hz y 5174 Hz, respectivamente, siendo los valores componentes adecuados  $R_1 = 564$  ohmios,  $R_2 = 3858$  ohmios,  $R_3 = 142$  ohmios,  $C_1 = 100$  nanofaradios y  $C_2 = 10$  nanofaradios. La estabilización de la realimentación en el codificador de  $\Delta M 15$  se consigue por cuanto que  
20 se obtiene un cero a 112 kHz.

En el dispositivo de la invención se incluye además un convertidor digital de  $\Delta M$ -PCM 23 que comprende un filtro digital 24 conectado a la salida digital del circuito comparador 16 en el codificador de  $\Delta M$  y dividido en un primer bloque de filtro 25 dispuesto para gene-

rar una señal media de la señal delta y un segundo bloque de filtro 26 dispuesto para filtrar la señal media con precisión respecto del ruido de cuantificación y de fuera de banda y para constituir además un dispositivo de rechazo de corriente continua, y un generador de palabras de PCM 27 conectado en cascada con el filtro digital 24 y dispuesto bajo el control de un generador de impulsos de reloj 28 para generar con la frecuencia de muestreo  $2W$  la señal de salida de PCM desde la señal media filtrada. El bloque de filtro 25 está a su vez dividido en un primer circuito de filtro 29 dispuesto para generar una señal media primaria a partir de un número de muestras de la señal en delta igual al número  $R$  que es la relación entre la frecuencia de reloj del codificador de  $\Delta M$  15 y la frecuencia de muestreo del generador de palabras de PCM 27 y de acuerdo con el ejemplo es igual a 128, y un segundo circuito de filtro 30 dispuesto para producir una señal media secundaria a partir de  $M$  muestras de la señal media primaria, en que  $M$  de acuerdo con el ejemplo es igual a 16.

El circuito de filtro 29 incluye un registro de desplazamiento 31 alimentado con la señal en delta desde la salida digital del circuito comparador 16 y dispuesto para suministrar en una salida una señal de salida consistente en la misma señal en delta retardada en  $R$  períodos

de la frecuencia de reloj del codificador de  $\Delta M$  15 para cuya finalidad el registro de desplazamiento 31 consta de 128 etapas de acuerdo con el ejemplo. El valor binario de la señal en delta retardada se sustrae del valor binario de la señal en delta alimentada al registro de desplazamiento 31 por medio de una unidad aritmética 32 de 1 bitio y la diferencia resultante se suministra a una unidad aritmética 33 de 8 bitios que la añade a la suma binaria acumulada de un registro 34 de 8 bitios y después de esto escribe en el registro 34 una nueva suma binaria acumulada que es además alimentada al circuito de filtro 30.

En el circuito de filtro 30 una unidad aritmética 35 de 12 bitios suma continuamente la suma binaria acumulada recibida del circuito de filtro 29 a una segunda suma binaria acumulada en un registro 36 y después de esto escribe una nueva suma acumulada en el registro 36 a través de una puerta Y 37. La suma acumulada que se recibe desde la unidad aritmética 35 después de M sumas, en que M de acuerdo con el ejemplo es igual a 16, se alimenta además desde el bloque de filtro 25 al bloque de filtro 26 a través de un contacto de muestreo 38 controlado por un generador de impulsos de reloj 39 con una frecuencia de reloj  $2RW/M$ , reponiéndose simultáneamente el registro 36 inhibiendo la escritura en él contenida desde la

unidad aritmética 35 por medio de un contacto de inhibi  
ción 40 conectado a una entrada de control de la puer-  
ta Y 37 y controlado desde el generador de impulsos de  
reloj 39 en sincronismo con el contacto de muestreo 38.

5                   La suma binaria acumulada suministrada desde el  
circuito de filtro 29 consta de dicha señal media primaria,  
mientras que la suma binaria acumulada suministrada desde  
el circuito de filtro 30 consta de dicha señal media se-  
cundaria. Ambas son una versión digital de la señal analó-  
10                   gica que entra en el codificador de  $\Delta$  M 15 y constituyen  
una señal media de la señal en delta desde el circuito com-  
parador 16.

                  El objeto del bloque de filtro 26 es filtrar la  
versión digital de la señal analógica que entra en el codi-  
15                   ficador de  $\Delta$  M 15 con precisión respecto del ruido de cuan-  
tificación y de fuera de banda recibido del bloque de fil-  
tro 25 y constituir además un dispositivo de rechazo de co-  
rriente continua antes del generador de palabras de PCM 27.  
Se dará a continuación un ejemplo de una realización ade-  
20                   cuada del bloque de filtro 26.

                  En la figura 3 se muestra un diagrama de bloques  
de una disposición múltiplex en tiempo en la que se aplica  
la invención. Codificadores de  $\Delta$  M individuales 41 que co-  
rresponden al codificador de  $\Delta$  M 15 de la figura 2 están  
25                   dispuestos de acuerdo con el ejemplo para 32 canales tele-

fónicos de entrada y están conectados a través de un con  
vertidor respectivo serie-paralelo 42 a un filtro digital  
multiplexado en tiempo 43 que está dividido en 4 bloques  
de filtro 44, 45, 46 y 47 y está a través de un compresor  
5 digital 48 para la conversión de un código lineal recibi-  
do desde el filtro digital 43 en un código comprimido des  
tinado a la transmisión de PCM conectado a un generador  
de palabras de PCM 49 que bajo el control de un generador  
de impulsos de reloj 50 está dispuesto para generar con  
10 una frecuencia de muestreo de 8 kHz una palabra de PCM de  
8 bitios por canal telefónico de entrada. De acuerdo con  
el ejemplo, los convertidores en serie-paralelo 42 consis-  
ten en un registro de desplazamiento de 4 etapas, cuyas  
respectivas etapas están conectadas en paralelo al fil-  
15 tro digital 43 a través de 4 circuitos de puerta contro-  
lados por una unidad de control (no mostrada) en la dis-  
posición multiplex en tiempo, resultando, una frecuencia  
de reloj de 1024 kHz para los codificadores de  $\Delta M$  41,  
en una frecuencia de transmisión de 8192 kHz entre ellos  
20 y el filtro digital 43.

El bloque de filtro 44 en el filtro digital 43  
corresponde al bloque de filtro 25 de la figura 2, mien-  
tras que los bloques de filtro 45, 46 y 47 juntos corres-  
ponden al bloque de filtro 26 que de acuerdo con el ejem-  
25 plo está dividido de esta manera con el fin de reducir el

número necesario de operaciones aritméticas. Los bloques de filtro 44, 45, 46 y 47 trabajan de acuerdo con el ejemplo con las frecuencias de muestreo 1024 kHz, 64 kHz, 16 kHz y 8 kHz, respectivamente y tienen la función de trans-

5

misión  $H = H_1 \cdot H_2 \cdot H_3 \cdot H_4$ , en que

$$H_1 = ((1 - z^{-128}) / (1 - z^{-1})) ((1 - z^{-16}) / (1 - z^{-1})),$$

$$H_2 = (1 + z^{-1})^2 (1 + z^{-2})^3 (1 + z^{-4}),$$

$$H_3 = A_0 z^{-8} \sum_{j=1}^8 A_j (z^{+j} + z^{-j}), \text{ y}$$

10

$$H_4 = (1 - z^{-1}) / (1 - K z^{-1}).$$

La presente solicitud, que corresponde a la presentada en Suecia, el 21 de Diciembre de 1973, bajo el nº 73.17374-2, se acoge a los beneficios del Artículo 51 del vigente Estatuto sobre Propiedad Industrial.

15

- REIVINDICACIONES -

20

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

25

1ª.- Un dispositivo para convertir una señal

analógica de entrada en una señal de salida de modulación en código de impulsos (PCM), que comprende un codificador de  $\Delta M$  en el que un circuito comparador tiene entradas analógicas primera y segunda, de las cuales la primera entrada analógica está dispuesta para ser alimentada con la señal de entrada y una salida digital dispuesta para suministrar una señal en delta con una frecuencia de reloj considerablemente más alta que la frecuencia límite superior de la señal de entrada y en el que un filtro de realimentación para la señal en delta está conectado entre la salida digital y la segunda entrada analógica del circuito comparador, y un convertidor digital de  $\Delta M$ -PCM en el que un filtro digital está conectado a la salida digital del circuito comparador en el codificador de  $\Delta M$  y está dispuesto para generar una señal media de la señal en delta y un generador de palabras de PCM está conectado en cascada con el filtro digital y está dispuesto para generar dicha señal de salida de PCM con una frecuencia de muestreo considerablemente más baja que dicha frecuencia de reloj, caracterizado por que el filtro de realimentación está formado como un filtro de pasa-bajos que comprende un circuito RC de segundo orden que tiene dos polos localizados cerca de la frecuencia límite superior de la señal de entrada, y porque el filtro digital está dispuesto para generar dicha señal me

dia a partir de un número de muestras de la señal en del  
ta al menos igual a la relación entre dicha frecuencia  
de reloj y dicha frecuencia de muestreo.

2ª.- Dispositivo según la reivindicación 1ª,  
5 caracterizado porque el filtro digital incluye un primer  
bloque de filtro que está dispuesto para trabajar con una  
frecuencia de escritura igual a dicha frecuencia de reloj  
y con una frecuencia de lectura igual a ésta dividida por  
una potencia entera seleccionada de dos y está dividido  
10 en un primer circuito de filtro dispuesto para generar  
una señal media primaria de la señal en delta a partir  
de un número de muestras de ésta al menos igual a dicha  
potencia entera de dos y un segundo circuito de filtro  
está conectado en cascada con el primer circuito de fil-  
15 tro y dispuesto para generar una señal media secundaria  
de la señal en delta a partir de un número de muestras de  
la señal media primaria igual a dicha potencia entera de  
dos.

3ª.- Dispositivo según la reivindicación 2ª,  
20 caracterizado porque el primer circuito de filtro compren-  
de un registro de desplazamiento que tiene un número de  
etapas igual a dicha relación y que tiene una entrada dis  
puesta para ser alimentada con la señal en delta y una  
salida dispuesta para suministrar una señal en delta re-  
25 tardada en un número de períodos de dicha frecuencia de

reloj igual a dicha relación, una unidad aritmética conectada a la entrada y a la salida del registro de desplazamiento y dispuesta para sustraer el valor binario de la señal en delta retardada del valor binario de la señal en delta real, y una unidad acumuladora conectada a la unidad aritmética y dispuesta para acumular la diferencia resultante de la unidad aritmética al efectuarse dicha sustracción.

4ª.- Dispositivo según la reivindicación 2ª, caracterizado porque el filtro digital comprende un segundo bloque de filtro conectado en cascada con el primer bloque de filtro y dispuesto para filtrar con precisión la señal media secundaria del ruido de cuantificación y de fuera de banda y para constituir un dispositivo de rechazo de corriente continua delante del generador de palabras de PCM.

5ª.- Dispositivo según la reivindicación 4ª, caracterizado porque el segundo bloque de filtro está dividido en un número de bloques de filtro conectados en cascada y dispuestos para trabajar con frecuencias de muestreo sucesivamente reducidas relacionadas con la frecuencia de muestreo de la señal de salida de PCM como potencias enteras de 2.

6ª.- Un dispositivo para convertir una señal analógica de entrada en una señal de salida de modulación de código de impulsos.

Tal y como se ha descrito en la Memoria que ante-

cede, representado en los dibujos que se acompañan y para los fines que se han especificado.


Esta Memoria consta de diecisiete hojas escritas a máquina por una sola cara.

5

Madrid,

- 3 MAYO 1975

P.A.

Alberto de la Torre  
For [unclear]  


17-4-75  
AMC.

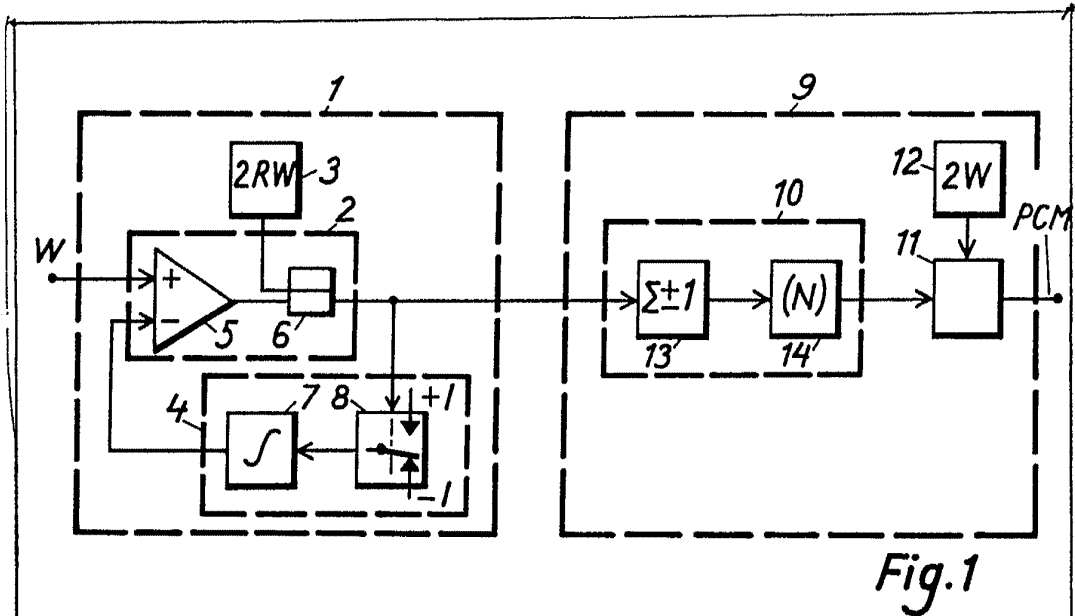


Fig. 1

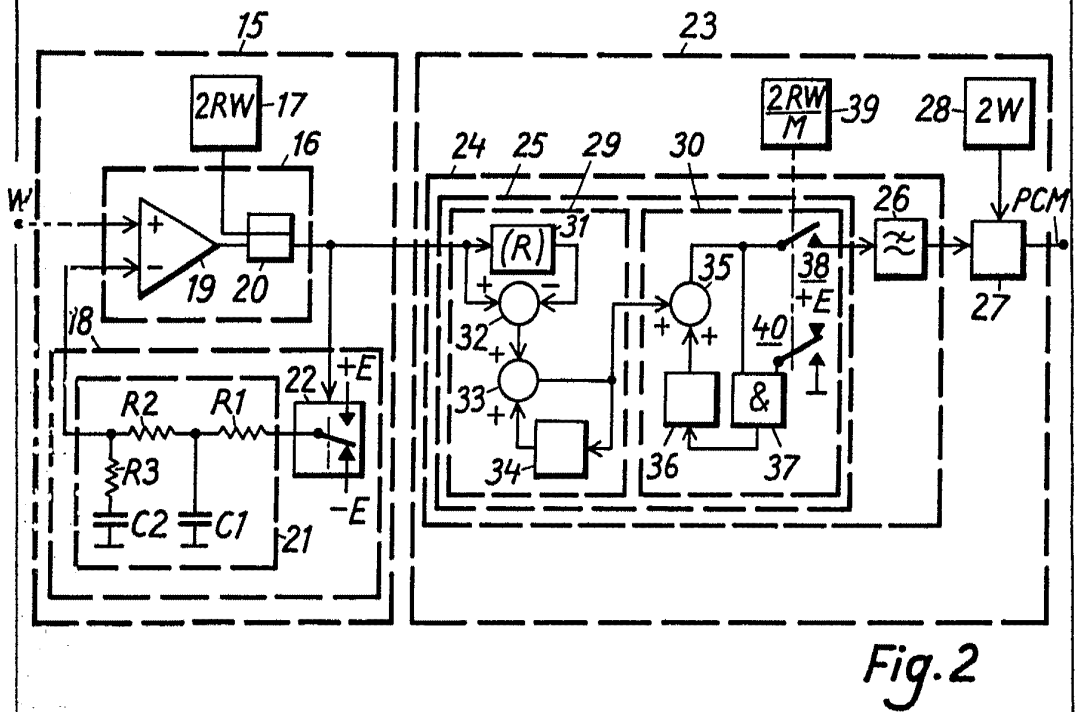


Fig. 2

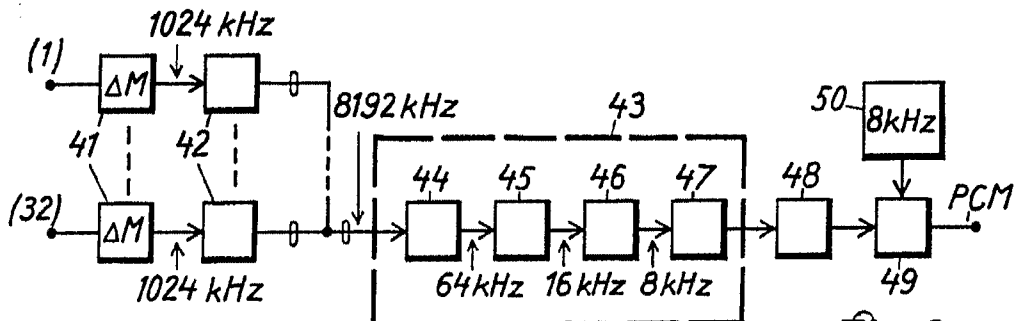


Fig. 3

Albert ...  
For Podar