



PATENTE DE INVENCION

Dossier 678

202303

Int. Cl. G06F 13/00

Memoria Descriptiva

sobre:

PERFECCIONAMIENTOS EN DISPOSITIVOS DE INTERFASE PARA
SISTEMAS DE INFORMATICA.

Solicitante: COMPAGNIE INTERNATIONALE POUR L'INFORMATIQUE,
entidad francesa, residente en 68, route de
Versailles, 78430 LOUVECIENNES, Francia.

La presente invención tiene por objeto unos perfeccionamientos en dispositivos de interfase que permite, en un sistema de informática y sin tener que recurrir a unificadores o programas similares, asegurar la ejecución de intercambios entre unidades de tratamiento



y de explotación de la información que tienen características y condiciones de trabajo operatorias individuales diferentes.

5. Un ejemplo típico, aunque no limitativo, del problema de los intercambios entre unidades de características y condiciones de trabajo operatorias diferentes es el del acceso bilateral de una unidad "central" que trabaja de forma ininterrumpida a un ritmo fijado por su cronometría propia a unidades "externas" de memorias de datos de las que cada una trabaja, cuando es activada sobre una llamada que procede de la unidad central o sobre una decisión interna de la unidad de memoria aprobada por la unidad central, según un ciclo operatorio que le es propio y que difiere de tipo de unidad a tipo de unidad y con una cronometría que no está sincronizada sobre la de la unidad central.
- 10.
15. Para resolver este problema, es corriente recurrir a unificadores, o similares, pero este recurso tiene contrapartidas importantes, tanto en pérdida de tiempo como en riesgo de mal funcionamiento de los intercambios y, bien entendido, disminución del rendimiento general cuando, para evitar los
20. dos primeros riesgos, se aumenta la complejidad de estos unificadores.
25. Según la presente invención, por el contrario, los intercambios de tipo citado son asegurados por el establecimiento de un dispositivo de interfase que elimina los inconvenientes de los unificadores sin introducir, como contrapartida, sujeciones de equipo cableado objeccionables.
30. Un dispositivo según la invención, establecido para asegurar conexiones de intercambio entre una unidad central y una pluralidad de unidades externas, o satélites, se caracteriza principalmente porque incorpora un registro de cada



5. uno de los ciclos operatorios de las unidades satélites, registros agrupados en una memoria dirigible por un ejecutor provisto de una conexión a las entradas de control de ejecución, operación por operación asíncrona, de los ciclos operatorios de estas unidades satélites y provisto de una conexión de activación, conectada a la conexión de intercambios bilaterales entre estas unidades satélites y esta unidad central, explotando el ejecutor en cada una de sus activaciones, el registro de ciclo operatorio de la unidad satélite dirigida para tele-
10. controlar, operación por operación y al ritmo intrínseco del ciclo, su ejecución por la citada unidad satélite.

15. Este dispositivo se caracteriza complementariamente porque incorpora un bucle galvánico que tiene su entrada conectada a la salida de final de ejecución de operación de toda unidad satélite y que tiene su salida conectada a la entrada de liberación o saldo de toda unidad satélite que controla.

20. La figura única anexa representa de un modo esquemático pero suficiente en sí un ejemplo de puesta en práctica del que pueden deducirse todas las variantes que entran en el marco de la invención.

25. Esta figura representa, a título ilustrativo, un dispositivo que asegura los intercambios entre cuatro memorias de datos MA, MB, MC y MD y una unidad central no representada hacia la que es dirigida la conexión bilateral de intercambios representada con trazo doble y, como visible, distribuida según accesos de intercambios de cada una de las memorias. En MT se ha indicado la posibilidad de intercalar, sobre esta conexión de intercambios y a la altura del dispositivo de interfase, un tampón que permite el almacenaje temporal de una o de varias palabras de los intercambios. Este tampón no es
- 30.



- imperativo y puede, si se desea, ser reemplazado por una simple puerta de transferencia multifilar y bilateral, bien entendido. Puerta o tampón, el órgano MT es controlado a partir del ejecutor EX del dispositivo de interfase. Este ejecutor tiene una
5. conexión programada hacia cada una de las entradas de control de ejecución de ciclo operatorio de las memorias MA a MD.
- Los ciclos operatorios de las memorias MA a MD, supuestos diferentes de memoria a memoria en el ejemplo considerado, son registrados en una memoria MK de control del ejecutor
10. EX. Cada ciclo operatorio es, por ejemplo, registrado en MK bajo la forma de una secuencia de palabras que describen, en su relación temporal propia, las operaciones sucesivas del ciclo. La memoria MK está equipada de un registro de lectura de palabra K, cuyo contenido es extraído por el ejecutor para su
15. retirada. El ejecutor EX, una vez activado para gobernar una operación de intercambios entre una de las memorias y la unidad central, solicita de MK en K la primera palabra de la secuencia correspondiente al ciclo operatorio de la memoria que entra en este intercambio. Esta primera palabra es retirada
20. a EX que provoca el envío sobre la conexión programada ejecutor/memoria, de una orden de puesta en condición de intercambio de la memoria dirigida por esta orden. Después de ello el ejecutor que ha formado la dirección de la palabra siguiente de la secuencia, activa MK para la transferencia de esta palabra al registro K, prosiguiéndose este trabajo hasta el agotamiento de la secuencia de palabras que describe el ciclo operatorio de la memoria que entra en el intercambio requerido. Durante este proceso, regido por un reloj local H, el ejecutor
25. habrá enviado sobre su conexión programada, en su sucesión y en su relación temporales propias, las órdenes de ejecución
- 30.



de las operaciones cuya secuencia constituye el ciclo operativo de la memoria.

5. El proceso de funcionamiento ejecutor/memoria de control no tiene necesidad de ser descrito más en detalle ya que es usual en toda organización de explotación de una memoria de control en los sistemas de informática que operan en microprogramación en particular. Se puede mencionar únicamente que, tras la retirada de algunas de las palabras de control, el ejecutor deberá controlar el órgano MT para la transferencia, de memoria satélite en unidad central o reciprocamente,
10. palabras de datos del intercambio.

- De la descripción dada anteriormente de la forma de funcionamiento del ejecutor, se comprende claramente que este ejecutor incorpora un modificador de dirección de memoria MK, que opera como es usual a partir incluso del contenido de la
15. palabra solicitada en el registro K y un operador lógico para derivar de este mismo contenido una orden para la unidad satélite y el tiempo al que deberá expedir esta orden (referenciado sobre el reloj local H). La activación de ejecutor puede, por ejemplo, ser asegurada por un código de orden, naturaleza y destino del intercambio, que puede serle transmitido a través del órgano MT adaptado a este fin por medio de una
20. puerta de conexión a EX, desbloqueada en condición de reposo o de inacción del dispositivo, bloqueada durante la duración de actividad del dispositivo que ejecuta la administración de un intercambio.
- 25.

- Desde otro punto de vista ahora, es conocido que un órgano controlado, unidad satélite de memoria por ejemplo, es establecido para transmitir al órgano de control, aquí el dispositivo de interfase, una señal de final de ejecución de una
- 30.



orden recibida y, normalmente, esperar el retorno por este órgano de control de una respuesta a esta señal de final de ejecución de orden que "saldar" esta operación y permite al órgano controlado estar presto para la operación siguiente.

5. En el plano teórico, la presencia de dichas señales es inútil en una organización de intercambios según la invención puesto que las órdenes que provienen del ejecutor EX se suceden a intervalos de tiempo tales que es cierto que la unidad satélite ha terminado la ejecución de la orden anterior
10. cuando recibe una nueva, puesto que es un registro de su ciclo operatorio el que rige el envío de las órdenes. En el plano práctico, no habrá ninguna ventaja real en modificar la organización de cada una de las unidades satélites que es un material existente, no imperativamente explotable en el solo
15. marco de la invención. Se prevé entonces según una característica auxiliar de la invención establecer en la interfase de concepción asíncrona, un simple bucle galvánico BA que conecta todas las salidas de las señales de final de ejecución del orden de las unidades satélites a todas las entradas de
20. señales de liberación o saldo de operación de estas unidades. Así pues, toda unidad satélite "se saldará" automáticamente por si misma durante procesos de intercambio.

- Se ha indicado además en el esquema que un montaje de vigilancia podía ser incorporado al dispositivo de interfase según la invención, si ello era necesario, como se ha in-
25. dicado en S. Este montaje tiene su entrada conectada a salidas de las unidades satélites normalmente afectadas a la vigilancia de su funcionamiento y este dispositivo S podrá, si se desea, ser llevado a la unidad central. En el emplazamiento
30. representado, el montaje puede ventajosamente servir para una



detección precoz de averías en la unidad satélite en funcionamiento y podrá incluso servir, si se desea, para detener el intercambio ante tal detección.

5. El registro de los ciclos operatorios de las unidades satélites podría, como variante, estar realizado por fijaciones previas de contadores y/o registros de decalaje que proporcionan impulsos significativos de los instantes a los que las órdenes deben ser transmitidas a las unidades satélites, impulsos que activan codificadores de órdenes en el momento de su aparición, gobernando el ejecutor la aplicación de los impulsos de reloj sobre dichas asociaciones de contadores y/o registros en función del código de dirección de unidad satélite y del código de naturaleza de operación de intercambios que provoca así la activación.
- 10.

15.

N O T A

20. Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento corresponde a una solicitud de patente presentada en Francia número 73 43137 de 4 de diciembre de 1.974, acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento, y por lo que se solicita PATENTE DE INVENCION por 20 años en España sobre: PERFECCIONAMIENTOS EN DISPOSITIVOS DE INTERFASE PARA SISTEMAS DE INFORMATICA, caracterizándose por lo siguiente:
- 25.
- 30.



- 1ª.- Perfeccionamientos en dispositivos de interfase para sistemas de informática, en particular para asegurar conexiones de intercambio entre una unidad central y una pluralidad de unidades satélites de ciclos operatorios diversificados, de tipo de unidad a tipo de unidad y que operan sin relación cronométrica entre sí y la unidad central, caracterizados porque incorporan un registro de cada uno de los ciclos operatorios, registros agrupados en una memoria dirigible por un ejecutor provisto de una conexión de envío de órdenes a las
5. entradas de control de ejecución de ciclo operatorio de las
10. unidades satélites, de una conexión que le permite recibir de la unidad central órdenes de ejecución de intercambio acompañadas cada una de una dirección de registro y de una conexión de sollicitación paso por paso de los elementos del registro designado por dicha dirección al ritmo mismo de las operaciones que ellos definen en este ciclo operatorio, enviando el
15. ejecutor tras análisis de cada elemento la orden correspondiente sobre la citada conexión de envío de órdenes a la unidad satélite dirigida.
20. 2ª.- Perfeccionamientos según la reivindicación 1, caracterizados porque incorporan una conexión de control por este ejecutor de la conducción de un circuito de transferencia bilateral entre la unidad central y las unidades satélites.
25. 3ª.- Perfeccionamientos según la reivindicación 1, caracterizados porque incorporan un bucle galvánico que tiene su entrada conectada a la salida de las señales de final de ejecución de las operaciones de toda unidad satélite y que tiene su salida conectada a la entrada de liberación o saldo de ejecución de operación de cada una de estas unidades.
30. 4ª.- Perfeccionamientos según la reivindicación 1,

30.



5.

caracterizados porque todo registro de ciclo operatorio es memorizado bajo la forma de una secuencia de palabras de memoria que definen cada una una naturaleza de operación y el tiempo de ejecución de esta operación en su ciclo operatorio.

10.

5ª.- Perfeccionamientos según la reivindicación 1, caracterizados porque todo registro de ciclo operatorio es memorizado bajo la forma de un grupo de contadores y registros de fijación previa activable bajo el control del ejecutor a partir de un reloj local.

15.

6ª.- Perfeccionamientos según la reivindicación 1, caracterizados porque incorporan un montaje de vigilancia de ejecución de ciclo por toda unidad satélite.

7ª.- Perfeccionamientos en dispositivos de interfase para sistemas de informática, tal y como queda sustancialmente descrito en la presente Memoria y en el dibujo adjunto.

Esta Memoria consta de nueve hojas, escritas a máquina por una sola cara.

20.

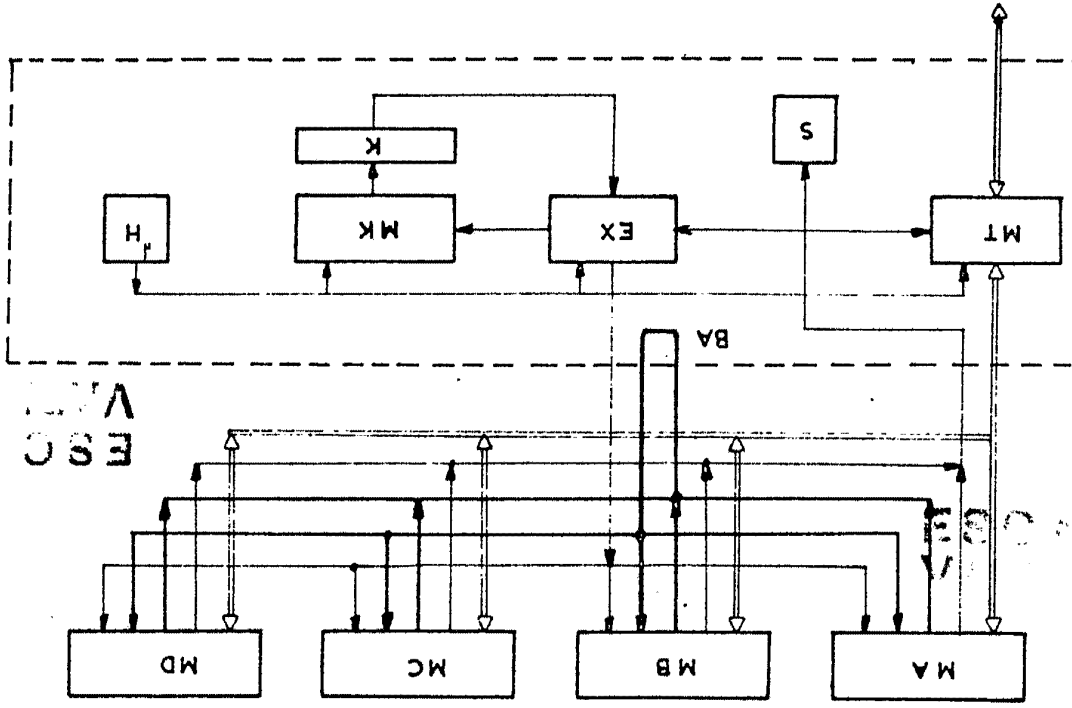
Madrid, - 4 DIC. 1974

COMPAGNIE INTERNATIONALE POUR L'INFORMATIQUE

L. GOMEZ ACLE...
p. p. Firmado: L. GOMEZ ACLE...



Madrid



Madrid - 3 310 1974

[Handwritten signature]