

32201

MEMORIA DESCRIPTIVA

correspondiente a la solicitud de una

PATENTE DE INVENCION

Solicitante: SONY CORPORATION

Domicilio: 7-35, Kitashinagawa-6, Shinagawa-ku,
TOKYO, Japón

Enunciado: UN SISTEMA DE TRANSMISION DE SEÑALES.

Prioridad: De la solicitud de patente japonesa
Nº 131914/1973 del 23 de Noviembre 1973

Int. Cl.²: G08C, G06K, H03K

TR

**POOR
QUALITY**

EXTRACTO DE LA DESCRIPCION

Se describe un sistema de transmisión de señales que incluye un convertidor analógico/digital para transformar en primer lugar una señal de entrada analógica en una señal digital y un convertidor digital/analógico para transformar nuevamente la señal digital en una señal de salida analógica, en el cual se utiliza un dispositivo para mejorar la fidelidad del sistema sin aumentar el número de niveles digitales y de bits digitales en los convertidores analógico/digital y digital/analógico.

ANTECEDENTES DEL INVENTO

Ambito del Invento.-

El invento se refiere de manera general a un sistema de transmisión de señales y más particularmente a un sistema de este tipo que incluye un convertidor analógico/digital (A-D) y un convertidor digital/analógico (D-A).

Descripción de la Técnica Anterior.-

En un sistema de transmisión de señales de la técnica anterior para señales analógicas, se utilizan convertidores A-D y convertidores D-A en combinación. A título de ejemplo representativo, se utiliza un convertidor A-D en el lado de transmisión del sistema para transformar una señal de entrada analógica en una señal digital, y esta señal digital se transmite por medio de un circuito de manipulación de señales tal como un circuito de memoria digital a un convertidor D-A situado en el lado de recepción del sistema, y en el cual la señal digital es decodificada o demodulada y se obtiene nuevamente una señal de salida analógica que corresponde a la señal de entrada analógica.

Un sistema de este tipo es muy útil en las apli-

caciones de transmisión de señales, porque la señal digital obtenida a partir del convertidor A-D puede ser manipulada fácilmente de modo que puedan obtenerse varios tipos de transmisión de señales.

5 Sin embargo, cuando la señal de entrada analógica está sometida a una doble transformación en los convertidores A-D y D-A, la forma de onda de la señal de salida analógica puede ser deformada o no corresponde con precisión a la de la señal de entrada analógica, y por tanto la fidelidad
10 del sistema puede ser insuficiente.

En los sistemas conocidos, se compensa dicha deformación de la forma de onda de la señal de salida analógica, es decir que se aumenta la fidelidad del sistema, incrementando el número de niveles digitales y de bitios digitales en los convertidores A-D y D-A.
15

Sin embargo, todo el sistema puede llegar a tomar dimensiones muy importantes cuando se aumentan los números de niveles digitales y de bitios digitales en los convertidores A-D y D-A.

20 OBJETOS DEL INVENTO

Por consiguiente, un objeto del invento consiste en proporcionar un sistema particular y mejorado de transmisión de señales, que incluye unos convertidores A-D y D-A que evita los inconvenientes inherentes a la técnica anterior.

25 Otro objeto del invento consiste en proporcionar un sistema particular de transmisión de señales que incluye convertidores A-D y D-A, en el cual se mejora mucho la fidelidad del sistema sin aumentar el número de los niveles digitales y de los bitios digitales en los convertidores A-D
30 y D-A.

RESUMEN DEL INVENTO

El sistema de transmisión de señales de acuerdo con el invento incluye un convertidor A-D y un convertidor D-A, en el cual el convertidor A-D está constituido en combinación por un comparador de nivel y un codificador, y el
5 convertidor D-A incluye un decodificador.

El comparador de nivel recibe una señal de entrada analógica y una tensión de referencia que han de ser comparadas la una con la otra, y la señal de salida procedente del
10 comparador se transforma en el codificador en una señal digital, siendo cambiada periódicamente la tensión de referencia por medio de una primera señal de conmutación.

La señal digital procedente del codificador es transmitida al decodificador y transformada nuevamente en él
15 en una señal analógica, y una segunda señal de conmutación cuyo periodo corresponde al de la primera señal de conmutación se añade a la señal analógica re-transformada para obtener una señal de salida final, con lo cual se mejora la fidelidad del sistema sin aumentar el número de los niveles
20 digitales y de los bits digitales en los convertidores A-D y D-A.

BREVE DESCRIPCION DE LOS DIBUJOS

Las figuras 1 y 2 son unos gráficos utilizados respectivamente para explicar el principio básico de un sistema
25 de transmisión de señales de la técnica anterior;

La figura 3 es un diagrama esquemático, parcialmente en forma de bloques, que representa un modo de realización del sistema de transmisión de señales según el invento; y

Las figuras 4 a 7 son unos gráficos utilizados para
30 explicar el funcionamiento del sistema de la figura 3.

DESCRIPCION DEL MODO DE REALIZACION PREFERIDO

Las figuras 1 y 2 son unos gráficos utilizados para explicar el principio básico de un sistema de transmisión de señales de la técnica anterior, que incluye unos convertidores A-D y D-A, representando las ordenadas los niveles digitales de las señales y las abscisas el tiempo.

En el sistema de la técnica anterior, un convertidor A-D realiza el muestreo de una señal de entrada analógica S_1 , representada en la figura 1, en los puntos $P_0, P_1, P_2 \dots$ y la transforma en una señal digital, y esta señal digital es transformada nuevamente por un convertidor D-A en una señal analógica bajo la forma de la señal de salida demodulada S_2 que se representa en la figura 2.

De manera más detallada, los puntos de muestreo P_0, P_1, P_2, \dots están situados en los puntos centrales de los mismos intervalos de tiempo $t_0 \sim t_1, t_1 \sim t_2, t_2 \sim t_3, \dots$. La señal de entrada analógica S_1 que se representa en la figura 1, es transformada por el convertidor A-D en un nivel digital "2" a partir de un nivel digital "1" en un tiempo que corresponde al punto de muestreo P_1 , es transformada en un nivel digital "1" a partir del nivel digital "2" en un tiempo que corresponde al punto de muestreo P_5 , y es nuevamente transformada en el nivel digital "2" a partir del nivel digital "1" en un tiempo que corresponde al punto de muestreo P_8 de modo que tenga de nuevo la forma de una señal digital. La señal digital es demodulada por un convertidor D-A y constituye la señal de salida S_2 representada en la figura 2.

Como puede verse comparando la figura 1 con la figura 2, la señal analógica de salida demodulada S_2 difiere mucho de la señal de entrada analógica original S_1 por lo

que a forma de onda se refiere, dando lugar a una reducción de la fidelidad del sistema de transmisión de señales de la técnica anterior. Para mejorar la fidelidad de un sistema de este tipo, se propone generalmente un método en el cual se aumenta el número de los niveles digitales para reducir la distancia entre los niveles digitales adyacentes. Con un método de este tipo que consiste en aumentar el número de niveles digitales, se aumenta generalmente el número de separadores de nivel o de comparadores de nivel utilizados en los convertidores A-D y D-A, y se aumenta igualmente el número de bitios digitales de un codificador y de un decodificador utilizados en estos convertidores. Por consiguiente, el conjunto del sistema de transmisión de señales adquiere grandes dimensiones, lo que es indeseable desde el punto de vista práctico de la reducción del tamaño del sistema.

Un sistema de transmisión de señales de acuerdo con el invento produce una señal analógica de salida demodulada de alta fidelidad con relación a una señal de entrada analógica original sin aumentar el número de los circuitos separadores de nivel o comparadores de nivel en el sistema de transmisión de señales y también sin aumentar el número de bitios del codificador y del decodificador del sistema, obteniéndose sin embargo un resultado equivalente al que se obtiene aumentando el número de los niveles digitales.

Un modo de realización del sistema de transmisión de señales de acuerdo con el invento, se describirá en lo que sigue con referencia a las figuras 3 a 7.

La figura 3 representa un diagrama de circuito de un modo de realización del sistema de transmisión de señales de acuerdo con el invento. En la figura 3, el número de re-

ferencia 1 designa un terminal de entrada al cual se aplica una señal de entrada analógica original tal como, por ejemplo, una señal de video representada por S_3 en la figura 4, y las referencias C_1, C_2, \dots, C_{15} representan unos comparadores de nivel que tienen un terminal de entrada, T_1, T_2, \dots, T_{15} , respectivamente, están conectados de modo que reciban la señal de entrada analógica S_3 aplicada al terminal de entrada 1. Un terminal de control 2 recibe una señal de conmutación S_0 que puede ser una señal de sincronización tal como una señal de sincronización vertical cuando la señal de entrada analógica S_3 es una señal de video. Esta señal de conmutación S_0 es un tren de impulsos cuya amplitud aumenta cada dos intervalos de tiempo o a intervalos de tiempo iguales $t_1 \sim t_2, t_3 \sim t_4, \dots$ en una tensión que corresponde a la mitad de un nivel digital unitario según se representa en las figuras 4 y 5. La señal de conmutación S_0 aplicada al terminal de control 2 se suministra a través de un inversor de fase 3 al electrodo de base de un transistor 4 del tipo NPN y también a través de una resistencia variable 5 al electrodo de base de un transistor 6 tipo PNP. El electrodo emisor del transistor 4 está conectado a masa y su electrodo colector está conectado a un terminal de tensión de alimentación 7 de +Vcc a través de una resistencia 8 y de una resistencia variable 9. La toma variable o pieza móvil de la resistencia variable 9 está conectada al electrodo de base de un transistor 10 tipo NPN. El electrodo colector del transistor 10 está conectado al terminal de tensión 7 y su electrodo emisor está conectado al electrodo emisor del transistor 6 a través de una resistencia 11, de las resistencias R_1, R_2, \dots, R_{14} y de una resistencia 12 que forman una

red divisora de tensión, mientras que el electrodo colector del transistor 6 está conectado a masa. Los puntos de conexión entre las resistencias l_1 y R_1 , entre las resistencias R_1 y R_2 , y entre las resistencias R_{14} y l_2 están conectados a otros terminales de entrada T'_1 , T'_2 ,, T'_{15} de los comparadores de nivel C_1 , C_2 ,, C_{15} , respectivamente. Las señales de salida procedentes de los comparadores de nivel C_1 , C_2 ,, C_{15} se aplican respectivamente a un codificador 13 de 4 bitios y se codifican en éste en una señal digital de 4 bitios.

Los circuitos hasta el codificador 13 de 4 bitios están incluidos en el lado de transmisión del sistema y la señal digital de salida del codificador 13 de 4 bitios es transmitida y aplicada a un decodificador 14 que funciona como convertidor D-A y que está incluido en el lado de recepción del sistema.

La señal de salida procedente del decodificador 14 se aplica a un terminal de entrada 16 de un sumador 15 y otro terminal de entrada 17 del sumador 15 recibe la señal de conmutación S_0 del terminal de control 2. Las señales aplicadas a los terminales de entrada 16 y 17 se añaden conjuntamente en el sumador 15 y se obtiene en un terminal de salida 18 la señal de salida analógica demodulada del sistema.

Se describirá ahora el funcionamiento del sistema de transmisión de señales según el invento, que se representa en la figura 3. Cuando la señal de conmutación S_0 aplicada al terminal de control 2 tiene un nivel bajo, el transistor 4 conduce la corriente mientras que no conduce la corriente cuando el nivel de la señal de conmutación S_0 es elevado. La resistencia variable 9 se ajusta de tal manera que la ten-

sión de emisor del transistor 10 tome un valor sustancialmente igual al de la tensión de suministro de energía $+V_{cc}$ cuando el transistor 4 no es conductor y la tensión de emisor del transistor 10 disminuye a partir de la tensión de suministro de energía $+V_{cc}$ en una tensión que corresponde a la mitad del nivel digital unitario cuando el transistor 4 conduce la corriente. Se ajusta la resistencia variable 5 de tal manera que cuando la señal de conmutación S_0 presenta un nivel elevado, la tensión de emisor del transistor 6 aumente a partir de la tensión de emisor del transistor 6 al tomar un valor bajo la señal de conmutación S_0 en una tensión que corresponde a la mitad del nivel digital unitario. Ya que las resistencias variables 9 y 5 se ajustan como se ha indicado más arriba, se aplica a la red divisora de tensión formada por las resistencias 11, R_1 , R_2 , R_{14} y 12, la tensión que se indica más adelante. Esto significa que teniendo un nivel alto las tensiones respectivas en ambos terminales de la red de división de tensión al producirse la señal de conmutación S_0 , aumentan en una tensión que corresponde a la mitad del nivel digital unitario en comparación con las tensiones respectivas en ambos terminales de la red divisora de tensión cuando la señal de conmutación S_0 tiene un nivel bajo, y la caída de tensión entre ambos terminales de la red divisora de tensión es la misma cuando la señal de conmutación S_0 tiene un nivel alto y un nivel bajo.

Los valores de las resistencias 11, R_1 , R_2 , R_{14} y 12, se eligen de tal manera que las tensiones aplicadas a los terminales de entrada T'_1 , T'_2 T'_{15} de los comparadores de nivel C_1 , C_2 C_{15} disminuyan secuencialmente en un valor de tensión que corresponde al nivel digital

unitario, respectivamente. Por consiguiente, cuando las tensiones en los electrodos emisores de los transistores 10 y 6 cambian con la señal de conmutación S_0 descrita más arriba, respectivamente, las tensiones respectivas en los terminales de entrada $T'_1, T'_2, \dots, T'_{15}$ de los comparadores de nivel C_1, C_2, \dots, C_{15} , teniendo la señal de conmutación S_0 un nivel elevado, aumentan en una tensión que corresponde a la mitad del nivel digital unitario a partir de las tensiones respectivas en los terminales de entrada $T'_1, T'_2, \dots, T'_{15}$, cuando la señal de conmutación S_0 tiene un nivel bajo, y las caídas de tensión a través de las resistencias respectivas R_1, R_2, \dots, R_{14} , se mantienen constantes en una tensión que corresponde al nivel digital unitario.

Los comparadores de nivel C_1, C_2, \dots, C_{15} funcionan de la siguiente manera. El nivel de la señal analógica de entrada aplicada a partir del terminal de entrada 1 a los terminales de entrada T_1, T_2, \dots, T_{15} de los comparadores de nivel C_1, C_2, \dots, C_{15} se compara con los niveles de las tensiones o de las tensiones de referencia que se le aplican en sus otros terminales de entrada $T'_1, T'_2, \dots, T'_{15}$, respectivamente, reduciéndose dichas tensiones de referencia en una tensión que corresponde secuencialmente a la tensión digital unitaria. Por consiguiente, si el nivel de la señal de entrada analógica es inferior al nivel digital unitario, los comparadores de nivel no podrán producir señales de salida; si el nivel de la señal de entrada analógica corresponde al nivel digital unitario, solamente el comparador de nivel C_{15} puede producir una señal de tensión de salida; si el nivel de la señal de entrada analógica corresponde a dos niveles digitales unitarios, los comparadores de nivel C_{15} y C_{14} pueden

producir señales de tensión de salida, respectivamente; y si el nivel de la señal de entrada analógica corresponde a 15 niveles digitales unitarios, todos los comparadores de nivel C_1, C_2, \dots, C_{15} pueden producir señales de tensión de salida. En otras palabras, se obtienen señales de salida de 16 etapas 0 a 15, a partir de los comparadores de nivel C_1, C_2, \dots, C_{15} , y a continuación se aplican las señales de salida al codificador 13 de 4 bits para ser transformadas en señales digitales de 4 bits que se transmiten al decodificador D-A 14 en el lado de recepción del sistema de modo que sean decodificadas y constituyan la señal de salida demodulada.

Mientras tanto, ya que las tensiones de referencia aplicadas a los terminales de entrada $T'_1, T'_2, \dots, T'_{15}$ de los comparadores de nivel C_1, C_2, \dots, C_{15} van su nivel aumentando en una tensión que corresponde a la mitad del nivel digital unitario cada dos intervalos de tiempo o a intervalos de tiempo pares, la señal de salida procedente del decodificador 14 o la señal de salida demodulada que se aplica al terminal de entrada 16 del sumador 15, cuando se aplica al terminal de entrada 1 la señal de entrada analógica S_3 representada en la figura 4, toma la forma de la señal S_4 que se representa en la figura 6. En el sumador 15, esta señal S_4 y la señal de conmutación S_0 representada en la figura 5 se suman conjuntamente de modo que se obtiene finalmente en el terminal de salida 18 del sistema según el invento una señal demodulada S_5 que se representa en la figura 7.

Como puede verse en la figura 7, en la señal S_5 , los niveles digitales en los puntos centrales de 0, 1, 2, ... 15, son detectados cada 2 intervalos de tiempo o a intervalos

de tiempo pares $0,5; 1,5; 2,5; \dots; 15,5$, de modo que la fidelidad de la forma de onda de la señal S_5 relacionada con la señal de entrada analógica de entrada original S_3 sea mejorada en grado importante en comparación con la fidelidad de la forma de onda de la señal S_2 relacionada con la señal de entrada analógica original S_1 . Si los niveles digitales en los puntos centrales $0,5; 1,5; 2,5; \dots; 15,5$ de los niveles digitales normales en $0, 1, 2, \dots, 15$ se obtienen por medio del sistema de la técnica anterior, es preciso utilizar 16 comparadores de nivel además de 15 comparadores de nivel C_1, C_2, \dots, C_{15} que se emplean en el modo de realización de la figura 3, y es preciso que el número de bitios del codificador 13 de 4 bitios y del decodificador 14 empleados en el modo de realización de la figura 3, sea de 5 bitios. Sin embargo, como puede verse en la descripción que antecede, con el sistema del invento, los 15 comparadores de nivel, un codificador de 4 bitios y un decodificador de 4 bitios, manipulan aparentemente 32 bitios de información digital y por tanto el conjunto del sistema según el invento es mucho más sencillo.

En los anteriores modos de realización del invento que se representan en la figura 3, se utilizan los 15 comparadores de nivel, un codificador de 4 bitios y un decodificador de 4 bitios, pero se entiende que el invento no se limita a éste modo de realización ilustrado y descrito.

Además, en el modo de realización que antecede, las tensiones de referencia que se aplican respectivamente a los terminales de entrada $T'_1, T'_2, \dots, T'_{15}$ de los comparadores de nivel C_1, C_2, \dots, C_{15} aumentan en una tensión que corresponde a la mitad de un nivel digital unitario a intervalos

de tiempo pares, pero se entiende que las tensiones de referencia pueden ser aumentadas a intervalos de tiempo impares.

En el modo de realización que antecede, cada señal de tensión de referencia aplicada a cada uno de los comparadores de nivel C_1, C_2, \dots, C_{15} , aumentada cada dos intervalos de tiempo en la tensión que corresponde a la mitad del nivel digital unitario y puede hacerse que cada tensión de referencia aplicada a cada uno de los comparadores de nivel C_1, C_2, \dots, C_{15} aumente, por ejemplo, cada segundo intervalo de tiempo en la tensión que corresponde a la tercera parte del nivel digital unitario o cada tercer intervalo de tiempo en la tensión que corresponde a las dos terceras partes del nivel digital unitario. Puede hacerse también que cada tensión de referencia aplicada a cada uno de los comparadores de nivel C_1, C_2, \dots, C_{15} aumente en una tensión que corresponde a $1/4, 1/5 \dots$ del nivel digital unitario. Si se utiliza una señal de conmutación que corresponde a la división del nivel digital unitario, la cantidad de información puede ser aumentada aparentemente en el mismo grado.

Además, no es preciso aplicar la señal de conmutación S_0 al sumador 15 a partir del terminal de control 2, sino una señal sincronizada con la señal de conmutación S_0 que se obtiene a partir de otro generador de señal para ser aplicada al sumador 15.

Aunque el invento haya sido descrito y representado de manera particular con referencia a un modo de realización particular del mismo, los peritos en la materia se darán cuenta que pueden ser realizados varios cambios y modificaciones de forma y detalles sin alejarse del espíritu y del alcance de los nuevos conceptos del invento. Por tanto, las Reivin-

dicaciones adjuntas deben ser interpretadas como incluyendo todos dichos cambios y modificaciones.

En resumen: La Patente de Invención que se solicita deberá recaer sobre las siguientes

5

REIVINDICACIONES

1.- Sistema de transmisión de señales que incluye:

a) una fuente de señales para suministrar una señal de entrada analógica;

10

b) un dispositivo de tensión de referencia para suministrar una tensión de referencia;

c) un dispositivo comparador de nivel conectado entre dicha fuente de señal y dicho dispositivo de tensión de referencia para comparar la señal de entrada analógica con la tensión de referencia;

15

d) un codificador conectado a dicho dispositivo comparador de nivel para obtener una señal digital que corresponde a dicha señal de entrada analógica;

20

e) un decodificador conectado a dicho codificador para recibir la señal digital procedente de dicho codificador y para transformarla en una señal analógica;

f) un dispositivo de salida de señal conectado a dicho decodificador;

25

g) un dispositivo para aplicar una primera señal de conmutación a dicho dispositivo de tensión de referencia para hacer variar periódicamente el nivel de la tensión de referencia que suministra; y

30

h) unos medios para aplicar una segunda señal de conmutación cuyo periodo corresponde al de dicha primera señal de conmutación, a dicho dispositivo de salida de señal para añadir la señal analógica procedente de dicho decodifica-

dor con dicha segunda señal de conmutación.

5 2.- Sistema de transmisión de señales según la reivindicación 1, caracterizado porque dicho dispositivo comparador de nivel incluye una pluralidad de comparadores de nivel que tienen cada uno un par de terminales de entrada y un terminal de salida, estando uno de los terminales de entrada de los comparadores de nivel alimentado con la señal de entrada analógica procedente de dicha fuente de señal, y estando el otro de los terminales de entrada alimentado con ten-
10 siones de referencia diferentes a partir de dicho dispositivo de tensión de referencia, respectivamente, y estando los terminales de salida conectados respectivamente con dicho codificador.

15 3.- Sistema de transmisión de señales según la reivindicación 1, caracterizado porque dicha señal de entrada analógica es una señal de video y dichas primera y segunda señales de conmutación son señales de sincronización, respectivamente.

20 4.- Se reivindica por último como objeto sobre el que ha de recaer la patente de invención que se solicita: UN SISTEMA DE TRANSMISION DE SEÑALES.

25 Todo conforme queda descrito y reivindicado en la presente memoria descriptiva que consta de quince páginas mecanografiadas y dibujos adjuntos.

Madrid, 22 noviembre 1.974

BERNARDO UNGRIA

P. 111




Fig-1

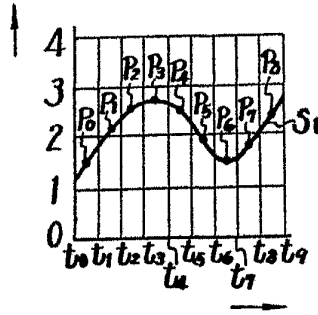


Fig-4

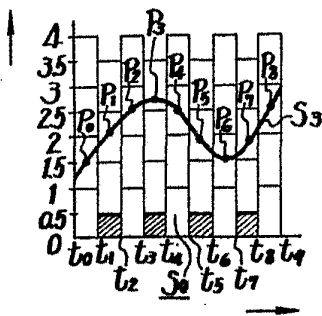


Fig-2

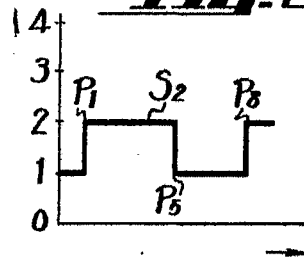


Fig-5

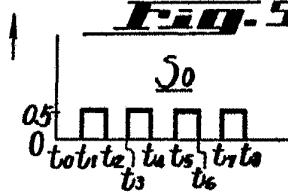


Fig-6

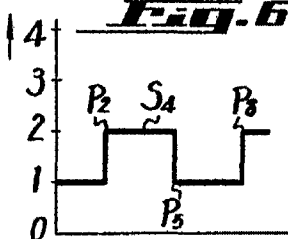
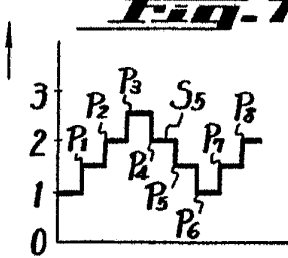


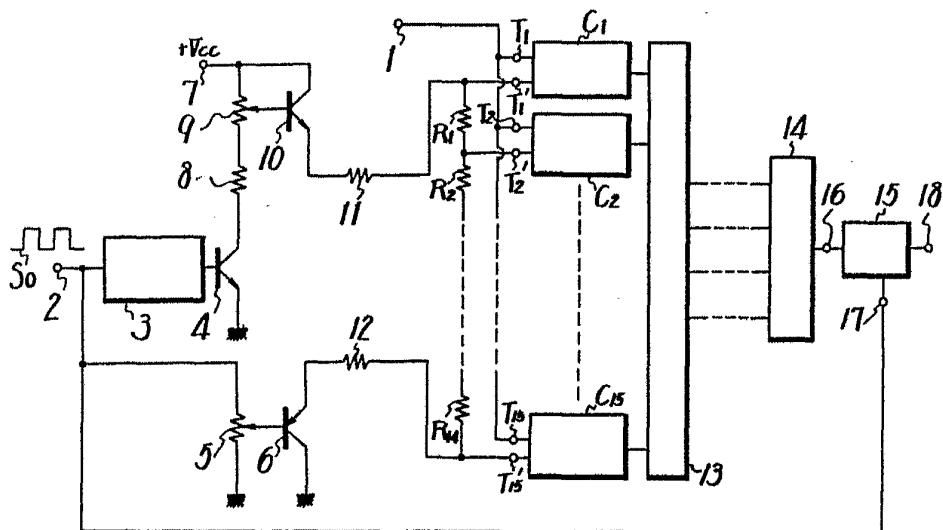
Fig-7



REGALA FARELAGE
 Institut, 22 de Noiembrie de L. 974
 BUCURESTI ROMANIA
 1974

[Handwritten signature]

Fig. 3



ESCALA VARIABLE
 Madrid, 22 de Noviembre de 1.974
 BERNARDO UNGRIA
 P-D.

[Handwritten signature]