

PATENTE DE INVENCION

=====  
Orden No. 11.333

Int. Cl. G06F

3  
432089

*Memoria Descriptiva*

*sobre:*

Procedimiento y aparato para el proceso de datos.

.....

*Solicitante:* AMDAHL CORPORATION, entidad norteamericana, residente en East Arques Avenue, 1250, California, EE.UU. de A. y FUJITSU LIMITED, entidad japonesa, residente en Kamikodanaka, Nakahara-Ku, KAWASAKI, Japón.

.....

El presente invento se refiere al campo de los ordenadores digitales controlados por instrucciones y, de un modo más específico, a métodos y aparatos asociados con los canales dentro de los sistemas de proceso de

5. datos.

**POOR  
QUALITY**

5. En la tecnología anterior, los canales se han decidido arquitectónicamente como parte del sistema del proceso de datos que dá servicio a unidades de control asociadas con los dispositivos de entrada/salida (I/O) del sistema. Los canales han sido aparatos independientes y separados que tenían su propio juego de ordenes que permitían que los dispositivos de I/O leyeran y escribieran datos mientras el resto del sistema elaboraba simultáneamente instrucciones no necesariamente relacionadas con los dispositivos de I/O. Cada canal ha tenido sus propias instrucciones en la memoria del sistema que se buscaban y elaboraban bajo control del programa supervisor.

10. Los canales son generalmente de tres tipos, selector, multiplexor de bytes y multiplexor de bloques. Los canales selectores y los canales de multiplexor de bloques se asocian generalmente con aparatos de gran velocidad, mientras que los canales del multiplexor de bytes se suelen asociar con aparatos de baja velocidad. Una pluralidad de aparatos de I/O se conecta a un canal a través de una unidad de control. Los canales de multiplexor de bytes y los canales de multiplexor de bloques permiten la transferencia entre mezclada de datos desde aparatos múltiples unidos a la misma interfase de canal física.

15. A pesar de que los canales funcionan en cierto modo independientemente de las instrucciones ejecutadas por el sistema de proceso de datos, el sistema de proceso de datos mantiene control supervisor sobre las operaciones del canal y de entrada/salida.

20. Los canales son por lo tanto procesadores de información que tienen una cierta independencia de otros procesadores del sistema (v.g., unidad I) y, por lo tanto, aumentan

25.  
30.

las simultaneidad del proceso de información por parte del sistema.

5. Considerando que los dispositivos de I/O funcionan a velocidades comparativamente limitadas, que limitan el ritmo de datos máximo sobre un canal, frecuentemente debido a limitaciones mecánicas, y considerando que los circuitos electrónicos funcionan a velocidades muy superiores, es conveniente que los circuitos de gran velocidad sean compartidos por una pluralidad de dispositivos de I/O de velocidad lenta  
10. con el fin de usar con mayor eficacia las capacidades del circuito de gran velocidad. En las estructuras de canal de la tecnología anterior donde los aparatos de canales se han dedicado a funcionar sobre una base de canal individual, los circuitos en un canal no se han podido compartir fácilmente  
15. con otros canales.

En estructuras de canales con aparatos de gran velocidad compartidos, es conveniente que las operaciones de control, tales como el registro del número de bytes transferido, se realice sin degradar indebidamente el funcionamiento del sistema. Existe la necesidad de disponer de métodos y aparatos perfeccionados para el proceso de información de control en aparatos de canal.  
20.

El presente invento es un método y un aparato para canales que interconectan dispositivos de entrada/salida con el resto del sistema de proceso de datos. Una unidad de canal da servicio a una pluralidad de canales con aparatos comunes que se dividen en partes donde dichas partes se asignan a canales diferentes, una parte por canal cada vez. En momentos diferentes la asignación de partes del canal cambia de forma que, en un periodo de tiempo, cada canal tiene ac  
25.  
30.

ceso a cada parte para realizar funciones de canal completas.

5. Dichas partes diferentes comprenden lógica de estado, lógica de operaciones, lógica de acceso a la unidad de almacenamiento o memoria y lógica de unidades de control de entrada/salida. La unidad de canal comprende también una memoria de canal que tiene lugares de almacenamiento asignables a cada canal, registradores de canal para almacenar datos y un manipulador de datos de canal para manipular información asociada con el almacenamiento de datos en los registradores de canal y en la memoria de canal.

10. Las diferentes partes del canal están bajo control de un circuito lógico de control de canal que comprende una memoria de estado de canal a la que se llega en secuencia. Según el presente invento, la memoria del estado del canal comprende, por cada canal un campo de contaje para especificar todos o parte del número de bytes que se han de transferir. En una modalidad, solamente los 5 bitios de orden inferior de un campo de contaje de transferencia completo se almacenan en la memoria de estado y los 11 bitios de orden superior se almacenan en la memoria de canal. Un campo adicional se incluye entonces dentro de la memoria de estado para especificar si el campo de orden superior almacenado en la memoria de canal contiene bitios de orden superior o está vacío, si no está vacío, se tiene acceso a la memoria siempre que los bitios de orden inferior en la memoria de estado exijan un préstamo de los bitios de orden superior. Manteniendo parte del campo de contaje o todo el campo en la memoria de estado, se evitan muchos accesos a la memoria de canales mejorando de este modo el régimen de transferencias de datos a través de la unidad de canal. Según el resumen expuesto un sistema de proceso de

15.

20.

25.

30.

datos que tiene una unidad de canales común con campos de circulación realiza operaciones de canal de gran velocidad utilizándose de éste modo de una forma eficaz el aparato de canales común.

5. Otros objetos y características adicionales del invento resultarán evidentes en el transcurso de la descripción que sigue, de la que se exponen modalidades de preferencia del invento con detalle tomando como referencia los dibujos.

10. La figura 1 representa un diagrama de conjuntos del sistema general de proceso de datos del presente invento.

La figura 2 ilustra una representación esquemática de la unidad de canales del presente invento.

La figura 3 ilustra otra representación esquemática detallada de la unidad de canales del presente invento.

15. La figura 4 ilustra una representación esquemática del manipulador de datos que forma parte de la unidad de canales de la figura 3.

20. La figura 5 ilustra una representación esquemática detallada funcional del circuito lógico del control de canales que forma parte de la unidad de canales de la figura 3.

La figura 6 ilustra una representación esquemática del circuito lógico de control de acceso de datos que forma parte del circuito lógico de control de canales de la figura 5.

25. En la figura 1 el sistema de proceso de datos del presente invento se ilustra comprendiendo una memoria principal 2, una unidad de control de almacenamiento 4, una unidad de instrucciones 8, una unidad de ejecución 10, una unidad de canales 6 con una unidad de entrada/salida y consola asociada 12.

El sistema de la figura 1 funciona bajo el control de las instrucciones del sistema cuando un grupo organizado de dichas instrucciones forma un programa del sistema. Las instrucciones del sistema y los datos sobre los que actúan las instrucciones, se introducen desde el equipo de entrada/salida por la unidad de canales 6 a través de la unidad de control de almacenamiento 4 a la memoria principal 2. Desde la memoria principal 2, las instrucciones y datos del sistema son buscados por la unidad de instrucciones 8 a través del control de almacenamiento 4 y se elaboran para controlar la ejecución dentro de la unidad de ejecución 10.

En la figura 2, la unidad de canales 6 de la figura 1 se ilustra en forma esquemática conectando los controladores de entrada/salida 411 a la unidad S4. El número N de canales es variable pero, para los fines de la memoria presente, N es 16, indicando 16 canales. El circuito lógico de control de canales CCL 403 funciona para controlar el aparato de canales y la asignación de sus partes diferentes a canales específicos.

El circuito lógico de control de canales 403 comprende una unidad de asignación de localización en la memoria y prioridad 444 para determinar que parte del circuito lógico de control de canales 403 será asignada a qué canal. El circuito lógico 403 comprende adicionalmente 4 segmentos de control (partes) que se unen a la unidad de localización de memoria 444. Aunque la figura 2 ilustra la división en cuatro segmentos, se pueden efectuar otras divisiones. Cada uno de los segmentos lógicos de control puede dedicarse a funciones específicas donde cada segmento funciona independientemente de los demás. En la figura 2, el control de estado 428 reci-

5. be una instrucción para un canal localizado específico desde la unidad I por la vía de entrada 426. El control de estado 428'localiza entonces apropiadamente y modifica el lugar de los lugares de almacenamiento de estado de los 16 canales contenidos en las memorias de canal 448 que corresponde al canal localizado. Ulteriormente, otros segmentos lógicos de control realizan operaciones necesarias para ejecutar la instrucción desde la unidad I. Las operaciones comprenden normalmente el acceso a la unidad S por el circuito lógico de acceso a la

10. unidad de S 430, elaboración de palabras de control por el control de puesto de observación 429' o transferencia de datos a una unidad de control 411' Normalmente, cada segmento lógico 428'429'430' o 432' modificará en sí el almacenamiento de estado del canal, en las memorias de canal 448, según realiza sus operaciones. Estas operaciones exige normalmente accesos

15. a otras memorias de canal contenidas en la memoria de canales 448.

20. La entrada desde la unidad I 8 de la figura 1, por la línea 426, se deriva del registrador de direcciones efectivas (no ilustrado) de dicha unidad I donde, en momentos apropiados se genera un número de canales (4 bitios de orden inferior de un byte de 8 bitios) designando, en su sistema de 16 canales, cual de los 16 canales ha de ser elaborados simultáneamente. El canal especificado sobre la línea 426 es

25. elaborado por diferentes partes de unidad de canal en tiempos diferentes. Para una transferencia dada, el circuito lógico de control de estados 428' recibe la orden y el número de canal desde la unidad I y modifica la ubicación de almacenamiento de estado del canal asociado con dicho canal, de forma que otros segmentos lógicos de control realicen acciones

30.

coordinadas. En el ejemplo de los 16 canales, la memoria de estado de canal comprende 16 lugares y el lugar particular asociado con el canal especificado sobre la línea 426 es localizado por la circuiteria 444.

5. Las operaciones realizables por la unidad de canal 6 de la figura 1 comprende transferencias de información entre la unidad S 4 y la memoria de canales 448, y transfiere información entre la memoria de canales 448 y los dispositivos de I/O a través de las unidades de control de I/O 411. Las transferencias entre la unidad S y la memoria de canales 448 quedan bajo control de la memoria de acceso y controles de la unidad S 430'. De un modo similar, las transferencias entre la memoria de canales 448 y los controladores de I/O 411' quedan bajo control de la memoria de acceso y controles del
10. CTLR 432'.

15. En la figura 3, la unidad de canales 6 representada en las figuras 1 y 2 se ilustra con más detalles donde la memoria de canales 448 de la figura 2, se divide en tres partes físicas y el circuito lógico de control se divide en cuatro partes físicas. Las partes de la memoria de canales son el almacenamiento del estado de canales de corrimiento (SCS) que comprende las etapas SCS0 a SCS 15 comprendiendo el circuito de retardo 431, el almacenamiento de canal local (LCS) 406 que comprende una memoria tampón de canal (CBS) y una memoria de estado de subcanal (SSS) y la memoria tampón de subcanal (SBS) 408. Las partes lógicas de control comprenden los controles de estado 428, los controles de OCL 429, los controles de DACL 430 y los controles de CICL 432. Adicionalmente, en la figura 3, la unidad de canales 6 comprende
20. una circuiteria de registrador 404, un manipulador de datos,
- 25.
- 30.

405 y un circuito de interconexión a distancia 407. El circuito lógico de interconexión a distancia (RIL) 407 se comunica con una pluralidad de controladores de I/O 411. La unidad C 6 funciona para interconectar dispositivos de I/O asociados con los controladores I/O 411 con el resto del sistema del proceso de datos de la figura 1.

El circuito lógico de control de canales (OCL) 403 comprende, según el presente invento, una memoria de registrador de corrimiento (SCSO a SCS 15) que es localizable por cada canal de la unidad C 6. En la figura 3 dicha memoria comprende lugares de estado (STATE) 428 para controlar y especificar el estado de un canal localizado, lugares 429 de circuito lógico de operación y control (OCL) para especificar y controlar las operaciones de los canales, lugares 430 de circuito lógico de control de acceso de datos (DACL) para controlar el acceso de la información de datos desde la unidad S de la figura 1 y hasta dicha unidad, y lugares del circuito lógico de control de interconexión de central (CICL) 432 para el acceso de información a los controladores de I/O 411, y desde dichos controladores, a través del circuito lógico de interconexión a distancia (RIL) 407. En la modalidad presente del invento, las etapas 428, 429, 430 y 431 son ejecutadas por etapas de registrador de corrimiento que hace circular su contenido. En otra modalidad, el almacenamiento en etapas 428 a 431 se ejecuta con una memoria de acceso aleatorio. En cada modalidad hay un lugar en almacenamiento asociado con cada canal y hay un método de acceso a dicho lugar en la memoria.

Además, el circuito lógico de control de canales (CCL) 403 comprende el control 433 que se comunica con la

- unidad de consola 12 de la figura 1 para realizar ordenes especificadas en la consola. El registrador de retención de ordenes 450 recibe, por la vía de entrada, 13 bitios del dato de control que son retenidos en el registrador de retención de ordenes 450 bajo una orden en la línea de control de retención 545 designada como C VALIDA. Los bitios en el registrador de retención de ordenes 450 salen por la vía 455 donde los bitios de salida 12 y 11 son bitios de entrada a la memoria tampón de subcanal 408 para controlar el macenamiento 408 en respuesta a las órdenes de la consola. El bitio 10 procedente del registrador 450 se introduce en almacenamiento de canal local (LCS) para controlar el almacenamiento de canal local al recibirse una orden de la consola 12. Los bitios 9, 8 y 7 procedentes del registrador 450 se introducen en los registradores 404 para controlar los registradores con información de entrada por la vía 543.

- Los controles 433 comprenden una red de cronometración de canales 454 que se inhiben o se ponen en funcionamiento bajo el control de los bitios 6, 5 y 5 procedentes del registrador 450. Los controles 433 comprenden adicionalmente una circuitería de modo de carga del programa inicial (IPL) 453, que controla la unidad de canales durante el modo de funcionamiento de IPL en respuesta al bitio 3 procedente del registrador 450. El bitio 2 procedente del registrador 450 se comunica desde el registrador 450 como entrada a la etapa SCS 15 de las etapas de estado 428. El bitio 1 del registrador 450 se introduce en el control de acceso de registrador 452 que controla la carga de la circuitería del registrador 404 por la vía de entrada 543. El bitio 0 del registrador 450 se introduce en los controles de reposición 451 que funcionan

para reponer la circuiteria de la unidad C 6 en respuesta al bitio 0 del registrador de ordenes 450.

5. En la figura 3, los registradores (REG) 404 de la unidad C de la figura 3 se ilustran con más detalle. Los registradores 404 comprenden un registrador de localización de unidad de almacenamiento de 32 bitios (SUAR) 464, un registrador de datos de la unidad de almacenamiento de 32 bitios (SUDR) 465, un registrador de trabajo de 32 bitios (WR) 466, un registrador de localización de almacenamiento de canal local de 13 bitios (LCSAR) 467 y un registrador de datos de búsqueda de almacenamiento de canal local de 32 bitios (LCSFDR) 468. El registrador WR 466 recibe información de una unidad S por la vía de entrada 394 y tiene su salida conectada por la vía 424 como entrada al manipulador de datos de canales (CHDMO) 405. El registrador WE 466 tiene también una entrada derivada del registrador de LCS FDR 468 y desde la memoria tampón de subcanal (SBS) 408 por la vía 423. Las amplitudes de los trayectos de datos se han dado en líneas generales, para mayor simplicidad en esta memoria descriptiva, ignorando los bitios de paridad que se encuentran presentes en la normalidad. Por ejemplo, para 32 bitios, habrán presentes 4 bitios de paridad 1 por cada byte de 8 bitios.
- 10.
- 15.
- 20.

25. El registrador SUAR 464 recibe también una entrada del registrador LCS FDR 468 y alimenta su corriente de salida a un decrementador de direcciones (DECR) 435 que tiene una entrada por la vía 353 que se conecta como una entrada al registrador de dirección de la memoria tampón (no ilustrado) en la unidad S. El registrador SUAR 464, en cooperación con el decrementador 435, funciona para especificar la dirección dentro de la unidad de almacenamiento donde se almacena in-
- 30.

formación o es buscada por la unidad C 6.

5. El registrador SUDR 465 funciona para almacenar datos en la unidad de almacenamiento por medio del motor de bytes 436 y la vía de salida 358. El dato buscado por el conductor 394 en el registrador de datos 465 o almacenado por el conductor 358 se realiza en el lugar de la unidad de almacenamiento especificado por la dirección en la vía de direcciones.

10. La información buscada de la unidad de almacenamiento se almacena también en el registrador WR 466 donde se transmite por la vía 424 al manipulador de datos de canal 405. El dato procedente del manipulador de datos de canal es recibido por el conductor 435 y almacenado en el registrador de salida del manipulador de datos (DMDR) 437. El registrador 437 tiene su salida conectada como entrada al registrador de manejo de datos (DHR) 439, que a su vez, tiene su salida conectada como entrada al almacenamiento de canal local LCS 406 y a la memoria tampón de subcanal (SBS) 408. Adicionalmente, el registrador DHR 439 tiene una entrada desde el registrador de datos lógico de interconexión (IIGDR) 438. El registrador 438 se conecta para recibir por el conductor o vía de entrada 415 datos del circuito lógico de interconexión a distancia (RIL) 407.

25. El circuito lógico de interconexión a distancia 407 ilustrado en la figura 3 conecta los controladores de I/O (unidades de control) 411 y, por consiguiente, la transferencia de datos al sistema de proceso de datos desde los dispositivos de I/O se efectúa a través del registrador de IIGDR 438. Cuando el dato se recibe en los registradores 404 a través del circuito lógico de interconexión a distancia 407, pasa a través del registrador de datos 438 a almacenamiento

30.

de canal local 406 o a la memoria tampón de subcanal 408 antes de transmitirse al sistema de proceso de datos. Cuando la información ha de transmitirse desde los registradores 404 hasta los dispositivos de entrada/salida (I/O) se tiene acceso a la información desde el almacenamiento de canal local por el conductor 421 y se retiene en el registrador de datos de retención de almacenamiento de canal local 468, cuya salida se conecta como entrada al registrador de ILPDR 440. Desde el registrador 440, el dato que se ha de transmitir al dispositivo de I/O se elige a razón de 1 ó 2 bites de una vez desde el registrador 440 por parte del selector de bytes 441. El conductor de salida 416 del selector 441 comprende 16 bits de datos 2 vías de 8 bits (más paridad), que se conectan como entrada al circuito lógico de interconexión a distancia 407.

En resumen, los registradores 404 funcionan para almacenar datos buscados desde la unidad S por la vía 394 o para almacenar datos en la unidad S por el conductor 358 en un lugar de localización en la unidad S especificado por la dirección en el conductor 353. La información transferida entre los registradores 404 y la unidad S se almacena también en el almacenamiento de canal local 406 o la memoria tampón de subcanal 408 por los conductores 419 en un lugar especificado por el conductor 420 y se vuelve a llegar al mismo en los registradores 404 desde estos almacenamientos por los conductores 421 y 423. Para las transferencias de datos entre los registradores 404 y los dispositivos de I/O, la información se saca a través del circuito lógico de interconexión a distancia por el conductor 416 y se introduce en los registradores 404 desde el circuito lógico de interconexión

ción a distancia.

5. En la figura 4 el manipulador de datos de canal 405 de la unidad C de la figura 3 se ilustra con más detalle. El manipulador de datos 405 recibe la entrada de 32 bitios por el conductor 424 que se conecta a muchos lugares dentro del manipulador 405. Específicamente, el conductor de entrada 424 se conecta como una entrada a los registradores de estado 476, a los bitios de identificación 477 y al registrador de órdenes 446.

10. El registrador de estado 476 funciona para contener información de estado relativa al funcionamiento de los registradores y los canales dentro de la unidad C 6 de la figura 3. Los registradores 476 tienen una entrada a las puertas de selección de entrada 487 y forman parte de la entrada al OCL 429 como parte del conductor 498. Las identificaciones 15. 477 actúan como dispositivo de almacenamiento para indicar cuando han tenido lugar ciertas funciones y similarmente tienen una entrada al OCL por el conductor 498. El registrador de órdenes 446 funciona para retener palabras de órdenes y hacer que estén disponibles a través de la puerta 487. Así mismo 20. el contenido del registrador 446 se recodifica en un formato más conveniente, en el circuito lógico de recodificación 478 y entonces se conecta como entrada al OCL por la vía 498.

25. Adicionalmente, el conductor de entrada 424 se conecta al circuito lógico de estado de subcanal 482 que funciona para controlar y analizar la información relacionada con la información de subcanal almacenada en almacenamiento de estado de subcanal (SSS) que forma parte del almacenamiento de canal local 406 dando lugar a acceso de SSS basados en el contenido sucesivamente incrementado del registrador de direcciones del dispositivo 479. El circuito lógico de estado 482 30.

5. busca la información en el conductor 424 para el subcanal de prioridad superior. El circuito lógico de estado de subcanal 482 se comunica con el OCL por una entrada procedente del OCL por el conductor 497 y por medio de una salida al OCL por el conductor 499. Adicionalmente, el circuito lógico de estado de subcanal 482, que responde a la información en el conductor 497 y en el registrador de direcciones de dispositivo 479, establece una prioridad que se habilita como entrada a las puertas de selección de entrada 487 para almacenamiento en los lugares de estado de subcanal de almacenamiento de canal local 406.

10.

15. El conductor 424 se conecta también como entrada al registrador de direcciones de dispositivos 479 donde dicho registrador se emplea para especificar que dispositivo se ha de elaborar bajo control de la unidad C de la figura 3. El registrador de direcciones de dispositivo 479 se carga también directamente desde el registrador de direcciones efectivas (EAR, no ilustrado) por el conductor 426. La dirección de dispositivo en el conductor 426 de entrada al registrador 479 tiene 8 bits. Estos 8 bits, junto con cuatro bits de orden superior para especificar el número de canal, se introducen por el conductor 426 al multiplexor de control 704 en el circuito de estados 428 de la figura 6.

20.

25. El registrador de direcciones de dispositivo 479 se actualiza en incrementos de 8 por el incrementador de + 8 indicado por la referencia 480 que recibe una salida del registrador 479 y forma una nueva entrada al registrador 479. Un comparador 481 recibe una entrada del registrador 479 y desde el conductor de entrada 424 para detectar cuando el

30. registrador de localizaciones de dispositivo 479 especifican

el mismo dispositivo que está identificado en el conductor 424. El resultado de la comparación en el comparador 481 se almacena en un registrador 486 que tiene su salida conectada al OCL como parte del conductor 498.

5. El conductor 424 sirve también como entrada a la sumadora del manipulador de datos 483. La sumadora 483 recibe también señales de entrada del circuito lógico de control de acceso de datos (DACL) por el conductor 492 para utilizarse junto con las transferencias de datos entre la unidad S
10. y las memorias de canales. La sumadora 483 tiene su salida conectada a las puertas de selección de entrada por el conductor 492 para pasar por puertas localizaciones de la memoria principal y contaje de datos al almacenamiento de canal de local 406 y a la memoria tampón de subcanal 408 de las memorias de canales donde están disponibles para acceso con relación a las transferencias de información. La sumadora 483
15. recibe una señal de entrada desde un generador de reserva 491 que bajo el control del OCL ( por medio del conductor de entrada 497) funciona para corregir la dirección dentro de la memoria de canal al final de los procedimientos con relación
20. a un canal.

- En la figura 4, la sumadora del manipulador de datos (DM ADDER) 483 recibe una entrada de la circuiteria de selección de contaje de bytes de memoria tampón (BBC SEL) 474
25. La circuiteria 474 recibe un contaje de bytetamponado de 5 bitios (BBC) que son los 5 bitios de orden inferior del campo de contaje total de 16 bitios. El campo de contaje define el número total de bytes de datos que se han de transferir entre la unidad de canales y la unidad de almacenamiento. En
30. la mayoría de los casos, el contaje de bitios tamponado (BBC)

- se recibe del registrador de acción DACL 736 en la línea 460. En algunas condiciones, cuando se producen errores y otras interrupciones, el contaje de byte tamponado se recibe el OCL en la línea 461. La circuitería 474 puede elegir también formación del conductor 424 se deriva del registrador de trabajo 466 en la figura 3. Durante la secuencia inicial y siempre que se necesita préstamo de los bitios de orden superior del campo de contaje, el registrador de trabajo en la figura 3 se carga con el campo de contaje. Durante la iniciación o puesta en marcha antes de cualquier transferencia de bytes, el campo de contaje es la entrada al acceso de la derecha de la sumadora 483. En otros momentos, durante el proceso de datos cuando el campo de orden superior del contaje de bytes debe actualizarse, los bytes de orden superior se obtienen del registrador de trabajo 466 y los bitios de orden inferior (contaje de byte tamponado) se obtienen de la línea 460 y juntos son la entrada al acceso de la derecha de la sumadora 483. La longitud de transferencia recibida suele ser de 4 porque es el número máximo de bytes que se puede enviar a la unidad de almacenamiento en un momento. Esta cantidad debe restarse también del campo de contaje (y por lo tanto el BBC) en cada transferencia de unidad de almacenamiento.

El acceso de la izquierda de la sumadora 483 recibe la longitud de transferencia de byte real (TL) que en las circunstancias normales es 4 lo que significa una transferencia de 4 bytes. La longitud de transferencia de bytes real se resta de la parte remanente del campo de contaje en la sumadora 483 bajo la dirección del control funcional del manipulador de datos (DM FCN CTL)490.

- La salida de la sumadora 492 comprende el nuevo

5.           contaje restante. Durante la operación inicial, no se resta nada del campo de contaje inicial y, por lo tanto, el campo de contaje total aparece en la vía 492. Durante el proceso tiene lugar una secuencia corta para actualizar el contaje de bytes tamponado (5 bitios del orden inferior) cuando no se precisa préstamo de los bitios de orden superior. En la secuencia corta, el contaje de bytes tamponado actualizado aparece en el conductor 492 y se ignoran los bitios de orden superior. Se produce una secuencia larga cuando es necesario un préstamo de los bitios de orden superior que se buscan primero en almacenamiento de canales llevándose al registrador de trabajo 466. Los bitios de orden superior procedentes del registrador de trabajo junto con el contaje de bytes tamponado (bitios de orden inferior) de la circuitería de selección 474 se introducen en la sumadora 483. La longitud de transferencia real se resta para producir en el conductor de salida 492 un nuevo contaje remanente.

10.           

15.           

            La salida de la sumadora 483 tiene el contaje de bytes tamponado (5 bitios de orden superior) como salida en el conductor 427 al registrador de resultado DACL 737. Asi mismo, los 11 bitios de orden superior se introducen en la calculadora de bitios extendida (EX CAL)471. La calculadora 471 comprende una puerta 0 de 11 entradas (no ilustrada) que detecta la existencia de un uno lógico en cualquier bitio de orden superior del campo de contaje. La salida de la puerta 0 se elige siempre que aparezca una nueva señal de selección de EX en la línea 456 y aparezca en la línea 418. En ausencia de una señal en la línea 456, se retiene el valor antiguo de EX en la línea 457 y la salida en la línea 418. El valor de EX en la línea 418 se define como el

20.           

25.           

30.

5. nuevo valor y se saca directamente al registrador de resultado DACL 737 y también se fija en el registrador de contaje de bitio tamponado (BBCR) 470 junto con el nuevo valor del contaje de byte tamponado procedente del conductor 492 en un momento en que el OCL proporciona una señal de retención en la línea 462.

10. La adición o función particular realizada por la sumadora 483 se especifica por el controlador de funciones del manipulador de datos 490 que tiene funciones de control especificadas por el circuito lógico de control de operaciones OCL en el conductor de entrada 496 desde el decodificador de punto de control 706 del OCL. Las seis entradas en el conductor 496 del OCL son contaje correcto, contaje de reserva, dato correcto, dato de reserva, incremento por cuatro e incremento por 8. La entrada en las líneas 417 desde el DACL especifica si se suma o se resta.

15. Las puertas de selección de entrada DMOR 487 producen la salida en el conductor de 32 bitios 425 que sirve como entrada al registrador de salida del manipulador de datos 437 en la unidad registradora 404 de la figura 3. El contenido de los 32 bitios se elige y formula bajo control de los controles de selección 488. Los controles de selección 488 eligen información del conductor de entrada 424, del circuito lógico de estado de subcanal 482, de los registradores de estado 476, del registrador de localización de dispositivo 479, del conductor de salida de la sumadora del manipulador de datos 492, del registrador de ordenes 446 y de la vía de entrada 475. La vía de entrada 475 a las puertas de selección de entrada 487 recibe 8 bitios, cada una, en el conductor 495 que consiste respectivamente en infor-

20.

25.

30.

mación de número de canal, información de registrador de indentificación pasado por puerta, e información de estado de canal. Además, el conductor 475 recibe 4 bits de datos con relación a la nueva información de estado de subcanal en el conductor 497 procedente del OCL. Así mismo, el conductor 475 recibe información de entrada derivada de la calculadora de estado 703 de la figura 5 por el conductor 495.

5.

10.

15.

El circuito lógico de control de canales (OCL) 403 en el aparato de la figura 3, se ilustra con más detalle en la figura 6. En la figura 5, el estado 428, el circuito lógico de control de operación (OCL) 429, el circuito lógico de control de acceso de datos (DACL) 430 y el circuito lógico de control de operación (OCL) 429, el circuito lógico de control de acceso de datos (ADCL) 430 y el circuito lógico de control de interconexión central (CICL) 432 forman las partes principales del circuito lógico de control del canal que cooperan con la memoria de estado del canal. Cada una de estas partes se puede asignar a un canal al tiempo y cada una se puede asignar a canales diferentes a los demás.

20.

25.

30.

La memoria de estado de canal está compuesta por etapas registradoras de corrimiento 710, una por cada canal. Las etapas registradoras de corrimiento 710 comprenden una memoria de estado de canal de corrimiento (SCS) que determina el estado de cada canal e indica qué canal está disponible para asignación a partes del circuito lógico de control de canal (CPL). Las 16 etapas 710 identificadas como SCS0, SCS1, ... SCS 15 cada una, en cualquier instante dado, contienen información asociada con un canal único correspondiente de los canales identificados como canales CH0, CH1, ... CH15. Durante un ciclo inicial en un instante determinado, el SCS0 contiene

información asociada con CH15 y así sucesivamente hasta que SCS 15 contiene información asociada con CH1. Durante el ciclo de cronometración siguiente SCS0 contiene información asociada con CH1, SCS1 contiene información asociada con CH0. Con cada ciclo de cronometración ulterior la información de canal se escalona a través de las etapas 710 de una manera normal de registrador de corrimiento. Después de 16 ciclos, la información se coloca de nuevo como en el ciclo inicial. La entrada de cronometración (no ilustrada) a cada una de las etapas 710 es clásica.

La primera parte del circuito lógico de control de canal (CCL) 403 es la circuitería de estado 428 que responde a las etapas SCS15 y SCS0 de la memoria de estado de canal. La etapa SCS15 recibe una entrada de la etapa SCS14, una entrada del registrador de retención de órdenes 450 de la figura 3 en la línea 712, y una entrada en la línea 542 derivada de la unidad de consola 12 de la figura 1.

La información en SCS15, durante cualquier periodo de cronometración dado y proporciona una entrada a la calculadora de estado 703 donde el cálculo de configuración de acuerdo con las entradas en hilos de retención en las líneas 708 reestablece la configuración de las unidades de canal y almacena los resultados en SCS0. Adicionalmente, la precalculadora de estado 703 proporciona a través del registrador 702 una entrada al circuito lógico de prioridad inmediato 714 o sea el estado de canal asociado con el contenido de SCS15. Al mismo tiempo, la unidad multiplexora de control 704 recibe la localización de canal de cuatro bits por el conductor de entrada 426 desde el EAR (no ilustrado) de la unidad I de la figura 1.

El multiplexor de control 704 recibe adicionalmente código op e información de interrupción por el conductor 426 que se suministra a través del registrador 702 al circuito lógico de procedimiento inmediato OCL 714. Además de la entrada recibida de la unidad I por el conductor 426, el multiplexor de control 704 suministra información de control de nuevo a la unidad I por el conductor 716 para establecer código de condición e indicar cuando se completan las operaciones especificadas por la unidad I. El multiplexor de control 704 recibe dicho código de condición e información completa de op por las entradas desde el OCL en su circuito de prioridad inmediata 714 y desde el circuito de procedimiento del OCL 719.

La información en la etapa SCS15 pasa por puertas en cada ciclo a la etapa SCSO donde queda retenida durante un ciclo. De un modo similar, la etapa SCS15 recibe y retiene nueva información en cada ciclo procedente de la etapa SCS14.

SCSO proporciona una entrada de 46 bitios al circuito lógico de procedimiento inmediato de OCL 714. El circuito lógico de procedimiento inmediato de OCL 714 espera que la información de etapa en circulación en las etapas 710 circule hasta que la información para el canal especificado por los cuatro bitios de canal en el conductor 426, circule a la etapa SCS1. Cuando dicho canal localizado tiene su información de estado como SCS1, el circuito lógico 714 determina la operación que se ha de realizar. Si el canal localizado según determina la circuitería de estado 428 está inactivo de otro modo, el OCL 429 funciona para copiar el contenido del SCS1 en el registrador de etapa de OCL 721 (OCLSR). Simultáneamente, el circuito lógico de procedimiento inmediato de OCL 714 hace que una "instrucción" pase por fuerza al registra-

5. dor 722, a través de una de sus entradas, hace que el circuito lógico de resultado de OCL 725 cambie la información de estado de canal para el canal localizado, situado actualmente en SCS1, desde, "inactivo", hasta "pendiente de operación". El cambio de inactivo a pendiente tiene lugar cuando la información en SCS1 pasa a través del circuito lógico de resultado 725 al SCS2.

10. Con la información en SCS2 indicando que existe una condición pendiente de operación, el registrador de etapas 721 contiene información relativa a qué operación va junto con información suficiente para iniciar dicha operación. Durante este tiempo, la unidad I espera una señal de nuevo por las líneas 716 que active la unidad I para continuar la instrucciones de proceso dentro de la corriente de instrucciones.

15. El circuito lógico de procedimiento de OCL 719 con su entrada desde el registrador de etapas 721 analiza el contenido del registrador 721 para iniciar procedimientos que tengan acceso a la memoria del canal (incluyendo el almacenamiento de canal local 406 y la memoria tampón de subcanal 408)

20. Estos almacenamientos de canal se puede alcanzar para obtener y retener el estado del subcanal localizado. El subcanal es identificado por el manipulador de dato con su entrada de número de dispositivo de 8 bits en la vía 426. La identidad del subcanal se calcula en el generador de direcciones OCL

25. ICSR 728 empleando la información en el registrador de direcciones de dispositivo 479 y la información en el OCLSR 721. El circuito lógico de procedimiento de OCL 719 a través del registrador (PRTR) 724 inicia secuencias en el secuenciador de OCL 726. El secuenciador de OCL 725 comprende rutinas lógicas secuenciales para llevar a la cabo funciones de control,

30.

a través del decodificador de punto de control OCL 706, que hace que los registradores 404, manipulador de datos 405 y las cuatro partes 428, 429, 230 y 432 del circuito lógico de control de canal 403 lleven a cabo las funciones requeridas.

5. Cuando el circuito lógico de procedimientos 719 ha hecho que el secuenciador 726 inicie un procedimiento específico, el circuito lógico de procedimiento 719 es entonces un estado de espera que aguarda que se complete dicho procedimiento. Cuando el circuito lógico 719 recibe una señal en el conductor de entrada 498 indicativa de que se ha completado un procedimiento iniciado, se toma la decisión del cual ha de ser el procedimiento siguiente, si lo hubiera. Cuando se han llevado a cabo todos los procedimientos especificados por el
10. circuito lógico 719, el circuito lógico de procedimiento 719 indica dicha condición con una señal al circuito lógico de resultados 725. El circuito lógico de resultado 725, cuando la información de canal asociado está en el registrador de etapas 721, se desplaza también en la etapa SCS1 produciendo un cambio en la información de estado de canal que
15. pasa de "pendiente de operación" a "selección inicial". Como parte de uno de los procedimientos, el generador de direcciones OCL LCS AR 728 envía la localización por la vía de salida 729 al registrador de localizaciones LCS 467 en la unidad registradora 404. Dicha dirección retenida en el
20. registrador 467 se utiliza entonces para tener acceso al lugar apropiado en el LCS 406 o el SBS 408 de los cuales ambos se ilustran en la figura 3.
25. ;

30. La información de estado de canal de todos los canales modificada de vez en cuando según se ha indicado anteriormente, se transmite a través de la etapa SCS2 donde el cir-

5. cuito lógico de control de acceso de datos 430 detecta dicho contenido de las etapas en cada ciclo. Siempre que la información en SCS2 indica que se necesita una transferencia entre la memoria del canal y la unidad de almacenamiento, el circuito lógico de prioridad y resultado de DACL 724, en el supuesto que no esté ocupado el circuito lógico, carga la información apropiada en el registrador de etapas de DACL (SR) 735 de donde se transfiere al registrador de acción de DCAL (AR) 736. El registrador 735 especifica la transferencia siguiente mientras que el registrador 736 se especifica la transferencia presente. El registrador 736 a través de su entrada al 10. circuito lógico de acción de DACL 739 controla las transferencias en la unidad de almacenamiento y la memoria de canal. El registrador 737 almacena información concerniente a la última transferencia y proporciona a través de su salida al 15. circuito lógico de prioridad y resultado 734 el hecho de la finalización de la transferencia deseada. El circuito lógico 740 en el instante apropiado almacena en la etapa SCS2 una indicación de que se ha completado la transferencia apropiada. 20.

De una manera similar, el circuito lógico de control de interconexión central 432 responde a las etapas SCS 3 a SCS14 a través de las cuales la información de estado para todos los canales se desplaza según se ha descrito anteriormente. El CIQL, ISR 756 deriva entradas desde el SCS2 o desde el SCS 10 dependiendo de la activación de las fuerzas 25. 751 a 754. La información a través de las puertas 751 a 754 en el registrador de secuencia inicial de CIQL 756 se conecta a su vez como una entrada del circuito lógico de control 30. CIQL 757. Las puertas 751 a 754 se controlan por las líneas

5. 757. Las puertas 751 a 754 se controlan por las líneas 770 y 771 desde el circuito lógico de interconexión a distancia (RIL) de la figura 3, Funcionan para determinar cual de las dos entradas (SCS2 o SCS 10) pasa al registrador 756. El canal particular de los canales que tienen acceso al registrador 756 hace que el circuito lógico de control 757 inicie transferencias entre la memoria del canal y los controladores de I/O a través del circuito lógico de interconexión a distancia (RIL).
10. En la figura 6, el circuito lógico de control de acceso de datos (DACL) que forma una parte del circuito lógico de control de canal de la figura 5, se ilustra con más detalle. La segunda etapa, SCS2 de la memoria de estado de canal de corrimiento recibe ciclicamente información de la etapa SCS1 en el conductor 742.
15. Por cada ciclo, la información concerniente a un nuevo canal que dá disponible al DACL. El SCS2 saca ciclicamente información a la etapa SCS3 por el conductor 743, y al CICL por el conductor 744.
20. La información en la etapa SCS2 por cada ciclo se introduce en el circuito lógico de prioridad de DACL 734 por el conductor 746 para determinar si el canal en la etapa SCS2 tiene la prioridad mayor para una acción por parte de DACL de la figura 6. Si es así, la longitud de transferencia real (TL) que se ha de emprender es una salida por un conductor de dos bits al registrador de etapa 735. La determinación de prioridad en el circuito lógico 734 puede ser, por ejemplo,
25. simplemente una indicación de si el DACL está actualmente ocupado o no y si no está ocupado, en SCS2, cargando información en el registrador de etapas 735 con una señal de reloj.
- 30.

Como es lógico se pueden emplear otras relaciones de prioridades más complicadas.

5. La longitud de transferencia real (TL) de una transferencia que ha de ser realizada por el DACL es normalmente de 4 bitios y está determinada por un código TL de dos bitios procedentes del circuito lógico 734 que se carga en el registrador de etapas 735. Se emplean otras longitudes, por ejemplo, si al final de una transferencia quedan menos de cuatro bitios para completar la transferencia. En este caso, el código TL de longitud de transferencia real representa 3,2 6
10. 1 byte como es apropiado. El circuito lógico 734 tiene también en cuenta otras condiciones especiales tales como transferencias que se aproximan a un límite de página, y producen señales de control en la línea de DTP de 3 bitios y en la línea TP de dos bitios. Estos controles no son necesarios con el presente invento por lo que no se describen con detalle. El registrador de etapas 735 acepta información del circuito lógico 734 y directamente desde la etapa SCS2 por el conductor de 23 bitios 746. Dicha información comprenden el EX antiguo de un bitio, el BBC antiguo de 5 bitios el número de canal, y otra información de control no pertinente al
15. presente invento. Es de particular interés para el presente invento el campo BBC antiguo que se mantiene para BBC BIT (EX) extendido. El campo BBC son los 5 bitios de orden inferior del campo de contaje restante. El bitio EX indica si cualquiera de los 11 bitios de orden superior están presentes en el campo de contaje restante. El registrador de etapas
20. 735 mantiene entre otras cosas el BBC, o sea, 5 bitios de orden inferior del campo de contaje deseado, la indicación EX de si existe cualesquiera 11 bitios de orden superior en el
- 25.
- 30.

campo de contaje de los bits y la indicación TL de la longitud de transferencia real que se ha de realizar en la operación presente del DACL. La información en el registrador de etapas 735 define la transferencia siguiente que ha de ser realizada por el DACL. El contenido del registrador de acción 736 representa la transferencia que se realiza actualmente por parte del DACL. Cuando la transferencia actual se completa, la información relativa a la transferencia siguiente en el registrador 735 se carga en el registrador 736.

10. El contenido del registrador de acción 736 se introduce en el circuito lógico de acción DACL 739. El circuito lógico de acción 739 es un circuito lógico de combinaciones que escala a través de una secuencia fija en función a la entrada procedente del registrador de acción 736. El circuito lógico de acción emplea el registrador de estado de acción 739-2 para almacenar los estados de secuencia del circuito lógico de acción DACL. La secuencia del circuito lógico de acción 739 controla muchas señales de temporización que salen por el conductor de control 748. Las señales de temporización en el conductor 748 son datos clásicos de retención y transferencia y sus secuencias específicas se definirán más adelante con relación al funcionamiento del presente invento.

25. El circuito lógico de acción 739 comprende un comparador clásico para comparar TL, la longitud de transferencia real deseada con el BBC antiguo. Si el TL es menor o igual que el BBC, la transferencia real puede tener lugar con una secuencia corta, y por lo tanto, el circuito lógico de acción 739 y el registrador de secuencia de estado 739-2 hace que se lleve a cabo una secuencia corta según se ha explicado anteriormente.
30. Si el TL es mayor que BBC, se examina entonces el campo EX an-

- tíquo. Si se establece EX (Significando que existen bitios de orden superior) en un momento en que TL es mayor que el BBC antiguo, entonces el circuito lógico de acción 739 y el registrador de secuencia de estado 739-2 especifica una secuencia larga. La secuencia larga busca los bitios de orden superior de la memoria de canal y después repone el campo de contaje permanente en la memoria de canal. Si el BBC es menor o igual que la longitud máxima de transferencia TL (en este caso 4) y EX no se ha establecido, entonces se sigue la secuencia corta.
- 5.
10. Cuando el BBC antiguo se reduce a todos ceros, y el EX no está establecido, se completa la transferencia original y se agota el contaje.

- En general, las salidas del circuito lógico de acción 739 causan la transferencia de bitios de información entre la memoria de canal y la unidad de almacenamiento. Además de realizar la transferencia real de bites de información, el circuito lógico de acción 739 hace que el campo de contaje restante se reduzca en la cantidad de la transferencia real. Según una modalidad del presente invento la reducción del campo de contaje se consigue decrementando inicialmente la circulación de BBC en la memoria de estado y el campo de contaje en almacenamiento de canal local si fuera necesario. Cuando se necesita un préstamo de los bitios de orden superior, se emplea una secuencia larga para tener acceso a los bitios de orden superior desde el almacenamiento de canal local 406, para reducir el campo de contaje restante total y para almacenar el nuevo campo de contaje restante de nuevo en almacenamiento 406.
- 15.
- 20.
- 25.

- El BBC antiguo y el EX antiguo, antes de la transferencia real, aparecen en el registrador de acción 736. El BBC antiguo es la salida por el conductor de 5 bitios 460 a la cir
- 30.

- critería manipuladora de datos de la figura 4. De un modo similar, el EX antiguo del registrador 735 es la salida por la línea de un bitio 457 al manipulador de datos de la figura 4. Después de la elaboración por parte del manipulador de datos, el nuevo EX en la línea de un bitio 418 se recibe desde el manipulador de datos y se almacena en el registrador de resultado 1 (RLR) 737. De un modo similar, el nuevo BBC se recibe por el conductor de 5 bitios 427 y se almacena en el registrador RIR 737. El número de canal se introduce en el registrador de resultados 737 desde un registrador 749 que almacena el valor del último canal que tiene control del DCAL. El número de canal en el registrador 749 se deriva del registrador de acción 736. Cuando el número de canal, el nuevo BBC, y el nuevo EX se introduce en el registrador 737, quedan disponibles para cargarse el registrador de resultado 2 (R2R) 741. Los números de canal en ambos registradores de resultado 737 y 741 quedan disponibles como entradas al circuito lógico de prioridad 734. De esta manera, los canales que tienen control del DACL se pueden utilizar para decidir que los canales a los que actualmente presta servicio el DACL no tienen prioridad para emplear el DACL. Con los nuevos valores de BBC y EX en el registrador 741, están disponibles para introducirse de nuevo en la memoria de estado a través del circuito lógico de resultado de CACL 740.
- El circuito lógico 740 comprende un comparador normal que recibe el número de canal del SCS1 por el conductor 750 desde el conductor 742 y lo compara con el número de canal en el registrador R2R 741. Cuando se produce la comparación, los nuevos de EX y de BBC en el registrador 741 pasan a través del circuito lógico de resultado 740 al conductor 745 donde se introducen en la etapa SCS2 junto con la información procedente del
- 5.
  - 10.
  - 15.
  - 20.
  - 25.
  - 30.

5. SCS1. El BBC antiguo y el EX antiguo en el SCS1 no se tienen en cuenta. La cantidad de tiempo necesaria para hacer la transferencia a la unidad de almacenamiento y de los nuevos valores de EX y BBC que se pueden introducir en la etapa SCS2 está en función del hecho de que solamente el campo de orden inferior (EBC) necesite o no actualizarse con una secuencia corta o si se necesita un préstamo y todo el campo de contaje debe actualizarse con una secuencia larga.

10. La operación de la unidad de canal según el presente invento se describe de acuerdo con una instrucción típica "INICIACION DE LIBERACION RAPIDA DE I/O" (SIOF). Como condiciones iniciales todos los canales, 16 según el ejemplo presente, están desocupados y se deben iniciar a través de la carga de programa inicial (IPL) o, alternativamente, por una orden de reposición. Con la carga inicial de programa llevada a cabo, 15. las instrucciones se cargan en la memoria principal y las instrucciones son buscadas y procesadas por la unidad I. Como parte de la carga del programa inicial, cualquier instrucción de I/O, por ejemplo SIOF establece en almacenamiento una secuen- 20. cia de ordenes de canal que son efectivamente un programa de canal. Así mismo, la carga inicial coloca un indicador en un lugar fijo de la memoria, por ejemplo el lugar 72 del sistema presente, que se identifica en lugar de la primera orden en la secuencia de ordenes del canal. Cuando la unidad I busca 25. la orden de I/O inicial, el registrador de direcciones efectivas en la unidad I se carga con información que se comunica a la unidad de canal por el conductor 426. La unidad de canal reconoce la instrucción de I/O inicial en el circuito lógico de estado y espera la información de canal localizada, que cir- 30. cula a través de las etapas SCS0 a SCS15, para llegar al lugar

SCSI causando notificación de la lógica de procedimiento inmediata cuando el canal apropiado de los 16 canales llega al lugar SCSI. Suponiendo, para los fines de este ejemplo, que el estado del canal localizado está desocupado, el OCL permite que el contenido del SCSI entre en el registrador de etapas 721, mientras que el circuito lógico de resultado 725 cambia al estado del canal (suponiendo el canal 5 como un ejemplo normal) e indicando por retención en el SCSI2 la condición pendiente de operación. Durante cada ciclo, la información de canal pasa una etapa cada vez a través de las etapas 710 por lo que al cabo de 16 ciclos la información de cada canal ha pasado a través de todas las etapas SCSI a SCSI5.

Para una instrucción de I/O inicial, la información de canal continua pasando a través de las etapas 710 donde la circuitería OCL 429 pasa a quedar dedicada a un canal específico, el canal 5 en el ejemplo presente. Mientras la circuitería 429 se dedica al canal 5 para el proceso de datos, las otras partes del circuito lógico del control de canal (STATE DACL, CIGL) se pueden emplear en el proceso de canales distintos al canal 5.

Para una instrucción de SIOF, la unidad I espera a que la unidad de canal y particularmente el OCL; acabe de procesar su parte de la función del canal. Específicamente, para una instrucción de SIOF el OCL es responsable de buscar una palabra de localización de canal en la memoria tampón de canal mientras efectúa una comprobación para asegurar que el almacenamiento de estado de subcanal queda disponible para elaborar el dispositivo localizado identificado. Suponiendo que el subcanal identificado sea el dispositivo 25 (identificando por lo tanto de una forma implícita un subcanal, el circuito lógico

de procedimiento 719 después de tener acceso a la palabra de localización del canal y localizar, por lo tanto, la dirección de la primera palabra de orden de canal, almacena indicadores de ordenes en la memoria tampón de canal del LCS y realiza verificaciones de validez sobre la información. Para llevar a cabo sus funciones, el OCL emplea trayectos de datos comunes y memoria para controlar las funciones.

5.

Con el acceso de la primera palabra de orden de canal, el circuito lógico de procedimiento 719 indica el multiplexor de control 704 que la instrucción SIOF de la unidad I del procesador de datos se ha completado según se indica en las líneas de retorno 716, permitiendo de este modo que la unidad I continúe procesando instrucciones adicionales en su corriente de instrucción.

10.

Con la primera palabra de orden de canal buscada, el circuito lógico de procedimiento 719 notifica al circuito lógico de resultado 725 que el estado de selección inicial para el canal asociado 5 deberá introducirse en el dato transferido del SCS1 al SCS2 siempre que la información del canal 5 siguiente se cargue en el SCS1 durante sus ciclos de desplazamiento normales. Cuando la circuitería de CICL 432 en el circuito lógico 757 detecta el estado de selección inicial de cualquier canal, produce un acceso de memoria tampón de canal (CBS) para obtener una localización de dispositivo y una orden y para encaminarla a la interconexión física correcta y al controlador de I/O correcto empleando el circuito lógico de interconexión a distancia 407 de la figura 3. Suponiendo que la primera orden sea transferir información de la unidad de control a la memoria principal, el CICL manipula las líneas de control y el LCS haciendo que se transfiera datos desde los controladores de I/O

15.

20.

25.

30.

- al LCS. El CIGL a través del circuito lógico de control 757 y el conductor de salida 780 a la etapa de canal apropiada SCS4 o SCS 12, mantiene un registro de los lugares del LCS que contienen el dato transferido. Cuando se reúne una cantidad suficiente de datos en el LCS, el DACL reconoce la necesidad de transferir a la memoria principal observando el estado del canal 5 según aparece en el SCS2. En este punto, el DACL producirá una transferencia de datos desde el LCS a la memoria principal.
- 5.
10. Cuando la palabra de orden de canal se ha obtenido de la unidad I de la figura 1 se trasmite bajo control del OCL por el conductor 394 al registrador de trabajo (WR) 460 en la figura 3. Desde este punto se trasmite a través del manipulador de datos 405 al conductor 425 sin alteración y se retiene en el
15. registrador de DMOR 437. Desde este punto se retiene en el registrador de DHR 439 y se almacena en el almacenamiento de canal local 406. De esta manera, el campo de contaje de 16 bits se almacena individualmente en almacenamiento de canal 406.
20. Cuando el campo de contaje de la palabra de orden de canal pasa desde el registrador WR 466, circula a través de la sumadora 483 en el manipulador de datos en la figura 4 y aparece sin alterar en el conductor 492. En el conductor 492, los 5 bits de orden inferior se extraen y se cargan en el registrador de BBCR 470. Desde este registrador, el valor inicial del
25. nuevo BBC pasa al registrador OCLRR 467 de la figura 5.
30. Al mismo tiempo, en el manipulador de la figura 4, los 11 bits de orden superior del campo de longitud de transferencia total se introducen en la calculadora de EX 471 donde los bits de orden superior se ponen en disyunción para formar la nueva señal EX en la línea 418 que se almacena también en el

registrador BBCR 470 y se transfiere al registrador OCLRR 467. Desde el registrador 467, los nuevos valores iniciales de EX y BBC pasan por el circuito lógico 725 al SCS2 cuando el SCS1 contiene el número de canal apropiado.

5. Como ejemplo típico, se supone un contaje total de 36 bytes. En el campo de contaje de 16 bits, los 11 bits de orden superior comprenden 10 ceros de orden superior seguidos de un 1 y los 5 bits de orden inferior son 00100. El contaje aparece en la notación binaria como 100100 precedido por 10 ceros de orden superior.
10. Con el ejemplo típico anterior, el nuevo BBC inicial almacenado en SCS2 por el OCL es 00100. El valor almacenado en SCS2 para el nuevo bitio EX inicial es 1, puesto que el bitio de orden inferior en los 11 bits de orden superior es 1.
15. Con el nuevo BBC inicial y el nuevo EX inicial almacenado en SCS2, el DACL queda dispuesto para comenzar una transferencia de 36 bytes de dato siempre que el número de canal 5 obtenga prioridad para uso del DACL. Cuando el canal 5 obtiene prioridad, el BBC y el EX para el canal 5 en SCS2 pasa al registrador de acción 736. En el registrador 736 el BBC y EX se tratan ahora como BBC antiguo y EX antiguo y se examinan en el circuito lógico de acción 739. Suponiendo que la longitud de transferencia real del caso normal TL sea de cuatro bytes, el valor 100 de TL se compara con el BBC en el registrador 736
20. por parte del circuito lógico 739. Como el BBC que tiene un valor de 00100 es igual o mayor que el valor de TL que es 100, el circuito lógico de acción 739 exige una secuencia corta. La
25. secuencia corta se identifica en la tabla I siguiente.

TABLA I - Secuencia Corta

<u>Ciclos</u>	<u>CANAL A UNIDAD S</u>	<u>Ciclos</u>	<u>UNIDAD S A CANAL</u>
1 y 2	Buscar dato de dirección	1 y 2	Buscar dato de dirección
5. 3 y 4	Buscar dato	3 y 4	"no se usa"
5 y 6	Almacenar dato de localización	5 y 6	Almacenar dato de dirección
7 y 8	"no se usa"	7 y 8	Almacenar dato

10. Al hacer la transferencia de secuencia corta de dato desde el almacenamiento de canal hasta la unidad de almacenamiento la localización de dato en el almacenamiento de canal debe conseguirse primero desde el almacenamiento del canal y colocarse en el registrador de dirección de unidad de almacenamiento 464 de la figura 3. Cada acceso del almacenamiento de canal exige 2 ciclos. Después, el propio dato debe buscarse desde el almacenamiento de canal empleando la dirección en el registrador 467. El dato al que se ha llegado sale por la vía 421 y se almacena en el registrador 468 de donde se transfiere al registrador 465 y se saca a la unidad de almacenamiento a través del conductor 35B. Finalmente, la dirección de dato modificado que identifica el byte siguiente que se ha de transferir, se vuelve a almacenar en almacenamiento de canal local 406.
15. Se emplea una secuencia similar para una transferencia de información desde la unidad de almacenamiento hasta el almacenamiento de canal local 406.
20. Durante la secuencia corta anterior identificada en la tabla 1, se produce una transferencia de 4 bits entre la unidad de almacenamiento y la unidad de canal. Por consiguiente, el valor de TL 100 debe restarse del campo de contaje total inicial para formar el campo de contaje restante. El valor de
- 25.
- 30.

TL 100 se resta del valor BBC 00100 en el manipulador de datos y forma el resultado de 00000 que es el nuevo BBC.

5. Observese que como el BBC inicial era 100, la resta de 100 de TL se ha efectuado sin necesidad de préstamo del campo de orden superior. Por lo tanto, el bitio EX antiguo permanece válido y se elige como nuevo bitio EX. Por lo tanto el nuevo EX es igual al 1.

10. Después de restar 100 del BBC, el nuevo BBC es 00000. Dicho nuevo BBC, como es lógico, se almacena en el registrador R1R 737 y ulteriormente en R2R 741 de la figura 6 se transfiere al SCS2 completandose de este modo momentáneamente el uso del DACL por el canal 5.

15. Con el nuevo EX y el nuevo BBC almacenados en la etapa SCS2 la memoria de estado continúa circulando hasta que el canal 5 vuelve a parecer en SCS2 y obtiene prioridad para utilizarse el DACL. Como la transferencia total de 36 bytes no se ha producido, el canal 5 recibirá de nuevo en algún momento prioridad por el circuito lógico de prioridad 734 de la figura 6. Cuando el canal 5 obtiene prioridad, el número de canal 5, un nuevo valor de TL de 4 bytes el ahora antiguo BBC (00000) y el EX antiguo (1) se introducen en el registrador de etapas 20. 735. El BBC antiguo (00000) y el bitio EX (1) pasan al manipulador de datos por los conductores 460 y 457, respectivamente.

25. En el caso presente el valor de TL igual a 100 no se puede restar del BBC antiguo igual a 00000 sin un préstamo de los bitios de orden superior que se sabe que existen porque EX es igual a 1. Por consiguiente, se debe seguir una secuencia larga para restar apropiadamente la longitud de transferencia real (100) del contaje restante (100000) al que se ha llevado, 30. como siempre, por concatenación de los 11 bitios de orden supe-

rior de la palabra de montaje en LCS con el campo BBC de SCS. La secuencia larga se resume en la tabla II siguiente.

TABLA II - Secuencia larga

	<u>Ciclos</u>	<u>CANAL A UNIDAD S</u>	<u>Ciclos</u>	<u>UNIDAD S A CANAL</u>
5.	1 y 2	Buscas datos de dirección	1 y 2	Buscar dato de dirección
	3 y 4	Buscar dato	3 y 4	Buscar contaje
	5 y 6	Buscar contaje	5 y 6	Almacenar dirección de dato modificado
10.	7 y 8	Almacenar dirección de dato modificado	7 y 8	Almacenar contaje modificado
	9 y 10	Almacenar contaje modificado	9 y 10	Almacenar dato

En la secuencia larga en la tabla II anterior se añaden las dos etapas adicionales de búsqueda de contaje y almacenamiento de contaje modificado. Durante la etapa de búsqueda de contaje, el campo de contaje total, incluyendo los 11 bits de orden superior, son buscado de almacenamiento de canal local y pasa al registrador 468 del cual se transfieren al registrador de trabajo 466. En el manipulador de dato de la figura 4, los 11 bits de orden superior del registrador 466 (1 precedido de 10 ceros) se concatenan con los bits de orden inferior (que es el BBC antiguo de 00000 en el conductor 460) y se introducen en el acceso de la derecha de la sumadora 483. Simultáneamente el valor de TL de 100 se introduce en el acceso de la izquierda de la sumadora 483 y la entrada de la izquierda se resta para formar el resultado en el conductor 492. Cuando se resta 100 de 100000, el resultado en el conductor 492 es de 011100.

30. El nuevo BBC es 11100 y el nuevo EX es 0. Como en el

ejemplo particular elegido, todos los 11 bitios de orden superior son ceros por lo que el nuevo bitio EX se establece en 0. Asi mismo, es necesario realmacenar el contaje en el LCS puesto que contiene actualmente un campo de contaje de 11 bitios de orden superior que no son ceros. El nuevo EX igual a 0 y el nuevo BBC igual a 11100 se almacenan en los registradores de resultados 737 y 741.

5. Cuando el canal 5 aparece de nuevo en SCS1, se hace una comparación en el circuito lógico de resultado 740 y el nuevo EX y el nuevo BBC se almacenan en SCS2. La información en SCS2 continua circulando en la memoria de estado hasta que el circuito lógico de prioridad 734 determina de nuevo el canal 5 que tiene prioridad. En éste punto, el número de canal 5, actualmente el BBC antiguo (11100) y el EX antiguo (0) se introducen en el registrador de acción 736. El circuito lógico de acción 739 determina que el BBC antiguo (11100) es mayor que la longitud de transferencia real 100 por lo que se pide una secuencia corta.

10. La secuencia corta se repite como dada en la tabla I anterior. Cuatro bytes de datos se transfieren desde la memoria de canal hasta la unidad de almacenamiento mientras que el manipulador de datos de alta velocidad resta 100 del BBC antiguo 11100 para formar el nuevo BBC igual a 11000. Desde éste punto en el valor 0 para el bitio EX no cambia puesto que no se necesita préstamos del BBC antiguo.

15. La operación continúa con una secuencia corta hasta que el nuevo BBC se ha reducido a 00000. Como EX es también 0 en éste instante, el DACL, y el OCL pueden determinar que la transferencia de dato es completa.

20. La transferencia de dato es completa.

25. La transferencia de dato es completa.

30. La transferencia de dato es completa.

5. Cuando se han transferido todos los datos, el OCL nota este hecho y hace que el circuito lógico de resultado 725 actúe sobre el estado del canal de forma que el canal 5 quede desocupado. Después, el canal 5 queda disponible de nuevo para transferir información desde los controladores de I/O hasta la unidad de almacenamiento.

10. Mientras que el ejemplo anterior se ha dado con relación a un solo canal, o sea el canal 5, es evidente que a pesar de que las partes diferentes del circuito lógico de control de canal están actuando sobre la transferencia del canal 5, pueden actuar simultáneamente en otros canales. Por ejemplo mientras el circuito lógico de estado 428 está ocupado con el canal 5, el circuito lógico de OCL 429 puede actuar sobre la información de control asociada con algún otro canal mientras que simultáneamente el circuito lógico de DACL 430 puede estar trabajando todavía con un tercer canal mientras que el CIGL está trabajando todavía con un cuarto canal. A medida que cada parte del circuito lógico de control de canal  
15. 403 queda disponible, acepta una entrada del estado de canal de corrimiento (SCS) y comienza a trabajar con un canal apropiado.  
20.

25. A pesar de que el invento se ha descrito e ilustrado de una forma particular con relación a modalidades de referencia del mismo, los expertos en la materia comprenderán que se pueden efectuar diversos cambios en la forma y detalles sin desviarse del espíritu y alcance del invento.

N O T A

30. Descrita suficientemente la naturaleza del invento,

asi como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento corresponde a una solicitud de patente presentada en Norteamérica con el número Ser No. 417.256 de 19 de noviembre de 1973, acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento, y por lo que se solicita Patente de Invención por 20 años en España sobre: PROCEDIMIENTO Y APARATO PARA EL PROCESO DE DATOS, caracterizándose por lo siguiente:

1.- Procedimiento y aparato para el proceso de datos, del tipo que comprende un aparato de almacenamiento del sistema y un aparato de unidades de canales, para transmitir por una pluralidad de canales información entre dispositivos de entrada/salida y dicho aparato de almacenamiento cuyo procedimiento está caracterizado porque comprende las fases de almacenar la localización siguiente de datos que se han de transferir en el dispositivo de almacenamiento de canales; almacenar el conteo de orden superior, que indica la longitud de orden superior de número "bytes" de datos que quedan por transferir, en el dispositivo de almacenamiento de canales; almacenar el dato que se ha de transferir en el dispositivo de almacenamiento de canales; almacenar un conteo de orden inferior en primeros lugares, por cada canal, en la memoria de estado para indicar la parte de orden inferior del número "bytes" de datos que quedan por transferir por canal asociado; almacenar una indicación en un segundo lugar, por cada canal en la memoria de estado para indicar si se almacena un conteo de orden superior, que no

5. sea cero, en los medios de almacenamiento de canales; examinar cíclicamente los lugares por cada canal y transferir datos por cada canal en respuesta al contaje en cada uno de dichos primeros lugares; y reducir el contaje de orden inferior en dichos primeros lugares por cada transferencia de datos, y reducir el contaje de orden superior en los medios de almacenamiento de canales, junto con dicho contaje de orden inferior cuando la longitud de una transferencia de datos pedida excede de dicho contaje de orden inferior y dicho segundo lugar indican que se almacena un contaje de orden superior en los medios de almacenamiento de canales.

10. 2.- Procedimiento según la reivindicación 1, caracterizado porque el aparato de unidades de canales comprende fases de almacenamiento de canales para almacenar información que se ha de transferir por dichos canales medios de memoria de estado, comunes a todos los canales citados, que tienen una pluralidad de grupos de posiciones, un grupo por cada uno de los canales donde cada grupo almacena información para un canal asociado diferente; comprendiendo dichas fases de memoria de estado, por cada grupo primeros posiciones para almacenar un contaje para designar una longitud de transferencia restante cuando la longitud de transferencia restante especifica una pluralidad de "bytes" de datos que quedan para transferirse sobre el canal asociado; y medios de control de acceso de datos, comunes a todos los canales, para controlar la transferencia de información de dichos canales, comprendiendo dichos medios de control medios conectados a dichas fases de memoria de estado para examinar cíclicamente las posiciones de cada canal y fases para pedir una transferencia de datos, que tienen una longitud de transferencia requerida, por

un canal en respuesta al contaje en cada una de dichas primeras posiciones, comprendiendo dichas medias fases de control para reducir el contaje en dichas primeras posiciones cada transferencia de datos real en un contaje igual a la longitud de transferencia pedida.

5.

3.- Procedimiento según las reivindicaciones anteriores caracterizados porque comprende fases de almacenamiento de canales para almacenar información que se ha de transferir por dichos canales, teniendo dichas fases de almacenamiento de canales posiciones direccionables asociados con cada canal para almacenar la dirección siguiente en dichos medios de almacenamiento de canales de los datos que se han de transferir, indicando el contaje de orden superior la longitud de orden superior del número de "bytes" de los datos que se han de transferir, y el dato que se ha de transferir; fases de memoria de estado que tienen una pluralidad de grupos de posiciones, un grupo por cada uno de dichos canales; comprendiendo dichas fases de memoria de estado, por cada grupo; primeras posiciones para almacenar un contaje de orden inferior e indicar la parte de orden inferior del número "bytes" de datos que quedan por transferir por el canal asociado y que comprenden, por cada grupo, un segundo lugar correspondiente para indicar si se almacena un contaje de orden superior, que no es cero en dichos medios de almacenamiento de canales; y fases de control para pedir una transferencia de datos de información por dichos canales; comprendiendo dichas fases de control medios conectados a dicha memoria de estado para examinar cíclicamente las posiciones de cada canal y para causar una transferencia de datos por cada canal en respuesta al contaje en cada una de dichas primeras posiciones, comprendiendo dichas fases de con-

10.

15.

20.

25.

30.

5. trol una fase para reducir el contaje de orden inferior en dichas primeras posiciones por cada transferencia de datos una fase para reducir el contaje de orden superior en dichas fases de almacenamiento de canales junto con dicho contaje de orden inferior cuando la longitud de una transferencia de datos pedida excede de dicho contaje de orden inferior y el segundo lugar correspondiente indica que se almacena un contaje de orden superior, que no es cero, en dichas fases de almacenamiento de canales.
10. 4.- Aparato la realización del procedimiento según la reivindicación 1, caracterizado porque los medios de control comprenden medios para almacenar un contaje de orden inferior en dichos primeros lugares por cada canal y medios para almacenar un contaje de orden superior, correspondiente en
15. dichos medios de almacenamiento de canales por cada canal, donde cada uno de los contajes de orden superior y de orden inferior correspondientemente concatenados especifican el contaje pleno y donde el contaje pleno especifica el número total de "Bytes" de datos que puedan para ser transferidos por el
20. canal asociado, comprendiendo dichos medios de control medios para detectar la situación en que la longitud de transferencia pedida es menor que el contaje de orden inferior, medios para tener acceso a dicho contaje de orden superior desde dichos medios de almacenamiento de canales, y medios para reducir el contaje pleno que comprenden dicho contaje de orden superior y dicho contaje de orden superior para formar un nuevo contaje pleno.
25. 5.- Aparato según la reivindicación 1, caracterizado porque comprende además medios de direccionamiento para
30. cionalizar dichos medios de almacenamiento de canales con el

- fin de buscar o almacenar datos que se han de transferir; direcciones de datos que se han de transferir; y contajes de orden superior que representan las longitudes de orden superior de datos que se han de transferir donde los contajes en dichos primeros lugares representan las longitudes correspondientes de orden inferior de los datos que se han de transferir, y por que dichos medios de control de acceso de datos comprenden además lógicos secuenciales para secuenciar dichos medios de localización en una secuencia corta para acceso a dichos medios de almacenamiento de canales con el fin de buscar una dirección de un dato, para almacenar una dirección de datos modificados y para almacenar o buscar datos, y para poner en secuencia dichos medios de direccionamiento en una secuencia larga para acceso a dichos medios de almacenamiento de canales con el fin de buscar una dirección de un dato, para almacenar una dirección de un dato modificada para buscar o almacenar datos, para buscar un contaje y para almacenar un contaje modificado, comprendiendo dichos medios de control además medios para detectar el contaje de orden inferior en dichos primeros lugares por cada canal, y que comprende medios para detectar la situación en que la longitud de transferencia de dato pedida es menor o igual que dicho contaje inferior para permitir dicha secuencia corta, y medios para detectar la situación cuando la longitud de transferencia de datos pedida es mayor que dicho contaje de orden inferior para permitir dicha secuencia larga.
- 5.
- 10.
- 15.
- 20.
- 25.

- 6.- Aparato según la reivindicación 5, caracterizado porque dichos medios de memoria de estado comprenden además una segunda posición, por cada grupo, para almacenar una indicación de si se almacena cualquier contaje de orden superior
- 30.

que no sea cero en dichos medios de almacenamiento de canales y porque dichos medios de control de acceso de datos comprenden además medios para comparar la longitud de transferencia de datos pedida con dicho contaje de orden inferior en dichos primeros lugares con el fin de hacer dichos medios lógicos ordenadores en secuencia sigan una secuencia larga si la longitud de transferencia de dato excede del contaje de orden inferior y dicho segundo lugar indica que el contaje de orden superior, que no es cero, se almacena dichos medios de almacenamiento de canales.

7.- Aparato según la reivindicación 1, caracterizado porque comprende además medios de direccionamiento para direccionar dichos medios de almacenamiento de canales con el fin de buscar o almacenar datos que se han de transferir, direcciones de datos que se han de transferir, y contajes de orden superior que representan las longitudes de orden superior de datos que se han de transferir donde los contajes en dichos primeros lugares representan las longitudes de orden inferior correspondientes de los datos que se han de transferir, y porque dichos medios de control de acceso de datos comprenden además medios lógicos ordenadores en secuencia para poner en secuencia dichos medios de direccionamiento en una secuencia corta para llegar a dichos medios de almacenamiento de canales para buscar una direcciones de un dato, almacenar una dirección de un dato modificada y almacenar o buscar datos; y para poner en secuencia dichos medios de direccionamiento en una secuencia larga para llegar a dichos medios de almacenamiento de canales y buscar una dirección de un dato, almacenar una dirección de un dato modificada, buscar o almacenar, datos, buscar un contaje y almacenar un contaje modificado;

- comprendiendo dichos medios de estado de memoria además una segunda posición, por cada grupo para almacenar una indicación de si cualquier conteaje asociado de orden superior, que no sea cero, se almacena en dichos medios de almacenamiento de canales; comprendiendo dichos medios de control además medios para detectar dichos primeros y segundos lugares por cada canal y que comprende medios para comparar la longitud de transferencia pedida con dicho conteaje de orden inferior en dichos primeros lugares para hacer que dichos medios lógicos de ordenación en secuencia larga si la longitud de transferencia pedida excede del conteaje del orden inferior y dichos segundos lugares indican que se almacena un conteaje de orden superior, que no es cero, en dichos medios de almacenamiento de canales.
5. 8.- Aparato según la reivindicación 7, caracterizado porque dichos medios de memoria de estado comprenden una pluralidad de etapas registradoras de corrimiento, una etapa por cada grupo, donde cada etapa almacena dichos primeros y segundas posiciones para uno de dichos canales diferentes, conectándose dichas etapas registradoras de corrimiento para efectuar
10. 20. ciclicamente un corrimiento por que dichos medios de control de acceso de datos reciben en secuencia la información para canales diferentes.
15. 9.-Aparato según la reivindicación 8, caracterizado porque dichos medios de control de acceso de datos, comprenden
25. 25. medios para almacenar un conteaje de orden inferior modificado en una etapa registradora de corrimiento para reemplazar el conteaje anterior de orden inferior para el mismo canal después de una transferencia real de datos.
30. 10.- Aparato según las reivindicaciones anteriores, caracterizado porque comprende medios de localización para

- localización para localizar dichos medios de almacenamiento de canales con el fin de buscar y almacenar datos que se han de transferir, para buscar y almacenar localizaciones de datos que se han de transferir, y para buscar y almacenar contajes de orden superior que presentan la longitud de orden superior y porque dichos medios de control de acceso de datos comprenden además medios lógicos secuenciales para ordenar en secuencia dichos medios de localización en una secuencia corta para acceso a dichos medios de almacenamiento de canales para buscar una localización de dato, para almacenar una localización de dato modificada y para almacenar o buscar datos; y para poner en secuencia dichos medios de localización en una secuencia larga para acceso a dichos medios de almacenamiento de canales con el fin de buscar una localización de dato, almacenar una localización de dato modificada, buscar o almacenar datos, buscar un contaje y almacenar un contaje modificado comprendiendo dichos medios de control además medios para detectar un contaje de orden inferior en dichos primeros lugares por cada canal, y comprendiendo medios para detectar la situación en que la longitud de transferencia de dato pedida es menor o igual que el contaje de orden inferior para permitir dicha secuencia corta y medios para detectar la situación en que la longitud de transferencia del dato pedida es mayor que con contaje de orden inferior para permitir secuencia larga.
5. 10. 15. 20. 25. 30.
- 11.- Aparato según la reivindicación 10, caracteriza do porque dichos medios de memoria de estado comprenden una pluralidad de etapas registradoras de corrimiento, una etapa por cada grupo donde cada etapa almacena dichos primeros y segundos lugares para uno de dichos canales diferentes, conectándose dichas etapas registradoras del corrimiento para efec

tuar cíclicamente un corrimiento por lo que dichos medios de control de acceso de datos reciben en secuencia la información para canales diferentes.

5. 12.- Aparato según la reivindicación 11, caracterizado porque dichos medios de control de acceso de datos comprenden medios para almacenar un contaje de orden inferior modificado en una etapa registradora de corrimiento para reemplazar el contaje de orden inferior antiguo del mismo canal después de una transferencia de datos real.

10. 13.- Aparato según la reivindicación 12, caracterizado porque comprende además medios manipuladores de datos para realizar la resta de las longitudes de transferencias reales del contacto de orden superior y de orden inferior concatenado, comprendiendo dichos medios manipuladores de datos medios para detectar cualquier contaje de orden superior, que no sea cero y establecer como respuesta una indicación en dicho segundo lugar por cada canal.

15. 14.- Procedimiento y aparato para el proceso de datos, tal y como queda sustancialmente descrito en la presente Memoria, y en los dibujos adjuntos.

20. Esta Memoria consta de cuarenta y nueve hojas, escritas a máquina por una sola cara.

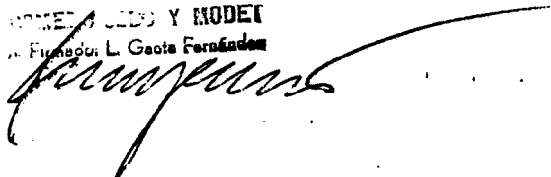
7 8 ABR. 1975

Madrid,

25.

AMDAHL CORPORATION,  
FUJITSU LIMITED,

COMERCIALES Y NOBES  
S.A. Financiera L. García Fernández



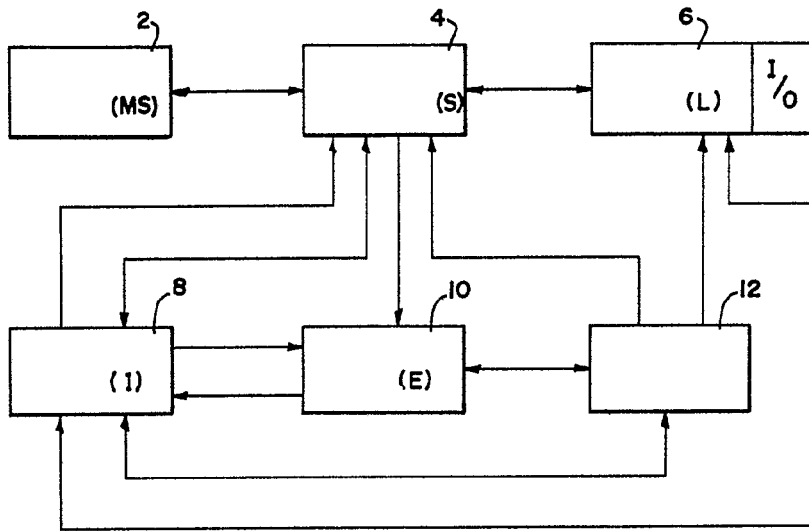


FIG.-1

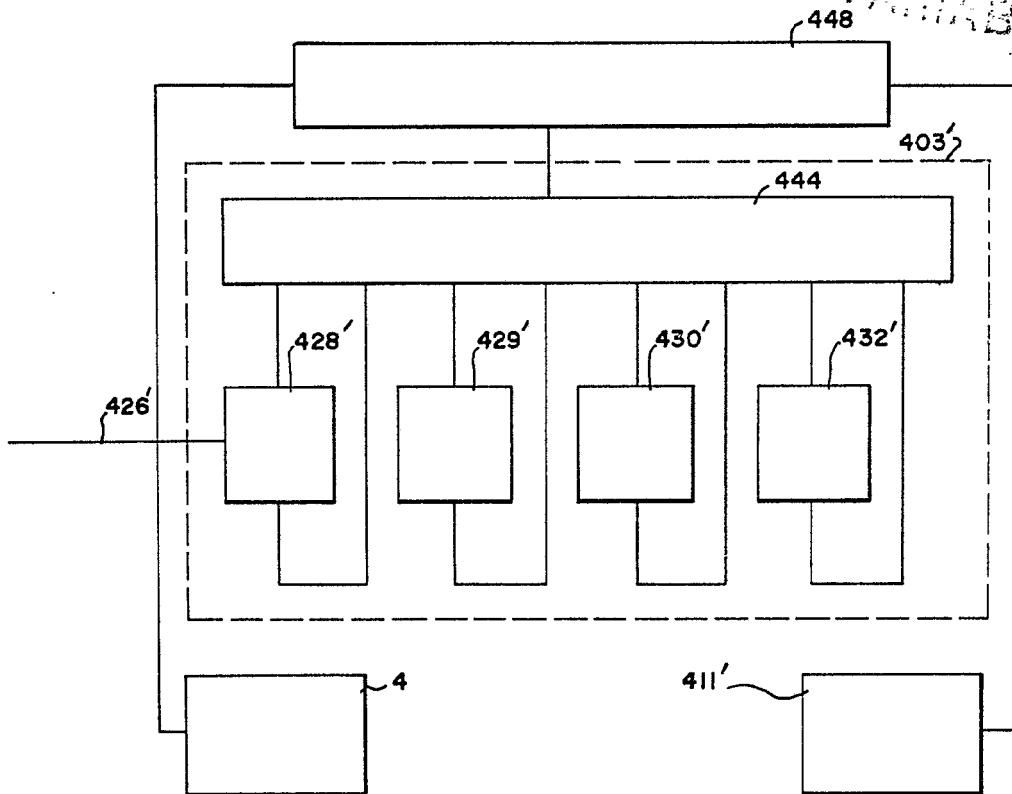


FIG.-2

ES CALA  
VARIABLE

Div. 2  
CODE  
*[Handwritten signature]*



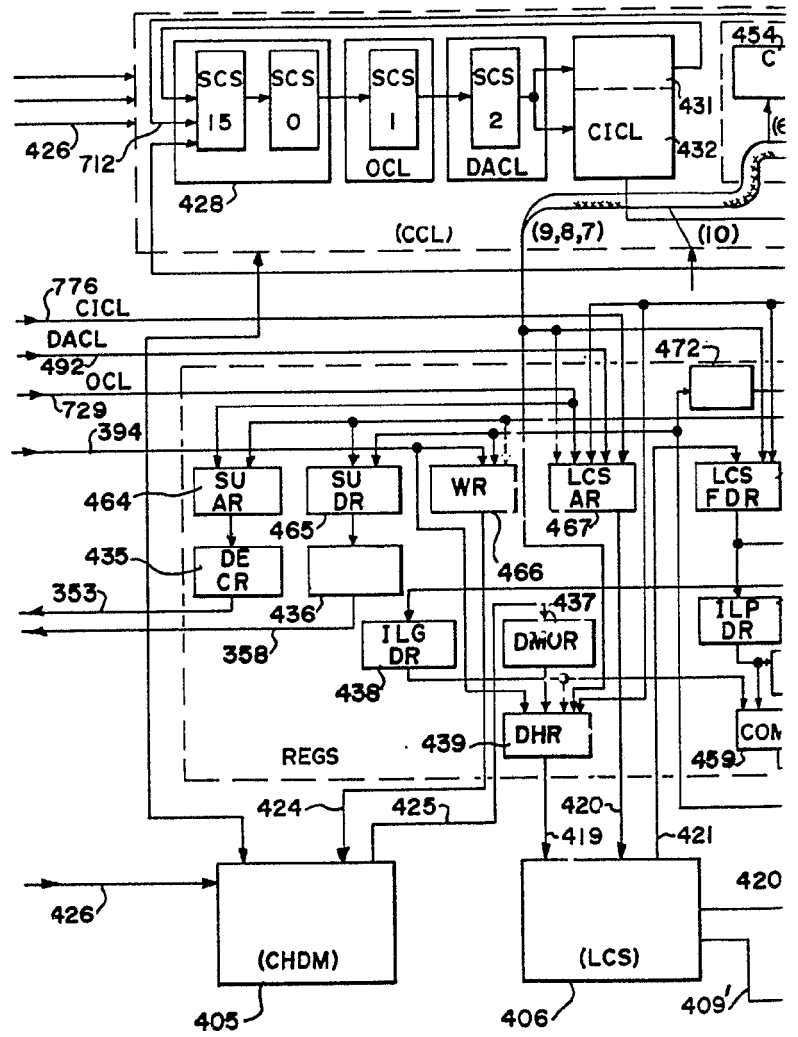
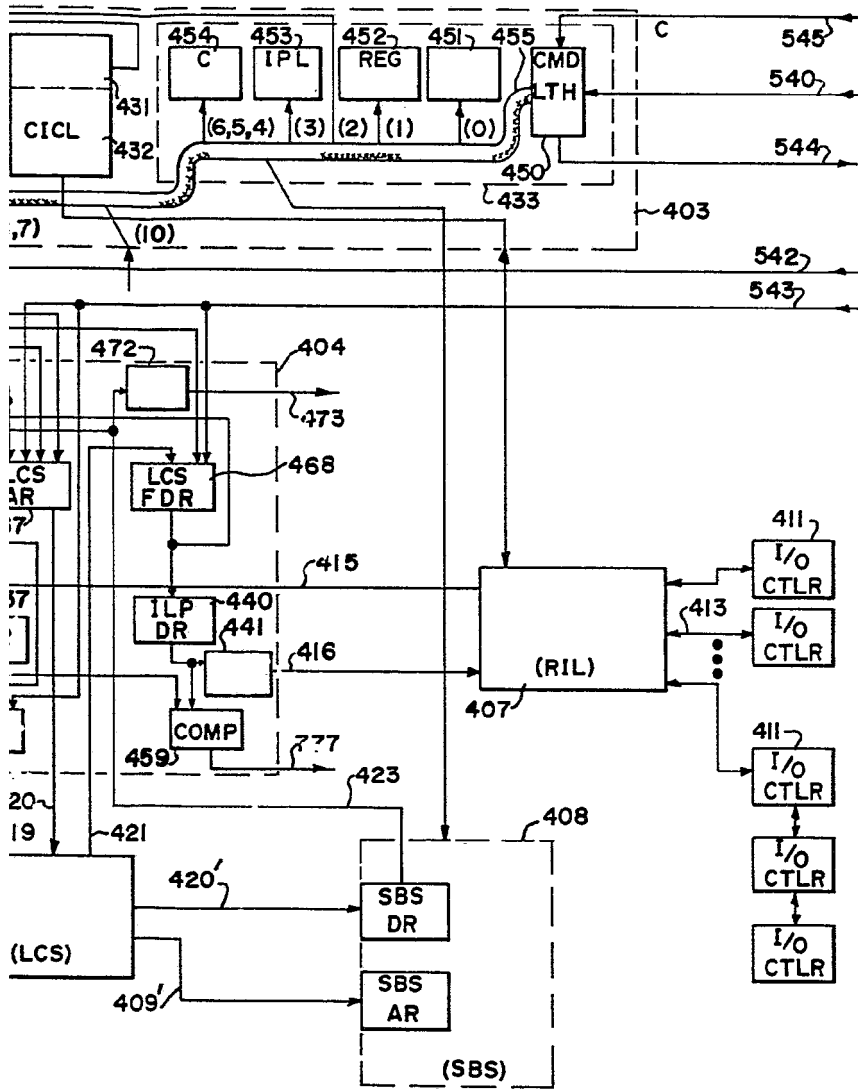


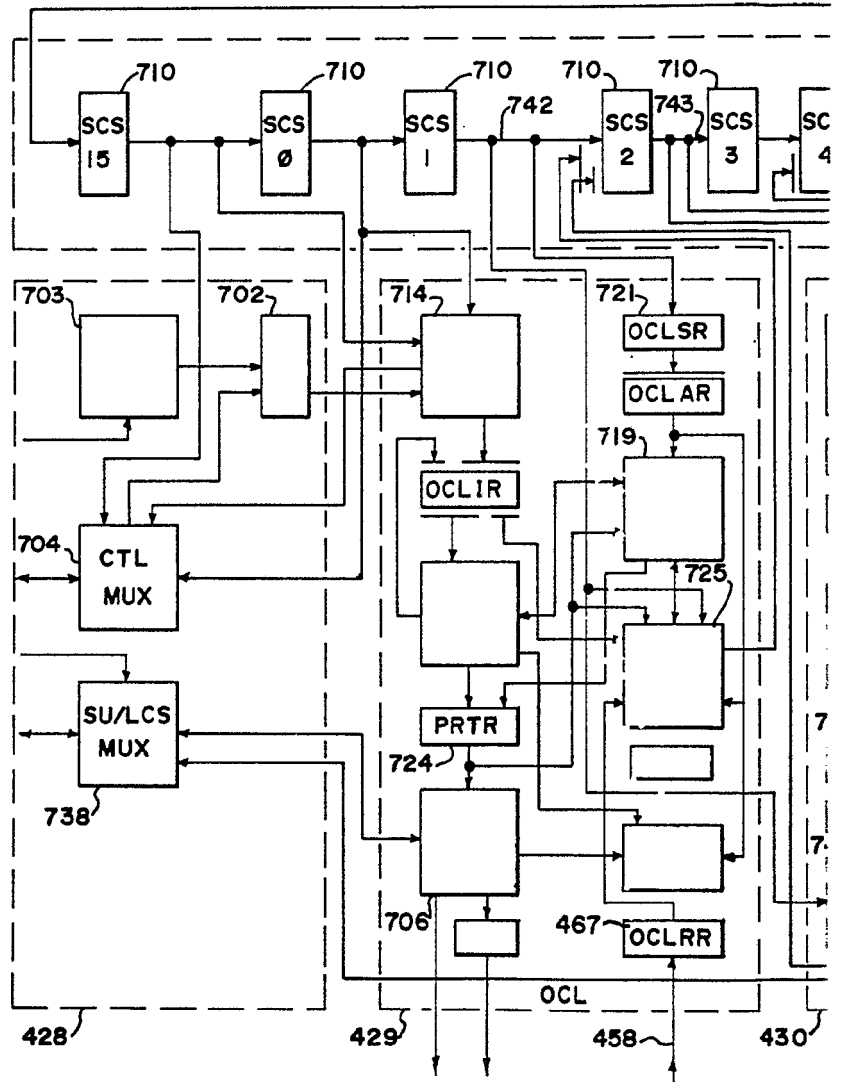
FIG.-3



*[Handwritten signature]*







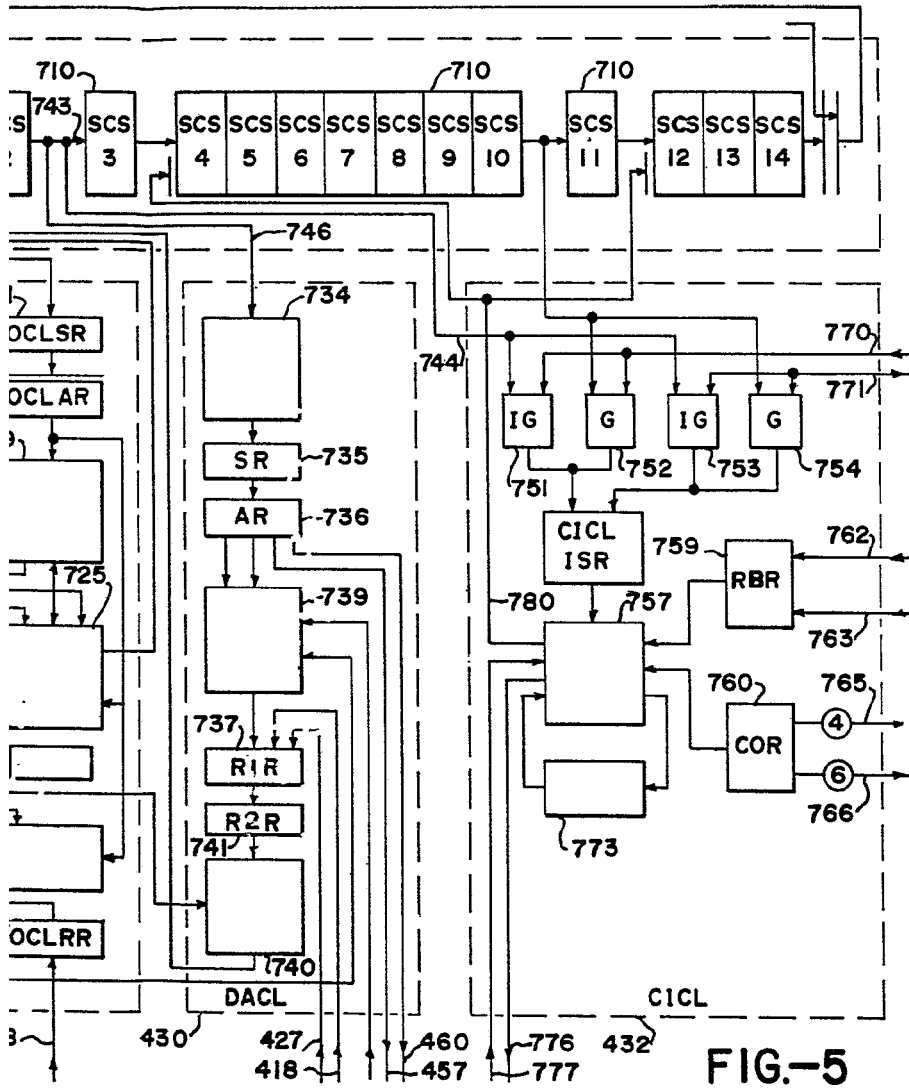


FIG-5

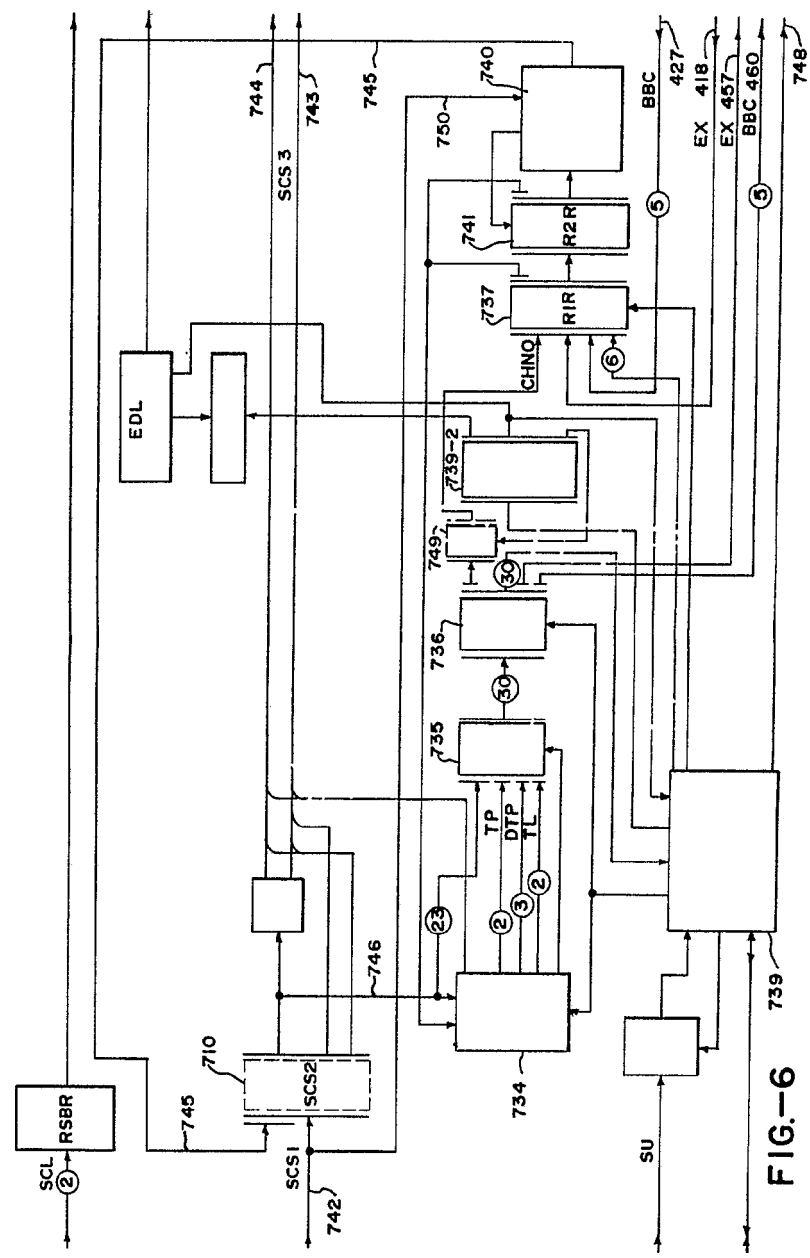


FIG.-6

*[Handwritten signature]*

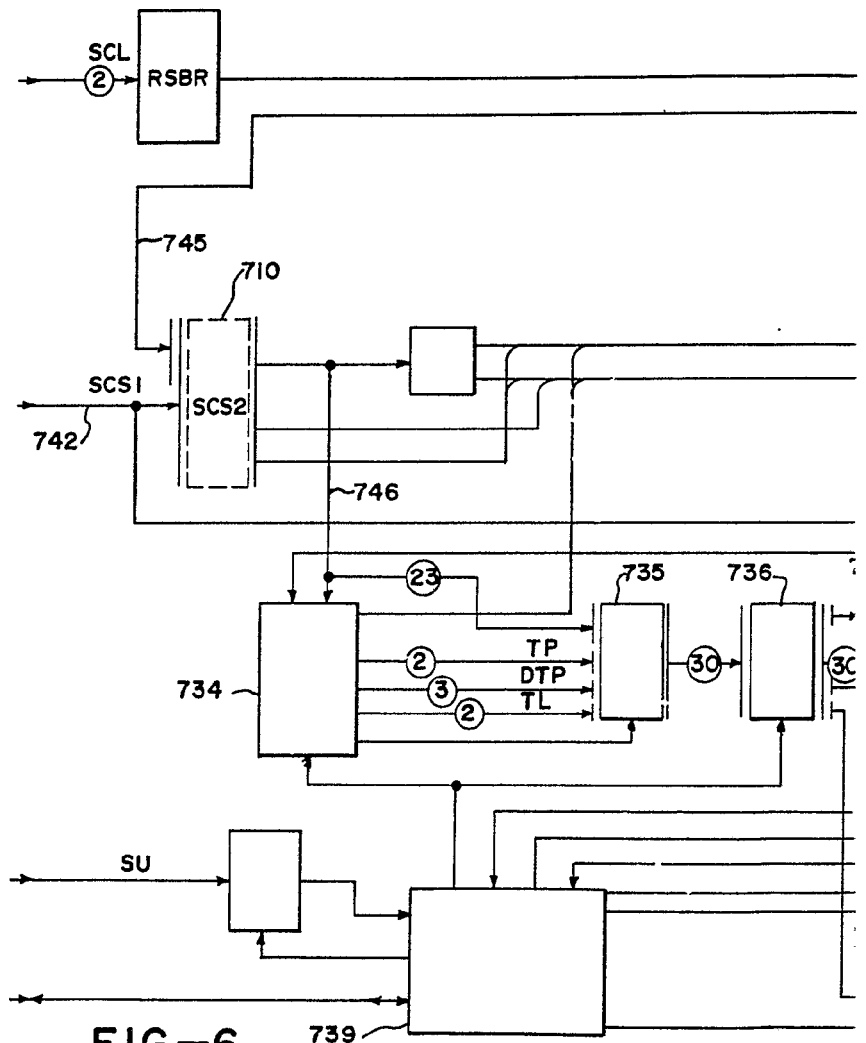
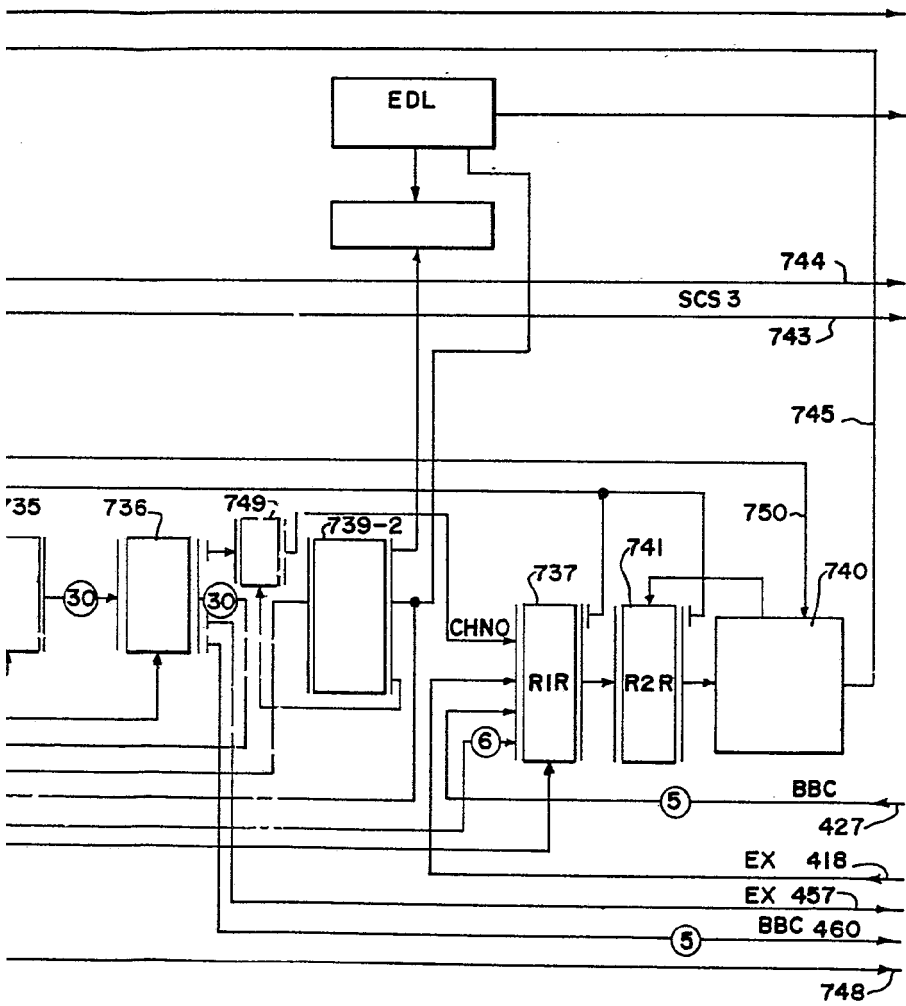


FIG.-6



*[Handwritten signature]*