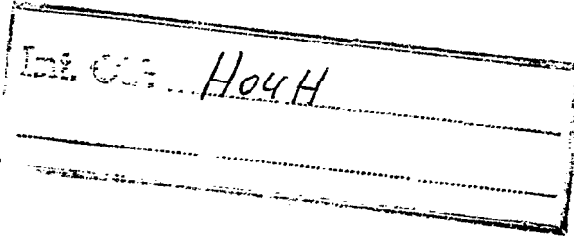


Nº 431.948



431.948

MEMORIA DESCRIPTIVA

correspondiente a la solicitud de una

PATENTE DE INTRODUCCION

Solicitante: MOTOROLA, INC.

Domicilio: O'Hare Plaza 5725 East River Road,
CHICAGO, Illinois, Estados Unidos.

Enunciado: SISTEMA DE EXPLORACION DE CANALES.

TR

El invento se refiere generalmente a receptores multifrecuencias y más particularmente a receptores multifre cuencias que tienen un aparato de conmutación automático pa- ra la exploración de varios canales.

5 Existen numerosas aplicaciones en las cuales es conveniente disponer de un receptor dotado de un aparato de conmutación para explorar una multiplicidad de canales y para mantener sintonizado el receptor en un canal particular cuando se recibe una transmisión. En numerosos casos, es
10 conveniente designar uno de los canales como canal de prio- ridad, el cual se muestrea periódicamente durante la recep- ción de otra señal, para que el receptor pueda sintonizarse automáticamente sobre el canal prioritario en el caso de una transmisión en éste.

15 La eficacia de un sistema de exploración de ca- nales de este tipo depende mucho del tiempo de respuesta del detector utilizado para detectar la presencia de una se- ñal en uno cualquiera de los canales. Para asegurar una ex- ploración rápida de los canales y para limitar la degrada-
20 ción de una señal no prioritaria producida por el muestreo periódico del canal prioritario, se requiere un tiempo de respuesta rápido del detector. Para asegurar la sensibili- dad óptima del detector con el objeto de obtener la detec- ción de señales relativamente débiles y para mantener el sis-
25 tema sintonizado sobre un canal particular en el caso de des- vanecimiento de la señal, se exige un tiempo de respuesta más lento. Además, es conveniente proporcionar un tiempo de respuesta rápido para desactivar rápidamente la etapa de baja frecuencia del receptor al final de una transmisión
30 con el fin de eliminar las ráfagas de ruido perturbadoras

que siguen una transmisión.

Los sistemas de exploración de canales de la técnica anterior utilizan detectores que tienen tiempos de respuesta que están adaptados a las necesidades del sistema.

5 En los sistemas en los cuales se necesita una exploración y un muestreo rápidos, se emplean detectores con tiempo de respuesta corto para asegurar la velocidad de muestreo necesaria, pero sin embargo la sensibilidad y la protección contra desvanecimiento del sistema están sacrificados. Inversamente, cuando se necesita una máxima sensibilidad y protección contra desvanecimientos, se reduce la velocidad de exploración y el rendimiento de supervisión prioritaria.

10 Un objeto del invento consiste en proporcionar un sistema de exploración de canales y de supervisión prioritaria mejorado que asegura una buena sensibilidad y un funcionamiento a gran velocidad.

Otro objeto del invento consiste en proporcionar un sistema de exploración de canales y de supervisión prioritaria que permanece sintonizado en un canal vigilado durante los desvanecimientos de la señal.

20 Otro objeto del invento consiste en proporcionar un sistema de exploración de canales y de supervisión prioritaria que permanece sintonizado sobre el canal que se recibe durante las cortas pausas de la transmisión.

25 Otro objeto del invento consiste en proporcionar un sistema de exploración de canales y de supervisión prioritaria compatible con una amplia variedad de receptores.

Otro objeto del invento consiste en proporcionar un sistema de exploración de canales y de supervisión prioritaria destinado a un receptor, que no reduce el rendi

30

miento general del receptor.

De acuerdo con el invento, un receptor superheterodino de canales múltiples incluye un dispositivo oscilador dotado de una pluralidad de salidas diferentes cuya
5 frecuencia corresponde a los diferentes canales que han de ser recibidos por el receptor. Una unidad de conmutación que presenta diferentes condiciones de funcionamiento, controla el dispositivo oscilador en respuesta a los impulsos de reloj obtenidos a partir de un reloj que proporciona im-
10 pulsos de reloj a una frecuencia relativamente elevada y a una frecuencia relativamente baja.

En ausencia de una portadora recibida en uno cualquiera de los canales, el funcionamiento de la unidad de conmutación está sometido al control de los impulsos de alta
15 frecuencia. La recepción de una señal portadora durante un intervalo de muestreo hace que se obtenga una tensión de salida a partir de un detector de señal para que la unidad de conmutación responda a los impulsos de reloj de baja frecuencia.

20 Si un canal en el cual se detecta la señal es el canal prioritario, la unidad de conmutación permanece ajustada sobre este canal hasta el final de las señales transmitidas por él. Sin embargo, si la señal detectada está en un canal no prioritario, la unidad de conmutación es
25 conmutada periódicamente a la frecuencia baja sobre el canal prioritario para muestrear este último con el objeto de determinar la presencia de una señal prioritaria.

Además, el detector incluye unos medios para cambiar el tiempo de respuesta del mismo, en respuesta a
30 la intensidad de la señal recibida y a las condiciones de

funcionamiento del dispositivo de conmutación para que el tiempo de respuesta del dispositivo de conmutación sea corto durante la exploración de los canales y el muestreo de prioridad, y relativamente lento después de que se ha recibido una señal para mantener el receptor sintonizado sobre la señal recibida en el caso de desvanecimiento de la señal u otras interrupciones. Se utiliza igualmente un retardo de activación conjuntamente con el reloj para impedir el funcionamiento del reloj durante un tiempo predeterminado después del final de una señal recibida para asegurar una protección suplementaria contra desvanecimientos de la señal y para que el receptor pueda permanecer sintonizado sobre un canal particular durante las interrupciones momentáneas de la transmisión.

Un generador de ruido que responde al dispositivo detector se utiliza para controlar el funcionamiento del circuito supresor silenciador de ruido del receptor (en los receptores así equipados) en respuesta a la acción del detector, silenciando así el ruido o realizando una operación de supresión de ruido, cuando ninguna señal está presente.

En los dibujos:

La figura 1 es una representación esquemática en bloques del sistema de exploración de canales y de supervisión prioritaria según el invento, utilizado conjuntamente con un receptor de frecuencia modulada;

La figura 2 es un diagrama combinado en bloques y esquemático de un circuito supresor con tiempo de respuesta variable que puede ser utilizado en el sistema de la figura 1; y

La figura 3 es un diagrama esquemático detalla-

do de una porción del sistema de la figura 1 que representa el circuito de control del sistema.

Haciendo ahora referencia a la figura 1, se representa un receptor del tipo superheterodino en el cual
5 las señales recibidas por una antena 10 se aplican a un dispositivo mezclador, en este modo de realización un mezclador 12. El mezclador 12 está controlado por un dispositivo oscilador 20 que incluye, en el presente modo de realización, los osciladores 22, 24, 26 y 28, de los cuales uno solamente
10 es activado en cualquier momento dado. La salida del mezclador 12 se aplica a través de un amplificador de frecuencia intermedia 14 a un dispositivo detector de modulación, en este modo de realización un discriminador 16, que detecta la modulación de la señal recibida. La señal demodulada se
15 aplica a través de un amplificador de baja frecuencia 17 a un altavoz 19 para su reproducción. Además, la señal demodulada se aplica a un conmutador 15 para su conexión selectiva al circuito de exploración o al circuito de supresión de ruidos 18. El circuito supresor 18, conectado al amplificador de baja frecuencia 17, hace que el amplificador de baja frecuencia 17 sea activado al ser recibida una señal por el receptor para facilitar la reproducción de la señal por el altavoz 19. Aunque se utiliza en este modo de realización un receptor con modulación de frecuencia, se observará que las técnicas y los aparatos del invento se aplican igualmente
20 a otros tipos de receptores; en los cuales se incluyen los receptores de modulación de amplitud.

El dispositivo oscilador 20 está controlado por un dispositivo de conmutación 30 que está conectado al dispositivo oscilador 20 a través de un conmutador selector de
30

prioridad 45 y a través de conmutadores selectores no prioritarios 46, 47, 48 y 49. El dispositivo de conmutación 30 incluye en este modo de realización un excitador de oscilador 35 accionado por un multivibrador monoestable 36, los flip-flops interconectados 37 y 38 que accionan las puertas AND 31, 32, 33 y 34, y las puertas NAND 41, 42, 43 y 44.

El dispositivo de conmutación 30 está controlado por un dispositivo de reloj 50 que incluye en este modo de realización un reloj de exploración 52 conectado al multivibrador monoestable 36 y al flip-flop 37, y un reloj de muestreo 54 conectado al monoestable 36.

El funcionamiento de los relojes 52 y 54 está controlado por un circuito supresor 62 conectado al receptor a través del conmutador 15 y a los relojes 52 y 54, haciéndose la conexión al reloj 52 a través de un circuito de retardo de activación 68. Un circuito de retardo variable de supresor 64 está conectado al circuito supresor 62 para controlar el tiempo de respuesta del circuito supresor. El retardo variable del supresor 64 está controlado por un control de retardo de supresor 66 conectado al dispositivo de conmutación 30.

Una puerta de detección de prioridad 72 que tiene sus entradas conectadas al circuito supresor de ruido 62 y al excitador 35 del oscilador tiene una salida conectada al dispositivo de excitación 35 del oscilador para impedir la exploración y el muestreo cuando se recibe el canal de prioridad.

Un oscilador silenciador 74 está conectado al circuito supresor de ruido 62 y al circuito supresor de ruido 18 y hace que el circuito supresor de ruido 18 funcione en

respuesta a la señal procedente del circuito supresor 62.

Durante el funcionamiento, cuando no se recibe ninguna señal por el receptor, la señal de salida procedente del circuito supresor de ruido 62 es elevada, haciendo así
5 que el reloj de exploración 52 sea activado y que el reloj de muestreo 54 permanezca desactivado. La salida del reloj de exploración 52 es, en este modo de realización, una señal de onda cuadrada que tiene un ciclo de trabajo del 50% y un periodo de 12-14 milisegundos aproximadamente. Dos salidas
10 complementarias, o invertidas, se obtienen en los puntos de salida Q y \bar{Q} del reloj de exploración 52.

La salida \bar{Q} está conectada al flip-flop 37 el cual está conectado además al flip-flop 38 para formar un contador binario. En este modo de realización, el flip-flop
15 37 es disparado por las transiciones negativas de la onda cuadrada procedente del reloj de exploración 52 y cambia de estado cada 12-14 milisegundos. Las puertas AND, 31, 32, 33 y 34 son puertas AND standard que tienen estados de salida HI y LO (entrada alta y salida baja), como es bien conocido en la
20 técnica, y que presentan la característica de que proporcionan una tensión de salida HI solamente si ambas entradas están en HI. Las puertas 31 a 34 están conectadas a los flip-flops 37 y 38 y la una con la otra de modo que solamente una puerta pueda presentar una salida HI en cualquier momento da-
25 do, y de modo que la salida HI sea transferida secuencialmente de una puerta a la siguiente cada vez que se activa al flip-flop 37.

Cuatro puertas normalizadas NAND 41 a 44 están conectadas a las puertas AND 31 a 34, respectivamente, y al
30 excitador de oscilador 35. Las puertas NAND 41 a 44 propor-

cionan una salida LO cuando ambas entradas son HI. Las puer-
tas 41 a 44 están conectadas a los osciladores 22, 24, 26 y
28 por medio de los conmutadores 46 a 49 respectivamente y
hacen que el oscilador asociado con la puerta que tiene la
5 salida LO oscile. Las lámparas indicadoras 81 a 84, que es-
tán conectadas entre la fuente de suministro de energía A+ y
los conmutadores 46 a 49, indican qué oscilador ha sido elegi-
do. Se observará que las puertás sirven para accionar cua-
tro osciladores pero que pueden utilizarse cualquier número
10 de ellas sin salirse del invento.

La salida Q del reloj de exploración 52 está co-
nectada al monoestable 36. El monoestable 36 es disparado
por las transiciones negativas de la señal que aparece en la
salida Q del reloj de exploración 52, coincidiendo las tran-
siciones negativas que aparecen en Q con las transiciones po-
sitivas de la señal que aparece en \bar{Q} . El multivibrador mono-
estable 36 proporciona impulsos de salida que tienen duracio-
nes aproximadamente iguales a la mitad de un ciclo de la señal
procedente del reloj de exploración 52, es decir en este modo
20 de realización aproximadamente 6-7 milisegundos. Los impul-
sos de salida accionan el excitador de oscilador 35 que pro-
porciona una salida LO cuando recibe un impulso. El excita-
dor 35 del oscilador está conectado a las puertas 41 a 44 y a
los osciladores 22 a 28 a través de un conmutador selector
25 de prioridad 45 que determina el canal al cual se afecta la
prioridad.

En el modo de exploración, se aplica un impulso
al flip-flop 37 a partir del reloj de exploración 52, apro-
ximadamente cada 14 milisegundos. Esto hace que la señal HI
30 aparezca secuencialmente entre las puertas 31 a 34 al ritmo

de 12-14 milisegundos. Si la señal de salida procedente del excitador de oscilador 35 se dejara permanecer en el estado HI, la señal secuencial HI procedente de las puertas 31 a 34, haría que se produjera una secuencia de señales LO entre las
5 puertas 41 a 44 al ritmo de 14 milisegundos para energizar secuencialmente los osciladores 22 a 28 al ritmo de 12-14 milisegundos. Sin embargo, debido a la excitación procedente del monoestable 36, la salida del excitador 35 del oscilador pasa al estado LO durante la última parte de cada intervalo de 12-14 milisegundos. Cuando la salida del excitador
10 35 del oscilador pasa al estado LO, la salida de cada una de las puertas 41 a 44 pasa al estado HI, desenergizando así los osciladores 22 a 28 durante la última mitad de cada intervalo de 12-14 milisegundos. Simultáneamente, la señal LO procedente del excitador 35 del oscilador es aplicada a través
15 del conmutador selector de prioridad 45 a uno de los osciladores 22, 24, 26 o 28 seleccionado para energizar el oscilador elegido. El canal elegido por el oscilador energizado se llamará a continuación canal prioritario. Por tanto, el canal prioritario se muestrea cada 12-14 milisegundos durante
20 6-7 milisegundos entre la exploración secuencial de las muestras de canales no prioritarios.

Si se recibe una señal en uno cualquiera de estos canales, se obtiene una reducción de ruido a la salida del discriminador 16, la cual hace que la señal de salida procedente del circuito supresor 62 disminuya. La reducción de señal a la salida del circuito supresor 62 hace que el reloj de exploración 52 se desactive y hace que el reloj de muestreo 54 se active. Cuando el reloj de exploración 52 está desconectado, el flip-flop 37 deja de ser disparado y la explora-
30

ción secuencial de las puertas 41 a 44 es suspendida, conservando la puerta que tiene la salida L0 en el momento en que se ha detectado una señal, su salida L0. El reloj de muestreo 54 proporciona impulsos al multivibrador monoestable 36 a un ritmo mucho más lento que el ritmo de los impulsos del reloj de exploración 52. En este modo de realización, el reloj de muestreo 54 proporciona un impulso al multivibrador monoestable 36 cada 250 milisegundos. Al recibir un impulso procedente de un reloj de muestreo 54, el multivibrador monoestable 36 proporciona un impulso de una duración de aproximadamente 6-7 milisegundos al excitador 35 del oscilador. Al ser recibido el impulso procedente del multivibrador monoestable 36, la salida del excitador de oscilador 35 toma el estado L0 y energiza el oscilador de canal prioritario desactivando el oscilador no prioritario por medio de la señal L0 aplicada a las puertas 41 a 44. El canal prioritario es supervisado mientras dura el impulso de 6-7 milisegundos procedente del multivibrador monoestable 36. Si no se recibe ninguna señal en el canal prioritario durante este tiempo, el canal no prioritario será de nuevo vigilado durante el resto del periodo de 250 milisegundos entre los impulsos de reloj de muestreo.

La salida del multivibrador monoestable 36 está conectada también al amplificador de baja frecuencia 17 para silenciar el amplificador de baja frecuencia 17 mientras se hace el muestreo del canal prioritario. Esto elimina las ráfagas o disparos de ruidos que podrían estar presentes mientras se hace el muestreo de un canal prioritario que no contiene ninguna señal.

Si una señal está presente en el canal priori-

tario, la salida del circuito silenciador 62 permanece baja mientras se hace el muestreo del canal prioritario. La salida del circuito supresor de ruido 62 está conectada a una puerta de sincronización de prioridad 72 que tiene una segunda entrada conectada a la salida del excitador de oscilador 35. La salida de la puerta 72 está conectada al excitador de oscilador 35 para mantener el excitador de oscilador 35 sintonizado sobre el canal de prioridad cuando la entrada a la puerta 72 procedente del circuito supresor 62 es baja y la entrada procedente del excitador de oscilador 35 es también baja, lo que indica que el canal prioritario está en curso de muestreo y que se ha recibido una señal de prioridad.

El canal prioritario es por tanto vigilado continuamente mientras la señal de prioridad está presente. Cuando se termina la señal de prioridad, el canal no prioritario que estaba vigilado inmediatamente antes de la adquisición de la señal de prioridad será de nuevo muestreado. Esto permite completar cualquier conversación que pudiera haber sido iniciada en el canal no prioritario antes de recibir la señal prioritaria. Si ninguna señal está presente en el canal no prioritario últimamente muestreado, se reanuda la exploración.

Con el objeto de asegurar un rendimiento óptimo de un sistema de exploración de canales y de prioridad, el circuito supresor de ruidos 62 debe tener un tiempo de respuesta variable. En el modo de exploración y particularmente en el modo de exploración prioritario, el tiempo de respuesta del supresor debe ser bastante rápido para permitir un muestreo rápido de los varios canales y evitar recortar segmentos demasiado amplos en la salida de baja frecuencia del

canal no prioritario mientras se hace el muestreo del canal prioritario. Sin embargo, cuando se ha adquirido un canal, es conveniente que el tiempo de respuesta del circuito supresor 62 sea alargado para impedir la reanudación de la exploración en el caso de una reducción momentánea del nivel de la señal vigilada.

Las funciones de respuesta variable son realizadas por el circuito supresor 62, el retardo variable de supresor 64, el control de retardo de supresor 66 y el retardo de activación 68. El retardo variable del supresor 64 está conectado a, o puede ser incorporado en, el circuito supresor 62. El retardo variable del supresor 64 determina el tiempo de respuesta del circuito supresor 62. La longitud del tiempo de respuesta obtenida por el retardo variable del supresor 64 viene determinada por la intensidad de la señal que es recibida por el receptor y por la acción del control de retardo de supresor 66 que está conectado al retardo de supresor 64 y al multivibrador monoestable 36. El tiempo de retardo es inversamente proporcional a la fuerza de la señal recibida por el receptor porque las pérdidas de señal debidas al desvanecimiento de la señal no representan un problema en situaciones de señal fuerte, y la protección contra desvanecimientos proporcionada por un tiempo de respuesta lento no es necesaria cuando se reciben señales fuertes. Sin embargo, durante el muestreo, es necesaria una respuesta del supresor rápida cualquiera que sea la fuerza de una señal (en su caso), que se está recibiendo. Una respuesta rápida del supresor se obtiene aplicando los impulsos de muestreo de prioridad procedentes del monoestable 36 al control de retardo de supresor 66 para hacer que el control de retardo de supresor 66 reduzca

el tiempo de respuesta del circuito supresor 62 durante el muestreo de prioridad y durante un tiempo predeterminado a continuación de éste para reducir al mínimo las interrupciones en la señal no prioritaria producidas por el muestreo de la señal prioritaria.

Suponiendo que una señal ha sido recibida en uno de los canales, y que esta señal es una señal no prioritaria, el tiempo de respuesta del circuito supresor 62 será determinado, salvo durante las muestras de prioridad, por la intensidad de la señal no prioritaria recibida. Si la señal es débil, la respuesta del circuito supresor 62 será lenta, impidiendo así que se interpreten los desvanecimientos de la señal como un final de transmisión por el circuito supresor 62. Si la señal es relativamente potente, tal como por ejemplo una señal que proporciona una supresión de sonido de 20 db o más, el tiempo de respuesta del supresor será rápido para asegurar un silenciado rápido del paso de baja frecuencia al terminarse la transmisión. Sin embargo, el retardo de activación 68 está interpuesto entre el circuito supresor 62 y el reloj de exploración 52 para impedir que la exploración sea reanudada por el reloj 52 durante un tiempo predeterminado que sigue al final de una señal transmitida. El retardo de activación proporcionado por el circuito de retardo de activación 68 cumple tres funciones. En primer lugar, proporciona una protección contra desvanecimientos además de la protección proporcionada por el circuito supresor 62 durante señales débiles, y proporciona una protección contra desvanecimientos en el caso de desvanecimientos inhabitualmente acusados que se producen a veces incluso en señales potentes. Se obtiene así una mayor probabilidad de que el receptor perma-

nezca sintonizado en un canal que transmite una señal, después de que esta señal ha sido recibida. En segundo lugar, ya que un gran número de conversaciones por radio en los dos sentidos incluyen una serie de transmisiones relativamente cortas, es conveniente que el receptor permanezca sintonizado en el canal entre las transmisiones para recibir rápidamente las sucesivas transmisiones cortas por este canal y para impedir una interrupción indebida de la conversación que podría resultar de la recepción de otra señal no prioritaria en el caso de que se reanude la exploración entre las transmisiones. En tercer lugar, cuando una transmisión no prioritaria es interrumpida por una transmisión prioritaria, es conveniente volver al canal no prioritario después de que la señal prioritaria ha terminado. El retardo de la activación del reloj de exploración 52 después del final de una señal mantiene el dispositivo de conmutación bloqueado y asegura que el canal no prioritario que estaba sometido a supervisión antes del mensaje prioritario sea muestreado antes de reiniciar la exploración. Esto permite terminar la conversación no prioritaria anterior inmediatamente después de terminarse el mensaje prioritario en el caso de que la conversación esté todavía en curso.

Además de proporcionar un circuito supresor con tiempo de respuesta variable para la función de exploración, es igualmente conveniente proporcionar un dispositivo supresor con tiempo de respuesta variable para silenciar la etapa de baja frecuencia. Los motivos de la utilización de un tiempo de respuesta variable en el supresor silenciador de la etapa de baja frecuencia son similares a los motivos que conducen a utilizar un tiempo de respuesta variable para el supresor

de exploración. En el caso de señales relativamente débiles en las que se producen desvanecimientos, un tiempo de respuesta rápido no es conveniente porque este tiempo de respuesta rápida puede dar lugar a la activación y a la desactivación perturbadora del dispositivo silenciador del receptor durante los desvanecimientos de la señal. Tratándose de señales intensas en las cuales no existe problema de desvanecimiento, es conveniente disponer de una respuesta rápida para evitar las indeseables ráfagas de ruido o "squelch tail" después de la transmisión. Para los receptores equipados con un silenciador de etapa de baja frecuencia, tal como el circuito supresor 18, esta característica de respuesta variable puede ser obtenida haciendo que el circuito supresor 18 funcione en respuesta al circuito supresor 62.

Si el circuito supresor 18 es un supresor de tipo discriminador de detección de ruido, el control del circuito supresor 18 puede hacerse fácilmente mediante la utilización de un oscilador silenciador generador de ruido 74 que se activa en respuesta al circuito supresor 62, según se representa en la figura 1. Los supresores de detección de ruido, tales como el circuito supresor 18, detectan la presencia de ruido a la salida del discriminador 16. Cuando un ruido está presente, indicando la ausencia de una señal, el circuito supresor 18 aplica una señal al amplificador de baja frecuencia 17 para silenciar el amplificador de baja frecuencia 17. En ausencia de ruido a la salida del discriminador, el circuito silenciador 18 activa el amplificador de baja frecuencia de modo que pueda amplificar las señales de baja frecuencia procedentes del discriminador 16. El oscilador silenciador 74, que está conectado al circuito supresor 18, es un oscila-

dor que proporciona señales al circuito supresor 18 para el control del mismo. Las señales procedentes del oscilador 74 pueden ser señales de ruido similares a las señales presentes a la salida del discriminador 16 en ausencia de señales recibidas, o pueden ser tonalidades de frecuencia relativamente elevada (15 KHz) que son detectadas por el supresor 18 lo mismo que señales de ruido. Cuando una señal ha sido detectada por el circuito supresor 62, la salida de este circuito desenergiza el oscilador silenciador 74, haciendo que el circuito supresor 18 active el amplificador de baja frecuencia 17. De la misma manera, en ausencia de una señal recibida, el circuito supresor 62 hace que el oscilador silenciador 74 proporcione señales al circuito supresor 18 para accionar éste con el objeto de silenciar el amplificador de baja frecuencia 17. Por consiguiente, el tiempo de respuesta del circuito silenciador es aproximadamente el mismo que el tiempo de respuesta del circuito supresor 62.

El conmutador 15 conecta el discriminador 16 bien con el circuito supresor 18 o bien con el circuito supresor 62, y se utiliza para anular el modo de exploración. Cuando el conmutador 15 tiene su armadura acoplada con el contacto de "exploración" para conectar el discriminador 16 con el circuito supresor 62, el circuito funciona de la manera descrita más arriba. Cuando la armadura se desplaza para acoplarse con el contacto "normal", el circuito supresor 18 es accionado por el ruido procedente del discriminador 16 como si el circuito de exploración de canal no estuviera presente. La ausencia de ruido aplicado al circuito supresor 62 hace que este circuito presente una tensión de salida elevada en todos los canales. Esta es la condición que existe cuando todas

las señales están presentes en todos los canales. Ya que el
circuito de exploración de canales reconoce que una señal exis
te en todos los canales, este circuito se sintonizará sobre
aquel canal que haya sido elegido como canal prioritario por
5 el conmutador de selección 45. Por tanto, en el modo de fun
cionamiento normal, la exploración está anulada y es posible
elegir manualmente cualquier canal por medio del conmutador
selector de prioridad 45.

Para que sea posible entender el funcionamiento
10 del sistema de exploración de canales y de supervisión prio
ritaria según el invento, es preciso entender el funcionamien
to del circuito supresor 62, del dispositivo de retardo varia
ble de supresor 64 y del control de retardo de supresor 66.
Se hará referencia a la Patente de los Estados Unidos número
15 3.628.058 del 14 de Diciembre de 1971 y a la Patente de los
Estados Unidos número 3.660.765 del 2 de Mayo de 1972., ambas
Patentes cedidas a Motorola, Inc.

Haciendo referencia a la figura 2, se ve que re
presenta en combinación un diagrama en bloques y esquemático
20 de un circuito supresor 62, del retardo variable de supresor
64 y del control de retardo de supresor 66. En este modo de
realización, el retardo variable de supresor 64 está incorpo
rado en el circuito supresor 62, y, por tanto, se describirá
conjuntamente con el circuito supresor 62. El circuito supre
25 sor 62 es un supresor discriminador del tipo de ruido que de
tecta la presencia de ruido procedente del discriminador 16
y suministra una tensión de salida indicativa de la ausencia
de una señal cuando el ruido del discriminador está presente.
La tensión de salida del discriminador 16 se aplica a través
30 del conmutador 15 a un punto de entrada 100 del circuito su-

presor 62. La señal procedente del discriminador 16 se aplica a continuación a un amplificador 104 a través de un condensador 102. La señal de salida amplificada procedente del amplificador 104 se aplica además a un segundo amplificador 108 a través de un segundo condensador 106. Los amplificadores 104 y 108 son bien conocidos en la técnica y pueden ser de cualquier tipo dotado de una ganancia suficiente para proporcionar una señal de nivel adecuado al transistor 116. Los condensadores 102 y 106 forman parte de una red pasa-alto que atenúa la porción de baja frecuencia del espectro de ruidos procedente del discriminador 16 para impedir que la modulación de la señal recibida por el receptor sea interpretada como un ruido por el supresor 62. El ruido del amplificador se aplica a una etapa detectora que incluye un diodo 114 y unos transistores 116 y 118 a través de un condensador 110 y de una resistencia 112. Un condensador de filtro 120 filtrará la tensión detectada procedente del transistor 118 y su valor se elige para que el detector tenga un tiempo de respuesta corto, el cual en este modo de realización es inferior a 6-7 milisegundos. La tensión a través del condensador 120 es inversamente proporcional a la cantidad de ruido recibida a partir del discriminador 16, y ya que la amplitud del ruido es inversamente proporcional a la intensidad de la señal recibida, la tensión a través del condensador 120 aumenta cuando la intensidad de la señal recibida aumenta.

La tensión que aparece a través del condensador 120 se aplica a tres amplificadores diferentes que incluyen los transistores 122, 124; 126, 128; y 130, 132, respectivamente. Los transistores 124, 128 y 132 se polarizan a partir de una red divisora de tensión que incluye las resistencias

134, 136, 138 y 140. La base del transistor 124 recibe la ten
sión de polarización más elevada y la base del transistor 132
recibe una sección intermedia mientras que la base del tran-
sistor 128 recibe la tensión más baja. Por tanto, a niveles
5 de señal relativamente débiles que proporcionan una tensión
relativamente baja a través del condensador 120, el transistor
126 pasa a ser conductor, mientras que los transistores 122
y 130 permanecen no conductores. Cuando el transistor 126
pasa a ser conductor, el amplificador diferencial que incluye
10 los transistores 126, 128 se activa, aplicando así las seña-
les relacionadas con la tensión que aparece a través del con-
densador 120 a un condensador 142 a través de los transisto-
res 144 y 146. Las polaridades de los transistores y las in-
terconexiones entre ellos se eligen para hacer que la tensión
15 a través del condensador 142 aumente cuando la tensión a tra-
vés del condensador 120 aumenta. Sin embargo, el grado de
incremento de la tensión a través del condensador 142 será su-
perior al grado de incremento de la tensión que aparece a tra-
vés del condensador 120 en razón de la amplificación provista
20 por los transistores 126, 144 y 146. El valor del condensador
142 se elige para proporcionar un retardo superior al retardo
proporcionado por el condensador 120 con el objeto de alargar
el tiempo de respuesta del supresor. El retardo proporciona-
do por el condensador 142 puede ser del orden de 200-500 mili-
25 segundos o cualquier valor necesario para facilitar una pro-
tección adecuada contra desvanecimientos.

El condensador 142 está conectado a la base de
un transistor 148 que forma una tercera etapa del amplifica-
dor diferencial que incluye los transistores 130 y 132. La
30 tensión que aparece a través del condensador 142 hace que el

transistor 148 pase a ser conductor cuando la tensión a través del condensador 142 rebasa la tensión de polarización aplicada a la base del transistor 132. Cuando el transistor 148 pasa a ser conductor, el transistor 132 se hace no conductor dando lugar así a que el transistor 150 que inicialmente era conductor, pase a ser no conductor, reduciendo de este modo la tensión que aparece en el punto de salida 200 sustancialmente al potencial de masa en presencia de una señal recibida.

Cuando la intensidad de la señal recibida aumenta, la tensión a través del condensador 120 aumenta hasta un nivel superior al de la tensión aplicada a la base del transistor 124. Esta tensión más elevada hace que el transistor 122 pase a ser conductor el cual a su vez hace que los transistores 152 y 154 sean conductores, reduciendo de este modo la tensión aplicada a la base del transistor 146. Cuando la tensión aplicada a la base del transistor 146 disminuye, la tensión que aparece en el emisor del transistor 146 disminuye también lo cual a su vez hace que el transistor 148 pase a ser no conductor cuando la tensión a través del condensador 142 es disminuída por la baja tensión de emisor del transistor 146 hasta un nivel inferior a la magnitud de la tensión aplicada a la base del transistor 132.

Cuando la tensión que aparece a través del condensador 120 ha alcanzado un nivel suficiente para que el transistor 148 pase a ser no conductor, este nivel es también suficiente para que el transistor 130 pase a ser conductor, manteniendo así el transistor 132 no conductor. De este modo, para señales recibidas relativamente fuertes, la conductividad del transistor 132, y por tanto la tensión que apare-

ce en el punto de salida 200 es controlada directamente por la tensión de respuesta relativamente rápida que aparece en el condensador 120. Inversamente, con niveles de señal relativamente débiles, la tensión de salida que aparece en el punto de salida 200 es controlada por la tensión que reacciona lentamente y que aparece en el condensador 142, proporcionando así la protección contra desvanecimientos deseada a los niveles de señal relativamente débiles.

Tal y como se ha descrito arriba, el supresor debe tener un tiempo de respuesta relativamente corto durante el muestreo de un canal. Esta función está asegurada por el control de retardo del supresor 66. En este modo de realización, el control de retardo de supresión 66 incluye un transistor 160 que tiene un colector conectado con la base del transistor 148. La base del transistor 160 está acoplada a la salida del monoestable 36 a través de un diodo 162, un condensador 164 y una resistencia 166. Durante el funcionamiento, los impulsos positivos de los transistores del monoestable 36 se aplican a través del diodo 162, del condensador 164 y de la resistencia 166 a la base del transistor 160, haciendo que el transistor 160 conduzca la corriente y reduciendo la tensión que aparece en la base del transistor 148, para que el transistor 148 pase a ser no conductor y permita que la tensión que aparece en el punto de salida 200 responda a la tensión de respuesta rápida que aparece en el condensador 120 durante el periodo de muestreo. El transistor 148 permanece no conductor durante un tiempo predeterminado después del impulso procedente del monoestable 36. Este tiempo está determinado parcialmente por el valor del condensador 142. Después de que la tensión a través del con-

densador 142 ha alcanzado su valor de estado constante (es decir la tensión determinada por la intensidad de la señal recibida), el funcionamiento del circuito supresor volverá a la normalidad determinándose el tiempo de respuesta por la intensidad de la señal que se recibe.

Haciendo ahora referencia a la figura 3, se representa en ella un diagrama esquemático de una parte del circuito de acuerdo con el invento que incluye los relojes 52 y 54, el excitador de oscilador 35, el monoestable 36, el reloj de activación 68, el oscilador silenciador 74 y la puerta de bloqueo de prioridad 72. El punto de salida 200 del circuito supresor 62 de la figura 2 está conectado a un punto de entrada 201 del circuito de retardo de activación 68 de la figura 3. El circuito de retardo de activación 68 incluye, en este modo de realización, los transistores 202, 204, 208 y 210, conectados en cascada, un condensador 206 y otros componentes pasivos. El retardo está proporcionado por el condensador 206. El funcionamiento del circuito de retardo es el siguiente. Cuando la tensión aplicada al punto de entrada 201 aumenta, indicando la ausencia de una señal en el canal que se está recibiendo, el transistor 202 pasa a ser conductor dando lugar a que el transistor 204 sea no conductor. Cuando el transistor 204 pasa a ser no conductor, el condensador 206 se carga a partir de la fuente de suministro de energía A+ a través de una resistencia 205. El condensador 206 está acoplado al transistor 208 a través de una red divisora de tensión que incluye las resistencias 207 y 209 que aplica una parte de la tensión que aparece a través del condensador 206 a la base del transistor 208. Cuando el condensador 206 se carga, la tensión que aparece en la unión de

las resistencias 207 y 209 polariza en sentido directo los transistores 208 y 210. El tiempo requerido para que el transistor 210 pase a ser conductor depende de los valores del condensador 206 y de las resistencias 205, 207 y 209.

5 El colector del transistor 210 está conectado al emisor de un transistor 212 el cual, conjuntamente con un transistor 214 forma un multivibrador astable 52. El transistor 210 proporciona un retorno a masa para el emisor del transistor 212, haciendo así que el multivibrador 52 funcione para iniciar
10 la exploración cuando el transistor 210 es conductor en ausencia de una señal recibida.

El colector del transistor 202 está también conectado a la base de un transistor 216 que controla el funcionamiento del oscilador silenciador 74, que incluye los
15 transistores 224 y 226, por medio de un transistor 222 conectado al transistor 216 a través de una resistencia 218 y al oscilador 74. Durante el funcionamiento, cuando ninguna señal está presente en el canal recibido o durante la exploración, la tensión aplicada al punto 201 por el circuito silenciador 62 es relativamente elevada, haciendo así que el transistor 202 conduzca la corriente. La tensión más baja aplicada al colector del transistor 202 cuando el transistor 202 es conductor hace que el transistor 216 pase a ser no conductor lo cual a su vez hace que el transistor 222 sea conductor y proporcione un retorno a masa para el oscilador 74,
25 permitiendo la oscilación del oscilador 74. Las señales de salida procedentes del oscilador 74 se aplican a través de un condensador de acoplamiento 228 a un punto de salida 230 que está conectado al circuito supresor 18. El circuito supresor 18 es similar, en este modo de realización, al circuito
30

supresor 62 descrito más arriba y hace que la salida de baja frecuencia del receptor sea silenciada cuando se recibe una señal procedente del oscilador 74.

5 El reloj de muestreo 54 incluye, en este modo de realización, un circuito multivibrador de tipo normal que incluye los transistores 232 y 234. La salida del reloj 54 se aplica a través de una resistencia 233 a un transistor 236 que tiene un colector conectado al monoestable 36 a través de un condensador de acoplamiento 238. Un transistor 262
10 de inhibición de reloj de muestreo está conectado a la salida del reloj 54 y al transistor 204.

En este modo de realización, el multivibrador monoestable 36 incluye las resistencias 240 y 242. La entrada del multivibrador monoestable 36 que aparece en la base
15 del transistor 240 se aplica también al reloj de exploración 52 a través de una resistencia 244, un transistor 246 y un condensador de acoplamiento 248. La salida del monoestable 36 en el colector del transistor 242 se acopla a través de un diodo 250 y de una resistencia 252 a la base de un transistor 254, el cual, conjuntamente con el transistor 256,
20 incluye el excitador de oscilador 35. El colector del transistor 242 se acopla también a los puntos de salida 258 y 260 para activar el control de retardo de supresor 66 y para asegurar el silenciado de la etapa de baja frecuencia durante
25 el muestreo de prioridad respectivamente, y con un transistor de control de puerta 270.

Cuando el sistema está funcionando en su modo de exploración o de muestreo, el multivibrador monoestable 36 recibe los impulsos procedentes ya del reloj de exploración 52 cuando no hay ninguna señal presente, ya del reloj
30

de muestreo 54 cuando una señal no prioritaria está presente. El funcionamiento del circuito supresor 62 y del retardo de activación 68 determina si el monoestable 36 será controlado por el reloj de exploración 52 o por el reloj de muestreo 54.

5 Cuando ninguna señal está presente, los transistores 210 y 262 son hechos conductores por el transistor 204 en respuesta a las señales del circuito supresor 62. Ya que ambos transistores 210 y 262 son conductores, el reloj 52 es activado y los impulsos procedentes del reloj 54 son derivados a

10 masa a través del transistor 262. Inversamente, en presencia de una señal, los transistores 210 y 262 son no conductores, desactivando así el reloj 52 y permitiendo que los impulsos procedentes del reloj 54 atraviesen la resistencia 233, el transistor 236 y el condensador 238 llegando al monoestable 36.

15

El monoestable 36 proporciona un impulso de salida por cada impulso recibido a partir del reloj 52 o del reloj 54. Los impulsos de salida procedentes del monoestable 36 se aplican simultáneamente al excitador de oscilador 35 para que el transistor 256 sea conductor, a los puntos de salida 258 y 260, y al transistor de control de puerta de inhibición no prioritaria 270. Por tanto, cada vez que un impulso es producido por el monoestable 36, el transistor 254 hace que funcione el oscilador que ha sido seleccionado como

20 prioritario, silencie la etapa de baja frecuencia, haga que el circuito silenciador 62 funcione en su modo de respuesta rápida y hace que las puertas 41 a 45 desactiven todos los osciladores no prioritarios.

25

En este modo de realización, la puerta de bloqueo de prioridad 72 incluye un transistor 272 y los compo-

30

nentes pasivos asociados. La base del transistor 272 está conectada al colector del transistor 270 y a través de un diodo 276 y de la resistencia 278 al colector del transistor 216. Cuando una señal está presente, la tensión de salida en el colector del transistor 216 es baja. De manera similar, mientras se hace el muestreo de un canal prioritario, la tensión de colector del transistor 270 es baja. Por tanto, cuando una señal está presente, y cuando se ha elegido el canal prioritario, ambas tensiones aplicadas a la base del transistor 272 son bajas, haciendo que el transistor 272 no sea conductor. El colector del transistor 272 está conectado a través de la resistencia 274 con la base del transistor 262 de inhibición de impulsos de muestreo. Por tanto, cuando el transistor 272 es no conductor, se aplica una tensión a partir de la fuente de suministro de energía A+ a través de la resistencia de colector 273 y de la resistencia de acoplamiento 274 a la base del transistor 262, haciendo así que el transistor 262 sea conductor e impidiendo que los impulsos procedentes del reloj 54 disparen el multivibrador monoestable 36 mientras se hace la supervisión de un canal prioritario. Simultáneamente, cuando el transistor 272 es no conductor, se aplica una tensión a partir de la fuente de suministro de energía A+ a través de la resistencia 273 y 277 a la base del transistor 254, haciendo así que los transistores 254 y 256 conduzcan la corriente y mantengan el receptor bloqueado sobre el canal prioritario hasta que el circuito supresor 62 detecte el final de la señal prioritaria.

Se observará que las puertas, los transistores y los bloques funcionales particulares que se utilizan en la descripción que antecede del invento se han dado a título de

ilustración solamente y que otros bloques funcionales similares dotados de otras características, que incluyen elementos lógicos de polaridad opuesta y tensiones de detección opuestas pueden ser utilizados sin salirse del invento. Además, si el receptor mencionado más arriba ha de ser utilizado conjuntamente con un transmisor, un circuito de anulación de exploración (no representado) puede ser utilizado para inhibir la función de exploración durante e inmediatamente después de la realización de una transmisión por el transmisor en cuestión.

Además, se observará que aunque los sistemas de exploración de canal con supervisión de prioridad fueran conocidos en el pasado, ninguno de estos sistemas utilizan sistemas supresores y de retardo con constante de tiempo variable para obtener una velocidad de exploración y de muestreo elevada sin sacrificar el rendimiento del aparato en presencia de señales débiles. Otra característica del invento que la técnica anterior no proporciona, es la utilización de un oscilador silenciador para controlar un circuito supresor silenciador en respuesta a un circuito supresor de exploración para extender las ventajas de la doble constante de tiempo a la función silenciadora.

En resumen, la Patente de Introducción que se solicita deberá recaer sobre las siguientes

25

REIVINDICACIONES

1.- Sistema de exploración de canales destinado a ser utilizado con un receptor radioeléctrico para recibir señales en un número predeterminado de canales, que incluye en combinación: un dispositivo de conmutación sensible a unos impulsos para seleccionar uno de dichos canales prede-

30

78

terminados, unos medios para conectar dicho dispositivo de conmutación con dicho receptor, un dispositivo generador de impulsos que tiene unos primero y segundo estados de funcionamiento, conectado a dicho dispositivo de conmutación para que dicho dispositivo de conmutación cambie los canales en respuesta a dichos impulsos, un dispositivo detector destinado a ser conectado con dicho receptor para detectar la presencia de una señal en un canal y para cambiar el estado de funcionamiento de dicho dispositivo generador de impulsos al ser recibida una señal por dicho receptor, incluyendo dicho dispositivo detector unos medios para hacer variar el tiempo de respuesta de dicho dispositivo detector en respuesta a la intensidad de la señal recibida por dicho receptor, y un dispositivo de retardo conectado con dicho dispositivo generador de impulsos para mantener el estado cambiado de funcionamiento de dicho dispositivo generador de impulsos durante un tiempo predeterminado después de la terminación de dicha señal.

2.- Sistema según la reivindicación 1, caracterizado porque dicho dispositivo detector incluye unos medios para reducir el tiempo de respuesta de dicho dispositivo detector en respuesta a los impulsos procedentes de dicho dispositivo generador de impulsos.

3.- Sistema según las reivindicaciones 1 o 2 caracterizado porque incluye un dispositivo conectado con dicho dispositivo de comunicación y que responde a un estado predeterminado de funcionamiento de dicho dispositivo de conmutación para mantener dicho dispositivo de conmutación en dicho estado predeterminado de funcionamiento al ser recibida una señal en un canal asociado con dicho estado

de funcionamiento predeterminado.

4.- Sistema, según las reivindicaciones 1, 2 ó 3, caracterizado porque se designa uno de dichos canales como canal prioritario, estando dicho receptor provisto de un dispositivo mezclador que sirve para asegurar la recepción en diferentes canales, y de un dispositivo oscilador conectado con el dispositivo mezclador para proporcionar señales al dispositivo mezclador a diferentes frecuencias que corresponden a diferentes canales.

5.- Sistema, según cualquiera de las reivindicaciones 1 a 4, caracterizado porque dicho dispositivo para acoplar dicho dispositivo de conmutación con dicho dispositivo oscilador, incluye un dispositivo selector para controlar dicho dispositivo oscilador con el fin de proporcionar una señal de salida de una frecuencia capaz de hacer funcionar dicho dispositivo mezclador y proporcionar la recepción por dicho receptor radioeléctrico de las señales de un canal prioritario al ser accionado dicho dispositivo de conmutación en dicho estado predeterminado.

6.- Sistema, según las reivindicaciones 1 a 5 caracterizado porque dicho dispositivo generador de impulsos incluye un primer reloj para proporcionar impulsos a dicha primera frecuencia predeterminada y un segundo reloj para proporcionar impulsos a dicha segunda frecuencia predeterminada.

7.- Sistema según la reivindicación 1, caracterizado porque dicho dispositivo para mantener dicho dispositivo de conmutación en dicho estado de funcionamiento predeterminado incluye un dispositivo de puerta conectado con dicho dispositivo de conmutación para que dicho dis-

positivo de conmutación no responda a los impulsos procedentes del dispositivo de reloj.

5 8.- Sistema según las reivindicaciones 1 a 7 caracterizado porque dicho dispositivo de conmutación incluye un circuito contador que tiene una pluralidad de etapas superiores a dos.

10 9.- Sistema según las reivindicaciones 1 a 8 caracterizado porque dicho receptor de radio incluye un amplificador de baja frecuencia y un dispositivo reproductor de sonido e incluye además unos medios para atenuar las señales aplicadas al amplificador de baja frecuencia, estando dicho dispositivo de atenuación activado en respuesta a los impulsos de salida procedentes de dicho dispositivo de reloj.

15 10.- Sistema según la reivindicación 9, caracterizado porque dicho receptor incluye un dispositivo supresor sensible a una señal de corriente alterna, conectado con dicho amplificador de baja frecuencia para interrumpir las señales aplicadas a dicho amplificador de baja frecuencia en respuesta a dichas señales de corriente alterna.

20 11.- Sistema según la reivindicación 10, caracterizado además porque incluye un dispositivo oscilador de control de supresor conectado con dicho dispositivo detector y que responde a éste para generar señales de corriente alterna en respuesta a las señales de control procedentes de dicho dispositivo detector, estando además dicho dispositivo oscilador de control de supresor conectado con dicho dispositivo supresor para controlar éste en respuesta a dicho dispositivo detector.

30 12.- Sistema según la reivindicación 11, caracterizado porque dicho receptor incluye además un dispo-

7/5

sitivo de detección de modulación y un segundo dispositivo de conmutación para conectar selectivamente dicho dispositivo de detección de modulación con dicho dispositivo supresor o con dicho dispositivo detector.

5

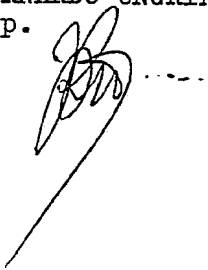
13.- Se reivindica por último como objeto sobre el que ha de recaer la Patente de Introducción que se solicita: SISTEMA DE EXPLORACION DE CANALES.

10

Todo conforme queda descrito y reivindicado en la presente Memoria descriptiva que consta de treinta y dos páginas mecanografiadas y dibujos adjuntos.

Madrid, 14 de Noviembre de 1974
BERNARDO UNGRIA
D.P.

15



20

25

30



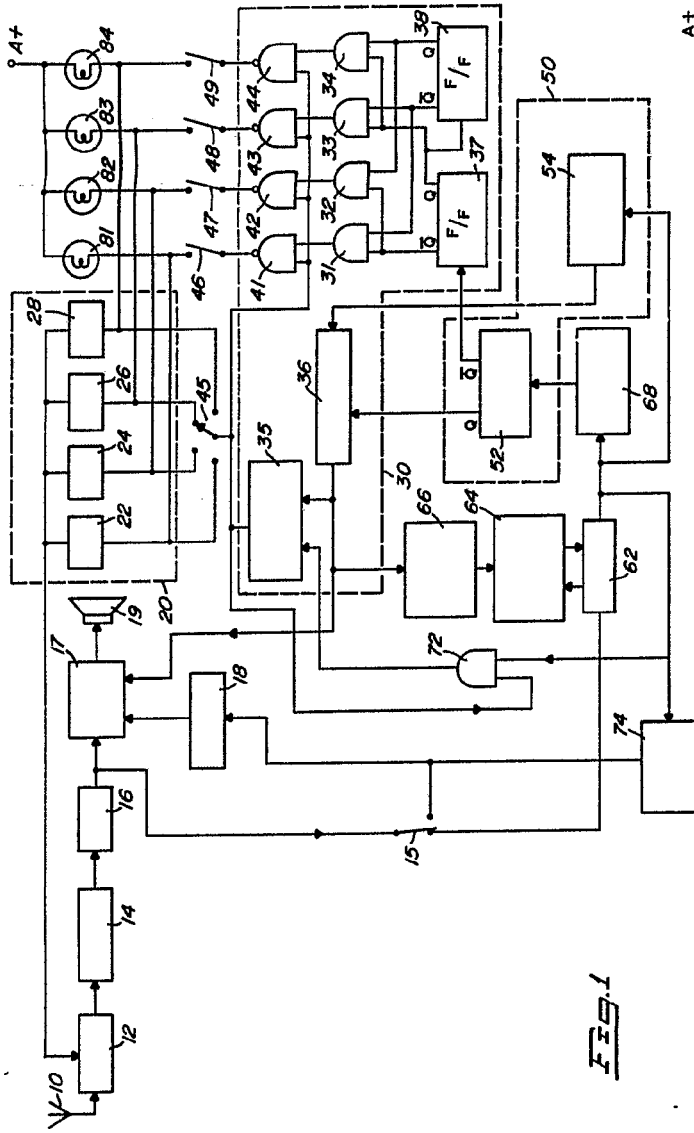


Fig. 1

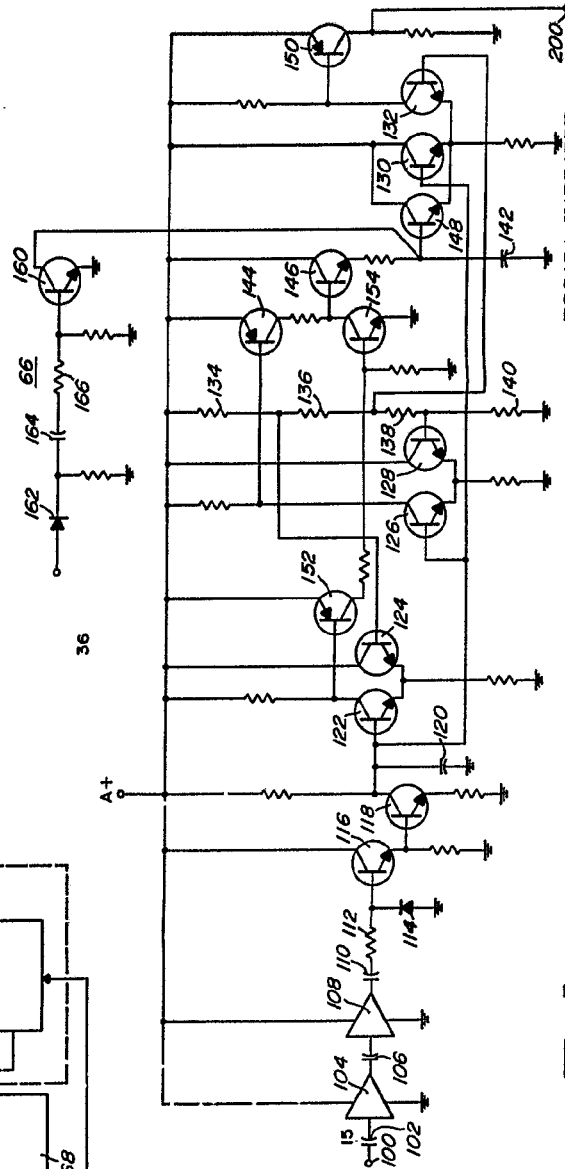


Fig. 2

ESCALA VARIABLE
 Madrid, 14 de Noviembre de 1974.
 BERNARDO UNGRIA
 P.P.

(Handwritten signature)

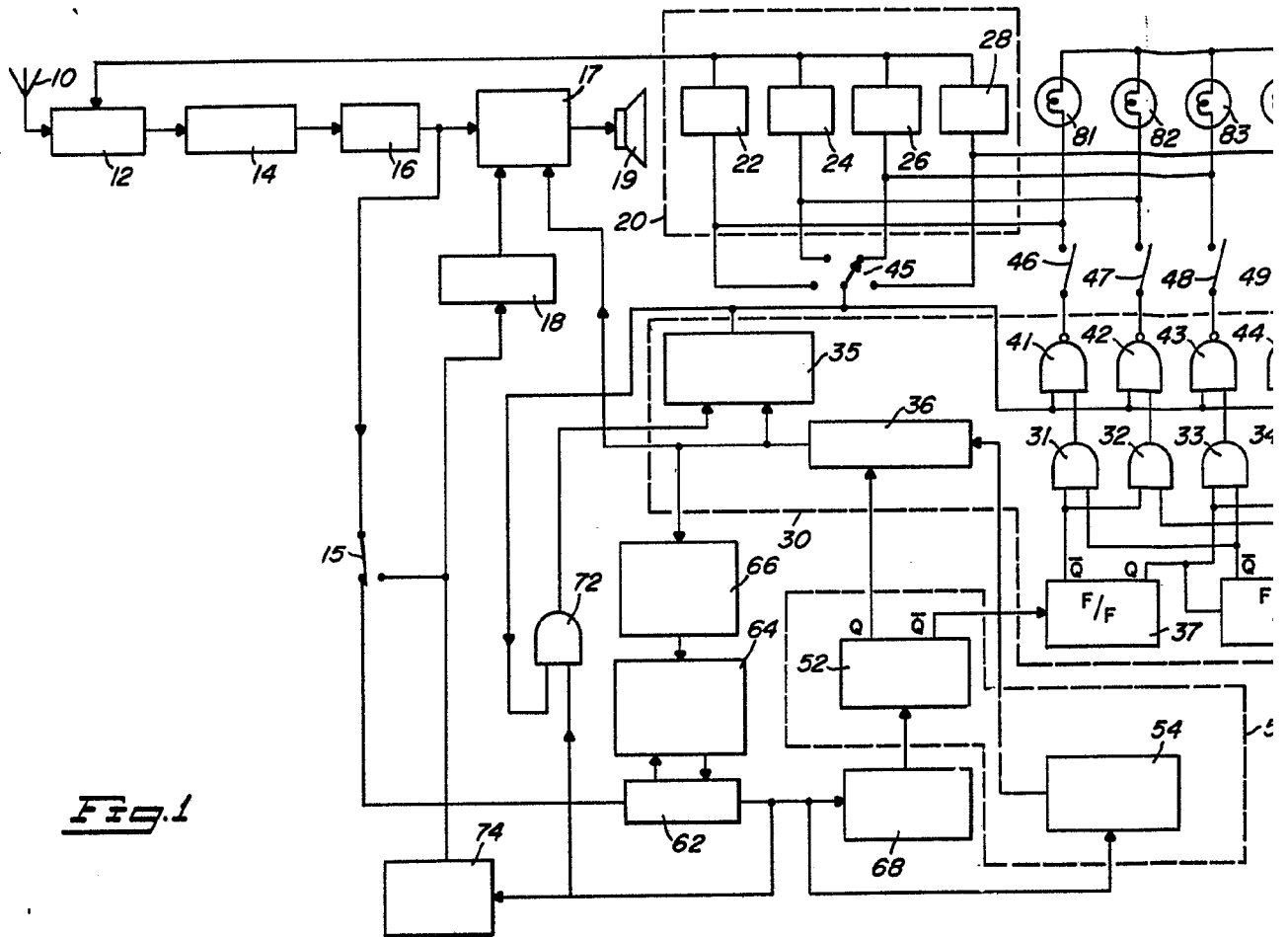


Fig. 1

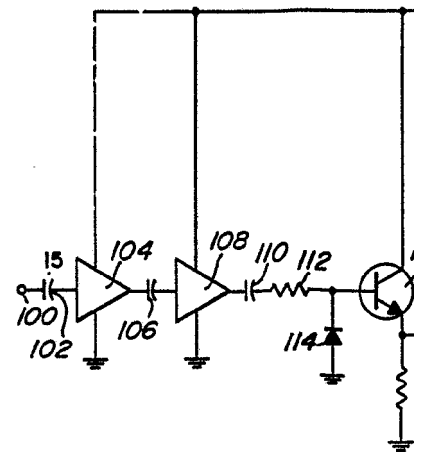


Fig. 2

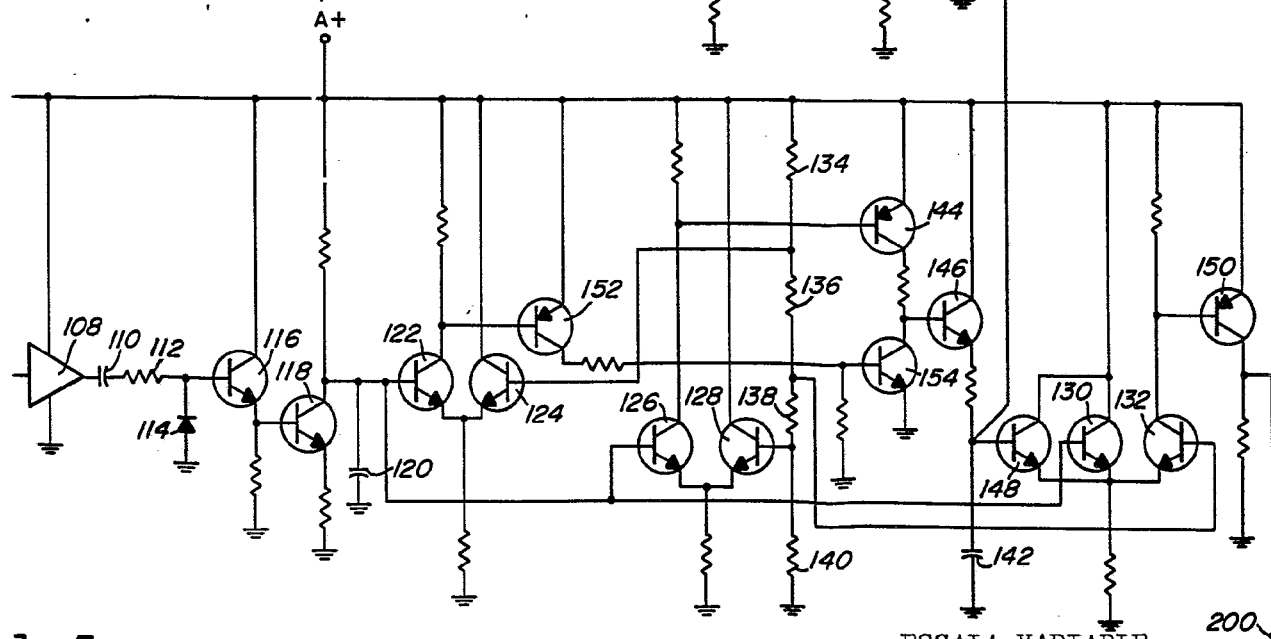
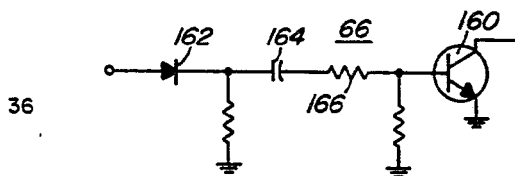
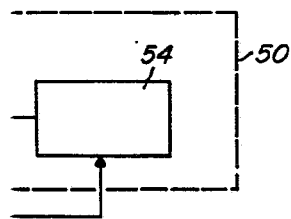
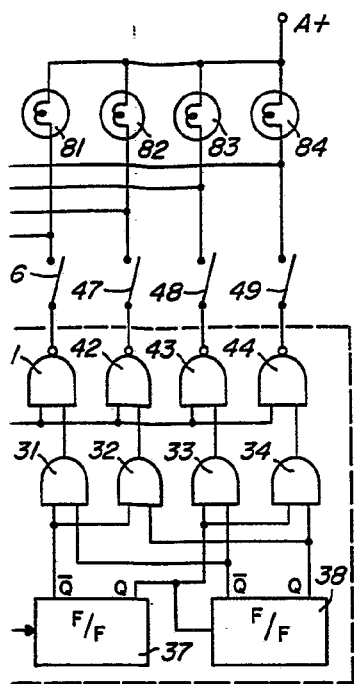
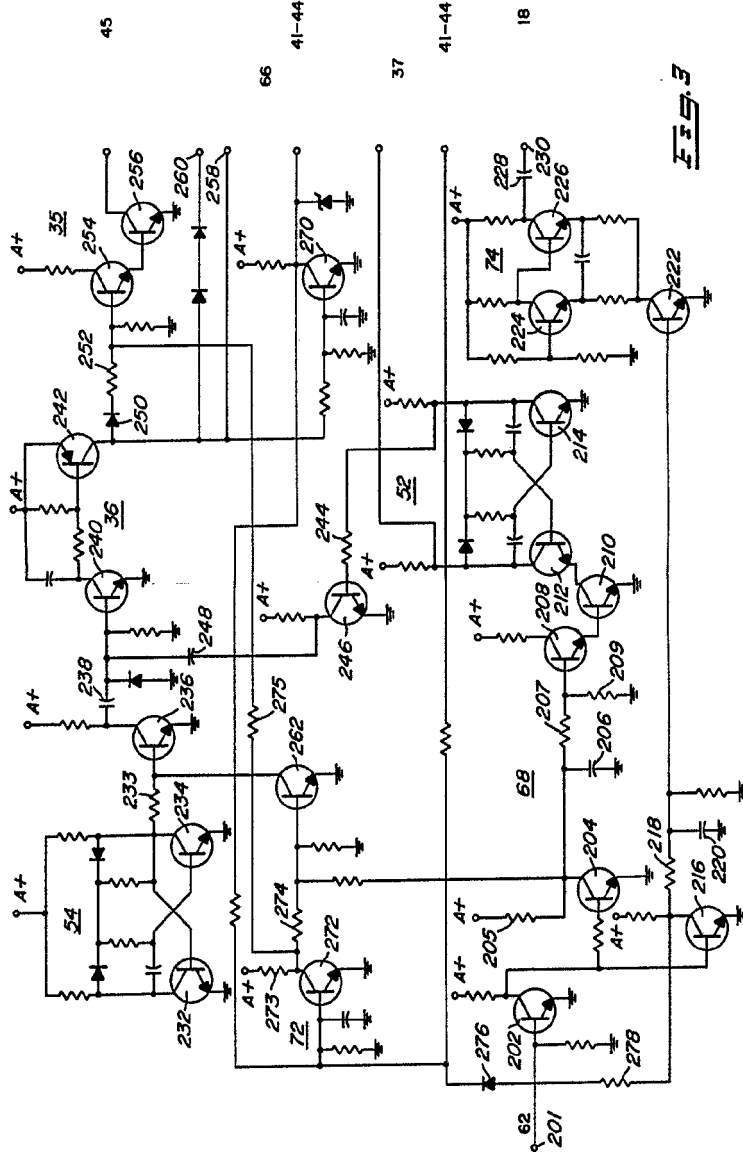


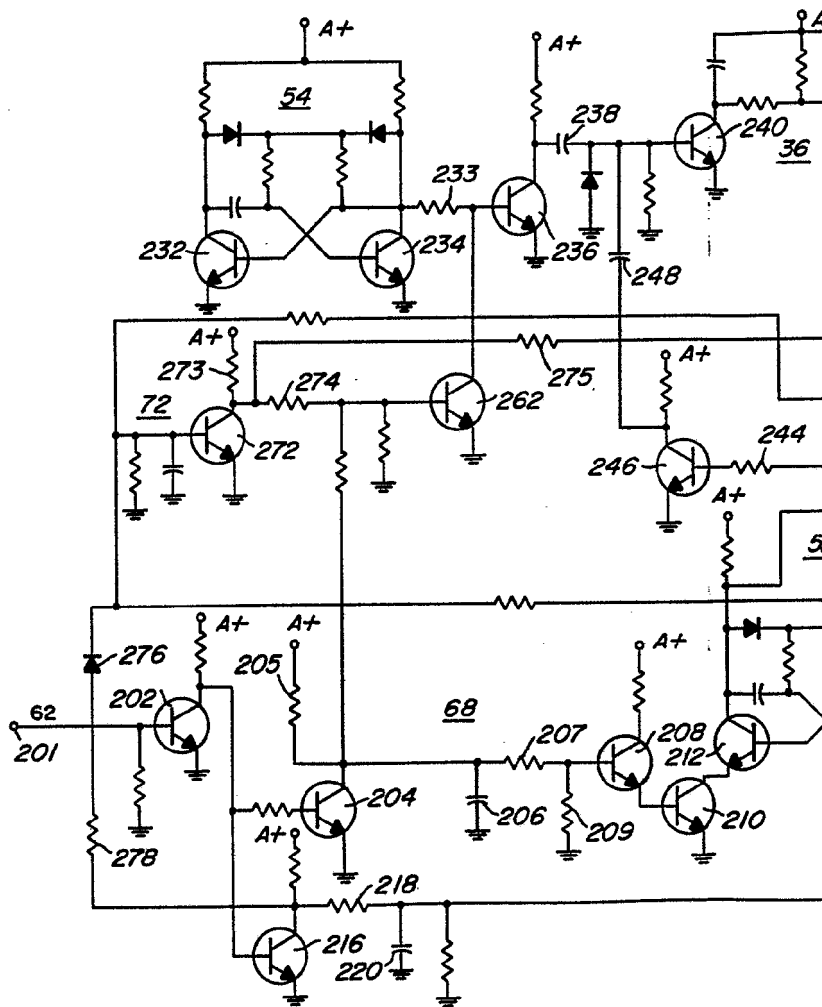
Fig. 2

ESCALA VARIABLE
Madrid, 14 de Noviembre de 1974
BERNARDO UNGRIA
P.P.



ESCALA VARIABLE
Madrid, 14 de Noviembre de 1974
BERNARDO UNGRIA
P.P.

MOTOROLA, INC,



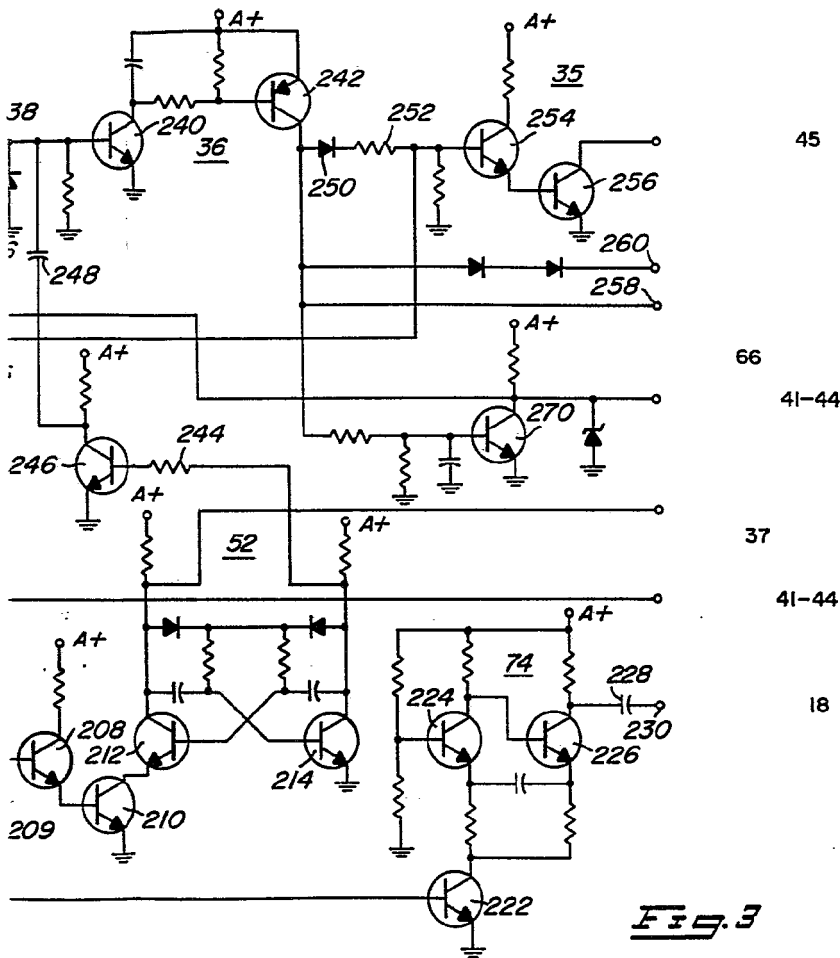


Fig. 3

ESCALA VARIABLE
Madrid, 14 de Noviembre de 1974
BERNARDO UNGRIA
P.P.