

431922

10 FEB. 1975

P.- 58.890

Docket
PO 9-73-025

MEMORIA DESCRIPTIVA

para solicitar

PATENTE DE INVENCION

en ESPAÑA

por VEINTE años

A nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad norteamericana

establecida en Armonk, N.Y. 10504, Estados Unidos de América

por: "UN DISPOSITIVO PROGRAMABLE DE DISTRIBUCION DE SEÑALES"

Int. Cl.:	H03K

(Clase Internacional H03K)

6-2-75

- 1 -

Principios Básicos del invento

5 El invento se refiere a un dispositivo de distribución de señal, y más particularmente, a un dispositivo de distribución de señal controlado por memoria para proporcionar señales temporizadas con precisión de acuerdo con una pauta de datos almacenados predeterminada.

10 En sistemas de tratamiento de información en gran escala, un problema importante es el sincronismo que está usualmente proporcionado por impulsos de sincronismo o de reloj temporizados con precisión. Estos impulsos de sincronismo temporizados con precisión deben ser transmitidos desde la fuente de impulsos de sincronismo hasta los medios de utilización por intermedio de algún tipo de medio de
15 transmisión, tal como por cables. Los cables o unidades lógicas a través de las cuales se transmiten los impulsos de sincronismo introducen diversos retardos. Por ejemplo, una longitud mayor de cable introducirá un retardo más grande que una longitud más corta. Este retardo introducido por el cable o los circuitos lógicos es conocido como "sesgo". Para
20 eliminar el problema del sesgo se ha ajustado anteriormente el cableado en un sistema de tratamiento de información. Es decir, se ha introducido un retardo de algún tipo en las longitudes de cable más cortas para retardar los impulsos de
25 sincronismo hasta que estén en una relación de tiempo preci-

sa con los impulsos que se transmiten por el cable más largo. Esto ha requerido el ajuste de un gran número de cables lo cual es un proceso que requiere tiempo. La introducción de circuitos pasivos de ajuste se ha complicado adicionalmente por las técnicas más recientes en electrónica que hacen posible la integración en gran escala. Los puntos de medida para obtener y medir señales son ahora relativamente inaccesibles de modo que no pueden medirse los diversos retardos ni pueden introducirse fácilmente retardos para compensar el efecto de sesgo.

En conformidad, un objeto del presente invento es crear un dispositivo de distribución de señal de sincronismo que está controlado por una pauta almacenada.

Un objeto adicional del presente invento es crear un dispositivo de distribución de señal de sincronismo controlado por memoria que tiene la capacidad de proporcionar impulsos de sincronismo en instantes predeterminados de acuerdo con un ajuste predeterminado.

Otro objeto del presente invento es crear un dispositivo de distribución de señal de sincronismo controlado por memoria en el cual las entradas de señal pueden combinarse para proporcionar una longitud de impulso predeterminada.

25

Breve Resumen del Invento

Brevemente, el invento comprende un dispositivo de distribución de señal controlado por memoria en el cual una pluralidad de señales de entrada pueden conectarse a una pluralidad de salidas de acuerdo con una pauta de distribución predeterminada. El sistema incluye un conjunto ordenado de conmutadores conectados entre cada una de las entradas y cada una de las salidas en donde una celda de memoria está conectada a cada uno de los conmutadores. Se habilitan medios para escribir una señal en cada una de las celdas de memoria, cuya señal es determinativa del estado del respectivo conmutador y se habilitan medios de lectura para leer la señal de la memoria para abrir o cerrar el conmutador de punto de cruce de acuerdo con la señal almacenada conectando así una cualquiera de las entradas a una cualquiera o más de la pluralidad seleccionada de salidas.

Los precedentes y otros objetos, características y ventajas del invento se pondrán de manifiesto por la siguiente descripción más particular de realizaciones preferidas del invento, como se ilustra en los dibujos que se acompañan.

Breve Descripción de los Dibujos

La figura 1 es un diagrama de bloques que representa las funciones del sistema de distribución de señal de

sincronismo.

La figura 2 es un diagrama de señales en función del tiempo que representa los impulsos de sincronismo necesarios para el funcionamiento del sistema de distribución de señal de sincronismo.

La figura 3 es un diagrama de bloques que representa el conjunto de la figura 1 con más detalle.

La figura 4 es un diagrama esquemático de circuito que representa los circuitos de la celda de memoria y las puertas "Y" con los pasos separadores de impulsos de sincronismo de salida.

La figura 5 es un diagrama de bloques del mecanismo de acceso para el sistema de distribución de señal representado en la figura 1.

La figura 6 es un diagrama de circuito que representa el decodificador de palabra identificado como $WD_0 - WD_{11}$ en la figura 5.

La figura 7 es un diagrama de circuito que representa el decodificador de bitio identificado como los bloques $BD_0 - BD_{13}$ de la figura 5.

Descripción Detallada de las Realizaciones Preferidas

Con referencia a las figuras 1 y 3, puede verse que el "corazón" del sistema es un conjunto 10 de 12×14 con-

mutadores 12 de punto de cruce. Cada conmutador 12 de punto de cruce tiene una celda 14 de memoria asociada con el mismo. La celda 14 de memoria es capaz de controlar el conmutador 12 de punto de cruce de acuerdo con el contenido de las celdas de memoria individuales. La función del conjunto 5 puede verse mejor en la figura 3 en donde el conmutador 12 de punto de cruce está representado funcionalmente como dos puertas "Y" 16 y 18 independientes. Cada una de las puertas "Y" 16 y 18 están controladas por la celda 14 de memoria. Las entradas Xa y Xa' de sincronismo están aplicadas a las puertas "Y" 16 y 18 individuales (figura 3) y pasan a través de ellas dependiendo del contenido de la celda 14 de memoria. Si la celda de memoria contiene un "1", la puerta "Y" 16 superior, en este caso, producirá una salida "1" puesto que ambas entradas a la puerta "Y" 16 son idénticas. Es decir, Xa = "1" y el "1" almacenado en la celda 14 de memoria están aplicados ambos a la puerta "Y" 16 superior. La salida 20 positiva o de nivel alto procedente del conmutador de punto de cruce está aplicada a la línea 22 de columna Ya. Al mismo tiempo. La señal "1" contenida en la celda 14 de memoria y una entrada "0" presente sobre la línea Xa' están aplicadas al otro circuito "Y" 18 produciendo la señal "0" o salida complementaria sobre la línea 24. Las otras entradas Xa y Xa' de impulso de sincronismo procedentes de los otros circuitos "Y" de conmutador de punto de cruce sobre la 10 15 20 25

misma columna están conectadas puntualmente en configuración "0" sobre la línea 22 de columna Ya y sobre la línea 26 de columna Ya', respectivamente. Las salidas a y a' de sincronismo están tomadas de las respectivas líneas 22 y 26 de columna Ya y Ya'. Puesto que el conjunto 10 es un conjunto de 12x14, se requiere que estén conectadas puntualmente en configuración "0" doce salidas 20 y 24 de conmutador de punto de cruce a cada una de las líneas 22 y 26 de columna Ya y Ya', respectivamente. El conjunto 10 tiene catorce columnas 22, 26 cada una de las cuales tiene doce entradas de sincronismo emparejadas aplicadas a ellas. Puede escribirse en las celdas 14 de memoria contenidas en el conjunto 10 mediante la combinación del excitador 28 descodificador de palabra, el excitador 30 descodificador de bitio y el registro 32 de desplazamiento. Los datos de dirección son desplazados en el registro 32 de desplazamiento por los impulsos 1 y 2 de desplazamiento. La dirección es leída en paralelo del registro 32 de desplazamiento; siendo introducidas las cuatro últimas posiciones en el excitador 30 descodificador de bitio y siendo introducidas las cuatro primeras posiciones en el excitador 28 descodificador de palabra. La salida del excitador 28 descodificador de palabra consiste en doce pares de señales XA y \overline{XA} . Estos pares de señales de entrada aplicadas al conjunto 10 determinan la fila en el conjunto en la cual está situada la celda 14 de memoria seleccionada.

Similarmente, el excitador 30 descodificador de bitio proporciona las salidas YA de bitio que esencialmente seleccionan la columna en el conjunto 10 que corresponde a la dirección. Por supuesto, la celda 14 de memoria y el conmutador 12 de punto de cruce situado en la intersección de la
5 fila y columna seleccionadas corresponden a la dirección de memoria. Los pares a y a' de señales de sincronismo de entrada están aplicados al excitador 34 de señal de sincronismo cuya salida aplica los impulsos de sincronismo en pares
10 Xa, Xa' a los conmutadores de punto de cruce. El conmutador de punto de cruce que tiene una celda 14 de memoria asociada con él, que contiene un "1", estará en el estado cerrado de modo que el impulso de sincronismo positivo pasará a través del mismo y aparecerá en la salida como una señal g de
15 sincronismo positiva y la señal a' de sincronismo complementaria. Puede verse, por lo anterior, que la operación consiste en tener acceso a y escribir un bitio a la vez. Por consiguiente, se requieren 168 operaciones de escritura para completar la pauta de distribución total. Una vez que han
20 sido desplazados los datos de dirección al registro 32 de desplazamiento, la línea de habilitación de escritura toma nivel alto y son escritos los datos de escritura a través de los descodificadores 28 y 30 de palabra y de bitio. Los datos de dirección tienen una longitud de ocho bitios y en el
25 intervalo de ocho bitios el registro 32 de desplazamiento es-

tá dando nivel alto total a la línea de habilitación de escritura. En este intervalo, se tiene acceso al conjunto y está dispuesto para almacenar un "1" lógico o un "0" lógico dependiendo de si está aplicado un "1" lógico o un "0" lógico a la línea de datos de escritura. El intervalo para escribir un bitio en el conjunto es igual a $9T$ donde T es el período de sincronismo de desplazamiento (véase la figura 2). Es necesario un intervalo de $1512T$ para completar la escritura de los 168 bitios en el conjunto 10. Por supuesto, un "1" lógico almacenado en la celda 14 de memoria significa que el conmutador 12 de punto de cruce asociado está cerrado, lo cual proporciona un camino entre una entrada de sincronismo y una salida de sincronismo. Por el contrario, un "0" lógico significa que el conmutador de punto de cruce está abierto y el camino está desconectado. Después que se ha escrito la pauta de distribución, son distribuidas las señales a , a' de sincronismo a través de los conmutadores 12 de punto de cruce simplemente dando nivel alto a la línea de habilitación de sincronismo mientras se mantienen a nivel bajo todas las demás líneas de control. Durante el período de escritura (señal de habilitación de sincronismo a nivel bajo), todas las salidas de sincronismo permanecen en estado lógico "0" independientemente de si las señales de sincronismo están aplicadas o no a la entrada de sincronismo. En otras palabras, las salidas no son afectadas por la

operación de escritura. Durante el período de lectura con nivel alto en la señal de habilitación de sincronismo y nivel bajo en la línea de habilitación de escritura, los estados lógicos de la salida de sincronismo siguen a los de la entrada de sincronismo. Los datos de dirección en el registro 32 de desplazamiento no tienen efecto sobre la pauta de distribución del conjunto y de este modo no tienen efecto sobre las salidas de sincronismo. Cuando el sistema se utiliza estrictamente para distribución, solamente está almacenado como "1" lógico un bitio por columna. Los otros bitios son todos "ceros" lógicos. Cuando se desea proporcionar diversos anchos de impulso, el conjunto puede almacenar más de un bitio de estado lógico "1" en una columna. Puesto que cada entrada está conectada a una columna por la función "0", pueden producirse diversos anchos de impulso alimentando diversos impulsos de sincronismo en las entradas de sincronismo para la misma columna. El ancho del impulso de salida dependerá de los anchos y separación de los impulsos de sincronismo de entrada.

El circuito del conjunto está representado esquemáticamente en la figura 4. Los transistores T1, T2, T3 y T4 con las resistencias R1 y R2 de colector forman una celda 14 de memoria. La salida de la celda 14 está conectada a un par de conmutadores 16, 18 de punto de cruce que actúan como dos puertas "Y" de entrada de lógica positiva como se representa

en la figura 3. El conmutador de punto de cruce está dividido en dos partes, las puertas 16 y 18 de entrada y los pasos 40 y 41 separadores de salida. Cada una de las puertas de entrada consiste en los transistores T5 y T6 y las resistencias R3 y R4. Cada uno de los pasos separadores de salida se compone de los transistores T7, T8 y T9 y las resistencias R5, R6, R7 y R8. La combinación de la celda 14 de memoria y el par de puertas 16 y 18 de entrada se conoce como celda de conjunto. Los estados lógicos de la celda 14 de memoria están definidos como T2 en conducción (T1 en estado de corte) = estado lógico "1" y T2 en estado de corte (T1 en conducción) = estado lógico "0". Con el fin de escribir los datos en la celda de memoria, se eleva el nivel de la línea YA y se aplican entradas complementarias a las líneas XA y \overline{XA} . Se almacena un "1" lógico cuando XA tiene nivel alto y \overline{XA} tiene nivel bajo. Cuando XA tiene nivel bajo y \overline{XA} tiene nivel alto, se almacena un "0" lógico.

Cuando la celda de memoria almacena el estado "0", el par de salidas de sincronismo (a y a') permanecen siempre con nivel bajo y no son afectadas por las entradas Xa y Xa'. Las salidas de sincronismo seguirán a las entradas cuando la celda de memoria almacena el estado lógico "1". En la figura 4 puede verse el circuito específico de celda de memoria. Cuando la celda de memoria almacena el estado lógico "0", T2 está en estado de corte (T1 está en conducción)

y su colector tiene tensión alta. Esto hace que T5 esté en estado de corte independientemente de si T6 está en conducción o en estado de corte. Puesto que T5 está en estado de corte, la base de T8 tiene tensión alta y el mismo transistor T8 está en conducción, lo cual hace en consecuencia que tenga nivel de tensión bajo la salida del seguidor T9 de emisor, es decir, la salida a de sincronismo. Ocurre lo mismo para producir la otra salida a' de sincronismo.

10 Cuando T2 está en conducción y T1 está en estado de corte (condición para un almacenamiento "1" en el circuito) el colector de T2 tiene tensión baja y en consecuencia T5 está en estado de conducción o en estado de corte dependiendo del estado de T6. Cuando Xa tiene nivel alto, indicando una entrada "1", T6 está en estado de corte. Por
15 consiguiente, la entrada de base a T5 tiene nivel alto y T5 está, en consecuencia, en estado de conducción. El colector de T5 en el estado de conducción tiene tensión baja y en consecuencia tiene tensión baja la entrada aplicada a la base de T8 lo que da lugar a que T8 esté en estado de corte. De
20 este modo, el colector de T8 tiene tensión alta y en consecuencia la entrada de base a T9 tiene tensión alta a fin de que T9 esté en conducción. La salida de sincronismo está tomada del emisor de T9 y tiene nivel alto cuando T9 está en
25 conducción. De este modo, en el estado de almacenamiento "1" de la memoria, la señal a o a' de sincronismo de salida si-

gue a la entrada X_a y X_a' , respectivamente. Se observará que, con respecto a la entrada X_a' , tiene lugar el mismo funcionamiento anteriormente descrito.

5 El transistor T7 es utilizado para fijar la tensión de colector de T5 para mantener el transistor T5 fuera de saturación. Esto mejora de un modo importante la variación de retardo afectada por el punto de colector del transistor T5. Hay otros once colectores de T5 de otras once celdas de conjunto en las columnas 22, 26 conectados puntualmente que realizan la función "0" y conectados a los respectivos
10 pasos 40 y 41 separadores de salida.

El mecanismo de acceso para las celdas 14 de memoria en el conjunto está representado en forma de diagrama de bloques en la figura 5. Las diversas funciones representadas por los bloques de la figura 5 son bien conocidas y
15 pueden ponerse en ejecución por muchos tipos de circuitos conocidos.

El circuito WD_0 - WD_{11} descodificador de palabra del mecanismo de acceso está representado como conmutador de
20 corriente controlado en serie (figura 6). La línea 42 de datos de escritura a través del excitador D1 de escritura de datos excita las doce entradas superiores de conmutador de corriente, como puede verse por las figuras 5 y 6. Cuando tienen nivel bajo todas las entradas de dirección a una determinada puerta "Y" selectora, la corriente de dos miliam-
25

perios procedente del generador CSG fuente de corriente fluirá a través del conmutador de corriente superior llevando a nivel bajo cualquiera de las líneas XA o \overline{XA} en función de los datos de escritura. Los otros once circuitos
5 tendrán al menos una entrada de dirección con nivel alto, asegurando así que las corrientes deriven sus conmutadores de corriente superiores forzando ambas líneas XA y \overline{XA} a un nivel alto. Los detalles de este circuito están representados en la figura 6.

10 Cuando está seleccionado el descodificador de palabra (uno de entre doce), la entrada a cada uno de los transistores T11, T12, T13 y T14 tiene nivel bajo y estos cuatro transistores están en estado de corte. En consecuencia, T15, dispuesto a modo de conmutador de corriente, estará en conducción. El transistor T15 actúa como fuente de corriente para el conmutador T16 y T17 de corriente superior.
15 En este estado, un nivel alto (nivel lógico "1") en la línea 42 de datos de escritura hará entrar en conducción al transistor T16 y pondrá al corte el transistor T17 haciendo que XA tome nivel alto y \overline{XA} tome nivel bajo. Esto da lugar a que se escriba un "1" lógico en la celda de memoria, como se representa en la figura 4. Por el contrario, una entrada de nivel bajo (nivel lógico "0") sobre la línea 42 de datos de escritura hará que el transistor T16 esté en estado de
20 corte y T17 en estado de conducción, haciendo así que XA to-

me nivel bajo y \overline{XA} tome nivel alto, lo cual es la condición para escribir un "0" lógico en la celda de memoria. Cuando no está seleccionado el descodificador WD, es decir, tiene nivel alto una de las cuatro entradas T11, T12, T13 y T14, el transistor T15 estará en estado de corte el cual, a su vez, desactiva la fuente de corriente de T16 y T17 y hace que tomen nivel alto tanto XA como \overline{XA} . Esto evitará que la celda de memoria (representada en la figura 4) sea afectada por la línea YA de bitio.

5

10 Con referencia a la figura 5 puede verse que el excitador descodificador de palabra está dividido en doce descodificadores WD_0-WD_{11} de palabra. Estos descodificadores de palabra dan como salida un par de señales XA, \overline{XA} que son complementarias y que son capaces de excitar cualquiera

15 de los doce pares de líneas de palabra seleccionados del conjunto 12 de conmutadores de punto de cruce programable. El registro 32 de desplazamiento tiene ocho pasos SRO-SR7, de los cuales los primeros cuatro son utilizados para acceso a las doce líneas de palabra. Las cuatro salidas de los

20 cuatro primeros pasos del registro de desplazamiento son reproducidas por amplificadores separadores y aplicadas a los doce descodificadores WD_0-WD_{11} de palabra de acuerdo con un código de cuatro entradas. Se observará que cada una de las combinaciones de estado de los cuatro pasos SRO-SR3 de re-

25 gistro de desplazamiento da lugar a la excitación de uno de

los excitadores WD_0-WD_{11} de palabra proporcionando así la descodificación de los datos desplazados en el registro de desplazamiento. El excitador de palabra particular excitado produce un par de salidas seleccionando así una de las doce líneas o filas de palabra en el conjunto. Las corrientes necesarias para el funcionamiento de los excitadores WD_0-WD_{11} de palabra se obtienen de los generadores CSG fuentes de corriente. La señal de datos de escritura está aplicada a cada uno de los excitadores WD_0-WD_{11} de palabra a través del excitador D1. Los datos pasarán solamente a través del excitador de palabra al que se ha tenido acceso por la combinación de registro de desplazamiento correspondiente a la combinación del excitador de palabra particular. Durante la carga de datos del registro de desplazamiento o cuando cambia el estado de los datos de escritura, el excitador D3 de habilitación de escritura excita ambas salidas de los amplificadores separadores de bitio 0 del registro de desplazamiento. Debido a que todos los circuitos están excitados por alguna fase del bitio 0, el resultado es que no se selecciona ninguna línea de palabra durante el intervalo de escritura no válido. Solamente se mantienen con nivel alto las salidas de amplificador B separador y, por consiguiente, las propias salidas del registro 32 de desplazamiento son libres de cambiar para cargar correctamente el registro de desplazamiento. La señal de habilitación de sincronismo y su ex-

citador D2 dejan fuera de conducción todos los generadores CSG fuentes de corriente durante el período de lectura para ahorrar disipación de potencia de la plaquita y corrientes de alimentación.

5 El excitador 30 descodificador de bitio representado en la figura 1 está subdividido en catorce descodificadores BD_0 - BD_{13} de bitio. Estos están conectados a los últimos cuatro pasos SR4-SR7 del registro 32 de desplazamiento de ocho pasos a través de los amplificadores B separadores y las unidades BAS separadoras sumadoras de bitios para proporcionar la descodificación de las cuatro posibles combinaciones. Puede verse que la salida YA de los respectivos descodificadores de bitio es capaz de seleccionar una de las catorce líneas de bitio en el conjunto 10. La coincidencia de la línea YA de bitio positiva que excita las bases de los dispositivos de escritura en el conjunto 10 y la línea de palabra negativa que procede de los descodificadores WD_0 - WD_{11} de palabra activa la conducción del dispositivo de escritura deseado en la posición deseada del conjunto 10.

10

15

20

El descodificador de bitio, como se representa en la figura 7, es esencialmente una puerta "Y" de diodos de cuatro entradas. Cuando todas las entradas procedentes de las unidades (BAS) separadoras sumadoras de bitios tienen nivel alto, los cuatro transistores T20, T21, T22 y T23,

25

5 que están actuando como diodos, no están en conducción. Consecuentemente, la salida YA tomará nivel alto. Será seleccionada la correspondiente columna (una de 14) del conjunto de conmutadores de punto de cruce representado en la figura 4. Cuando una cualquiera de las cuatro entradas tiene nivel bajo, el correspondiente transistor estará en conducción y la salida YA tendrá nivel bajo. No será seleccionada la columna correspondiente del conjunto de conmutadores de punto de cruce.

10 Aún cuando se ha expuesto y descrito el invento particularmente con referencia a una realización preferida del mismo, se entenderá por los expertos en la técnica que pueden hacerse los precedentes y otros cambios en la forma y detalles del mismo sin apartarse del espíritu y alcance del invento.

15 La presente solicitud que corresponde a la presentada en Estados Unidos de América, el 23 de Noviembre de 1.973, bajo el nº 418.696, se scope a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

20

- REIVINDICACIONES -

25

Los puntos de invención propia y nueva que se

presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

5 1ª.- Un dispositivo programable de distribución de señales, que comprende: una pluralidad de entradas y una pluralidad de salidas; un conjunto de conmutadores de punto de cruce conectados entre dichas entradas y dichas salidas; una celda de memoria conectada a cada uno de dichos conmutadores de punto de cruce; medios para escribir una señal
10 en cada una de dichas celdas de memoria determinante del estado del respectivo conmutador de punto de cruce y de este modo abrir o cerrar dicho conmutador de punto de cruce respectivo de acuerdo con dicha señal conectando así una cualquiera o más de dichas entradas a una pluralidad seleccionada de salidas.
15

 2ª.- Un dispositivo de acuerdo con la reivindicación 1ª, en donde dicha pluralidad de salidas están agrupadas en pares siendo cada señal de cada par el complemento de la otra señal del par.

20 3ª.- Un dispositivo de acuerdo con la reivindicación 2ª, en donde dicho conjunto de conmutadores de punto de cruce comprende pares de circuitos "Y", recibiendo cada circuito "Y" de cada par una de dichas entradas de un par respectivo de entradas y la señal procedente de la respectiva celda de memoria.
25

4a.- Un dispositivo de acuerdo con la reivindicación 1a, en donde dicha celda de memoria es un circuito biestable uno de cuyos estados representa el almacenamiento de un "1" y cuyo otro estado representa el almacenamiento de un "0", teniendo cada paso del circuito biestable una salida portadora de la señal de salida complementaria de la señal presente en la salida del otro paso.

5a.- Un dispositivo de acuerdo con la reivindicación 1a, en donde dichos medios para escribir en cada una de dichas celdas de memoria incluyen un registro de desplazamiento para recibir datos de dirección y medios excitadores descodificadores para descodificar la dirección en el registro de desplazamiento de modo que se almacena en la celda de memoria a la que se ha tenido acceso una entrada de señales de escritura.

6a.- Un dispositivo de acuerdo con la reivindicación 1a, en donde dichas señales de entrada aplicadas a dichas entradas son impulsos de sincronismo en diferentes instantes, estando conectados los impulsos de sincronismo a las respectivas salidas por los conmutadores de punto de cruce cerrados.

7a.- Un dispositivo programable de distribución de señales.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para

los fines que se han especificado.

Esta Memoria consta de veintiuna hojas escritas
a máquina por una sola cara.

5

Madrid,

P.A. 10 FEB. 1975

10

Fernando de Elizaburu
Por Poder.

15

20

25

6-2-75
IGF.

- 21 -

FIG. 1

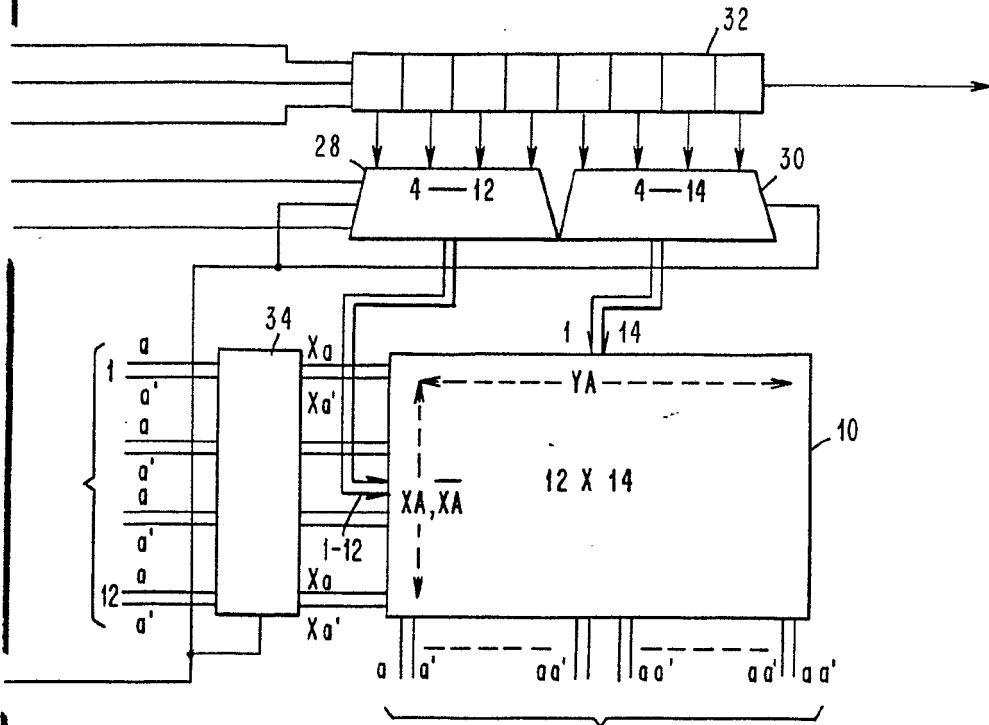
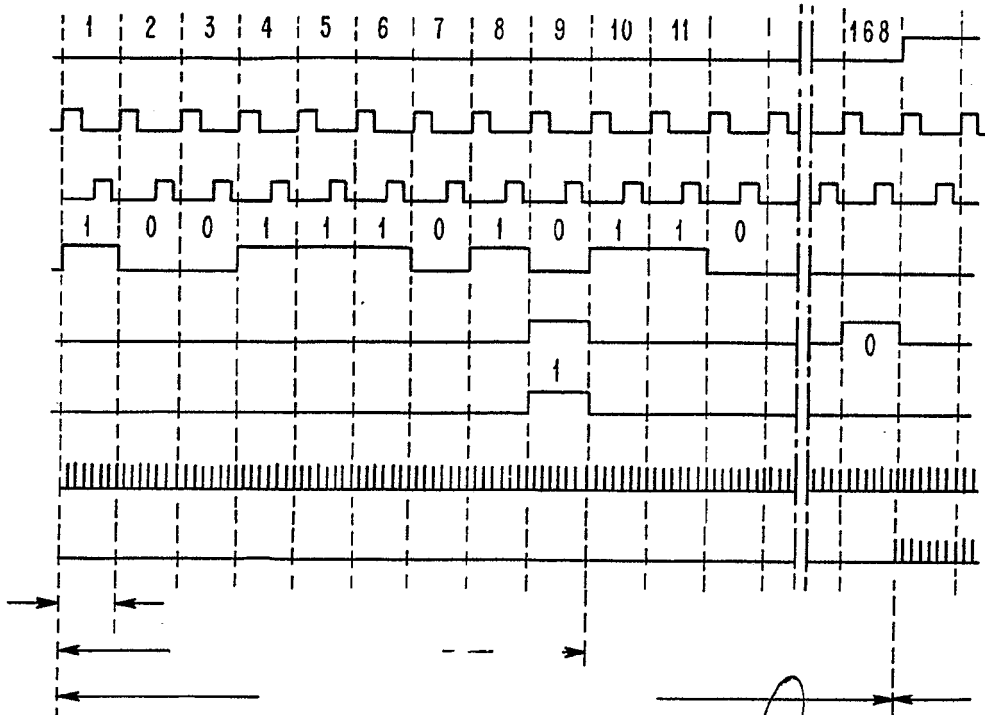
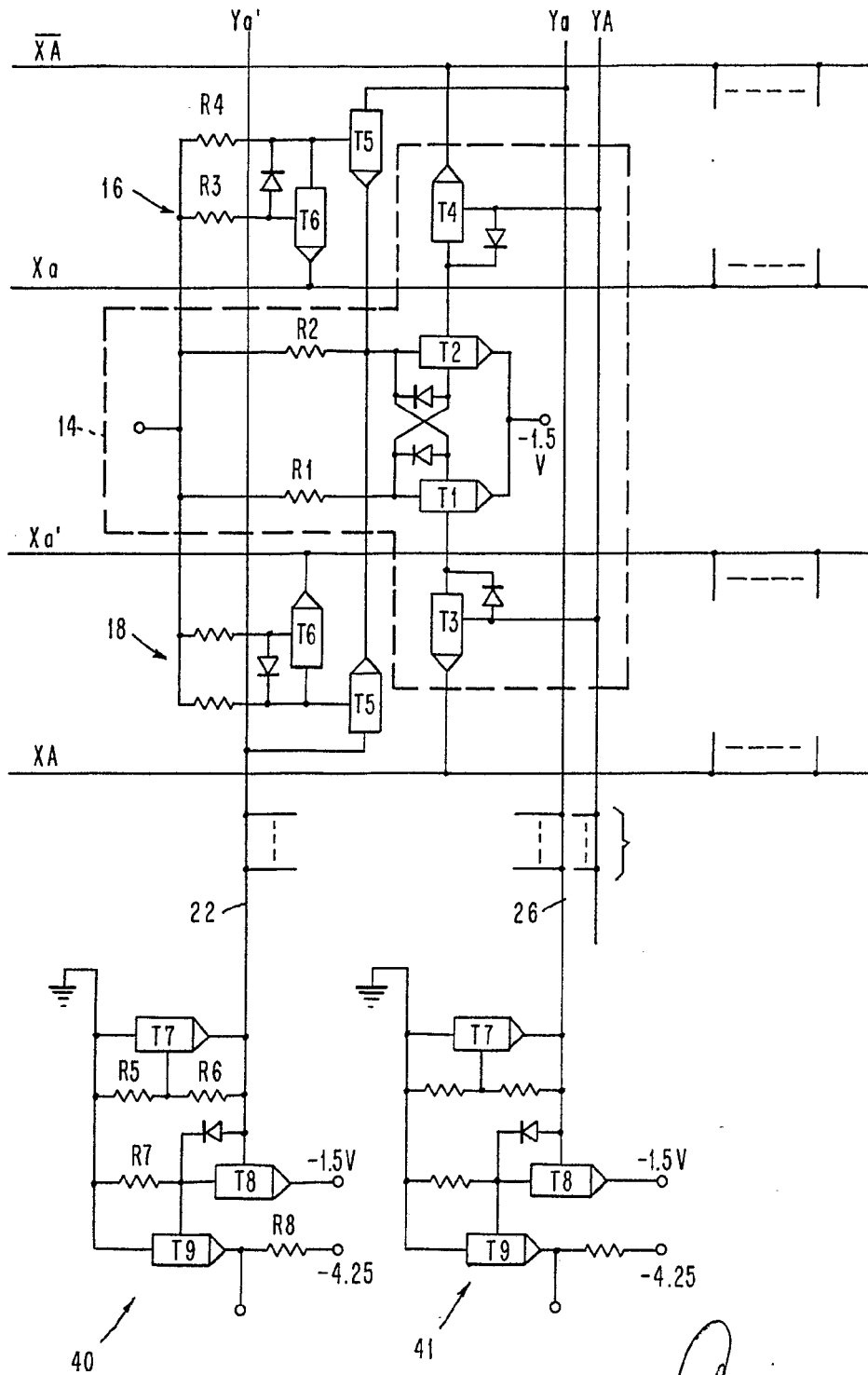


FIG. 2



Fernando de Elizaburu
Por Poder.

FIG. 4



Fernando de Elizaburu
Por Poder.

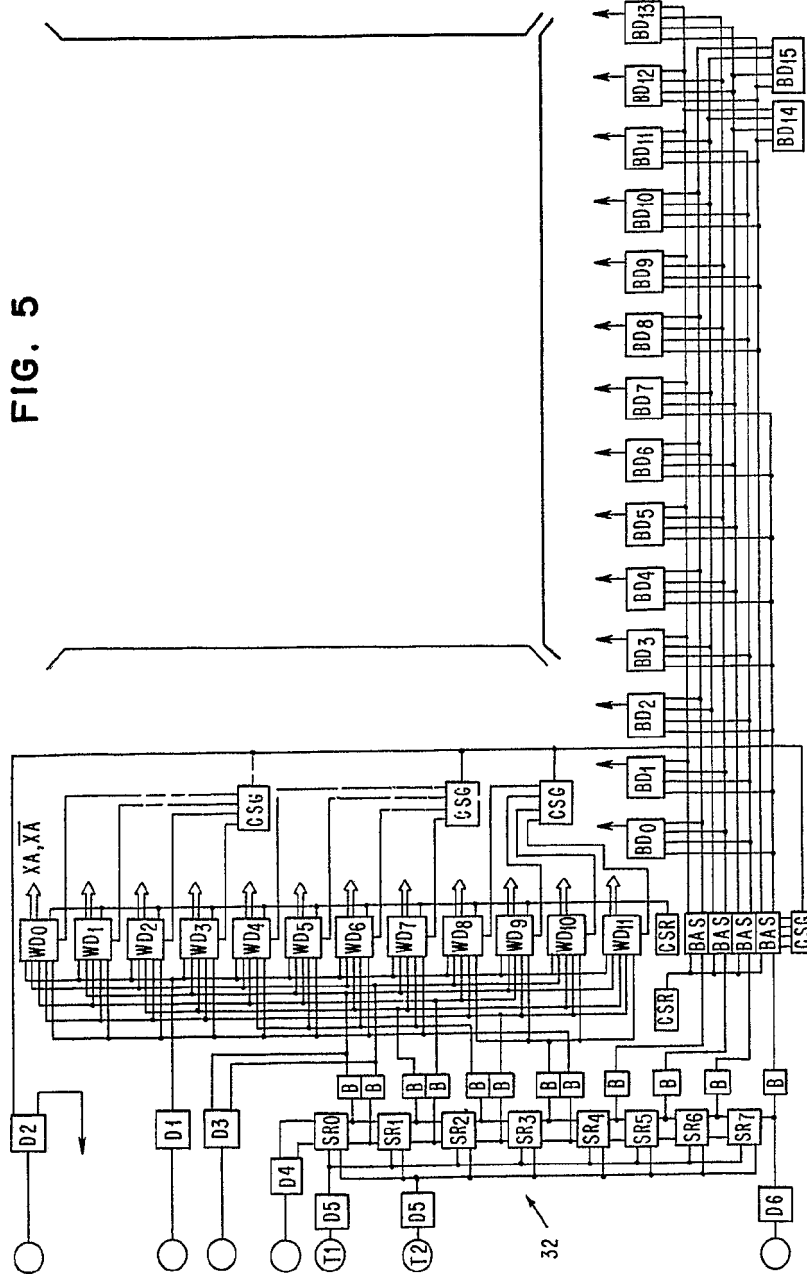


FIG. 5

Fernando de Elizaburu
Por Poderes

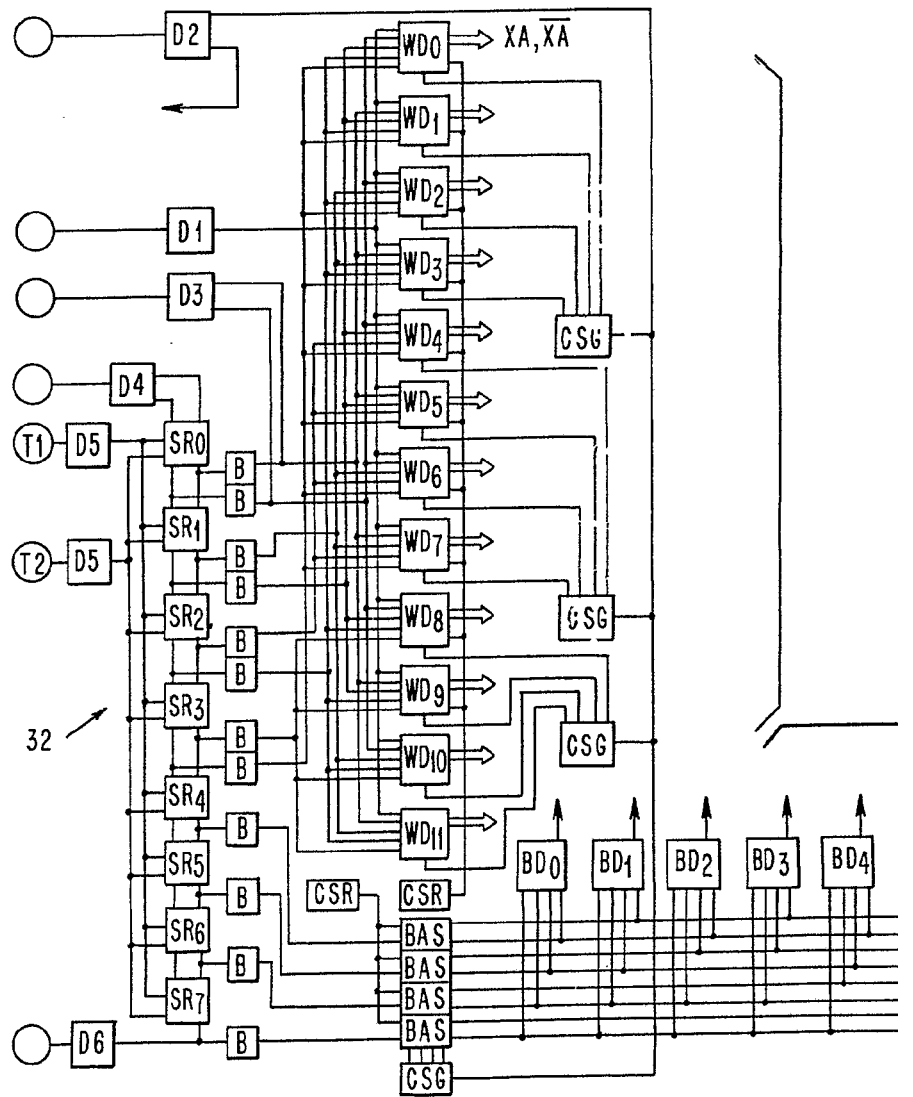
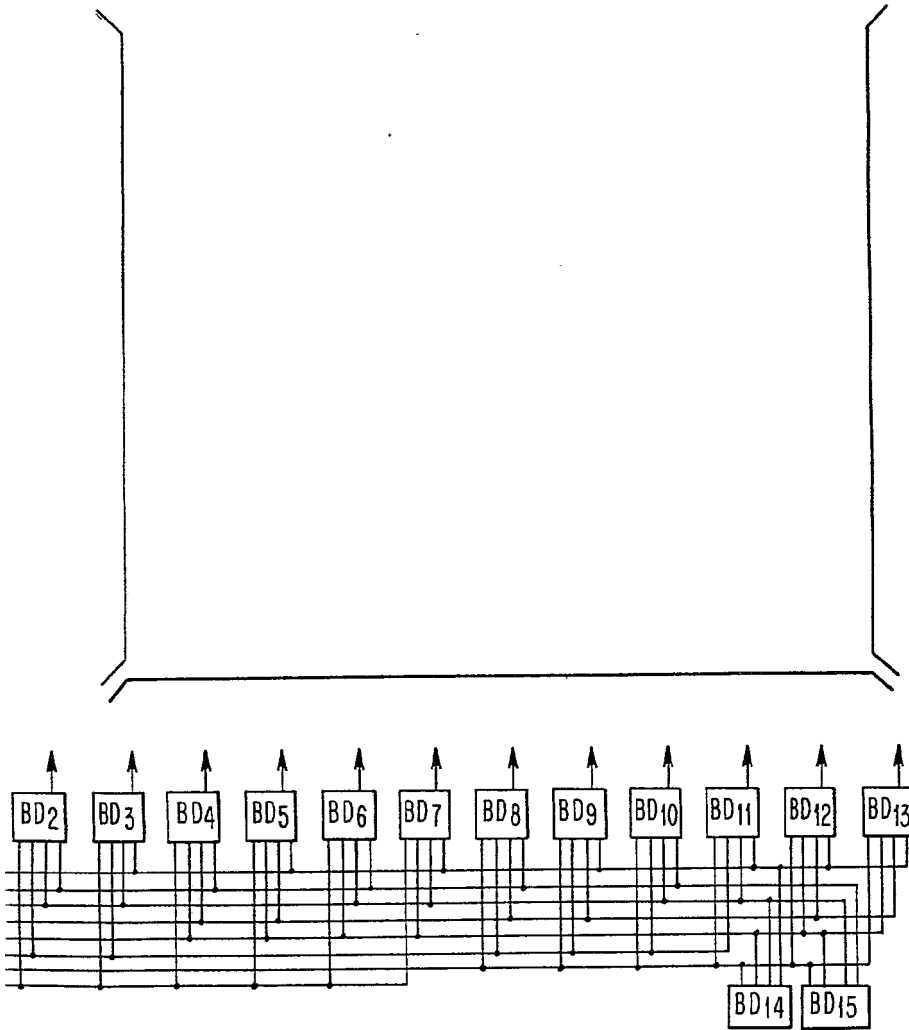


FIG. 5



Fernando de Elizaburu
Por Poder