

431448

P.- 58.837
Dtp/WR/74727
LM 3660

MEMORIA DESCRIPTIVA

para solicitar PATENTE DE INVENCION

A nombre de TELEFONAKTIEBOLAGET L M ERICSSON

entidad sueca

Int. Cl.:	G.06F
establecida en 126-25 Estocolmo, Suecia	

por: "UN APARATO PARA FACILITAR UNA COOPERACION ENTRE UN ORDENADOR EJECUTIVO Y UN ORDENADOR DE RESERVA"

(Clase Internacional G06f)



El presente invento se refiere a un aparato en un sistema que consiste en un ordenador o computador ejecutivo y un ordenador o computador de reserva esencialmente idéntico a este para facilitar una cooperación entre los computadores, por ejemplo para actualizar el computador de reserva con datos producidos por el computador ejecutivo que antes de la cooperación funciona en trabajo independiente, de modo que el computador de reserva trabaja entonces en paralelo y en sincronismo con el computador ejecutivo.

Se consigue el sincronismo mediante impulsos de sincronismo generados, por ejemplo, por un generador de impulsos de sincronismo que es común a ambos computadores y está conectado a los computadores por medio de una línea general de sincronismo incluida en un sistema de línea general.

Cada uno de los computadores comprende una pluralidad de unidades de función que pueden tener acceso, por ejemplo a una unidad de memoria, unidad aritmética y registro de tratamiento. Son transferidos datos entre las unidades de función a través de una línea general de datos, y son transferidas direcciones y órdenes a través de una línea general de órdenes, estando incluidas las líneas generales en dicho sistema de línea general. Al menos una de las unidades de función contiene una



5 secuencia de registros de instrucción seleccionables para almacenar instrucciones que son leídas y tratadas una por una durante su ciclo de tratamiento activado por el generador de impulsos de sincronismo y que comprende varias fases de sincronismo.

10 Tal computador provisto de una línea general de órdenes y una línea general de datos está descrito, por ejemplo, en la Patente Norteamericana 3.631.401 y se denomina en ella "Ordenador de datos de función directa". En comparación con un computador más convencional que está construido teniendo en consideración solamente una finalidad determinada y es por consiguiente bastante rígido en lo que concierne a su disponibilidad de ampliación de su capacidad o a su modernización en partes independientes, el llamado computador de línea general unificada descrito en dicha Patente Norteamericana es flexible. Gracias al sistema de línea general unificada que comprende un número de hilos en paralelo para transmisión de datos, direcciones y órdenes en paralelo y en forma digital, a cuyos hilos están conectadas todas las partes del computador, se obtiene un principio de sistema modular con las unidades de función del computador como módulos. Las unidades de función están conectadas al sistema de línea general unificada de un modo uniforme por

15

20

25

25
ENC-1975

5 dispositivos de acoplamiento uniformes, por ejemplo en la forma de registros accesibles por codificación. Eligiendo módulos adecuados se obtienen las construcciones de computador más variables, tales como minior denadores, calculadores o computadores en tiempo real para controlar procesos simples o complicados.

10 Dicho sistema modular de línea general unificada se utiliza también cuando se construyen equipos de telecomunicación controlados en tiempo real. Las demandas para el control en tiempo real de procesos de telecomunicación exigen frecuentemente distinguir entre unidades de función de actuación rápida y funcionamiento lento, es decir introducir sistemas de línea general diferentes para diferentes velocidades de tratamiento de datos y unidades de memoria intermedia provistas de dicha unidad de acoplamiento para constituir medios de conexión entre los sistemas de línea general. Si las unidades centrales de función que realizan las operaciones propias de los computadores y dichas unidades de memoria intermedia entre las unidades central y periféricas están construidas con componentes lógicos de reacción muy rápida tales como circuitos TTL (Transistor-Transistor-Logic) y están conectadas a un sistema de línea general central, las propiedades del sistema de línea general central constituyen un límite

15

20

25



que debe ser observado en la determinación de la velocidad de tratamiento de datos resultante. La velocidad de transmisión de datos disponible sobre una línea está influida especialmente por el número de unidades de acoplamiento, es decir, el número de unidades de función conectadas, y por la longitud física de los hilos incluidos en el sistema de línea general. Una limitación adecuada del número de partes centrales da lugar consecuentemente a ciclos de tratamiento cortos óptimos para instrucciones de tratamiento de datos transferidas por intermedio de dicho sistema de línea general central y dá lugar en consecuencia a un control en tiempo real muy efectivo del tratamiento de señales de telecomunicación.

Un computador controlado en tiempo real está controlando los ciclos de tratamiento por impulsos de sincronismo procedentes de un generador de sincronismo que está conectado a las unidades de función a través de una línea general de sincronismo incluida en el sistema de línea general. El propio tratamiento de una instrucción se extiende en un número de impulsos de sincronismo, por ejemplo cuatro, y se realiza, por ejemplo, del modo siguiente: si han de transportarse datos desde una unidad de función transmisora hasta una unidad receptora la instrucción incluye, además de



un código que expresa el transporte, las direcciones de las unidades de función transmisora y receptora en forma digital. Un selector de secuencia de instrucción activa el respectivo registro de instrucción durante todas las fases de sincronismo del ciclo de tratamiento de modo que son transferidos el código y las direcciones a la línea general de órdenes del sistema de línea general durante la totalidad del ciclo de tratamiento. Durante la segunda a la cuarta fases de sincronismo son transferidos a la línea general de datos del sistema de línea general los datos procedentes de la respectiva unidad de función transmisora. Durante la cuarta fase de sincronismo, finalmente, dichos datos son escritos en la unidad de función receptora. Como surgen fenómenos transitorios en relación con un cambio del estado lógico del sistema de línea general, es necesaria tal división de fases o similar de los ciclos de tratamiento, y con el fin de obtener el tratamiento de datos más rápido posible la frecuencia del generador de impulsos de sincronismo está escogida tan alta que pueda vencerse justamente el retardo debido a dichos fenómenos transitorios y dichos tiempos de reacción de los componentes. Son ejemplos que se presentan en la práctica una frecuencia de impulsos de sincronismo de 20 MHz y ciclos de tratamiento de 200 nS.



25 ENE 1975

En la cooperación de computadores de línea general unificada, por ejemplo en un sistema que consiste en un computador ejecutivo y un computador de reserva, se presentan problemas en relación con dichos retardos. Como se conoce por sí mismo, por ejemplo por la Patente Sueca 227.356, el computador de reserva se utiliza para aumentar la fiabilidad en la corrección del control en tiempo real por medio de una comparación continua entre los datos instantáneos producidos por los computadores y para aumentar la fiabilidad de funcionamiento del control de la manera que aunque exista una avería en uno de los computadores es posible continuar el control con el computador sin avería, pero sin dicha comparación continua. Después de un diagnóstico del computador averiado con la ayuda del computador que realiza el control en tiempo real funcionando independientemente, y después de una reparación del computador averiado, se vuelve a iniciar el funcionamiento síncrono en paralelo, siendo la situación inicial que el computador ejecutivo se ocupa de dicho trabajo independiente y que el computador de reserva no está actualizado, es decir que no se corresponden los datos almacenados en los computadores. La cooperación comprende, consecuentemente, iniciar el funcionamiento del computador de reserva en paralelo



5 y en sincronismo con el computador ejecutivo de un modo exactamente definido, para actualizar el computador de reserva, para comparar de un modo continuo los datos instantáneos de los computadores, y para llevar a cabo un diagnóstico de un computador que se ha averiado.

10 El sincronismo entre los computadores se obtiene del modo más fácil por medio de un generador de sincronismo común, cuya frecuencia de impulsos de sincronismo decide las fases de sincronismo y los ciclos de tratamiento, respectivamente, en ambos computadores. En otros sistemas conocidos de computador de funcionamiento en paralelo y en sincronismo, los computadores funcionan cada uno con la ayuda
15 de un generador de impulsos de sincronismo, estando sincronizados los generadores de impulsos de sincronismo entre ellos. Aún cuando se obtiene un sincronismo exacto por el mencionado procedimiento, se producen desplazamiento de fase entre los ciclos de tratamiento
20 de los computadores como consecuencia de dichos retardos debidos a los fenómenos transitorios y los tiempos de reacción de los componentes. Si sobre una línea general de datos asociada con un computador que trabaja independientemente se obtiene un estado lógico estable
25 en primer lugar durante la cuarta fase de sincronismo

25 FEB 1975

del ciclo de tratamiento de acuerdo con el ejemplo anterior, hay riesgos para dicha comparación continua de los datos instantáneos procedentes de los computadores cooperantes que existen ya un desplazamiento de fase entre los computadores que tiene una magnitud de una fase de sincronismo.

Este problema que se origina debido a los desplazamientos de fase entre los computadores está relacionado con la comparación continua tratada, por ejemplo, en la Patente Sueca 361.368 que sugiere un aparato de división de frecuencia por el cual no tienen efecto los desplazamientos de fase. En tal caso solamente se comparan datos procedentes, por ejemplo, de cada uno de los demás ciclos de tratamiento. En lo que respecta a la actualización, tal aparato de división de frecuencia es completamente inaceptable porque si la actualización ha de llevarse a cabo tomando como base los datos instantáneos producidos por el computador ejecutivo, todos los datos deben ser transmitidos al computador de reserva sin saltarse, por ejemplo, cada uno de los demás ciclos de tratamiento. Los métodos de actualización conocidos, por consiguiente, permiten, por ejemplo, una interrupción del trabajo ejecutivo hasta que se ha completado la actualización. Otra solución trivial del

25 ENE 1975

5 problema de actualización es permitir una reducción de la frecuencia de impulsos de sincronismo de modo que se hagan inefectivos dichos desplazamientos de fase, pero tales soluciones acarrearán una disminución general de la capacidad de tratamiento de datos del control en tiempo real.

10 De acuerdo con el presente invento, se sugiere un aparato que facilita la cooperación entre los computadores sin influir desfavorablemente sobre la velocidad de tratamiento de datos que puede conseguirse en un computador que trabaja sin redundancia y sin perturbar la continuación del trabajo en el computador ejecutivo aunque, por ejemplo, la actualización origine retardos en el computador de reserva que no se permiten en principio sobre instrucciones de tratamiento. El aparato propuesto está caracterizado esencialmente por lo que se establece en las reivindicaciones adjuntas.

15 Se describe a continuación con más detalle el invento con referencia a las figuras 1-3 que representan el sistema que incluye el computador ejecutivo y el computador de reserva, junto con el aparato propuesto en diferentes realizaciones. En todas las figuras está representado un generador CG común de impulsos de sincronismo y unidades, F_{Ue}, F_{Ur}, de función

25 ENE 1976

incluidas en el computador E ejecutivo y el computador R de reserva, respectivamente, cuyas unidades de función están conectadas entre ellas por medio de sistemas de línea general que consisten en una línea dbe y dbr general de datos, una línea obe y obr general de órdenes, y una línea tbe y tbr de sincronismo, respectivamente. Está indicado adicionalmente que cada uno de los computadores comprende una secuencia IRSe e IRSr de registros de instrucciones, respectivamente, cada una de las cuales se compone de un número de registros que almacenan instrucciones que son transmitidas por lectura a dicha línea general de órdenes por turno o siguiendo otra secuencia prescrita debido, por ejemplo, a una instrucción de bifurcación. Uno de dichos registros de instrucciones, designados con BIRe y BIRr, respectivamente, es un registro de instrucción de comienzo que almacena una instrucción por la cual se inicia el funcionamiento del computador de un modo absolutamente determinado. Dicho registro de instrucción de comienzo se selecciona con una instrucción de bifurcación de arranque transferida sobre la respectiva línea general de órdenes. Las fases de sincronismo del respectivo computador durante la siguiente cooperación de los computadores están fijadas por el ciclo de tratamiento de la instrucción de bifurcación de arranque, como se des



cribirá posteriormente. La utilización de instrucciones de bifurcación forma parte de una técnica de computador conocida generalmente y el modo de tratamiento de las instrucciones de bifurcación no afecta a la
5 idea del invento más de lo que se ha explicado al principio con relación al tratamiento de instrucciones por medio de un sistema de línea general unificada conectado a las unidades de función.

El aparato propuesto de acuerdo con el
10 invento para facilitar la cooperación de los computadores de línea general unificada comprende, de acuerdo con las tres figuras, como partes principales, un canal DCH de transferencia de datos y una fuente SP de impulsos de arranque provista de al menos un elemento
15 de retardo.

Dicho canal DCH de transferencia de datos es unidireccional desde el computador ejecutivo hasta el computador de reserva y es utilizado para la cooperación entre los computadores, por ejemplo para la
20 actualización del computador de reserva que está basada en los datos que son transferidos durante el trabajo ejecutivo sobre la línea dbe general de datos del computador ejecutivo y que son transferidos, por intermedio del canal, a la línea dbr general de datos del
25 computador de reserva, es decir sin perturbar en con-

25 ENE 1975

junto el control en tiempo real del computador eje-
cutivo. Como se pone de manifiesto por las explica-
ciones de la introducción, las unidades de función
están situadas en un computador construido de acuer-
do con el sistema de línea general unificada de modo
que las dimensiones físicas del sistema de línea ge-
neral son tan pequeñas como sea posible. Sin embargo,
para un trabajo en paralelo de dos computadores se
presentan distancias tales que se utiliza, por ejem-
plo, una transmisión simétrica en la transferencia de
datos entre los sistemas de línea general lo cual sig-
nifica que el canal de transferencia de datos compren-
de doble cantidad de hilos con relación a una línea
general de datos, y también amplificadores de impul-
sos y regeneradores de impulsos. La construcción del
canal de transferencia de datos está indicada en las
figuras sólo en lo esencial aún cuando pueden utili-
zarse muchas disposiciones constructivas. Sin embargo,
ha de observarse que todas las soluciones imponen un
retardo sobre los datos transferidos que excede la lon-
gitud de un período de los impulsos de sincronismo ge-
nerados en dicho generador CG de impulsos de sincronis-
mo que es común para ambos computadores.

Durante el proceso de actualización son
producidos datos defectuosos por el computador de re-



25 FEB 1975

serva que no deben ser enviados a una unidad FUr de
función con acceso. Por consiguiente, pertenece al
canal de transferencia de datos una memoria CM de
control con el fin de registrar un estado de trans-
5 ferencia en modo manual o automático. La memoria de
control controla unos medios TL lógicos de transfe-
rencia los cuales, al recibir un estado de transfe-
rencia, abren el canal de transferencia e impiden un
transporte de dichos datos defectuosos. En las reali-
10 zaciones de las figuras 1 y 3 la línea dbr general
de datos del computador de reserva está dividida en
una parte receptora, a través de la cual son transfe-
ridos datos a una de las unidades de función, y una
parte transmisora a través de la cual se transfieren
15 datos desde una de las unidades de función. Con la ayu-
da de primeros medios G1 de puerta que pertenecen a di-
chos medios lógicos de transferencia se conectan y des-
conectan entre sí, respectivamente, dichas partes de lí-
nea general de datos dependiendo de un funcionamiento
20 normal presente del computador de reserva y un estado
de transferencia suministrado por la memoria de con-
trol, respectivamente. Además, los medios lógicos de
transferencia conectan, con la ayuda de segundos medios
G2 de puerta durante el proceso de actualización, dicha
25 parte receptora a la línea dbe general de datos del com

25 ENE 1975

putador ejecutivo. De tal modo es transferido el estado lógico de la línea db general de datos durante los ciclos de tratamiento a las unidades de función de ambos computadores.

5 En el ejemplo de acuerdo con la figura
2 se registra un estado de transferencia en general
no para el sistema completo, sino independientemente
para cada una de las unidades de función de los computadores. En este caso dichos segundos medios G2 de
10 puerta de los medios lógicos de transferencia se activan para abrir la transferencia de datos desde el
computador ejecutivo al computador de reserva con la
ayuda de una puerta G que pertenece al sistema de acoplamiento de la respectiva unidad de función. Las condiciones de activación de la puerta G son que un descodificador SDEG transmisor haya "comprendido" el acceso de la respectiva unidad de función para transmisión de datos, habiéndose llevado a cabo dicho acceso o direccionamiento por intermedio de la línea general
15 de órdenes del computador, y que esté registrado un estado ts de transferencia en la memoria CM de control
de la unidad de función, cuya memoria CM de control
está dispuesta en vez de la antes mencionada memoria
común de control o además de ella. En vez de dicha división de la línea general de datos del computador de
20 25



reserva en una parte receptora y una parte transmisora y en lugar de dichos primeros medios de puerta de los medios lógicos de transferencia, son utilizados en este caso en el computador de reserva medios SG de puerta de transmisión incluidos en el sistema de acoplamiento de la respectiva unidad de función, cuyos medios de puerta de transmisión tienen una de sus entradas conectada a dicha memoria CM de control de la unidad de función para registro manual o automático del estado ts de transferencia de la unidad de función. Debido a un estado de transferencia registrado se impide la transmisión de los datos del computador de reserva mientras que un estado de transferencia registrado en una de las unidades de función del computador ejecutivo no influye sobre la transmisión de datos del computador ejecutivo.

En atención a una mayor claridad se representa en la figura 2 solamente uno de los dispositivos de acoplamiento que pertenece al sistema de línea general del computador de reserva y que comprende un registro REG de acoplamiento, un descodificador RDEC receptor y medios RG de puerta de recepción además de dicha puerta G, la memoria CM de control, el descodificador SDEC transmisor y dichos medios SG de puerta de transmisión. Por intermedio de la línea tb general de



sincronismo del sistema de línea general están controlados los medios de puerta de transmisión y recepción, respectivamente, de modo que se obtiene una activación solamente durante las fases de sincronismo previstas para transmisión y recepción. La transmisión de datos desde el registro de acoplamiento, por intermedio de los medios de puerta de transmisión, a la línea db general de datos del sistema de línea general y la transmisión de datos desde la línea general de datos del sistema de línea general a través de los medios de puerta de recepción al registro de acoplamiento, respectivamente, tiene lugar si el descodificador transmisor y el descodificador receptor, respectivamente, conectados a la línea ob general de órdenes del sistema de línea general "comprende" el acceso de la unidad de función para transmisión de datos y recepción de datos, respectivamente, y activa una de las entradas de los medios de puerta de transmisión y recepción respectivamente.

Dicha fuente SP de impulsos de arranque comprende una unidad IU de señal de interrupción y dispositivos SDe y SDr de arranque para iniciar el funcionamiento de su computador E, R asociado, respectivamente. En las figuras está representada la unidad de señal de interrupción como unidad de función añadida, la cual comprende del modo usual una unidad de acoplamiento conectada al

25 ENE 1977

sistema de línea general del computador ejecutivo. Sin embargo, esto no significa que la carga de impedancia del sistema general de línea esté aumentada adicionalmente, mientras que la unidad de señal de interrupción está incluida en realidad en una unidad de interrupción que no está representada en las figuras en atención a una mayor claridad. Cada computador de funcionamiento en tiempo real para controlar una disposición de telecomunicación está provisto de tal unidad de interrupción conocida por sí misma que tiene como tarea recibir señales de interrupción entrantes, dar prioridad a estas y suministrar para cada cambio de prioridad una instrucción de bifurcación que en la secuencia de registros de instrucciones selecciona una instrucción de comienzo asociada con el respectivo nivel de prioridad.

En un sistema que consiste en un computador ejecutivo y un computador de reserva, un impulso ps de arranque primario para la iniciación del trabajo síncrono en paralelo origina tal señal de interrupción en cada uno de los computadores. Para explicar el principio de iniciación del proceso de arranque para el trabajo en paralelo de los computadores, está representado en las figuras un circuito F biestable, un dispositivo CD de llamada y un descodificador



DEC. Dicho circuito biestable es puesto por dicho impulso primario en el primer estado estable y con su ayuda se activa el dispositivo de llamada. La secuencia de registros de instrucciones incluye un registro que es seleccionado regularmente y almacena una instrucción para transportar señales de interrupción eventual de la unidad de interrupción. En el computador ejecutivo se da prioridad a una señal de interrupción obtenida del mencionado dispositivo CD de llamada, por ejemplo de modo que se termina una instrucción de control en tiempo real que está en curso y que se selecciona un registro de instrucción que contiene una instrucción para transportar una señal de disponibilidad codificada para una iniciación de cooperación a la unidad de señal de interrupción, cuyo mencionado descodificador DEC convierte dicha señal de disponibilidad en un impulso ss secundario de arranque, que pone dicho circuito F biestable en el segundo estado b estable. En conformidad, sin determinar elementos de construcción definidos, la tarea de la unidad de señal de interrupción consiste en interrumpir, al tener lugar la activación por un impulso ps primario de arranque, el trabajo ejecutivo que está en curso y generar un impulso ss de arranque secundario para el funcionamiento en pa-



ralelo de los computadores. Si se sigue el ejemplo mencionado al principio, es decir que un ciclo de tratamiento para una instrucción comprende cuatro fases de sincronismo y que una unidad de función a la que se ha dado acceso para registros de recepción de datos envió datos durante la última fase de sincronismo del ciclo de tratamiento, se obtiene dicho impulso de arranque secundario en la salida de la unidad de señal de interrupción durante la cuarta fase de sincronismo en el ciclo de tratamiento para que dicha instrucción transporte la señal de disponibilidad.

Dichos dispositivos SDe y SDr de arranque que incluidos en la fuente de impulsos de arranque, así como la unidad de señal de interrupción, son disposiciones que están también incluidas en computadores de funcionamiento independiente. Están representados en las figuras, con el fin de explicar el principio de iniciación del funcionamiento independiente, unos registros SIR de instrucción de arranque y generadores PG1 y PG2 de primera y segunda fase incrementados por el generador de impulsos de sincronismo.

Dichos registros de instrucción de arranque que almacenan instrucciones de arranque que son del tipo de instrucción de bifurcación. Una instrucción de



arranque transferida a una línea general de órdenes da acceso a la unidad de función provista de la secuencia de registros de instrucciones y selecciona el antes mencionado registro BIR de instrucción de comienzo, eventualmente por intermedio de varios de los llamados registros BLR de instrucción "ciega", como se explicará con relación a la figura 2.

Dicho generador PG1 de fase primera comprende un registro de desplazamiento para transferencia paso a paso de un impulso de entrada, por ejemplo dicho impulso es de arranque secundario, utilizándose dicha transferencia paso a paso en las diferentes realizaciones del aparato propuesto para determinar ciclos de tratamiento aislados o partes de ellos, o para constituir partes de un retardo, como se describirá posteriormente.

Dicho generador PG2 de fase segunda comprende un contador cíclico, cuyo número de pasos corresponde al número de pasos de sincronismo en un ciclo de tratamiento. De acuerdo con el ejemplo utilizado hasta ahora, el segundo generador de fase tiene en consecuencia cuatro pasos que activan cíclicamente las salidas del generador conectadas a la respectiva línea general de sincronismo. El contador cíclico está provisto de una entrada 0 que en estado activado llena con ceros



el contador que se mantiene en el estado de ceros almacenados hasta que una entrada s activada da comienzo al proceso de incremento por pasos. De este modo el estado lógico de la línea general de sincronismo en el sistema de línea general unificada define los ciclos de tratamiento y su división en fases de sincronismo.

En la realización representada en la figura 1, el generador PGle de fase primera del computador ejecutivo está conectado a la salida de la unidad de señal de interrupción que transmite dicho impulso ss de arranque secundario. Están conectadas a una primera puerta "O" ORle salidas del generador de fase tales que están activadas durante el ciclo de tratamiento que sigue inmediatamente después de dicho ciclo de tratamiento para transportar la señal de disponibilidad para iniciación de cooperación a la unidad de señal de interrupción, cuyo transporte en su última fase de sincronismo da lugar al impulso de arranque secundario. Un impulso que procede de dicha puerta "O" ORle tiene una duración de un ciclo completo de tratamiento y activa unos primeros medios ANDle de puerta de lectura con cuya ayuda dicha instrucción de arranque almacenada en el registro SIRE de instrucción de arranque es transferida a

la línea obedece general de ordenes del computador ejecutivo. De este modo los ciclos de tratamiento continúan en el computador ejecutivo sin ninguna interrupción durante el cambio de trabajo independiente a trabajo en paralelo. No se produce llenado de ceros y nuevo arranque del generador PG2e de fase segunda y el tratamiento de la instrucción de arranque se controla del modo normal por intermedio de la línea tbe general de sincronismo del computador ejecutivo. Si en relación con la iniciación de cooperación se desea determinar nuevamente los ciclos de tratamiento y sus fases de sincronismo para el computador ejecutivo, la realización de acuerdo con la figura 1 se modifica, por ejemplo, como se explica: en relación con la figura 2.

El generador PG2r de fase segunda del computador de reserva está siempre, sin embargo, completado con ceros en relación con el arranque del trabajo en paralelo. De acuerdo con la figura 1, el primer estado estable en dicho circuito F biestable activa el llenado de ceros del generador de fase. Consecuentemente, en el computador de reserva se detiene un trabajo eventual que está en curso. Si bien el arranque del computador de reserva prosigue principalmente en correspondencia con el arranque del computador eje



cutivo, la diferencia es solamente que el generador
PG1r de fase primera del computador de reserva jun-
to con una puerta "O" OR1r genera un impulso que es
tá retardado en tiempo en relación a dicho impulso
5 obtenido de la puerta "O" OR1e. El retardo, de acuer-
do con la figura 1, se consigue parcialmente por un
elemento DE de retardo que está conectado entre la
salida de la unidad de señal de interrupción y la en-
trada del generador PG1r de fase primera en el compu-
10 tador de reserva y parcialmente por un número de pa-
sos de registro de desplazamiento del generador PG1r
de fase antes de los pasos de registro de desplaza-
miento que activan la puerta "O" OR1r y uno de los
cuales inicia el funcionamiento del generador PG2r
15 de fase segunda del computador de reserva. En otra
posible realización, no representada, ambos genera-
dores PG1e y PG1r de fase primera pueden estar dise-
ñados exactamente iguales, consiguiendo el elemento
de retardo la totalidad del retardo.

20 El elemento de retardo está diseñado,
por ejemplo, en la forma de una línea de retardo, en
la forma de un registro especial de desplazamiento
que es incrementado por impulsos de sincronismo es-
peciales o por los impulsos de sincronismo del gene-
25 rador de sincronismo, en la forma de un canal de trans



25 ~~PMF~~ 1975

ferencia cuya construcción corresponde principalmen-
te a la construcción del canal DCH de transferencia
de datos dispuesto entre los computadores, en la for-
ma de un generador PGI de fase primera común para am-
5 bos computadores, eventualmente en combinación con
los llamados registros BLR de instrucciones ciegas
como se explicará en relación con la figura 2, o en
la forma del mencionado canal DCH de transferencia
de datos por sí mismo como se explicará en relación
10 con la figura 3. Si no se adoptan registros de ins-
trucciones ciegas, el elemento de retardo está dimen-
sionado independientemente de la construcción elegi-
da de modo que el retardo total entre los impulsos
de las puertas "O" ORle y ORlr corresponde principal-
15 mente al lapso de tiempo que necesitan datos arbitra-
rios para ser transferidos desde la línea dbe general
de datos del computador ejecutivo, por intermedio del
canal DCH de transferencia de datos, a la línea dbr
general de datos del computador de reserva.

20 En la realización de acuerdo con la fi-
gura 2 dichas puertas "O" ORle y ORlr están conecta-
das a un generador PGI común de fase primera a tra-
vés del cual es transmitido paso a paso dicho impulso
ss de arranque secundario que en esta realización al-
25 macena también ceros en ambos generadores PG2e y PG2r



de fase segunda. Después de cierto número de despla
zamientos en el generador PG1 de fase se inicia el
funcionamiento del generador PG2e de fase segunda
del computador ejecutivo y la activación de la puer
5 ta "O" OR1e. Después de un número adicional de des-
plazamientos correspondientes principalmente al tiem
po de transferencia del canal de transferencia de da
tos, reducido eventualmente con un número de ciclos
de tratamiento, se inicia el funcionamiento del ge-
10 nerador PG2r de fase segunda del computador de reser
va y la activación de la puerta "O" OR1r. Dicha re-
ducción eventual con un número de ciclos de tratamien
to es utilizada si el retardo necesario excede un ci-
clo de tratamiento y si la secuencia de registros de
15 instrucciones del computador de reserva comprende un
número de los llamados registros de instrucción cie-
ga. Se entiende por registro de instrucción ciega un
registro de instrucción cuya instrucción sirve sola-
mente para seleccionar otro registro de instrucción
20 determinado, dando como resultado la selección de un
registro de instrucción ciega una interrupción en el
trabajo del computador en un período igual a un ciclo
de tratamiento. En la figura 2 está representado un
registro BLR de instrucción ciega que pertenece a la
25 secuencia de registros de instrucción del computador

de reserva. El registro de instrucción ciega contiene una instrucción para seleccionar el anterior registro BIRr de instrucción de comienzo. En este caso el registro SIRr de instrucción de arranque del dispositivo SDr de arranque del computador de reserva contiene una instrucción para seleccionar dicho registro BIR de instrucción ciega.

En la realización representada en la figura 3 es utilizado el propio canal DC H de transferencia de datos para conseguir que la fuente de impulsos de arranque inicie el proceso de arranque para el computador de reserva con un retardo de tiempo relacionado con el proceso de arranque para el computador ejecutivo. El impulso de arranque secundario es transmitido paso a paso a través del generador PGle de fase primera del computador ejecutivo y es utilizado para determinar los dos ciclos de tratamiento que siguen sin interrupción al impulso de arranque secundario. Durante el ciclo posterior la puerta "O" ORle está activada para transmitir por lectura la instrucción de arranque a la línea de órdenes del computador ejecutivo, como se explicó con relación a la figura 1. Por medio de un impulso que es generado por el generador PGle de fase durante la primera fase de sincronismo del ciclo de tratamiento que sigue inme-

25 JAN 1975

diatamente después del impulso de arranque secundario, se activan los antes mencionados medios G2 de puerta por intermedio de la memoria de control del canal de transferencia de datos. Los medios G1 de

5 puerta pertenecen a los medios TL lógicos de transferencia. De este modo es conectado el canal de transferencia de datos a la línea general de datos del computador de reserva. Durante el resto de dicho ciclo de tratamiento que sigue inmediatamente

10 después del impulso de arranque secundario, el generador PG1e de fase activa, por intermedio de una segunda puerta "0" OR2 y por intermedio de segundos medios AND2 de puerta, la lectura de la instrucción de arranque a la línea dbe general de datos del computador ejecutivo, de modo que la instrucción de

15 arranque es tratada del mismo modo que los datos que son transferidos durante un tratamiento de instrucción a una unidad de función arbitraria. El dispositivo SDr de arranque del computador de reserva

20 cuyo generador PG2r de fase segunda ha sido llenado con ceros de alguno de los modos antes mencionados, comprende un dispositivo de comparación de arranque provisto de entradas conectadas al registro SIRr de instrucción de arranque y a la línea general de datos del computador de reserva. El dispositivo de com

25



paración de arranque está simbolizado en la figura
3 por medios EXORs "O EXCLUSIVOS" provistos de sa-
lida inversora. Cuando la instrucción de arranque
que llega por intermedio del canal de transferencia
de datos es interpretada en el sentido de ser igual
5 a la instrucción de arranque almacenada en el regis-
tro S1Rr de instrucción de arranque, el dispositivo
de comparación de arranque envía una señal de igual-
dad que es transmitida paso a paso a través del ge-
nerador PGIr de fase primera del computador de re-
10 serva. Esperando un número adecuado de desplazamien-
tos en el registro de desplazamiento antes de que
el generador PGIr de fase inicie el funcionamiento
del generador PG2r de fase, antes de que arranque pa-
15 ra activar la puerta "O" OR1r y antes de que desacti-
ve dichos segundos medios G2 de puerta, se obtiene
una posibilidad de ajuste preciso del tiempo de re-
tardo total, de modo que se consigue una cooperación
óptima. Con esto se quiere decir que los datos trans-
20 feridos desde el computador ejecutivo, por ejemplo
datos de actualización, son recibidos en el compu-
tador de reserva sin defectos durante la fase de sin-
cronismo prevista para la recepción de datos de la
unidad de función a la que se da acceso debido a una
25 instrucción transferida desde la secuencia de registros

25 ENE. 1975

de instrucciones del computador de reserva a la línea general de órdenes del computador de reserva. En la figura 3 se ha supuesto hasta ahora que cada ciclo de tratamiento comprende cuatro fases de sincronismo y que son transmitidos datos a la respectiva línea general de datos durante las tres últimas fases. Además se ha supuesto que se consiguen las mejores condiciones de actualización si dicha señal de igualdad se produce dos fases de sincronismo antes del tratamiento de la instrucción de arranque del computador de reserva.

La realización de acuerdo con la figura 3 hace que el proceso de arranque tenga una duración de un ciclo de tratamiento más que en la realización de acuerdo con la figura 1, pero tiene menos requerimientos en lo que respecta a dependencia del tiempo y temperatura de los elementos constructivos del canal de transferencia. Con la ayuda de todas las realizaciones para el aparato propuesto para facilitar la cooperación entre dos computadores de línea general unificada se consigue que las instrucciones del computador de reserva durante todo el proceso de cooperación sean tratadas en paralelo y en sincronismo, pero retardadas en tiempo en comparación con las instrucciones del computador ejecutivo, siendo el retar

do tal que, en un sentido simbólico, el computador de reserva no nota durante los ciclos de tratamiento de la actualización que los datos recibidos no son enviados desde una unidad de función propia, si
5 no desde la correspondiente unidad de función del computador ejecutivo.

Mediante la fuente de impulsos de arranque que se consigue que el estado lógico de la salida del canal de transferencia de datos corresponda al
10 menos durante las fases de sincronismo previstas para recepción de datos en el computador de reserva, de acuerdo con el ejemplo hasta ahora seguido la fase 4 en cada ciclo de tratamiento, al estado lógico de la línea general de datos del computador de reserva.
15 Este resultado es utilizado para realizar dicha comparación continua preliminar entre los datos instantáneos producidos por los computadores con la ayuda de un dispositivo de comparación de deriva o desplazamiento como se representa en la figura 2 donde
20 está simbolizado esencialmente por medios EXORa "0 EXCLUSIVOS" los cuales durante dichas fases de sincronismo previstas para recepción de datos en el computador de reserva son alimentados con dichos dos estados lógicos y que generan una señal de alarma al tener lugar
25 una diferencia de los estados.



25 ENE. 1975

El dispositivo EXORd de comparación de deriva en combinación con las memorias CM de control, de las cuales está representada una en la fi gura 2, es utilizado ventajosamente para realizar

5 un diagnóstico de un computador de línea general uni ficada averiado con la ayuda de un computador de línea unificada idéntico pero no averiado. La finalidad del diagnóstico es determinar el módulo que está defectuoso, de modo que la reparación del computador

10 consiste solamente en compensar el módulo averiado con un módulo no averiado. El diagnóstico comienza con un proceso de arranque con deriva en paralelo de acuerdo con la descripción anterior, funcionando el computador averiado como computador de reserva mien

15 tras que el computador no averiado funciona como com putador ejecutivo, el cual controla en el modo normal con funcionamiento independiente, por ejemplo, un equi po de telecomunicación. Después de esto es actualizado el computador defectuoso, siendo registrado un estado

20 de transferencia en todas las memorias CM de control. Al producirse un cambio completo siguiente a una coope ración normal en sincronismo y en paralelo entre los computadores, el dispositivo EXORd de comparación de deriva generaría una señal de alarma cuando se le da

25 acceso para transmisión de datos la unidad de función

25 FEB 1975

que produce datos defectuosos. Sin embargo, un cambio sucesivo a una cooperación normal, significando por ejemplo que el número de unidades de función con un estado de transferencia registrado se reduce cada vez más, manual o automáticamente, con intervalos de tiempo adecuados, no produce sin embargo señal de alarma mientras el estado de transferencia esté registrado para la unidad de función defectuosa. Dicha reducción sucesiva de estados de transferencia registrados constituye en consecuencia grandemente un método de diagnóstico simple definiendo una señal de alarma la unidad de función como defectuosa cuyo estado de transferencia ha sido invalidado el último antes de la alarma. Hay muchas modificaciones de este método de diagnóstico que hacen uso de la posibilidad de registrar estados de transferencia independientemente en las unidades de función. Un ejemplo de modificación es mantener todos los estados de transferencia excepto uno a la vez, o dividir las unidades de función en grupos y definir primero el grupo que contiene la unidad de función defectuosa. Dicha división en grupos acorta el tiempo medio para el diagnóstico, aunque debe realizarse una nueva actualización antes de comenzar el diagnóstico dentro del grupo que incluye la unidad de función defectuosa.

25 ENERO 1975

Resumiendo, tal cooperación de dos computadores de línea general unificada se facilita con la ayuda del método propuesto y anteriormente descrito, de modo que uno de los computadores actuali
5 za el otro computador con sus datos producidos instantáneamente, que los computadores se vigilan entre sí de tal modo que sus datos instantáneos son comparados entre sí continua y completamente, y que un computador de control en tiempo real independiente no
10 averiado realiza un diagnóstico de un computador averiado con el fin de determinar la unidad de función defectuosa, siendo utilizados únicamente datos instantáneos del proceso de control en tiempo real.

La presente solicitud, que corresponde a
15 la presentada en Suecia, el 30 de Octubre de 1973, bajo el número 73.14713-4, se acoge a los beneficios del artículo 51 del vigente Estatuto de la Propiedad Industrial.

20

REIVINDICACIONES

Los puntos de invención propia y nueva,
que se presentan para que sean objeto de la presente
25 solicitud de Patente de Invención en España, por VEINTE

16-1-75





25 ENE 1975

años, son los que se recogen en las reivindicaciones siguientes:

5 1ª.- Un aparato para facilitar la cooperación entre un ordenador ejecutivo y un ordenador de reserva en un sistema que consiste en un ordenador o computador (E) ejecutivo y un ordenador o computador (R) de reserva esencialmente idéntico a este para facilitar una cooperación entre los computadores, por ejemplo para actualizar el computador de reserva
10 con datos producidos por el computador ejecutivo que antes de la cooperación funciona realizando un trabajo independiente de modo que el computador de reserva trabaja entonces en paralelo y en sincronismo con el computador ejecutivo, consiguiéndose el sincronismo
15 por impulsos de sincronismo generados por ejemplo por un generador (CG) de impulsos de sincronismo que es común para ambos computadores y está conectado a los computadores por intermedio de una línea (tbe, tbr) general de sincronismo incluida en un sistema de línea general, comprendiendo cada uno de los computadores una pluralidad de unidades (FUE, FUr) de función susceptibles de tener acceso, por ejemplo a una unidad de memoria, una unidad aritmética, un registro de tratamiento, entre cuyas unidades de función son transferidos
20 datos a través de una línea (dbe, dbr) general de
25

16-1-75

- 35 -


25 ~~ENE~~ 1975

datos, son transferidas direcciones y órdenes a través de una línea (obe, obr) general de órdenes estando incluidas las líneas generales en dicho sistema de línea general, y de cuyas unidades de función al menos una contiene una secuencia de registros (IRSe, IRSr) de instrucciones seleccionables para almacenar instrucciones que son leídas y tratadas una por una durante su ciclo de tratamiento activado por el generador de sincronismo y que comprende un número de fases de sincronismo, caracterizado porque el aparato comprende una fuente (SP) de impulsos de arranque que está conectada al generador de impulsos de sincronismo y a dicho sistema de línea general en cada computador y que al tener lugar un impulso (ps) de arranque primario inicia el proceso de arranque para el funcionamiento en paralelo de los computadores, un canal (DCH) de transferencia de datos conectado unidireccionalmente desde la línea (dbe) general de datos del computador ejecutivo a la línea (dbr) general de datos del computador de reserva, imponiendo dicho canal utilizado para la cooperación, debido a su construcción, sobre los datos transferidos, un determinado retardo que excede la longitud de una fase de sincronismo, y al menos un elemento de retardo que consigue que la fuente de impulsos de arranque inicie el arranque del

16-1-75





25 ENA 1975

computador de reserva en relación con el arranque del
computador ejecutivo con un retardo esencialmente igual
al retardo impuesto por dicho canal de transferencia
de datos debido a su construcción (figuras 1-3).


5 2ª.- Un aparato de acuerdo con la reivin-
dicación 1ª, caracterizado porque dicho al menos uno
elemento de retardo incluye una línea de retardo.

10 3ª.- Un aparato de acuerdo con la reivin-
dicación 1ª, caracterizado porque dicho al menos uno
elemento de retardo incluye un canal de transferencia,
cuya construcción corresponde esencialmente a la cons-
trucción de dicho canal de transferencia de datos des-
de la línea general de datos del computador ejecutivo
a la línea general de datos del computador de reserva.

15 4ª.- Un aparato de acuerdo con la reivin-
dicación 1ª, caracterizado porque dicho al menos uno ele
mento de retardo incluye un registro de desplazamiento
que es incrementado por pasos mediante impulsos de sin
cronismo, consiguiendo al menos parcialmente dicho re-
tardo determinado la longitud de período de los impul-
20 sos de sincronismo y el número de los registros de des
plazamiento.

25 5ª.- Un aparato de acuerdo con la reivin
dicación 4ª, caracterizado porque dichos impulsos de
sincronismo son generados por dicho generador de impul

16-1-75

25  FEB 25 1975

sos de sincronismo (figuras 1-2).

5 6ª.- Un aparato de acuerdo con la reivindicación 1ª, caracterizado porque dicho al menos uno elemento de retardo incluye un número de registros (BLR) de instrucción ciega que pertenecen a la secuencia de registros de instrucciones del computador de reserva, conteniendo cada registro de instrucción ciega una información correspondiente a que ha de seleccionarse un determinado registro de instrucción y siendo tratados los registros de instrucción ciega consecutivamente uno después de otro, consiguiendo sus ciclos de tratamiento al menos parcialmente dicho retardo determinado (figura 2).

15 7ª.- Un aparato de acuerdo con la reivindicación 1ª ó 6ª, caracterizado porque dicha fuente (SP) de impulsos de arranque comprende una unidad (IU) de señal de interrupción que está conectada al sistema de línea general del computador ejecutivo y que, al tener lugar la activación mediante un impulso (ps) de arranque primario, interrumpe el trabajo ejecutivo que está en curso y genera un impulso (ss) de arranque secundario, y comprende para cada uno de los computadores un dispositivo (SDe, SDr) de arranque que al tener lugar su activación mediante un impulso de entrada inicia el trabajo para la selección de un regis-

20

25

16-1-75

tro (BIR_e, BIR_r) de instrucción de comienzo que pertenece a la respectiva secuencia de registros de instrucciones, cuyo registro de instrucción de arranque almacena una instrucción que inicia el trabajo del respectivo computador, porque dicho al menos uno elemento de retardo está dispuesto entre la unidad (IU) de señal de interrupción y el registro (BIR_r) de instrucción de comienzo del computador de reserva, y porque la transferencia de datos por intermedio de dicho canal (DCH) de transferencia de datos está controlada con la ayuda de al menos una memoria (CM) de control para registrar un estado (ts) de transferencia y con la ayuda de medios (TL) lógicos de transferencia para abrir dicho canal de transferencia de datos al estar presente un estado de transferencia suministrado y para impedir un transporte de datos entre las unidades de función del computador de reserva (Figuras 1-3).

8^a.- Un aparato de acuerdo con la reivindicación 7^a, caracterizado porque dichos medios (TL) lógicos de transferencia comprenden una disposición (EXOR_d) de comparación de deriva para generar una señal de alarma al producirse una diferencia entre los datos transferidos a la salida del canal de transferencia de datos y los datos transportados a través de la línea general de datos del computador de reserva (fi

16-1-75



25 ~~ENE~~ 1975

gura 2).

5 9ª.- Un aparato de acuerdo con las reivindicaciones 7ª u 8ª, caracterizado porque las unidades de función de los computadores comprenden una memoria (CM) de control para registrar cada una de ellas el estado (ts) de transferencia de la respectiva unidad de función (figura 2).

10 10ª.- Un aparato de acuerdo con una de las reivindicaciones 7ª-9ª, caracterizado porque dichos dispositivos de arranque comprenden al menos un generador (PG1, PG1e, PG1r) de fase primera que está controlado por el generador de impulsos de sincronismo y que al tener lugar la activación mediante dicho impulso de entrada determina
15 de un número de fases de sincronismo generadas aquellas que constituyen el ciclo de tratamiento para una instrucción de arranque almacenada en un registro (SIRe, SIRr) de instrucción de arranque que pertenece al respectivo dispositivo de arranque, siendo
20 dicha selección del respectivo registro (BIRe, BIRr) de instrucción de comienzo el resultado del tratamiento de la instrucción de arranque, y porque dichos dispositivos de arranque comprenden un generador (PG2e, PG2r) de fase segunda cada uno, que es
25


25 FEB 1975

tá controlado por el generador de impulsos de sincro
nismo, genera las fases de sincronismo para los ci-
clos de tratamiento del respectivo computador y es-
tá conectado a la respectiva línea general de sincro
5 nismo, estando conectado a dicha unidad (IU) de se-
ñal de interrupción, de dichos generadores de fase
segunda, al menos el que pertenece al dispositivo
(SDr) de arranque del computador de reserva con el
fin de poner a cero dicho generador de fase segunda
10 en coincidencia última con dicho impulso (ss) de arran-
que secundario e interrumpir así la alimentación de
fases de sincronismo a la respectiva línea general
de sincronismo, y conectado a dicho generador de fa-
se primera con el fin de volver a iniciar el funcio-
15 namiento de dicho generador de fase segunda por el
impulso de sincronismo que coincide con la primera
de dichas fases de sincronismo dentro del ciclo de
tratamiento de la respectiva instrucción de arranque
y comenzar así nuevamente la alimentación de fases
20 de sincronismo a la respectiva línea general de sin-
cronismo (figuras 1-3).

11a.- Un aparato de acuerdo con las
reivindicaciones 5ª y 10ª, caracterizado porque di-
cho registro de desplazamiento está incluido en un
25 generador (PG1) de fase primera común para ambos dis

16-1-75



25 ENE 1975

positivos de arranque, constituyendo dicho impulso (ss) de arranque secundario el impulso de entrada del generador de fase primera que determina el ciclo de tratamiento para la instrucción de arranque del computador de reserva retardado en tiempo con relación al ciclo de tratamiento para la instrucción de arranque del computador ejecutivo (figura 2).

12^a.- Un aparato de acuerdo con la reivindicación 10^a, caracterizado porque dichos dispositivos (SDe, SDr) de arranque comprenden un generador (PG1e, PG1r) de fase primera cada uno y porque dicho impulso (ss) de arranque secundario constituye el impulso de entrada para el generador (PG1e) de fase primera que está asociado con el computador ejecutivo y que determina el ciclo de tratamiento de la instrucción de arranque de modo que coincide con uno de los ciclos que son generados por el generador (PG2e) de fase segunda que no está interrumpido desde la unidad de señal de interrupción.

13^a.- Un aparato de acuerdo con las reivindicaciones 5^a y 12^a, caracterizado porque dicho registro de desplazamiento está incluido en el generador (PG1r) de fase primera del computador de reserva, cuyo generador de fase recibe como impulso de entrada el impulso de arranque secundario.

25 ENE 1975

14ª.- Un aparato de acuerdo con las reivindicaciones 2ª y 12ª, ó 3ª y 12ª, caracterizado porque dicho generador (PGlr) de fase primera del dispositivo (SDr) de arranque del computador de reserva recibe su impulso de entrada de dicho elemento de retardo que es activado por el impulso de arranque secundario.

15ª.- Un aparato de acuerdo con las reivindicaciones 2ª, 5ª y 12ª, ó 3ª, 5ª y 12ª, caracterizado porque dicho registro de desplazamiento está incluido en el generador (PGlr) de fase primera del computador de reserva, cuyo generador de fase recibe el impulso de arranque secundario como impulso de entrada, retardado por medio de dicho elemento de retardo (figura 1).

16ª.- Un aparato de acuerdo con la reivindicación 12ª, caracterizado porque el generador (PGle) de fase primera del computador ejecutivo determina antes del comienzo de dicho ciclo de tratamiento para la instrucción de arranque al menos un ciclo de tratamiento adicional durante el cual se registra un estado (ts) de transferencia en dicha al menos una memoria (CM) de control y durante el cual la instrucción de arranque almacenada en el registro (SIRe) de instrucción de arranque del computador ejecutivo

16-1-75



25 ENE 1975



es enviada a la línea (dbe) general de datos del computador ejecutivo con el fin de ser transferida desde allí, por intermedio del canal (DCH) de transferencia de datos, a la línea (dbr) general de datos del computador de reserva, y porque el dispositivo de arranque del computador de reserva comprende un dispositivo (EXORs) de comparación de deriva con el fin de generar, como consecuencia de una igualdad entre datos transmitidos a la línea general de datos del computador de reserva y la instrucción de arranque almacenada en el registro (SIRr) de instrucción de arranque del computador de reserva, el impulso de entrada para el generador (PGLr) de fase primera del computador de reserva, cuyo generador de fase durante la selección del registro (BIRr) de instrucción de comienzo anula dicho estado (ts) de transferencia (figura 3).

17^a.- Un aparato para facilitar una cooperación entre un ordenador ejecutivo y un ordenador de reserva.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

16-1-75

- 44 -

25 ENE 1975

Esta Memoria consta de cuarenta y cinco
hojas escritas a máquina por una sola cara.

Madrid,

25 ENE. 1975

P.A.

Oscar de Elzaburu
Por Poder
[Handwritten Signature]

16-1-75

PBG.

- 45 -

[Handwritten Signature]

!

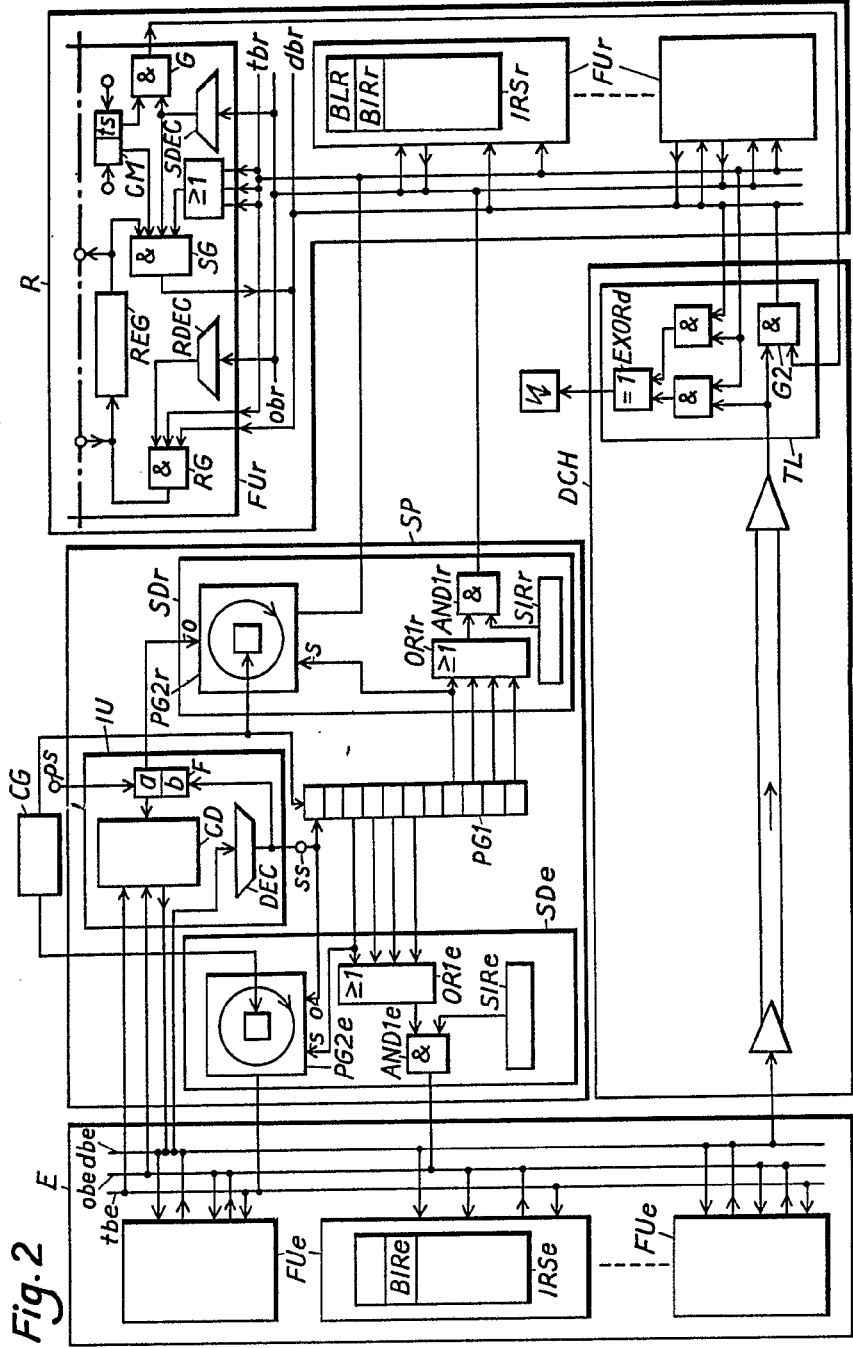
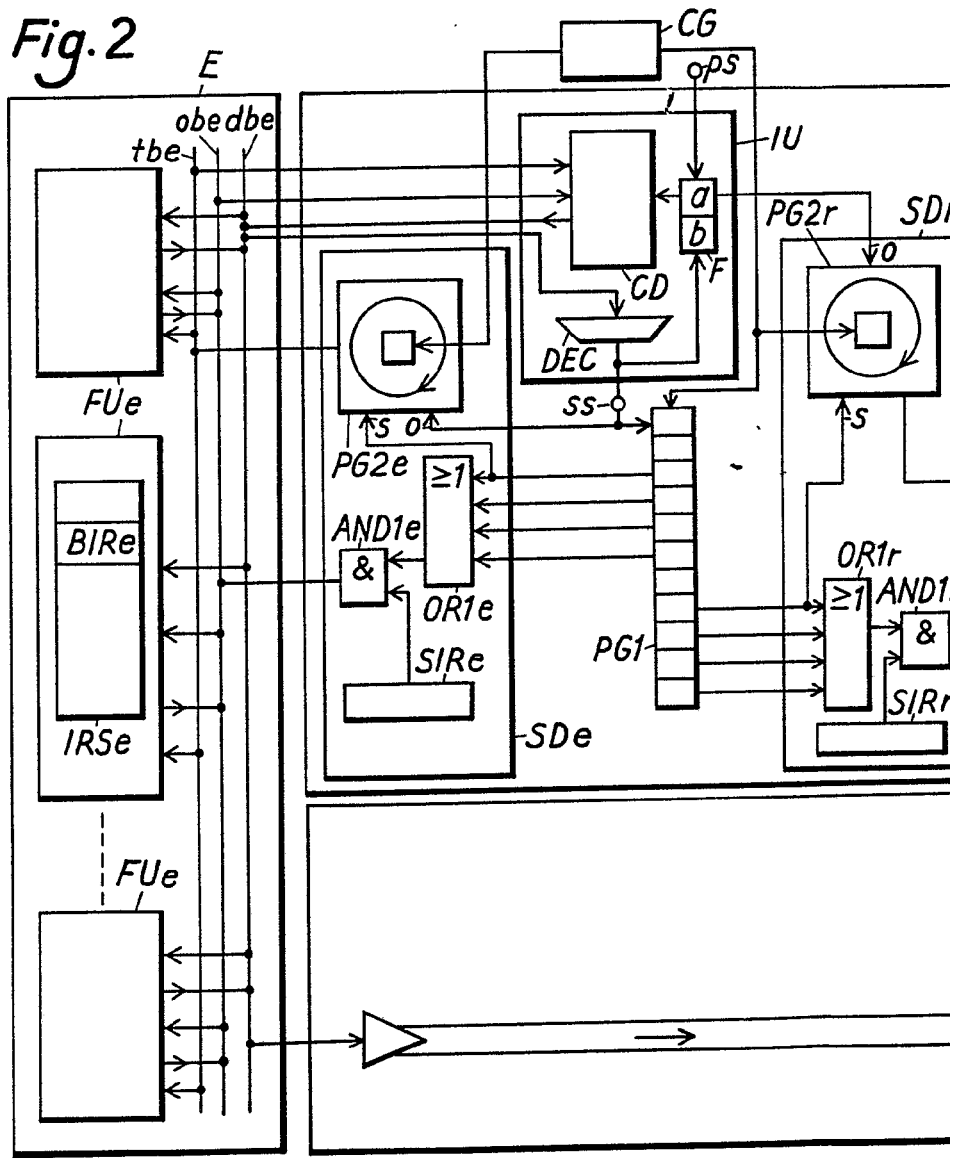


Fig. 2

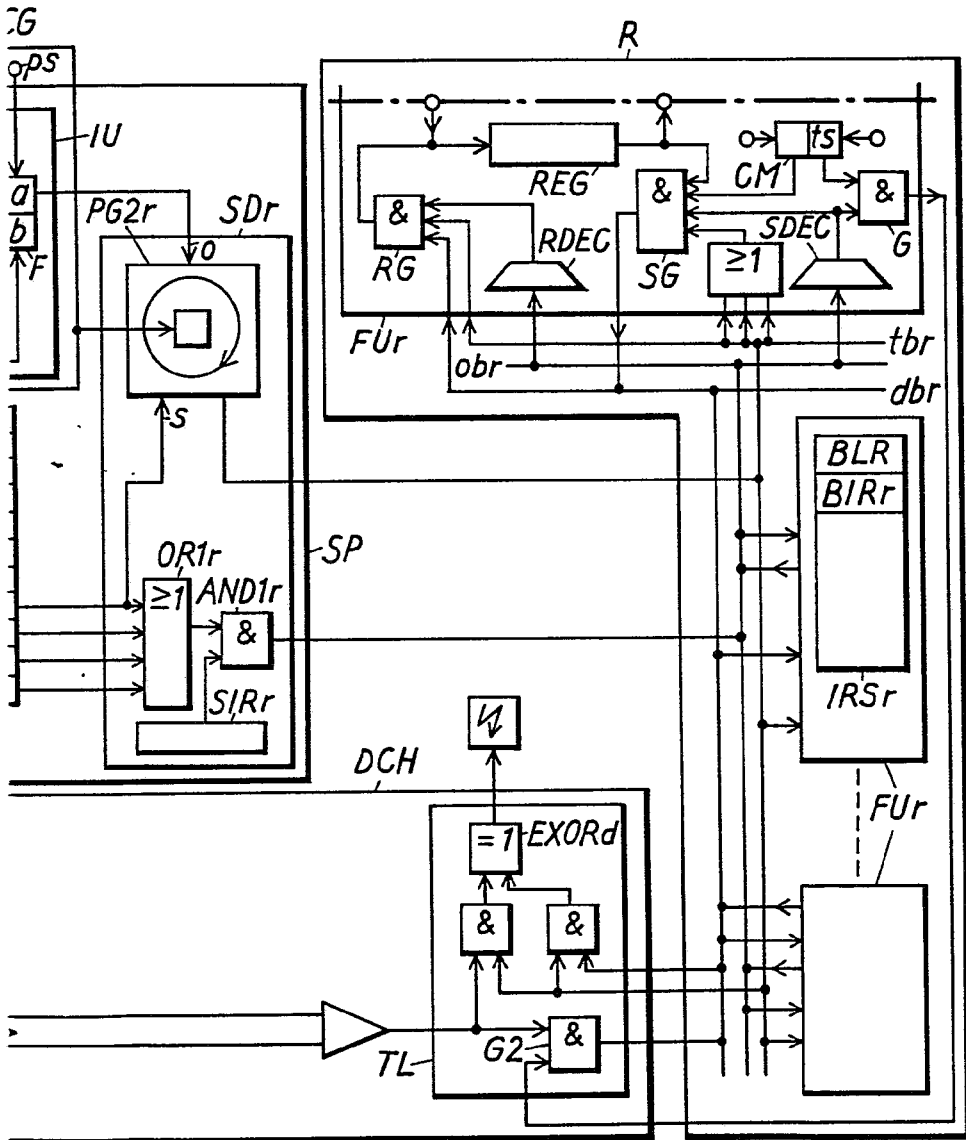


Fig. 2



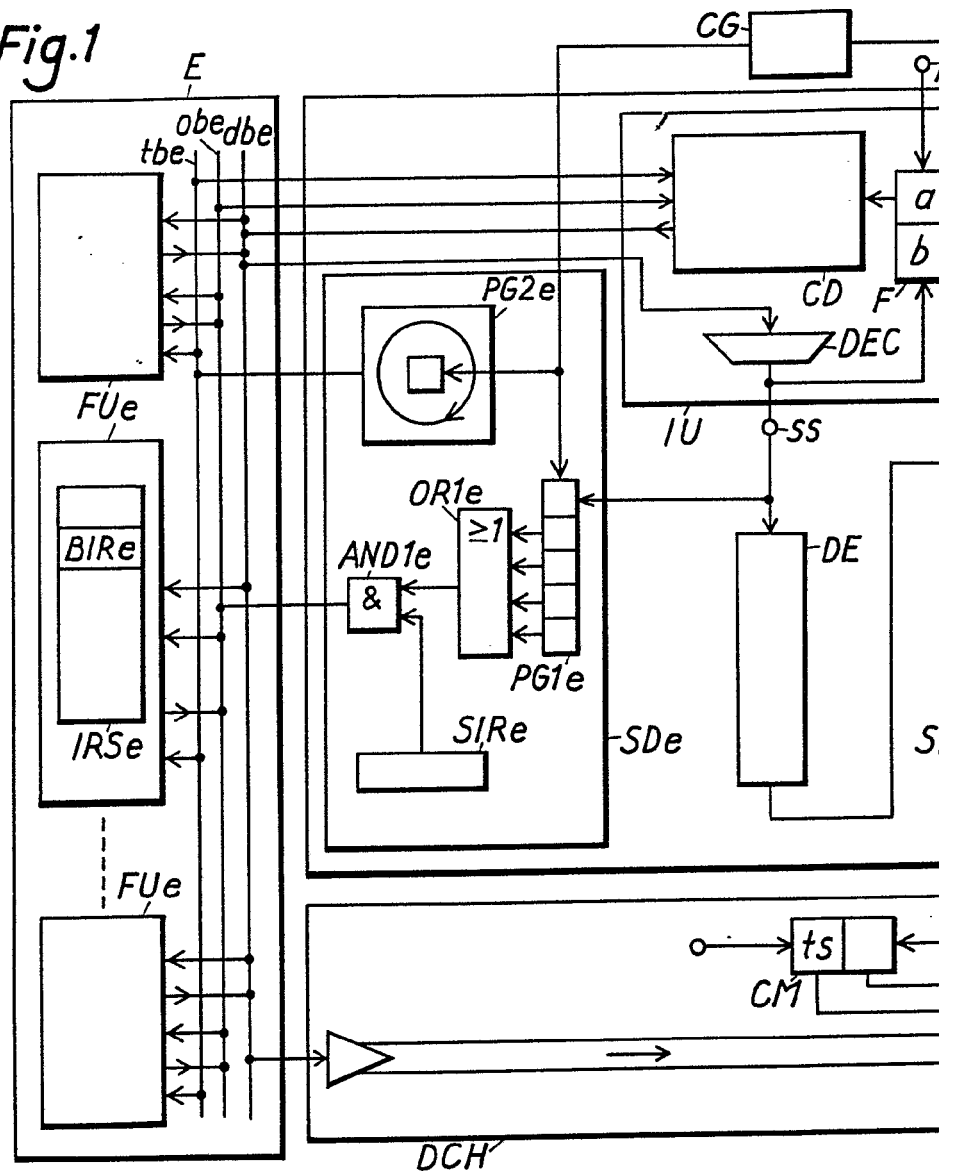
0 8 0 8 7

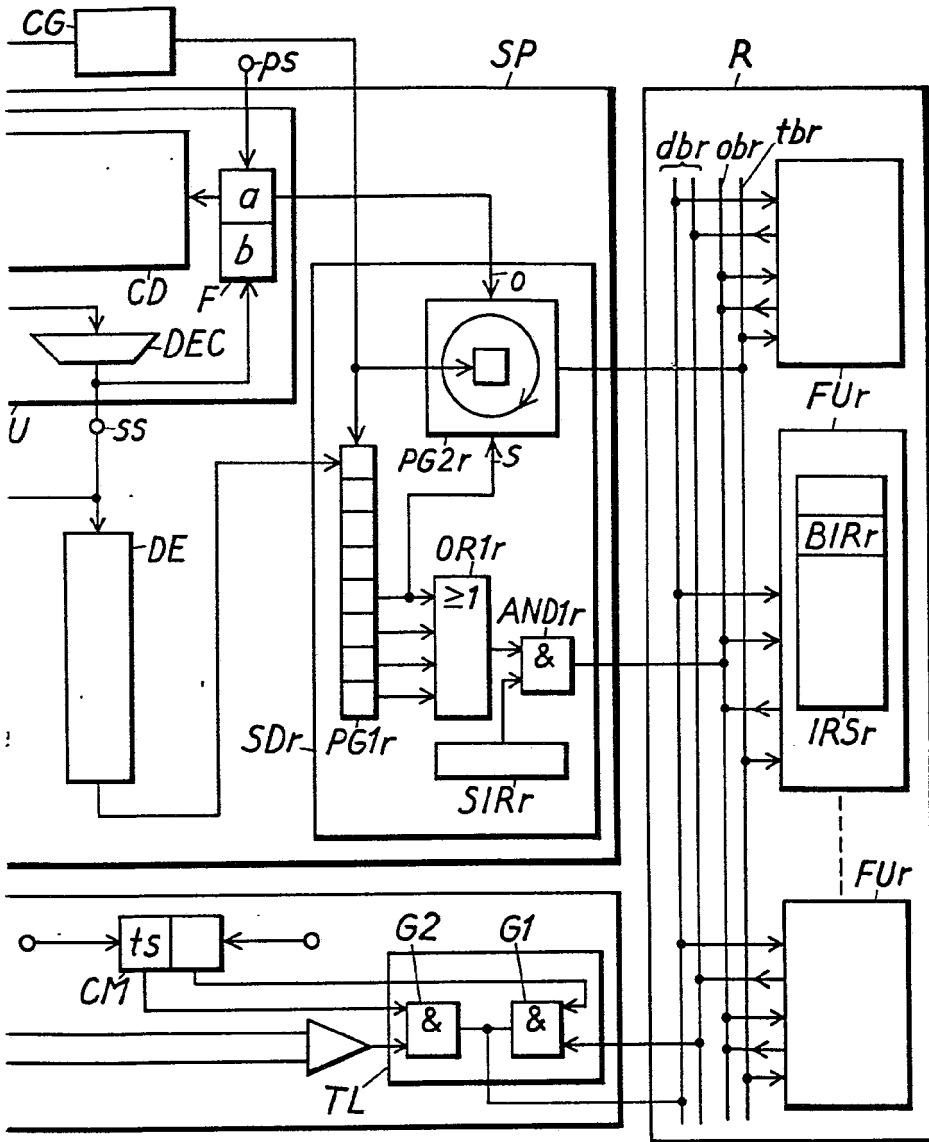
25 E



Oscar de Elizalde
Por Post

Fig.1





Oscar del Eizab...
For Model:

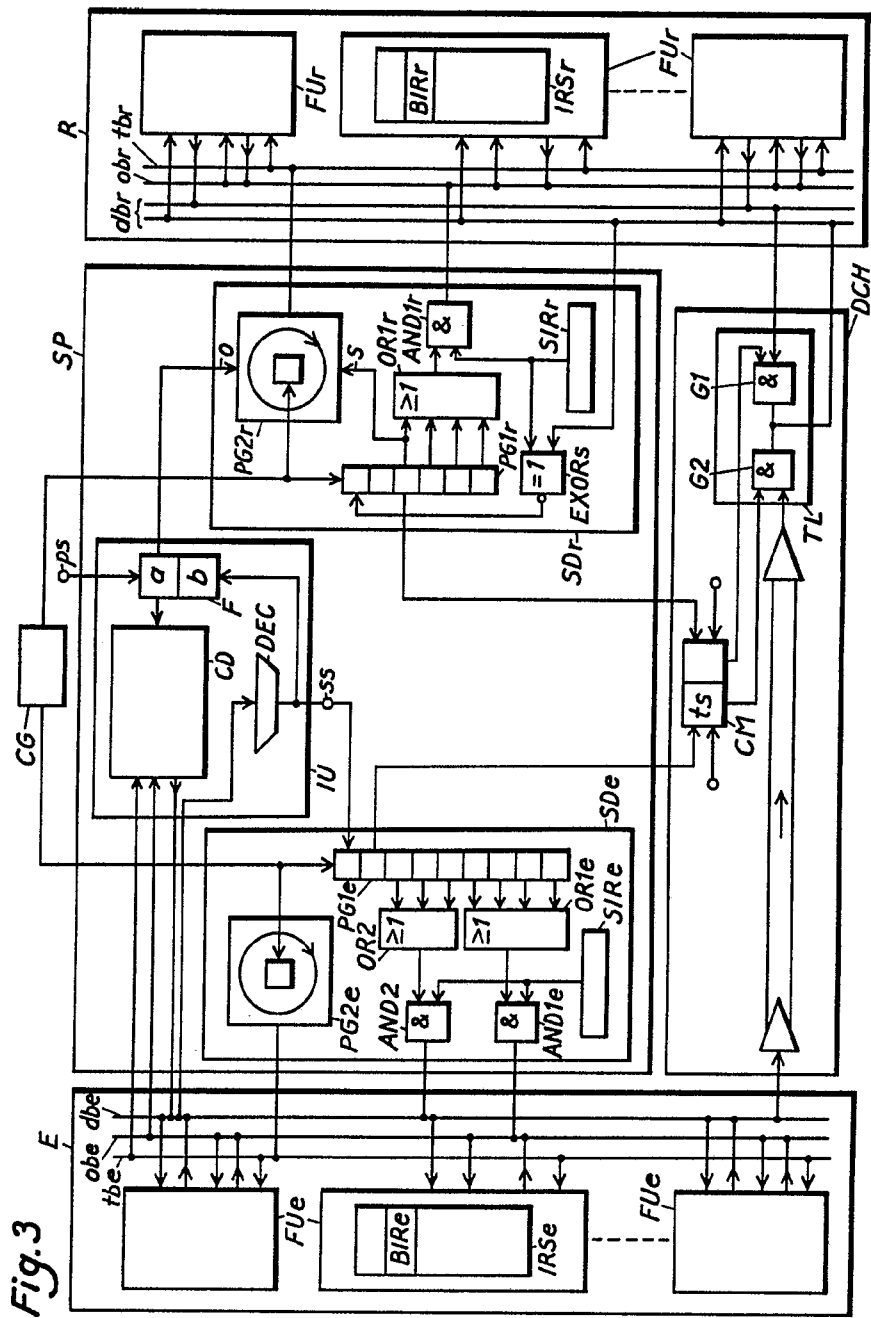
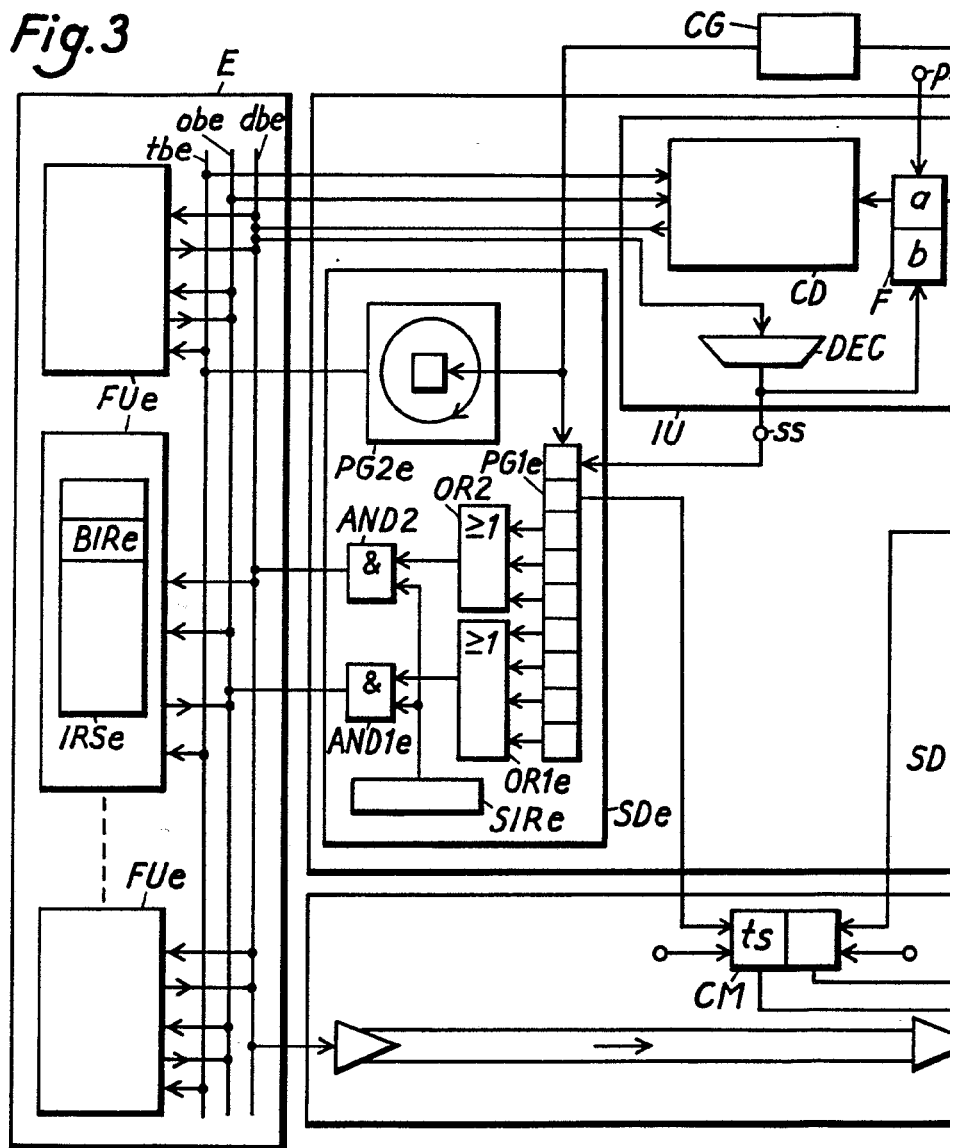


Fig. 3

Office of Exchange
 P. O. Box 1000
 Stockholm, Sweden

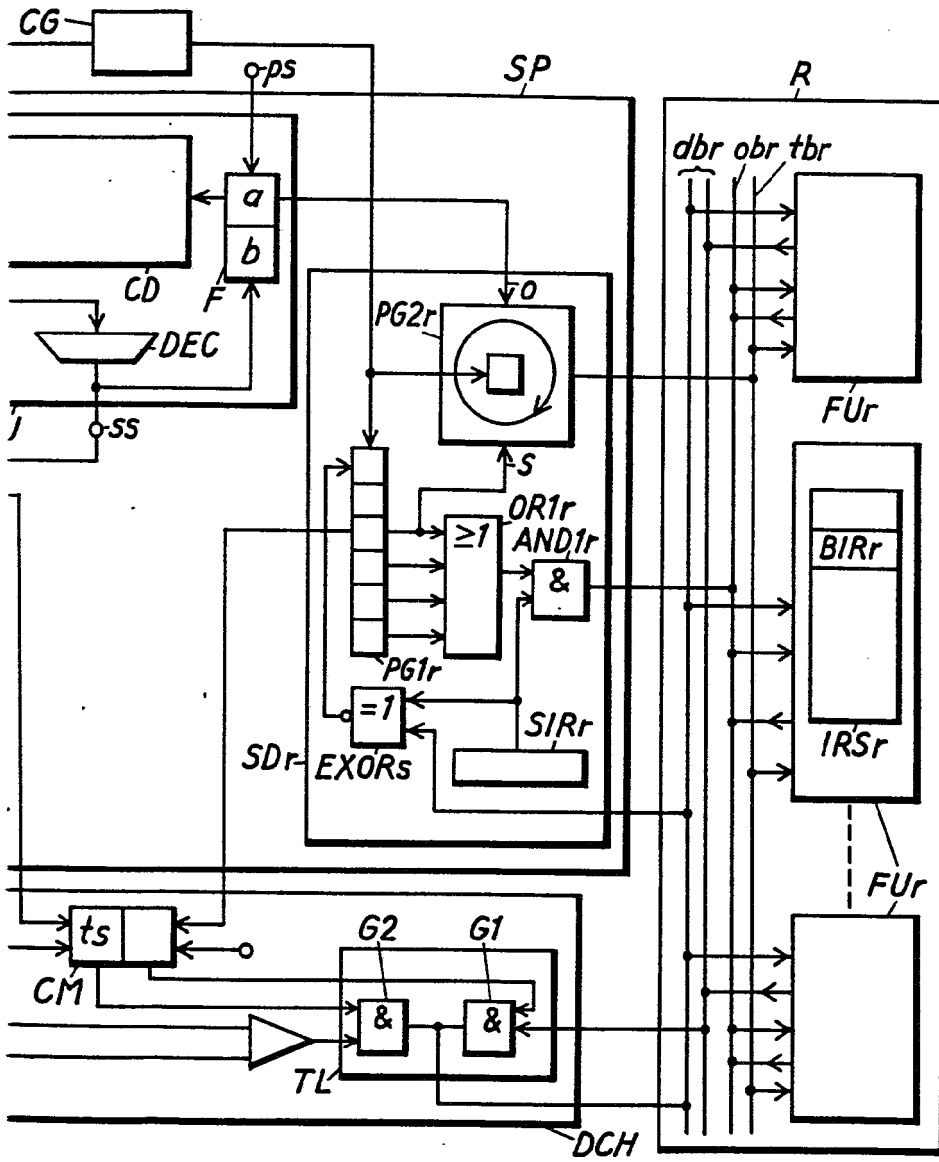


Fig.3





25 ENE 1975



Oscar de Eizaburu
Por poder
[Signature]