

6036

24 OCT. 1978

CONCEDIDA
No. 431.333

MEMORIA DESCRIPTIVA

correspondiente a la solicitud de concesión de un^a

PATENTE DE INVENCION

SOLICITANTE: XEROX CORPORATION.-

RESIDENCIA: Xerox Square, ROCHESTER, N.Y. 14644 U.S.A.

ENUNCIADO: APARATO PARA GENERAR SEÑALES SELECTIVAS
DE SALIDA PRINCIPALMENTE PARA SISTEMAS
DE IMPRESIÓN ELECTROFOTOGRAFICOS.

Prioridad: Patente estadounidense n.º 409.679 del 25.10.73



1
5
10
15
20
25
30

De acuerdo con las enseñanzas de la presente invención se proporcionan métodos y un aparato de exploración y selección así como un sistema de impresión electrofotográfico que emplea dicho aparato de exploración y selección. En una modalidad ejemplar de la invención se explora por medio de dispositivos detectores de código, una pluralidad de registros de datos codificados que contienen información de selección y una pluralidad de registros de datos codificados que van a ser clasificados para fines de selección. La información de código de cada uno de los registros de la pluralidad de registros de datos codificados que contienen la información de selección se carga en secuencia en un memorizador para almacenar en él las condiciones de selección que se van a imponer a la pluralidad de registros de datos codificados que van a ser clasificados para fines de selección. La información de selección obtenida se dirige a una pluralidad de consideraciones de selección y se dispone dicha secuencia de tal manera que cada una de las consideraciones de la pluralidad de consideraciones de selección se define en áreas diferentes del memorizador. Subsecuentemente la información de código de cada uno de los registros de la pluralidad de registros de datos codificados que van a ser clasificados se carga en un aparato de comparación para compararlos con las condiciones de selección que se van a imponer en la forma en que se van a almacenar en el memorizador, el aparato de comparación actúa para imponer cada una de las consideraciones de la pluralidad de consideraciones de selección sobre la información de código de cada uno de los registros de la pluralidad de registros de datos codificados que van a ser clasificados.



1 dos proporciona una señal de clasificación para cada uno
de los registros de la pluralidad de registros de datos co-
dificados que van a ser clasificados para fines de selec-
5 lección, basado en la totalidad de las consideraciones de se-
lección impuestas.

Esta invención se relaciona con técnicas de
exploracion y selección y más particularmente con sistemas
de exploración y selección en los que pueden ser programa-
das condiciones deseadas para selección y una pluralidad
10 de registros codificados pueden ser impresos, contados, se
puede tener acceso a ellos y/o pueden omitirse, todo ello
en forma selectiva, cuando las condiciones codificadas de -
cualquiera de dichos registros de la pluralidad de registros
codificados tienen ciertas condiciones de selección desea-
15 das establecidas.

En la Patente de los Estados Unidos número
3.700.324, que fue otorgada el 24 de octubre de 1972, a -
Mark A. Hutner y colaboradores y ha sido cedida a Xerox Cor-
poration, cuya descripción se incorpora específicamente en la
20 presente como referencia, se describe un sistema de impre-
sión electrofotográfico en el que es explorada una pluralidad
de registros de datos codificados que contienen información
de documentos por medio de dispositivos detectores de có-
digo y son presentados a dispositivos formadores de imagen
25 electrofotográfica en donde la información del documento de
cada uno de los registros de datos se forma en imagen sobre
un miembro fotosensible y se procesa de acuerdo con técnicas
electrofotográficas continuas para la presentación subse-
cuente a una estación de transferencia. La información de
30 código de cada uno de los registros de la pluralidad de re-



1 gistros de datos explorados, de acuerdo como son proporci-
nados por los dispositivos detectores de código, es procesa-
da lógicamente de acuerdo con las condiciones selecciona-
5 das para la impresión que pueden ser establecidas y la infor-
mación de impresión y de omisión se genera en secuencia -
desde las mismas. La secuencia de impresión y omisión de -
información es propagada a través de un circuito lógico a
un régimen que corresponde al régimen al cual la información
de documento desde cada uno de los registros de la plurali-
10 dad de registros de datos codificados es procesado electro-
fotográficamente de tal manera que cada uno de los bitios
de información en la secuencia de información de impresión
y omisión está presente en una salida del circuito lógico en
un momento en el que la información del documento del registro
15 de datos asociado con el mismo es presentado a la estación
de transferencia. Adicionalmente, dicha información de bitio
en la secuencia de información de impresión y omisión puede
emplearse para controlar la energización de las diversas es-
taciones dentro del equipo de procesamiento continuo elec-
20 trofotográfico.

En la estación de transferencia, un miembro
de transferencia que normalmente se mantiene en una posición
desplazada del miembro fotosensible, se carga continuamente
por medio de un dispositivo de carga de iones y se propor-
25 ciona un conjunto de miembro de transferencia especialmente
adaptado para traer selectivamente el miembro de transferen-
cia desde su posición desplazada a una relación de trans-
ferencia con el miembro fotosensible en respuesta a la pre-
sencia en una salida predeterminada del circuito lógico de
30 un bitio en la secuencia que representa la señal de impre-



1 sión. Así en esta forma, el sistema de impresión electro-
fotográfico descrito en la patente de los Estados Unidos
número 3.700.324 permite que se explore una pluralidad de
registros de datos codificados que contienen información
5 de documentos mientras que la información de documentos pre-
sente en el mismo es procesada de acuerdo con técnicas de
procesamiento electrofotográficas altamente eficientes;
sin embargo, solo la información de documentos en la forma
de una imagen de matizador desde los registros de datos co-
10 dificados que tienen la información de código que concurre
con las condiciones seleccionadas para la impresión estable-
cida son los que se transfieren al miembro de transferen-
cia. Por lo tanto, aún cuando se utilizan a través de todo
el sistema establecido técnicas de procesamiento continuas
15 electrofotográficas altamente eficientes, la impresión tiene
lugar a base de una transferencia selectiva de la informa-
ción de documentos desde los registros de datos codificados
de acuerdo con el criterio seleccionado establecido.

20 Los sistemas de impresión electrofotográficos
descritos en conjunto con la patente de los Estados Unidos
número 3.700.324 son altamente ventajosos debido a que los
registros de datos codificados pueden tomar cualquier for-
ma conveniente tales como tarjetas de datos, microfichas o
cualquier otro formato de registro apropiado capaz de ser
25 codificado y que tiene información apropiada de documentos
tales como datos de direcciones, datos de negocios o infor-
mación de colocaciones proporcionados en los mismos, mien-
tras que la operación de transferencia selectiva descrita
emplea técnicas de carga en corona y por lo tanto produce
30 imágenes de matizador de alta calidad sobre un miembro de



1

5

10

15

20

25

30

transferencia sin que sean adversamente afectadas por las condiciones de humedad o problemas de obturamiento del matizador. Adicionalmente, el circuito de exploración y selección establecido como parte del sistema de impresión electrofotográfico descrito en la patente de los Estados Unidos número 3.700.324 proporciona un amplio ámbito de selectividad en el que puede ser explorada una pluralidad de indicaciones codificadas en cada uno de los registros codificados y se puede hacer una selección para registros de datos codificados individuales con el fin de imprimir o de omitir a base de la condición codificada para la totalidad o una parte de las indicaciones codificadas exploradas. Por ejemplo, en una modalidad del circuito de exploración y selección descrito en conjunto con la figura 3 de los sistemas de impresión electrofotográficos ejemplares descritos en la patente de los Estados Unidos número 3.700.324, se proporcionan tarjetas de datos que tienen información de dirección apropiada para imprimir etiquetas de direcciones de sobres o similares, con un formato físico que incluye una hilera de ubicaciones idénticas de bitios alineada transversalmente a la dirección del recorrido de la tarjeta para precodificar dichas tarjetas de acuerdo con un código predeterminado aplicado a la tarjeta de datos con la información de dirección. Aun cuando se proporcionan doce (12) de dichas ubicaciones de bitios, sólo tres (3) ubicaciones de bitios seleccionadas son exploradas ópticamente para saber si la información tiene marca o no tiene marca cuando se procesa la tarjeta de datos. El circuito ejemplar de exploración y selección ilustrado en la figura 3 de la patente de los Estados Unidos número 3.700.324 permite que el operario establezca una plu-

3 JUN 1974



1 ralidad de condiciones de impresión y/u omisión basada en
la relación de la condición codificada de las indicaciones
exploradas por una pluralidad de conjuntos de condiciones
fijadas en el sistema y dicha relación puede ser desarrolla
5 da como una función de operaciones OR y/o AND. De esta forma,
en el circuito ejemplar de exploración y selección establecido,
se describen dos (2) módulos AND y uno (1) módulo OR y la
condición de la ubicación de cada uno de los bitios explorado
es aplicada a cada uno de los módulos. Cada uno de los módulos
10 incluye un circuito para designar una condición de "marca",
"no marca" e "indiferente" para cada una de las ubicaciones
de los tres bitios de cada una de las tarjetas de datos explorada
así como un circuito apropiado para lograr la función AND u OR
asociada con ese módulo.
15 Adicionalmente, el operario también puede especificar que
cuando las condiciones de entrada de una tarjeta de datos -
que se esta explorando se comparan favorablemente a través
de una operación de AND o OR con las condiciones de ubicación
de bitios establecidas en un módulo determinado, se
20 produzca una salida diseñando una operación de "impresión"
(selección) u "omisión" de tal manera que la información de
documentos en la tarjeta de datos que se está leyendo pueda
ser impresa o bien omitida y debido a una pluralidad de módulos
de selección que se emplean se da prioridad a una salida
25 de omisión desde un módulo de selección sobre salidas de
impresión desde otros módulos mientras que la información de
documentos asociada con una tarjeta de datos determinada es
impresa si una o más señales de impresión se obtienen y no
se produce una señal de omisión; mientras que la información
30 de documentos de una tarjeta de datos es omitida en cualquier

1 momento en que se proporcione una salida de omisión por me-
diq de uno de los módulos de selección. Adicionalmente, la
disposición lógica y la simetría del circuito de explora-
ción y selección descrito en la patente de los Estados Uni-
5 dos número 3.700.324 es tal que el aparato adicional de ex-
ploración de localizacion de bitio y los módulos de selec-
ción AND y /u OR pueden ser fácilmente incorporados en el
sistema de impresión ejemplar electrofotográfico para llenar
requisitos especializados o para solicitudes sin que se re-
quiera una modificación substancial del sistema descrito o
10 la adición de una cantidad desproporcionada de circuitos -
adicionales. De esta manera, las personas ordinariamente há-
biles en el arte apreciarán que los sistemas de impresión
electrofotográficos ejemplares descritos en la patente de
15 los Estados Unidos número 3.700.324 proporcionan sistemas
de impresión selectivos altamente flexibles que permiten -
que la informacion de documentos contenida en registros co-
dificados sea impresa selectivamente y en los que la selec-
ción se logra y se lleva a cabo automáticamente sobre la ba-
20 se de una amplia gama de condiciones de selección que pue-
den ser especificadas por el operario mientras que se asegu-
ra una impresión selectiva de alta calidad debido a las téc-
nicas continuas de impresión electrofotografía empleadas. Adi-
cionalmente, la organización lógica y la simetría del cir-
25 cuito de exploración y selección descrito en conjunto con
la figura 3 de la patente de los Estados Unidos número -
3.700.324 es suficientemente flexible para asegurar que las
condiciones de selección establecidas por un operario puedan
de manera simple y fácil extenderse o reducirse para llenar
30 requisitos o solicitudes específicas o especializadas sin la



1 adición de una cantidad desproporcionada de circuitos o la
inserción de una complejidad indebida en los circuitos de
exploración y selección empleados.

5 Aun cuando la organización lógica y la simetría de los circuitos de exploración y selección descritos en conjunto con la figura 3 de la patente de los Estados Unidos número 3.700.324 es altamente flexible y por lo tanto puede extenderse fácilmente para llenar requisitos específicos o solicitudes específicas, las personas hábiles en el
10 arte apreciarán que los circuitos de exploración y selección descritos contemplan en su nivel de diseño de umbral, la exploración de relativamente pocas localizaciones de bitios en los registros de datos que van a ser explorados para los fines de impresión selectiva. De esta forma, aún cuando
15 la expansión de los circuitos de exploración y selección descritos puede lograrse fácilmente de acuerdo con las enseñanzas de la patente para permitir una necesidad de exploración y procesamiento de información bitia adicional de los registros de datos de los que va a ocurrir la impresión selectiva, se reconocerá que las expansiones de los circuitos
20 de exploración y selección para permitir un número substancial de bitios daría por resultado un diseño antieconómico debido a la disposición de la red en cascada en la que se disponen los módulos de selección en paralelo y reciben y pro
25 cesan toda la información de bitios leída de los registros de datos en paralelo. Por lo tanto, aun cuando la expansión de los circuitos de exploración y selección descritos en la patente de los Estados Unidos número 3.700.324 es claramente práctica hasta el punto en que permite llenar un requi
30 sito para la exploración y procesamiento de información de



1 bitios adicional; se apreciará fácilmente en el caso de
que se presente una necesidad para explorar y procesar una
cantidad mayor de información de bitio tal como de die-
ciseis (16) o incluso ochenta (80) bitios, la expansión de
5 los circuitos de exploración y selección descritos en asocia-
ción con la figura 3 de la patente de los Estados Unidos
número 3.700.324 no sería práctico ya que llegarían a ser
indebidamente complejos. De manera similar, la simetría y
la forma de organización de los circuitos de exploración
10 y selección descritos en la patente de los Estados Unidos
número 3.700.324 es tal que un operario puede tener una
selectividad adicional fácilmente por medio del circuito
en cascada de los módulos de selección adicionales AND y/o
OR de la forma que se describe claramente en dicha patente;
15 sin embargo, como fácilmente se reconocerá, esta técnica
sólo es práctica hasta cierto punto por muchas de las mis-
mas razones indicadas anteriormente en relación con las -
expansiones para permitir la exploración y el procesamiento
de información adicional de bitio. Adicionalmente, como las
20 personas ordinariamente hábiles en el arte podrán apreciar
fácilmente, cualquier alteración de los circuitos de ex-
ploración y selección ilustrados en la figura 3 de la pa-
tente de los Estados Unidos número 3.700.324 para permitir
la exploración y procesamiento de una cantidad substancial
25 de información adicional de bitio usualmente estaría unida
al deseo de aumentar la selectividad y por lo tanto esto
actúa para aumentar la impracticabilidad asociada con las
expansiones substanciales en el circuito de exploración y
selección mostrado en la figura 3 de la patente de los Es-
30 tados Unidos número 3.700.324.



1 Un problema adicional que va ligado a las -
expansiones substanciales en la capacidad del circuito de
exploración y selección ilustrado en la figura 3 de la pa-
tente de los Estados Unidos número 3.700.324, es de que -
5 los ajustes de "marca", "no marca", "indiferente" (APAGADO)
"impresión" (SELECCION) y/u "omisión" que se requieren pa-
ra cada uno de los módulos de selección los logra el opera-
rio en forma bastante sencilla y junto con una elección de
módulos de selección apropiados AND y/u OR para establecer
10 la impresión selectiva deseada cuando la cantidad de infor-
mación de bitio que se va a explorar y la selectividad pro-
porcionada están dentro del alcance contemplado en la pa-
tente, ésto no es muy claro en el caso de expansiones subs-
tanciales en el circuito de exploración y selección considera-
15 do. Como podrán apreciar las personas con habilidad ordina-
ria en el arte, ésto se ha tomado en consideración debido
a la elección de los módulos de selección apropiados AND
y/u OR junto con la imposición de los ajustes apropiados de
"marca", "no marca", "indiferente", "impresión" y "omisión"
20 pueden llegar a ser muy complejos cuando hay una expansión
substancial de los circuitos de exploración y selección
ilustrados en la figura 3 de la patente de los Estados Uni-
dos número 3.700.324 y a menudo estan más allá de la habi-
lidad del operario que no tiene un conocimiento muy sofis-
25 ticado en técnicas de programación. Adicionalmente, cuando
el número de ajustes de "marca", "no marca", "indiferente",
"impresión" y "omisión" que el operario tiene que hacer en
un sistema de impresión electrofotográfico se aumenta de
manera substancial , también se aumenta la posibilidad de
30 error en dichos ajustes y se apreciara que los ajustes erró-



1

5

10

15

20

25

30

neos en las condiciones de selección impuestos pueden ser muy costosos puesto que dichos errores ordinariamente no serán descubiertos hasta que la operación de impresión selectiva haya quedado completa o, probablemente en el caso de la impresión selectiva de etiquetas de direcciones considerada en la patente de los Estados Unidos número 3.700.324, se ha iniciado un depósito erróneo en el correo. Por lo tanto, para los casos en los que se requiere un aumento substancial en la capacidad de exploración y procesamiento de bitio y/o la selectividad en el aparato de impresión electrofotográfico de la clase que se considera en la patente de los Estados Unidos número 3.700.324, sería más deseable si las formas a través de las cuales se logra la selección así como el formato de bitio de código apropiado para cada una de las formas de selección empleados fueran establecidos por alguien entendido en la materia de los programas necesarios y una vez que las formas de selección y el formato de bitio de código apropiado para las mismas hubiera sido verificado y se hubieran verificado dichas formas de selección y de especificación de formato de bitio asociado, se cargaran en el aparato de impresión electrofotografico a través de una técnica de programación cuya naturaleza tuviera la tendencia a evitar los errores provocados por el operario.

Por lo tanto, es un objeto de la presente invención proporcionar sistemas de impresión electrofotográficos mejorados que permiten la impresión selectiva a altas velocidades de información de documentos presentes en registros de datos codificados que pueden tomar cualquier formato convencional.



1 Es un objeto adicional de la presente inven-
ción proporcionar un aparato de selección programable y mé-
todos de selección para el mismo en el que puedan cargarse
5 un amplio ámbito de condiciones de seleccion en los regis-
tros de selección codificados y posteriormente registros
de datos codificados, cuyos formatos se asemejen a los re-
gistros de selección codificados mencionados, clasificados
para los fines de selección de acuerdo con las condiciones
de selección impuestas por la carga de los mencionados re-
10 gistros de selección codificados.

Es un objeto adicional de la presente inven-
ción proporcionar un aparato de exploración y seleccion me-
jorado en el que los registros de datos codificados que con-
tienen informacion substancial de bitios puedan emplearse
15 para establecer una pluralidad de condiciones de selección
y registros de datos codificados similares que contienen in-
formación substancial de bitios serán explorados y selec-
cionados de acuerdo con la pluralidad de condiciones de se-
lección establecidas.

20 Es otro objeto de la presente invención pro-
porcionar un aparato mejorado de exploración y selección pa-
ra explorar información de bitios codificados dispuestos en
un formato de columna y la programación de una pluralidad
de memorias de los mismos y posteriormente explorar la in-
25 formación de bitios codificados dispuestos en registros de
datos codificados que van a ser seleccionados y comparados
con la información codificada obtenida con el contenido de
bitios almacenado en las mencionadas memorias para obtener
la información de selección.

30 Es un objeto adicional de la presente inven-



1 ción proporcionar un aparato mejorado de selección para -
comparar el contenido de los bitios de una pluralidad de regis-
tros codificados con el contenido almacenado de una plurali-
dad de memorias, cada una de cuya pluralidad de memorias -
5 almacena diferentes aspectos de condiciones de selección
impuestos de tal manera que pueden establecerse condiciones
para selección altamente flexibles y versátiles y puede com-
pararse un número substancial de bitios con uno o más con-
juntos de condiciones de selección mientras se conserva la
10 altamente eficiente organización de los circuitos y se -
evita la indeseable duplicación de circuitos.

Es otro objeto de la presente invención pro-
porcionar un aparato mejorado de exploración y selección
para explorar una pluralidad de tarjetas de registros co-
15 dificados y comparar el contenido codificado de las mismas
con los requisitos de selección almacenados en una plurali-
dad de memorias, en el que una memoria de la mencionada plu-
ralidad de memorias almacena cuando menos un contenido de -
bitios apropiado para cada uno de los bitios que va a ser
20 explorado en dicha tarjeta de registro codificada, y otra
de las memorias de la mencionada pluralidad de memorias al-
macena una indicación en cuanto a si es que se debe consi-
derar una condición determinada para cada uno de los bitios
que va a ser explorado en una rutina de selección determi-
25 nada y la otra de las memorias de la mencionada pluralidad
de memorias almacena una indicación con respecto a si se
va a llevar a cabo la rutina de selección iniciada de acuer-
do a la operación lógica de un AND u OR.

30 Es un objeto adicional de la presente inven-
ción proporcionar un aparato de selección mejorado capaz de



1 procesar lógicamente información de selección de diferente
naturaleza de acuerdo a si la operación de un AND u OR es-
tá siendo procesada y producir una selección uniforme o
inhibir la señal independientemente de si se está llevando
5 a cabo una operación de un AND u OR.

Otros objetos y ventajas de la presente inven-
ción quedarán claros de la siguiente descripción detallada
de una modalidad ejemplar de la misma y las característi-
cas novedosas serán indicadas particularmente en conjunto
10 con las reivindicaciones adjuntas a la presente.

El aparato mejorado de exploración y selec-
ción que se va a establecer como un aspecto de la presente
invención puede ser incorporado en los sistemas de impre-
sión electrofotográficos descritos en la patente de los
15 Estados Unidos número 3.700.324 como una alternativa al -
circuito de exploración y selección descrito en conjunto con
la figura 3 del mismo para producir un sistema de impre-
sión electrofotografico programable, selectivo, capaz de ex-
plorar y llevar a cabo operaciones de impresión selectivas
20 en registros codificados que tienen una cantidad substan-
cial de información de bitios empleados para la codifica-
ción. Adicionalmente, dicho aparato mejorado de explora-
ción y selección puede ser empleado por sí solo en confi-
guraciones de procesamiento de registros de clasificación
25 u otros registros en las que pueda confiarse en las sali-
das del mismo para accionar desviadores de clasificación o
aparatos similares. Sin embargo, puesto que la combinación
novedosa que produce la substitución de este aparato por
el aparato de exploracion y selección ilustrado en la fi-
30 gura 3 de la patente de los Estados Unidos número 3.700.324



1 se ha tomado como plcnamente ilustrativa de un ejemplo pri-
mordial del alto grado de utilidad del mismo, la descripción
de la patente de los Estados Unidos No. 3.700.324 se incor-
5 para específicamente como referencia en la presente y esta
especificación procederá para la modalidad ejemplar descrita,
como si dicho aparato de exploración y selección fuera a ser
empleado en los sistemas de impresión electrofotográficos del
tipo que se describe en la patente de los Estados Unidos No.
10 3.700.324. De esta manera, aun cuando la presente especifi-
cación no describirá en especie el aparato alimentador de re-
gistro, el aparato de procesamiento electrofotográfico, el
aparato de transferencia selectivo o el aparato de control de
la máquina descrito en detalle en la patente de los Estados
Unidos No. 3.700.324, se apreciará que el aparato de explo-
15 ración y selección descrito en la presente puede ser sustitui-
do directamente por el circuito de exploración y selección mos-
trado en la figura 3 de la patente y que actua para propor-
cionar señales similares a las porciones restantes del apar-
to descrito en la misma o a las obvias alternativas de la mis-
20 ma, de manera tal que será aparente a las personas entendidas
en la materia. De manera similar, como también será aparente
a las personas entendidas en la materia, aún cuando puede em-
plearse cualquier registro codificado capaz de contener infor-
mación de código para fines de clasificación e información -
25 de documentos para los fines de impresión selectiva en con-
junto con la presente invención, la modalidad ejemplar des-
crita en la presente se describirá como si se emplearan las
tarjetas de datos codificados, que contienen información
de etiquetas o similares, como en el caso ejemplar es-
30 tablecido en la patente de los Estados Unidos número



1 3.700.324. Por lo tanto, se apreciará que aun cuando el -
aparato de exploración y selección descrito en la presen-
te admite una pluralidad de aplicaciones, una aplicación
principal del mismo que produce combinaciones novedosas es
5 una modificación de los sistemas de impresión electrofoto-
gráficos descritos en la patente de los Estados Unidos -
número 3.700.324.

De acuerdo con las enseñanzas de la presen-
te invención, se proporcionan métodos de selección y explo-
10 ración y aparatos para los mismos, así como un sistema de
impresión electrofotográfico que emplea dicho aparato de -
exploración y selección, en los que una pluralidad de re-
gistros de datos codificados que contienen información de
selección y una pluralidad de registros de datos codifica-
15 dos que van a ser clasificados para fines de selección son
explorados por medio de un dispositivo detector de código;
la información de código de cada uno de los registros de
la mencionada pluralidad de registros de datos codifica-
dos que contiene la información de selección es cargada en
20 secuencia en el memorizador para almacenar en el mismo las
condiciones de selección que van a ser impuestas sobre la
mencionada pluralidad de registros de datos codificados
que van a ser clasificados para fines de selección y la -
información de selección mencionada es dirigida a una plu-
25 ralidad de consideraciones de selección y la mencionada
secuencia se dispone de tal manera que cada una de las -
consideraciones de la mencionada pluralidad de considera-
ciones de selección queda definida en áreas diferentes del
mencionado memorizador; y subsecuentemente la información
30 de código de cada uno de los registros de la mencionada -



1 pluralidad de registros de datos codificados que van a ser
clasificados se carga dentro del elemento de comparación -
para compararlos con las condiciones de selección que van
a ser impuestas de acuerdo como están almacenadas en el -
5 mencionado memorizador y el mencionado elemento de compara-
ción actúa para imponer cada una de las consideraciones de
la mencionada pluralidad de consideraciones de selección
sobre la mencionada información de código para cada uno de
los registros de la mencionada pluralidad de registros de
10 datos codificados que van a ser clasificados y proporciona
una señal de clasificación para cada uno de los registros de
la mencionada pluralidad de registros de datos codificados
para ser clasificados para fines de selección, con base a la
totalidad de las consideraciones de selección impuestas.
15 La invención se entenderá en forma más clara haciendo re-
ferencia a la siguiente descripción detallada de una mo-
dalidad ejemplar de la misma, en conjunto con los dibujos
anexos en los que:

20 La figura 1 es un diagrama de bloque generaliza-
do que ilustra esquemáticamente una modalidad ejemplar
de los métodos y el aparato de exploración y selección de
acuerdo con las enseñanzas de la presente invención;

25 Las figuras 2A y 2B ilustran, en combinación,
el aparato ejemplar de exploración, el control de explora-
ción y el aparato de conversión de datos apropiados para
la presente modalidad del aparato de exploración y selec-
ción mostrado en el diagrama de bloque generalizado de la
figura 1;

30 Las figuras 3A y 3B muestran, en combinación,
el aparato de dirección de memoria ejemplar y el aparato



1 de selección apropiados para la modalidad del aparato de exploración y selección ilustrado en el diagrama de bloque generalizado de la figura 1;

5 Las figuras 4A y 4B muestran en combinación, el aparato de memoria ejemplar de marca/interés y el aparato de comparación apropiado para la modalidad del aparato de exploración y selección ilustrado en el diagrama de bloque generalizado de la figura 1; y

10 La figura 5 muestra una memoria de control ejemplar y un aparato de decisión apropiados para la modalidad del aparato de selección y exploración ilustrado en el diagrama de bloque generalizado de la figura 1.

15 Cada una de las figuras 2A y 2B, 3A y 3B, y 4A y 4B están adaptadas para ser interconectadas con la figura A a la izquierda y la figura B a la derecha para ilustrar totalmente el aparato ejemplar establecido. Por lo tanto, se supone que el lector va a ser estos ensambles para fines de observación y a estas figuras se hará referencia en lo sucesivo como las figuras 2, 3 y 4.

20 Con referencia ahora a los dibujos y más particularmente a la figura 1 de los mismos, se muestra un diagrama de bloque generalizado que ilustra esquemáticamente una modalidad ejemplar de los métodos y el aparato de exploración y selección de acuerdo con las enseñanzas de la presente invención. Como se recordará, la presente invención se establece en la modalidad ejemplar considerada en el presente como si la misma fuera a incorporarse dentro de los sistemas de impresión electrofotográficos descritos en la patente de los Estados Unidos número 3.700.324. Por lo tanto, antes de describir la modalidad ejemplar de los

25

30



1 métodos y aparatos de exploración y selección mostrados
en la figura 1, se considera apropiado dar una breve des-
cripción de los sistemas de impresión electrofotográficos
5 descritos en la patente de los Estados Unidos número -
3.700.324 para dirigir la atención del lector a la natura-
leza de la materia objeto en la que se incorpora la modali-
dad ejemplar de esta invención. Brevemente, los sistemas
de impresión electrofotograficos descritos en la patente
de los Estados Unidos número 3.700.324 abarcan un sistema
10 en el que se cargan tarjetas de datos codificados que -
contienen marcas discretas de información sin marca así co-
mo información de documentos que van a ser selectivamente
impresos, en una bandeja de una lectora y se alimentan in-
dividualmente a través de una estación de exploración, de
15 una estación formadora de imagen de información de do-
cumentos y finalmente a una bandeja de reapilamiento. A me-
dida que se alimenta cada tarjeta, la información con marcas
y sin marcas en las mismas es explorada ópticamente y poste-
riormente, cuando la tarjeta de datos llega a la estación
20 formadora de imagen, la información de los documentos de las
mismas es formada en imagen sobre un tambor fotosensible -
para el procesamiento continuo electrofotográfico. Poste-
riormente, la tarjeta es alimentada a la bandeja de reapi-
lamiento mientras la información de código es procesada en
25 el circuito de exploración y selección mostrado en la fi-
gura 3 y la información de documentos de cada una de las -
tarjetas es procesada electrofotográficamente a través de
las etapas bien conocidas de cargar una porción de un tambor
fotosensible y la información para formar la imagen de la
30 tarjeta de datos, sobre una porción cargada del tambor fo-



1 tosensible para formar una imagen electrostática latente
de la información de documentos de cada una de las tarje-
tas alimentadas. Posteriormente, cada una de las imágenes
electrostáticas latentes formadas se hace girar a través
5 del sistema de procesamiento electrofotográfico continuo a
través de una estación de revelado en la que partículas -
cargadas de matizador pueden caer en cascada sobre la misma
para establecer una imagen de matizador sobre el tambor -
fotosensible apropiada para fines de transferencia subse-
10 cuentemente, la imagen de matizador revelada se hace girar
hasta una estación de transferencia en donde un miembro de
transferencia puede ser acoplado selectivamente para pro-
ducir la transferencia de la imagen de matizador formada
para fusión subsecuente. Estas etapas de procesamiento elec-
15 trofotográfico continuas se emplean para la información de
documentos en cada una de las tarjetas de datos alimentadas
de tal forma que, como apreciarán fácilmente las personas
entendidas en la materia, se forman continuamente una se-
rie de imágenes electrostáticas latentes sobre la super-
20 ficie del tambor fotosensible y se hacen girar a través de
las etapas de procesamiento continuo electrofotográfico em-
pleado hasta una estación de revelado y a una estación de
transferencia de tal manera como para que queden disponi-
bles en la estación de transferencia para transferir selec-
25 tivamente a una tira para lograr una impresión selectiva.

Aun cuando las etapas de procesamiento elec-
trofotográfico descritas anteriormente se llevan a cabo -
para cada una de las tarjetas de datos alimentadas, los -
datos codificados de cada una de las tarjetas son explora-
30 dos y aplicados al circuito de exploración y selección mos-



1 trado en la figura 3 de la patente. En este circuito de ex-
ploración y selección , se establecen condiciones predeter-
minadas de selección de tal manera que las tarjetas de da-
5 tos que tienen las marcas de código deseadas sobre las mis-
mas puedan ser selectivamente impresas y/u omitidas. Más
particularmente, el código de datos presente en cada una
de las tarjetas, en la forma de una información de marca o
sin marca es explorado y comparado en el circuito mostrado
10 en la figura 3 de la patente con las condiciones de marca
y sin marca establecidas y una vez que se logran las compa-
raciones apropiadas, los resultados de las mismas se some-
ten a una operación lógica de un AND y/o un OR de acuerdo
con lo especificado por el operario. Cuando son detectadas
15 las condiciones apropiadas de marca y sin marca sobre una
tarjeta de datos determinada para las operaciones AND y/u
OR especificadas se proporciona a la salida del circuito de
exploración y selección ilustrado en la figura 3, una indi-
cación de señal de impresión u omisión, dependiendo de las
condiciones especificadas por el operario. Deberá recono-
20 cerse que pueden llevarse a cabo simultáneamente una plura-
lidad de operaciones AND y/u OR y por esta razón, el cir-
cuito de exploración y selección mostrado en la figura 3
de la patente está provisto con una disposición de salida
de prioridad de tal manera que en cualquier momento en que
25 uno de los módulos de selección de AND y/u OR proporciona
una señal de salida de impresión, se proporcionará una se-
ñal de salida de impresión a la salida del circuito de ex-
ploración y selección mostrado en la figura 3, mientras -
no haya presente una señal de omisión; sin embargo, cuando
30 se obtiene una señal de omisión, dicha señal de omisión



1 tendrá prioridad y el circuito ilustrado de exploración y
selección proporcionará una salida de omisión independiente-
mente de cuantos de los otros módulos de selección AND y/u
5 OR proporcionen una señal de impresión. De esta forma, pa-
ra cada tarjeta de datos alimentada, el circuito de explo-
ración y selección mostrado en la figura 3 proporcionará
una señal de impresión u omisión y dicha señal de impre-
sión u omisión es representativa de las condiciones de se-
lección establecidas para la información de documentos en
10 la tarjeta procesada.

La señal de omisión o impresión obtenida en
esta forma para cada una de las tarjetas de datos alimenta-
das es suministrada al circuito lógico y de control mostra-
do en la figura 4 de la patente de los Estados Unidos número
15 3.700.324 y procesada lógicamente de tal manera que una se-
ñal de impresión hará que el miembro de transferencia sea
acoplado selectivamente en un punto en tiempo en el que hay
presente la información de documento en la tarjeta de la cual
se derivó la señal de impresión mencionada en dicha esta-
20 ción de transferencia de tal manera que la imagen de mati-
zador revelada sobre la misma es transferida selectivamente
sobre dicho miembro de transferencia. En forma inversa,
cuando se suministra una señal de omisión al circuito lógi-
co y de control mostrado en la figura 4, el procesamiento
25 lógico asociado con el mismo dará por resultado que se man-
tenga el miembro de transferencia en una posición desplazada
del tambor fotosensible cuando está presente la información
de documento asociada con la tarjeta de la cual se desarro-
lló la señal de omisión en dicha estación de transferencia.
30 Adicionalmente, como apreciarán las personas entendidas en



1 la materia de una consideración de la descripción de la
patente de los Estados Unidos número 3.700.324, las seña-
les de impresión y de omisión proporcionadas por el circuito
de exploración y selección mostrado en la figura 3 de la
5 patente también se emplean en el circuito lógico y de con-
trol empleado en la figura 4 de la misma para provocar la
actuación selectiva de la estación reveladora, del aparato
en la estación de transferencia y de la estación fusio-
nadora de tal manera que puedan lograrse operaciones de trans-
10 ferencia selectivas altamente eficientes para las técnicas
de procesamiento continuo electrofotográfico empleadas.

En la descripción de la presente modalidad -
ejemplar de esta invención, también se supondrá, para fines
de la descripción, que se está empleando un sistema de im-
15 presión electrofotográfico tal como el que se describe en
la patente de los Estados Unidos número 3.700.324 para el
procesamiento de tarjetas de datos codificados que contie-
nen información de documentos que representan etiquetas o
similares, aun cuando, como apreciarán fácilmente las per-
20 sonas entendidas en la materia de partes de esta descrip-
ción que se establece posteriormente en la presente, puede
emplearse cualquier forma de registro codificado que contenga
tanto marcas codificadas discretas como información de
documentos para los fines de impresión selectiva y el pro-
25 cesamiento apropiado de las mismas de acuerdo con las ense-
ñanzas de la patente de los Estados Unidos número 3.700.324
puede lograrse simplemente a través de una modificación
apropiada del mecanismo alimentador para la misma así como
modificaciones correspondientes en el sistema de procesa-
30 miento electrofotográfico para permitir que se presente la



1

5

10

15

20

25

30

información de documentos. Adicionalmente, como será aparente a las personas entendidas en la materia, el mecanismo de exploración para los datos codificados en cualquier formato de registro empleado debe ser colocado apropiadamente para la exploración de los mismos. Aun cuando la descripción de la presente invención supone, para fines de conveniencia del lector, que se emplean tarjetas de datos codificados que contienen información de documentos de etiquetas, la naturaleza de la información codificada variará de la que se considera en la patente de los Estados Unidos número 3.700.324 y adicionalmente, se proporcionará una pista de medición de tiempo en cada una de las tarjetas de registro para que sea procesada lógicamente para fines de selección; sin embargo, como será aparente a medida que proceda esta invención, las tarjetas de registro contempladas en la patente de los Estados Unidos número 3.700.324 pueden ser procesadas en el aparato de acuerdo con la presente invención en el caso de que se desee, para contener la impresión de la información de documento de cada una de las tarjetas sin la iniciación de un procedimiento de selección deseado.

En forma más particular, las tarjetas de datos empleadas para los fines de la modalidad ejemplar que se considera, están adaptadas especialmente para contener una cantidad substancial de información codificada y toda esta información codificada será empleada para fines de selección. En esta forma, puede suponerse que para los fines de la presente descripción se utiliza una tarjeta de registro estándar conteniendo información de documentos y además de dicha información de documentos se emplearán una pis-



1 ta de medición de tiempo y una pluralidad de columnas de
bitios adaptadas para recibir marcas selectivas por medio
de técnicas de codificación convencionales. Por ejemplo,
5 en la modalidad ejemplar de la invención descrita, se supon-
drá que se emplean técnicas de codificación ópticas y que
se disponen cinco (5) columnas de colocaciones de bitios a-
daptadas para recibir información de marca y sin marca en una
dirección paralela a la dirección en la que se alimenta la
tarjeta. Cada una de las columnas puede ser considerada como
10 que incluye dieciseis (16) colocaciones de bitios de tal -
manera que en la modalidad ejemplar de la invención estable-
cida, hay dispuestas ochenta (80) colocaciones de bitios
en forma de cinco (5) columnas con dieciseis (16) colocaciones
de bitios cada una para ser exploradas ópticamente en se-
15 rie por el aparato de exploración y selección mostrado en
la figura 1 y pueden ser codificados colocando la informa-
ción apropiada de marca o sin marca en cada una de las co-
locaciones de bitios proporcionadas. De esta forma, si se
considera una tarjeta de datos estandar de 18,73 cms. x
20 8,25 cms. una porción de extremo de la misma que tiene una
anchura aproximada de 4,13 cms. puede quedar reservada pa-
ra cinco columnas de colocaciones de bitios y de la pista de
medición de tiempo descrita anteriormente, mientras que -
25 las porciones restantes de la misma pueden ser apropiadas
para recibir la información de documento que va a imprimir-
se. Como en la presente se considera que cada una de las co-
lumnas de colocaciones de bitios está provista de dieciseis
(16) cajas o similares, apropiadas para recibir la informa-
30 ción de marca o no marca, las personas entendidas en la -
materia apreciarán que la pista de medición de tiempo em-



1 pleada puede tomar la forma de diecisiete marcas espacia-
das igualmente dispuestas en una columna adyacente a las
cinco columnas de colocaciones de bitios y dispuesta de
tal manera que cada una de las colocaciones de bitios dentro
5 de las cinco columnas de bitios disponibles está dispuesta
en la parte intermedia entre dos marcas de la pista de me-
dición de tiempo. Así, y en esta forma, como es bien cono-
cido para las personas entendidas en la materia, si cada
una de las columnas de colocaciones de bitios es explora-
10 da secuencialmente en serie, se producirá un impulso de -
medición de tiempo antes de la lectura de cada una de las
colocaciones de bitios y enseguida a la lectura de la úl-
tima colocación de bitios en una columna.

15 A las personas entendidas en la materia serán
aparentes diversos formatos de tarjetas alternos con res-
pecto a la colocación de bitios y a la disposición selec-
tiva de la relación de espacio de elementos de exploración
para los mismos, los que se describirán posteriormente y
se apreciará que puede emplearse cualquier disposición con-
20 veniente y apropiada a la disposición de las marcas de có-
digo y a la información de documento en un medio de regis-
tro. Sin embargo, debe observarse que se ha preferido un
método de exploración en serie para la lectura de la infor-
mación en columnas de un registro, debido a que cuando ca-
25 da uno de los registros de datos que se va a procesar selec-
tivamente va a contener una cantidad substancial de infor-
mación de bitios dicha técnica de exploración en serie evita
el uso de un gran número de exploradores ópticos. Sin em-
bargo, se observará de que en el caso de que se emplee una
30 disposición de exploración en paralelo utilizando solamente



1 una sola columna de información dispuesta transversalmente, es innecesario el uso de una pista de medición de tiempo para introducir cada una de las lecturas de bitios así como para indicar un punto en el que termina la lectura de la información de bitios, puesto que puede emplearse la alimentación de la tarjeta para abrir una ventanilla de exploración igual a la manera que se describe en la patente de los Estados Unidos número 3.700.324. Aun cuando la descripción de la presente invención contempla el empleo de tarjetas de datos que tengan disponibles cinco columnas para aceptar la información de bitios de código en la forma de información de marca o sin marca ópticamente exploradas, las personas entendidas en la materia apreciarán fácilmente que la presente invención, debido a la simetría empleada en la misma, admitirá una rápida expansión para permitir que se lean más columnas de datos o, alternativamente, se contempla específicamente en la presente que pueda disponerse fácilmente de una abrupta reducción para la exploración de solo una o dos columnas de información presentada en serie. Adicionalmente, aún cuando se describirán en la presente técnicas ópticas de codificación y exploración, las personas entendidas en la materia, apreciarán fácilmente que pueden emplearse fácilmente técnicas de codificación de manchas magnéticas o técnicas de codificación de perforaciones y pueden substituirse detectores apropiados fácilmente por los detectores ópticos que se contemplan en la presente.

30 Volviendo ahora a la figura 1, se empleará el diagrama de bloque generalizado que ilustra esquemáticamente una modalidad ejemplar de los métodos y aparatos de



1 exploración y selección que se contemplan por medio de la
presente invención, para familiarizar al lector con la -
estructura, la función y las técnicas lógicas que pueden
ser utilizadas en la modalidad ilustrativa del aparato de
5 exploración y selección ejemplar contemplado por la pre-
sente invención, mientras que los detalles de los elementos
en bloque generalizados en el mismo serán considerados en
detalle en conjunto con las figuras restantes estableci-
das. Sin embargo, se observará desde luego, que la modali-
10 dad ejemplar del aparato de exploración y selección mostra-
do en la figura 1 inicialmente es programado para ejecutar
operaciones de selección predeterminadas en las tarjetas de
datos cada vez que dicho aparato es habilitado al comenzar
un ciclo de procesamiento y se establece en dicha programa-
15 ción, el aparato de exploración y selección mostrado en la
figura 1 proporcionará las mismas salidas al sistema de -
impresión electrofotográfico descrito en la patente de
los Estados Unidos número 3.700.324 que el circuito de ex-
ploración y selección mostrado en la figura 3 de la paten-
20 te. Sin embargo, como será aparente a medida que continua
la descripción, puede procesarse de manera efectiva una mu-
cho mayor cantidad de información de selección mientras
que se aumenta substancialmente la selectividad, en térmi-
nos del número de programas a través de los cuales puede ocu-
25 rrir la selección.

LAS TECNICAS GENERALIZADAS DE EXPLO-

RACION Y SELECCION

30 La modalidad ejemplar generalizada de las téc-
nicas de exploración y selección empleadas de acuerdo con -



1 las enseñanzas de la presente invención, como se ilustra
en la figura 1, comprende la exploración, el control y los
elementos de conversión fijados por el bloque en líneas -
punteadas 1, el elemento 2 de control de selección y de di-
5 rección de escritura/lectura, una pluralidad de memorias
de marca/importa y elementos de comparación de tres a sie-
te, elementos de memoria de control y decisión 8 y un prime-
ro y un segundo elementos contadores 9 y 10. El control de
exploración y el elemento de conversión indicado por el -
10 bloque punteado 1 comprende elementos de detección de me-
dición de tiempo y de tarjeta 11, el elemento de control de
exploración 12, el elemento de exploración de datos de co-
lumnas múltiples 13 y el elemento de conversión de serie a
paralelo 14. Como se mencionó brevemente en lo anterior,
15 las tarjetas de datos contempladas por la modalidad ejem-
plar son alimentadas por el elemento de alimentación tal -
como el que se describe en la patente de los Estados Unidos
número 3.700.324 o un elemento transportador similar que
pase por la estación de exploración de tal manera que cada
20 una de las columnas de localizaciones de bitios colocadas en
la misma, así como las pistas de medición de tiempo, sean
exploradas ópticamente en serie. El elemento de detección de
medición de tiempo y tarjetas 11 y el elemento de explora-
ción de datos de columnas múltiples 13, como se describirá
25 en forma más completa en conexión con la figura 2, inclu-
yen detectores ópticos apropiados para explorar en serie cada
una de las columnas de información de bitios y de pista de
medición de tiempo y además, se proporciona un detector óp-
tico adicional de la misma manera que se describe en la
30 Patente de los Estados Unidos número 3.700.324 para detec-



1 tar la entrada de una tarjeta de datos en la localización
de los detectores ópticos en la trayectoria de alimenta-
ción. Más particularmente, el elemento de detección de me-
5 dición de tiempo y tarjeta 11 incluye los detectores ópti-
cos para leer las pistas de medición de tiempo en serie y
detectar el borde delantero de la tarjeta de datos que se ha
alimentado. Se suministran señales que representan la detec-
ción de una tarjeta de datos a través del conductor 15 has-
10 ta el elemento de control de exploración 12 mientras cada
una de las pulsaciones leída por el explorador óptico para
la pista de medición de tiempo es amplificada apropiadamen-
te y suministrada a través del conductor 16 al elemento de
control de exploración 12.

15 El elemento de control de exploración 12 res-
ponde al recibo de una señal de detección de tarjeta a tra-
vés del conductor 15 para suministrar, como se describirá
en detalle el conjunto de la figura 2, un intervalo de mues-
tra y retención al elemento de exploración de datos de co-
20 lumnas múltiples 13 durante el cual el nivel de umbral de
los preamplificadores empleados para amplificar la informa-
ción de marca y no marca leída de cada una de las columnas
de la tarjeta de datos, se establece hasta un nivel de um-
bral que esencialmente corresponde al nivel de ambiente -
25 blanco de la tarjeta antes de que se haga ninguna exploración
de información de marca y no marca. Esta señal de muestra
y retención que es aplicada al elemento de exploración de
datos de columnas múltiples a través de un conductor 17
desde el elemento de control de exploración 12 tiene una du-
30 ración aproximadamente de 20 milisegundos (20 ms) y es su-
ficientemente corta para asegurar que el nivel de umbral



1 del elemento preamplificador del explorador óptico presen-
te en el elemento de exploración de datos de columnas múl-
tiples 13 pueda ser dispuesto apropiadamente entre la de-
tección de un borde para la tarjeta de datos que esta le-
yendo y la aparición del primer bitio de información o de
5 marca de medición de tiempo en las columnas de datos y las
pistas de medición de tiempo que se está leyendo. Adicional-
mente, como también se verá en conjunto con la figura 2, la
terminación de la señal de detección de tarjeta aplicada al
10 elemento de control de exploración 12 a través del conduc-
tor 15 se emplea para proporcionar una señal de compuerta que
es efectiva para dejar pasar una señal de memoria de ini-
ciación desde la salida del elemento de control de explora-
ción 12 a través del conductor 18 hasta el elemento de con-
15 trol de dirección y selección de escritura/lectura 2.

La lectura de los impulsos de medición de -
tiempo desde la tarjeta de datos que son explorados y su-
ministrados desde el elemento de detección de medición de
tiempo y tarjeta 11 a través del conductor 16 y llegan al
20 elemento de control de exploración 12, se emplean para de-
jar pasar cada uno de los bitios de los datos leídos por -
medio del elemento de exploración de datos de columnas múl-
tiples 13 a través del elemento de conversión de serie a
paralelo 14 y para incrementar varias características de -
25 control, como se describirá adicionalmente en conjunto con
la figura 2, que se emplean para asegurar que solo los datos
de las tarjetas de datos debidamente codificadas sean pro-
cesadas por el aparato de exploración y control mostrado en
la figura 1, o alternativamente, para proporcionar varias
30 indicaciones que señalan que se están explorando tarjetas



1 de datos codificados inadecuadamente. Aquí, sin embargo,
es suficiente apreciar que puesto que hay asociada una pi-
ta de medición de tiempo que emplea diecisiete marcas de -
medición de tiempo con las columnas de datos en las tarje-
5 tas de datos que se están leyendo y cada uno de los impul-
sos de medición de tiempo está dispuesto para introducir
y seguir un bitio colocado adecuadamente de información de
marca o no marca en una columna, dichos impulsos de medición
de tiempo pueden ser empleados para hacer que el circuito
10 lógico busque información de marca o sin marca entre los
impulsos de tiempo y además para dejar pasar la información
de marca y de no marca leída a través de las configuraciones
de desplazamiento para lograr una conversión de serie a
paralelo de la lectura de los datos de la columna para ca-
15 da una de las tarjetas de datos. Los datos de impulsos de me-
dición de tiempo suministrados al elemento de control de
exploración 12 a través del conductor 16 se aplican a tra-
vés del conductor 19 al elemento de conversión de serie a -
paralelo 14 en donde se logra una conversión de serie a para-
20 lelo para cada una de las columnas de lectura de datos de
las tarjetas de datos y como se verá en conjunto con la
figura 2, se emplea adicionalmente para asegurar que las tar-
jetas de datos codificadas adecuadamente sean leídas o al-
ternativamente, que se han detectado tarjetas con marca-
25 dores específicos.

El elemento 13 de exploración de datos de co-
lumnas múltiples puede comprender un explorador óptico y un
elemento de preamplificación apropiado para el mismo para
cada una de las columnas de datos que van a leerse de las
30 tarjetas de datos que son clasificadas o procesadas selec-



1 tivamente en el aparato de impresión electrofotográfico
de acuerdo con las enseñanzas de la presente invención.
De manera más particular, se recordara, que las tarjetas
de datos que tienen cinco columnas de colocaciones de bi-
5 tios en las que cada una de las columnas contiene dieci-
seis (16) colocaciones de bitios individuales se emplean
en la modalidad ejemplar de la invención que se está expli-
cando. De conformidad, si se designan arbitrariamente las
cinco columnas de datos como columnas de A a E, las per-
10 sonas entendidas en la materia apreciarán que el elemento
de exploración 13 de datos de columnas múltiples puede -
comprender cinco (5) exploradores ópticos dispuestos apro-
piadamente para leer información de marca o de no marca -
de las columnas correspondientes de columnas de datos en
15 la tarjeta de datos que se esta alimentando. Cada uno de
los exploradores ópticos a su vez está conectado a un ele-
mento preamplificador apropiado para el mismo de tal manera
que a medida que cada una de las cinco columnas de coloca-
ciones de bitios son leídas en una tarjeta de datos, se
20 aplicará la información de marca y no marca en la forma de
impulsos o ausencia de impulsos, a través de los conducto-
res de 20 a 24 al elemento de conversión de serie a para-
lelo 14. De esta manera, para cada una de las tarjetas de
datos que se está explorando, bajo las condiciones ejempla-
25 res para las tarjetas de datos que se definen en la presen-
te, se suministrarán dieciseis (16) bitios de información
a través de cada uno de los conductores de 20 a 24 al ele-
mento de conversión 14 de serie a paralelo, en el que los
datos transportados a través de cada uno de los conductores
30 de 20 a 24 representan la información de marca o falta de



1 marca asociada con una de las columnas determinadas de las
columnas de datos en la tarjeta de datos que se está explo-
rando. Por lo tanto, si para fines de ilustración, la co-
5 lumnas de dieciseis (16) localizaciones de datos más aleja-
da eliminada de la pista de medición de tiempo es designa-
da canal A mientras que la columna de localización de da-
tos más cercana a la pista de medición de tiempo menciona-
da se designa como la columna E, se apreciará como se indica
10 en la figura 1, que se leerán dieciseis (16) bitios de in-
formación de marca o de falta de marca desde la columna A
y se suministrarán a través del conductor 20 a un elemento
convertidor de serie a paralelo 14 para cada una de las tar-
jetas de datos leída, mientras que secuencias similares de
dieciseis (16) bitios de información se leen por medio del
15 elemento de exploración de datos 13 de columnas múltiples
para los datos de las columnas de B a E en la tarjeta de da-
tos y se suministran a través de los conductores de 21 a 24
al elemento de conversión 14 de serie a paralelo.

20 Por lo tanto, las personas entendidas en la
materia apreciarán que a medida que cada una de las tarje-
tas de datos es alimentada y detectada en la estación de
exploración en la que están colocados el elemento de explo-
ración de datos 13 de columnas múltiples y el elemento de
detección de medición de tiempo de tarjeta 11, la detección
25 del borde delantero de la tarjeta dará por resultado que
se establezca un intervalo de muestra y retención en el con-
ductor 17 que termina antes de que aparezca cualquier infor-
mación de marca o de falta de marca que sea explorada posterior-
mente la información de marca o de falta de marca en cada una
30 de las columnas de A a E será leída en secuencia por el ele-
mento de exploración óptico presente en el elemento de ex-



1 ploración 13 de datos de columnas múltiples y suministra-
da en serie a través de los conductores de 20 a 24 al ele-
5 mento 14 de conversión de serie a paralelo. Además, los
impulsos de medición de tiempo tal y como se han explora-
do por los medios de medición de tiempo y los elementos de
detección de tarjeta 11, son leídos a partir de la pista
de medición de tiempo y se suministran a través de los con-
ductores 16 y 19 a los medios de conversión 14 en serie a
paralelo. Como es natural, en el caso de que se desee o -
10 bien aumentar o bien disminuir el número de las columnas en
las que se proporcionan colocaciones de bitios para fines
de codificación, el elemento de exploración óptico y los
conductores de canal de 20 a 24 asociados al mismo se ex-
tenderán o reducirán apropiadamente para permitir que se co-
15 loque el número deseado de columnas de colocaciones de bitios.
Sin embargo, en el caso de que se desee modificar el número
de colocaciones de bitios empleado dentro de cada una de
las columnas, se llevara a cabo una modificación de los im-
pulsos de medición de tiempo y del aparato de procesamien-
20 to subsecuente asociado con la conversión paralela y la mani-
pulación lógica de los mismos, de manera que será aparen-
te a las personas entendidas en la materia a medida que pro-
cede esta descripción. Sin embargo, debe observarse que 8,
16 o cualquier otro múltiplo apropiado de 8 bitios es una
25 longitud de columna preferida debido a la estructura del -
circuito lógico convencional comunmente obtenible en el mer-
cado.

30 El elemento 14 de conversión de serie a paralelo como se describirá adicionalmente en conjunto con la fi-
gura 2, actua para convertir los dieciseis (16) bitios de



1 información en serie aplicada a través de cada uno de los
conductores de 20 a 24 desde el elemento de exploración 13
de datos de columnas múltiples a un formato paralelo mien-
tras se mantiene la integridad individual de cada uno de
5 los canales explorados y subsecuentemente se transforma a
un formato de serie a paralelo. De esta manera, en esencia
el elemento 14 de conversión de serie a paralelo puede in-
cluir una (1) serie de 16 bitios en configuración de des-
plazamiento de salida de paralelo para cada cinco (5) ca-
10 nales en la tarjeta de datos explorada y por lo tanto, una
de dichas configuraciones de desplazamiento estará asociada
con cada uno de los conductores de 20 a 24 de tal manera
como para que esté asociado individualmente con cada uno
de los canales A a E. Adicionalmente como se verá poste-
riormente, la modalidad ejemplar de la presente invención
15 que se está estableciendo, actúa para transportar la infor-
mación de canales paralelos a base de ocho (8) bitios por
ciclo y por esta razón son necesarios dos ciclos de opera-
ción en el procesamiento de la información de canal desde
20 el registro de datos individual que se está explorando. Por
esta razón, cada una de las configuraciones de desplazamiento
asociadas con un canal de información como se mencionó en
el elemento de conversión de serie a paralelo 14 adicional-
mente incluye, como también se describe en conjunto con la
25 figura 2, un par de ocho (8) entradas, cuatro (4) disposi-
tivos multiplexores de salida de tal manera que la salida
en paralelo de la configuración de desplazamiento, la que,
cuando está totalmente cargada, incluye dieciseis (16) bi-
tios, puede adicionalmente ser procesada en la forma de dos
30 pasadas de ocho (8) bitios de acuerdo como es controlada por



1 la acción de compuerta del elemento multiplexor.

5 El elemento de conversión de serie a paralelo 14 está provisto con cinco cables de salida 25 - 29, cada uno de los cuales esta asociado con uno de los canales de la información de columna leída de las tarjetas de datos que se están procesando y, por esta razon, están designados como canal A a canal E en la figura 1. Por lo tanto, las personas entendidas en la materia apreciarán que las columnas individuales de datos presentes en las tarjetas de registro codificadas que se están explorando se leen separadamente en el elemento de exploración 13 de datos de columnas múltiples y se mantienen separadamente a través del elemento de conversión 14 de serie a paralelo de tal manera como para ser suministradas en los cables de salida paralelos 25 - 29 en un formato independiente, de canal paralelo. Cada uno de los cables de salida 25 - 29 contiene ocho (8) conductores paralelos para transportar ocho (8) bitios de datos paralelos de su canal asociado a las diferentes memorias de marca/importa del canal y de los elementos de comparación 3 - 7, mientras que el cable de salida 25 se conecta adicionalmente, como se ilustra en la figura 1, a una entrada de la memoria de control y el elemento de decisión 8. Sólo ocho conductores paralelos hay presentes dentro de cada uno de los conductores de salida 25-29 debido a que, como se mencionó anteriormente y descrito posteriormente en detalle, la información de canal es procesada en un formato de bitio paralelo dentro de la presente invención a base de ocho bitios por canal por ciclo, en la que la aplicación de ocho bitios determinados de datos de cada uno de los cables de salida 25 - 29 está controlada por el elemen-



1 to multiplexor asociado con cada uno de los canales en el
elemento de conversión 14 de serie a paralelo, como se men-
cionó anteriormente. De esta forma, las personas entendidas
5 en la materia apreciarán que los elementos de exploración
control y conversión indicados por el bloque de líneas pun-
teadas 1 actúan para detectar los bordes delantero y tra-
sero de cada una de las tarjetas de datos que se va a explo-
rar, y hace que el nivel de umbral del elemento de explora-
ción 13 de datos de columnas múltiples se establezca, tan
10 pronto como el borde delantero de la tarjeta es detectado,
y posteriormente permite que se lea la información de mar-
ca o de falta de marca presente en cada una de las columnas
de A a E en la tarjeta de datos que se va a leer en secuen-
cia para proporcionar una representación en serie de la in-
15 formación de marca o de falta de marca en cada uno de los
canales de datos de una tarjeta. Posteriormente, el forma-
to en serie de la información de marca o de falta de marca
desarrollada desde cada uno de los canales es transferida
a una representación en paralelo bajo el cronometraje sumi-
20 nistrado desde la pista de medición de tiempo del registro
que se está explorando, mientras que es mantenido indepen-
dientemente a base de cada uno de los canales.

Las memorias de marca/importa del canal y el
25 elemento de comparación 3 - 7 están cada uno de ellos aso-
ciados, como se indica en la figura 1, con una columna o
canal individual de información leída de las tarjetas de
registro de datos codificados y procesados dentro del apa-
rato de exploración y selección de acuerdo con la presente
invención. Por esta razón, cada una de las memorias de mar-
30 ca/importa de canal y de los elementos de comparación 3 - 7



1 está conectado a un cable individual de los cables de sali-
da 25 - 29 de tal manera como para recibir la información
del canal que se lee de una tarjeta de datos que se está -
explorando y se transforma por medio del elemento de conversión
5 14 de serie a paralelo a un formato paralelo que se mantie-
ne separadamente con respecto a su asociación de canal. De
manera más particular, cada una de las memorias de marca/
importa de canal y de los elementos de comparación 3 - 7
ejecutan dos funciones preliminares dentro de la presente
10 invención. La primera de dichas funciones es la de almace-
nar la información de selección apropiada para cada uno de
los programas de selección para el canal de información aso-
ciado con el mismo. La segunda función principal es la de
comparar la información de selección almacenada con la in-
15 formación de marca o falta de marca leída desde un canal
correspondiente de cada una de las tarjetas de datos explo-
rada para verificar si la porción de la formación de selec-
ción en la misma para cualquier programa almacenado, corres-
ponde a la que se obtiene de la tarjeta y para proporcionar
20 una indicación cuando se obtiene como resultado una compara-
ción apropiada. La primera función preliminar de almacenar
una porción apropiada de la información de selección para
cada una de los programas a través de los cuales la infor-
mación de canal asociada con los mismos se va a probar, se
25 logra por medio de dos configuraciones de memoria y la pri-
mera de las cuales almacena la información de marca y de
falta de marca y la segunda de las cuales almacena infor-
mación de importa y no importa para cada uno de los pro-
gramas de rutina a través de los cuales se va a procesar la
30 información de marca o de falta de marca contenida en una



1 columna determinada de una tarjeta que va a explorarse.

5 En esencia, como se verá posteriormente, la
presente realización de esta invención proporciona una ca-
pacidad para aceptar hasta ocho conjuntos o rutinas de pro-
gramas de información de selección. Por esta razón, tanto
10 las configuraciones de marca y falta de marca de importa y
no importa de la memoria proporcionan cuando menos 128 bi-
tios de almacenamiento de tal manera que pueda almacenarse
dentro de cada una de las configuraciones de memoria ocho
15 conjuntos de condiciones de selección de dieciseis (16) bi-
tios. Por ejemplo, la configuración de memoria de marca y
falta de marca almacena una palabra de dieciseis bitios -
por cada uno de los programas y cada palabra de dieciseis
bitios define si cada uno de los dieciseis bitios leídos de
20 la tarjeta de registro que se está explorando debe ser o
no un bitio de marca o de falta de marca. De esta manera,
una vez que la información está almacenada en la configura-
ción de la memoria de marca y falta de marca y se lee un
canal determinado de información de la tarjeta de datos que
25 se está explorando, la lectura de los dieciseis (16) bitios
de dicho canal de la tarjeta de datos puede ser comparada
a base de uno por uno con la información de marca o de fal-
ta de marca almacenada en la configuración de marca o de
falta de marca y pueden hacerse hasta ocho comparaciones
30 para los ocho conjuntos de requisitos de selección de los -
dieciseis bitios de marca o de falta de marca almacenados
para cada uno de los dieciseis (16) bitios de información
de canal leídos de la tarjeta de datos que se está explo-
rando. De manera similar, la configuración de memoria de
importa e indiferente que hay presente dentro de cada una



1 de las memorias de marca/importa de los canales y los ele-
mentos de comparación 3 a 7 pueden almacenar ocho (8) pala-
bras de dieciseis (16) bitios o programas de dieciseis bi-
tios y cada una de las palabras de dieciseis (16) bitios define
5 si es que los dieciseis bitios leídos de la tarjeta de regis-
tro que se está explorando es o no un bitio cuya condición
debe importar para dicho programa en la selección de la ope-
ración que se está llevando a cabo, Por ejemplo, en una ope-
ración de selección típica, un programador que desea ha-
10 cer que se imprima la información de documento de tarjetas
de registro específicas puede preparar típicamente uno o
más programas en donde solo ciertos bitios de los dieciseis
bitios de un canal determinado de información en la tarjeta
de datos que se está explorando sean definitivos de condicio-
15 nes de selección que se van a imponer. Bajo estas condicio-
nes dicho programa puede hacer que la configuración de me-
moria de marca o falta de marca almacene información apro-
piada de marca o de falta de marca para dichas posiciones
definidas de bitios en dicho canal. Sin embargo, las po-
20 siciones de los bitios que no son definidas en cuanto a la
operación de selección que se va a llevar a cabo deberán -
dejarse en blanco y la configuración de memoria de importa
e indiferente será programada de tal manera que la palabra
de dieciseis (16) bitios, asociada con el programa mencio-
25 nado, tendrá indicaciones de importa almacenadas en las
posiciones de bitio que corresponden a las posiciones de -
bitio definitivas para el canal que se va a leer mientras
que las posiciones de bitio que no son definitivas de los
requisitos de selección impuestos serán colocadas en una -
30 condición como para indicar un estado de indiferente. De es-



1 ta manera, una vez que esta información es almacenada en
una configuración de memoria apropiada de importa e indi-
ferente y se lee un canal determinado de información de
la tarjeta de datos que se está explorando, la lectura de
5 los dieciseis (16) bitios de dicho canal también será com-
parada a base de uno por uno con la información de importa
e indiferente almacenada y pueden hacerse hasta ocho (8)
comparaciones para los ocho (8) conjuntos de dieciseis (16)
bitios de los requisitos de selección de importa e indi-
10 ferente que pueden ser cargados para cada uno de los die-
ciseis (16) bitios de información de canal leída de la tar-
jeta de datos que se está explorando. Por consiguiente, las
personas entendidas en la materia apreciarán que la prime-
ra de las dos funciones primordiales llevadas a cabo por
15 las memorias de marca/importa de canal y los elementos de
comparación 3 - 7 se logra a través del almacenamiento de
hasta ocho diferentes conjuntos de información de marca y
de falta de marca y de información de importa e indiferen-
te en las configuraciones de memoria de marca y de falta
20 de marca y de importa e indiferente presentes en la misma.

Cada una de las memorias de marca/importa de
canal y los elementos de comparación de 3- a 7 está conec-
tado a través de un cable de conductores múltiples 30 a
una salida de un elemento de dirección de escritura/lectura
25 y de control de selección 2. El elemento 2 de dirección de
escritura/lectura y de control de selección se describirá
brevemente enseguida y en mayor detalle en conjunto con
la figura 3; sin embargo, aquí es suficiente apreciar que
cada una de las configuraciones de memoria de marca y falta
30 de marca e importa e indiferente dentro de cada una de las



1 memorias de marca/importa de canal y de los elementos de
comparación 3 - 7 pueden ser dirigidos independientemente
para almacenar y leer hasta ocho programas a través de una
5 pluralidad de entradas de dirección suministradas desde el
elemento de control 2 de dirección de memoria de escritura/
lectura y de control de selección a través del cable de con-
ductores múltiples 30 y además de ésto se acondiciona para
una operación de escritura o de lectura desde una entra-
da adicional en el cable 30 de conductores múltiples. De -
10 esta forma, tanto la programación selectiva como la lectura de
hasta ocho programas para ser almacenados o extraídos de la
memoria de la configuración de marca y de falta de marca y
de la configuración de memoria de importa e indiferente -
dentro de cada una de las memorias de marca/importa de canal y
15 de los elementos de comparación 3 - 7, queda controlada por la
entrada suministrada a las mismas a través del cable de con-
ductores múltiples desde el elemento de dirección de memo-
ria de escritura/lectura y de control de selección 2.

20 La segunda función primordial de cada una de
las memorias de marca/importa de canal y de los elementos
de comparación 3 - 7 es la de leer en secuencia la informa-
ción de marca o de falta de marca y la información de impor-
ta e indiferente de todos los programas almacenados en las
configuraciones de memoria y falta de marca y de importa e
25 indiferente y comparar dicha información en secuencia con
la información de canal de dieciseis (16) bitios para cada
tarjeta de registro que se está explorando. Esta segunda
función primordial de la memoria de marca/importa de canal
y de los elementos de comparación 3 - 7, se describirá con
30 mayor detalle en conjunto con la figura 4, sin embargo, es



1 suficiente por ahora observar que cada conjunto de con-
diciones de programa almacenadas en las configuraciones de
memoria de marca y falta de marca y de importa e indife-
5 rente son leídas en secuencia bajo el control de la infor-
mación de dirección suministrado en el cable 30 de con-
ductores múltiples y se compara con la información de ca-
nal de dieciséis (16) bitios suministrada en los cables
apropiados de salida 25 a 29 y se proporciona una señal
de salida apropiada en los conductores 31 - 35 que indica
10 que es si se ha logrado o no una comparación favorable pa-
ra cada uno de los conjuntos de programa de condiciones
impuestas.

15 En realidad, se recordará que la información
de canal es transportada en toda la presente invención so-
bre la base de ocho (8) bitios en paralelo en vez de die-
ciséis (16) y por lo tanto las señales reales de selección
o falta de selección aplicadas a los conductores 31 - 35
son señales basadas en los resultados de las comparaciones
obtenidas para el primero o el segundo de los ocho (8) bi-
20 tios de lectura de datos y por lo tanto se hacen dos (2)
operaciones de comparación para cada uno de los ocho (8) bi-
tios de datos para cada uno de los programas almacenados
en las configuraciones de memoria de marca y falta de mar-
ca y de importa e indiferente presentes dentro de las me-
25 morias de marca/importa de canal y de los elementos de -
comparación 3 - 7. Por lo tanto, las personas entendidas
en la materia apreciarán que la información puede ser alma-
cenada en cada una de las configuraciones de memoria de -
marca y de falta de marca y de importa e indiferente dentro
30 de cada una de las memorias de canal de marca/importa y de



1 los elementos de comparación 3 - 7 cuando se define una -
operación de escritura en el cable 30 de conductores múlti-
5 ples y pueden almacenarse hasta ocho programas o conjun-
tos de condiciones de entrada en cada una de las configura-
ciones de memoria de marca y de falta de marca y de importa
e indiferente debido a la dirección suministrada por el
elemento de dirección de escritura/lectura y el elemento de
selección 2 a través del cable 30 de conductores múltiples.
Además, una vez que la información de programa ha sido al-
10 macenada en todas las direcciones deseadas de las configura-
ciones de memoria de marca y falta de marca y de importa e
indiferente, las tarjetas de datos que van a pasar por el
procedimiento de selección pueden ser exploradas y la in-
formación del canal de cada una de las columnas en la mis-
15 ma puede ser suministrada a las memorias de marca/importa
de canal y a los elementos de comparación 3 - 7 a través
de los conductores de salida 25 - 29. De esta manera, la
información de canal para cada una de las columnas puede ser
entonces comparada con cada uno de los ocho conjuntos de
20 palabras de selección de marca y falta de marca y de palabras
de selección de importa e indiferente almacenadas en las
configuraciones de memoria y falta de marca y de importa e
indiferente presente en cada una de las memorias de marca/
importa de canal y de elementos de comparación 3 - 7 y los
25 resultados de cada una de las comparaciones serán suminis-
trados a base de cada uno de los canales, a la memoria de
control y al elemento de decisión a través de los conduc-
tores apropiados de los conductores 31 - 35 asociados con
los canales A - E de la manera indicada en la figura 1.

30 La memoria de control y el elemento de deci-



1 sición 8, al igual que la memoria de marca/importa de canal
y los elementos de comparacion 3 - 7 actúa para llevar a
cabo dos funciones principales dentro del aparato de explo-
ración y de control de selección ilustrado en la figura 1.
5 La primera de estas funciones es la de aceptar la informa-
ción de selección de programa para la tarjeta de programa
que se está explorando y para almacenar dicha información
de selección mientras que la segunda función principal de
los mismos es la de iniciar la lectura de dicha información
10 de selección almacenada al explorar las tarjetas de regis-
tro para ser procesadas selectivamente y para imponer la
información de selección almacenada en las mismas para ca-
da uno de los programas o establecer las condiciones de se-
lección de acuerdo con la información resultante de la lec-
15 tura de la tarjeta de datos explorada. Sin embargo, la memo-
ria de control y los elementos de decisión 8, a diferencia
de la memoria de marca/importa de canal y los elementos
de comparación 3 - 7, no actúa directamente sobre la infor-
mación de las columnas o canales que se lee de cada una de
20 las tarjetas exploradas sino que en vez de ello actúa pa-
ra imponer la información de selección almacenada en las mis-
mas sobre los resultados de la información de comparación
inicial proporcionada por las memorias de marca/importa
de canal y los elementos de comparación 3 - 7 para cada una
25 de las tarjetas leídas a base de programa. De esta forma,
como se indica en la figura 1, las operaciones de compa-
ración para la información de programa almacenado en la me-
moria de control y en el elemento 18 se llevan a cabo a ba-
se de una comparación con la información de selección par-
30 cial para cada uno de los canales suministrados a las mis-



1 mas por cada uno de los programas a través de los conducto-
res 31 a 35. Por lo tanto, la memoria de control y el ele-
5 mento de decisión 8 pueden ser organizados a base de ope-
ración por tarjeta en vez de a base de operación por canal
como si fueran memorias de marca/importa de canal y ele-
mentos de comparación 3 - 7 y por esta razón la configura-
ción de memoria en los mismos, que se describirá en detalle
10 en conjunto con la figura 5, puede incluir substancialmente
menos almacenamiento que lo que fuera necesario para las
memorias de marca/importa de canal y los elementos de com-
paración 3 - 7.

De manera más particular, como se explicará
con mayor detalle en conjunto con la figura 5, sólo se re-
quiere que la memoria de control y el elemento de decisión
15 8 almacenen cuatro (4) bitios de información para cada uno
de los programas almacenados en los mismos. Por lo tanto,
puesto que esta descripción de la presente realización ejem-
plar de la invención ha supuesto una capacidad de almacena-
miento de ocho (8) programas, se apreciará que la configura-
20 ción de memoria dentro de la memoria de control y el elemento
de decisión 8 solo necesitan proporcionar treinta y dos (32)
bitios de almacenamiento en los que cuatro bitios definen
un programa y dicho programa se organiza en base de por tar-
jeta en vez de en base de por canal. De esta manera, la pro-
25 gramación de la configuración de memoria dentro de la memo-
ria de control y el elemento de decisión 8 pueden lograrse
a través de la exploración de una información de programa
en una tarjeta de programa que está asociada solamente con
una sola columna o un solo canal en la tarjeta de programa
30 que se está leyendo y por esa razón, como se ilustra clara-



1 mente en la figura 1, sólo la entrada de la primera colum-
na o el canal A en la tarjeta de datos se proporciona a los
mismos a través del cable de conductores múltiples 36 que
5 conecta al cable de conductores múltiples 25 asociado con
el canal A y se emplea como entrada a la memoria de marca/
importa del canal A y al elemento de comparación 3. El pri-
mero de los cuatro bitios de la información de programa
almacenada dentro de la memoria de control y el elemento
de decisión 8 para cada uno de los programas, define si -
10 la información de selección parcial suministrada a la memo-
ria de control y al elemento de decisión 8 para cada uno
de los canales A - E a través de los conductores 31 - 35 va
a pasar o no a través de una operación AND o una operación
OR, mientras que el resto de los tres bitios de informa-
15 ción asociados con cada uno de los programas definen si -
una señal de selección resultante va a dar por resultado
una operación de impresión o de omisión o una operación de
recuento en uno de los primero y segundo contadores 9 y 10.
De esta manera, las personas entendidas en la materia verán
20 que cada uno de los ocho programas almacenados en la memo-
ria de control y el elemento de decisión 8 definen si la
información de selección parcial suministrada a los mis-
mos sobre una base de por canal y por programa a través de
los conductores 31 - 35 va a sufrir una operación de AND
25 u OR para un programa de determinado mientras que el res-
to de los bitios de la información definidos en los mismos
determinarán si es que la tarjeta de datos que pasa las
condiciones de selección impuestas va o no a tener la in-
formación de documento presente en la misma impresa o si
30 esta tarjeta va a ser omitida o va a ser contada por uno



1 de los primero o segundo contadores 9 y 10.

5 Puesto que cada una de las memorias de Marca/
importa de canal y elementos de comparación 3- 7, así como
la memoria de control y el elemento de decisión 8 en la
modalidad ejemplar de la invención que se establece es ca-
paz de ciclarse a través de un conjunto de información de
selección o programas para la información de bitios codi-
ficados obtenida de cada una de las tarjetas que pasa por
una operación de selección, una función adicional de la -
10 memoria de control y el elemento de decisión 8 es la de
acumular los resultados de la operación de selección que
se lleva a cabo por cada uno de los programas estableci-
dos y la de proporcionar solamente una sola señal de pro-
cesamiento al completarse la totalidad de los programas
15 almacenados. De esta manera, la memoria de control y el
elemento de decisión 8 esperan a que se completen todas las
rutinas de los programas establecidos para el proceso de
selección que se está ejecutando y luego proporciona una
señal o bien de presión o bien de omisión para la tarjeta
20 de datos que en ese momento se está explorando, o alter-
nativamente proporcionará una señal de incremento de cuen-
ta en uno o más de los conductores 37 ó 38 conectados al
primero o al segundo de los elementos contadores 9 y 10.

25 La salida de la memoria de control y del ele-
mento de decisión aplicada al conductor 39, como se indi-
ca claramente en la figura 1, es una señal de impresión u
omisión la que, bajo la aplicación ejemplar que se está
suponiendo en la presente, puede ser aplicada al circuito
lógico y de control descrito para los sistemas de impresión
30 electrofotográfico en la figura 4 de la patente de los -



1 Estados Unidos número 3.700.324 para hacer que se imprima
o se omita la información de documentos en la tarjeta que
se está explorando al llegar dicha información de docu-
5 de impresión electrofotográfica controlada. Las salidas en
los conductores 37 y 38 de la memoria de control y del ele-
mento de decisión 8 se emplean para incrementar selectiva-
mente el primero y el segundo de los elementos contadores
9 y 10 y se emplean en aplicaciones en las que se desea
10 verificar el número de tarjetas dentro de una pila de tar-
jetas determinada que va a pasar por la selección y que -
tiene las condiciones requeridas para las cuales se imponen
los diferentes programas de selección. Por ejemplo, si en
un caso se cargó una pila de un programa de tarjetas de
15 etiquetas codificadas en las que se empleó la codificación
substancial disponible para definir información con respec-
to a un empleado o a un cliente que incluía el número de
años que dicho cliente o empleado había estado asociado con
una compañía determinada; pueden establecerse requisitos
20 de selección de programa de tal manera que sólo se selec-
cionen empleados o clientes con una afiliación de dos años
y excluyendo todos los demás de la pila y dichas tarjetas
de registro pueden ser contadas en uno de los contadores
que constituyen el primero o el segundo contadores 9 y 10,
25 mientras no tendría lugar la impresión de información de
documentos en dichas tarjetas. Este mismo ejemplo puede
actuar para ilustrar totalmente el uso de la presente in-
vención dentro de una configuración de clasificación en -
donde se desea obtener la tarjeta de registro de por sí en
30 vez de la información del documento contenido en la misma



1 y, por lo tanto, las señales selectivas en uno o más de los
conductores 36 - 39 de la memoria de control y el elemen-
to de decisión 8 pueden ser utilizados para proporcionar
5 salidas a deflectores dentro de la disposición de clasifi-
cación. El primero y segundo elementos contadores 9 y 10
pueden tomar la forma de contadores convencionales que ac-
túan para aumentar cada vez que un impulso es suministrado
en uno de los conductores 37 o 38 y se redispone cada vez
que se conecta la potencia o se inicia una rutina de programa
10 para comenzar una nueva operación de procesamiento de se-
lección. Puesto que el primero y el segundo elementos con-
tadores 9 y 10 son convencionales no se describirán adi-
cionalmente con detalle en la presente; sin embargo, las
entradas lógicas de los mismos serán descritas adicional-
15 mente en conjunto con la figura 5.

La condición de la memoria de control y el
elemento de decisión 8 con respecto a la lectura o a la
escritura así como a la dirección de la misma queda con-
trolada por la dirección de escritura/lectura y por el -
20 elemento de control de selección 2 en forma muy similar a
la que estas funciones quedan controladas por los mismos
para las memorias de marca/importa de canal y los elemen-
tos de comparación 3 - 7. Por esta razón, la dirección y
la entrada de control de escritura a la configuración de
25 la memoria dentro de la memoria de control del elemento
de decisión 8 aparecen mostradas como conectadas a través
de un cable 40 de conductores múltiples a las salidas -
correspondientes de la dirección de escritura/lectura y el
elemento de control de selección 2 que las personas enten-
30 didas en la materia apreciarán que cada vez que se suminis



1
5
10
15
20
25
30

tra una designación de dirección de tres bitios por la dirección de escritura/lectura y el elemento de control de selección 2 a través del cable 40 de conductores múltiples a la memoria de control y al elemento de decisión 8 se definirá una de las ocho (8) colocaciones de almacenamiento de cuatro (4) bitios y se determinará si la información de programa suministrada a través del cable 36 de conductores múltiples se escribe en la ubicación de almacenamiento o se lee del mismo la información de programa almacenado por medio de la condición de la entrada de escritura a la memoria de control y al elemento de decisión 8 de acuerdo como es suministrado a través de otro conductor discreto dentro del cable 40 de conductores múltiples y de ahí sale de la dirección de escritura/lectura y del elemento de control de selección 2.

La dirección de escritura/lectura y el elemento de control de selección 2 se describirán con mayor detalle en conjunto con la figura 3; sin embargo, aquí sólo es necesario la consideración de la función generalizada de los mismos. La dirección de escritura/lectura y el elemento de control de selección 2 actúa en respuesta a las señales de control suministradas por el elemento de control de exploración 12 a través del conductor 18 para colocar las configuraciones de la memoria dentro de las memorias de - marca/importa de canal y los elementos de comparación 3 - 7 y la memoria de control y el elemento de decisión 8 en - forma ya sea de escritura o de lectura, para controlar la dirección de cada una de estas configuraciones de memoria y proporcionar señales indicativas de si se han hecho o no todas las operaciones de comparación para todos los otros



1 conjuntos programados de condiciones de selección y en es-
ta forma suministrar una indicación a la memoria de control
y al elemento de decisión 8 indicando que la selección -
acumulativa para la tarjeta que se esta explorando puede -
5 ser enviada a la salida en la forma de una señal de impre-
sión u omisión o una señal de aumento de contador. Más -
particularmente, como se describirá adicionalmente en con-
junto con la figura 3, cuando la realización ejemplar de
la presente invención se energiza o , alternativamente, -
10 cuando se habilita un conmutador en el panel delantero o
tablero del equipo (no mostrado), la dirección de escri-
tura/lectura y el elemento de control de selección 2 es-
tablecerán una condición de programa para las configuracio-
nes de memoria dentro de las memorias de marca/importa de
15 canal y los elementos de comparación 3 - 7 y la memoria de
control del elemento de decisión 8. Posteriormente, la in-
formación de dirección apropiada será suministrada a tra-
vés del cable 40 de conductores múltiples de tal manera
que a medida que se exploran cada una de las partes apropia-
20 das para los diferentes programas de selección que se van a
imponer, la información obtenida de los mismos será carga-
da en las configuraciones apropiadas de las configuraciones
de memoria dentro de las memorias de marca/importa de ca-
nal y de los elementos de comparación 3 - 7 y de la memo-
25 ria de control y el elemento de decisión 8.

La dirección de escritura/lectura y del ele-
mento de control de selección 2 también contará el número
de conjuntos de programas cargados de tal manera que di-
cha cuenta pueda ser almacenada y después puede confiarse
30 en ella a medida que las diferentes rutinas de programa se



1 corren durante la selección, para identificar cuando todas
las rutinas de programa han sido probadas y se ha hecho una
decisión colectiva para la tarjeta de datos que se está
explorando.

5 Cuando se han cargado todas las rutinas de
programa que se van a establecer, la dirección de escritura/
lectura y el elemento de control de selección 2 se revier-
te a una operación de selección o de forma de lectura en
la que los datos codificados de las tarjetas de los regis-
10 tros cargadas son exploradas y hechas avanzar a base de
lectura por canal a las memorias de marca/importa de ca-
nal y a los elementos de comparación 3 - 7 y la informa-
ción de selección parcial de las mismas se hace avanzar has-
ta la memoria de control y al elemento de decisión 8 para
15 fines de selección. La dirección de escritura/lectura y el
elemento de control de selección 2 hace después que la -
selección de palabra establezca la información que va a -
leerse de cada una de las memorias de marca/importa de canal
y los elementos de comparación 3 - 7 y la memoria de con-
20 trol y el elemento de decisión 8, de tal manera que puedan
hacerse comparaciones apropiadas por cada uno de los progra-
mas establecidos almacenados y posteriormente, cuando se -
han completado las operaciones de comparación para cada uno
de los programas, se proporciona una indicación de que se
25 ha proporcionado una decisión final de selección para la -
tarjeta que se está explorando a base de los resultados de
todas las comparaciones de todos los programas almacenados.
Así, en la forma en la que la dirección de escritura/lec-
tura y el elemento de selección 2 controla la forma por me-
30 dio de la cual se procesan todos los datos codificados que



1

se leen de las tarjetas que se está explorando, se controla el tiempo y la secuencia a través de la cual se hacen todas las pruebas de selección intermedias y adicionalmente actúa para proporcionar una indicación con respecto a -

5

cuando se han corrido la totalidad de las condiciones de selección impuestas.

10

Por lo tanto, las personas entendidas en la materia apreciarán que el aparato de exploración y control ejemplar así como las técnicas de procesamiento del mismo, de acuerdo como muestra la presente invención, actúan para procesar una cantidad substancial de datos codificados de tarjetas de registro que se están leyendo mientras que imponen substanciales condiciones de selección sobre las mismas, las que pueden variarse ampliamente a opción del programador. Al mismo tiempo, solo es necesario suministrar al operario una pila de programa que va a ser cargada para en esta forma establecer un recordatorio dentro de las configuraciones de memoria de las memorias de marca/importación de canal y de los elementos de comparación 3 - 7 y de la memoria de control y el elemento de decisión 8, de tal manera que dicho operario no necesariamente tiene que ser una persona con alto entrenamiento en la técnica de la programación. Adicionalmente, las configuraciones lógicas y técnicas de selección empleadas en el ambiente de la invención ilustrado en la figura 1, son altamente eficientes y exhiben una substancial flexibilidad debido a que la información de marca o falta de marca asociada con cada una de las columnas en la tarjeta de datos se procesa independientemente y la decisión de selección parcial con respecto a los requisitos de selección asociados con dicha información se -

15

20

25

30



1 hace a base de por canal en memorias independientes asocia-
das con la misma mientras que las decisiones de seleccin
relacionadas con el contenido total codificado de la tar-
jeta de datos que se est explorando se hacen a base de -
5 por tarjeta pero como una funci3n de las decisiones de se-
lecci3n parcial hechas para cada uno de los canales de
tal manera que puede emplarse un dise2o de circuito alta-
mente eficiente que evita una substancial redundancia. Adi-
cionalmente, la simetra y la organizaci3n de la l3gica ad-
10 mite fcilmente la expansi3n o la reducci3n para aplica-
ciones que requieren o bien mayor o menor grado de selec-
tividad. De esta manera, el nmero de memorias de marca/
importa por canal y de elementos de comparaci3n 3 - 7 pue-
den expanderse fcilmente o reducirse fcilmente para el
15 aparato de exploraci3n y selecci3n adaptado para aplicaciones
especficas como tambin pueden expanderse o reducirse el
nmero de conjuntos de informaci3n de programa para los -
cuales pueden imponerse condiciones de selecci3n. De con-
formidad, simplemente a2adiendo o reduciendo el nmero de
20 memoria de marca/importa de canal y de elementos de compa-
raci3n 3 - 7 y expandiendo o reduciendo el contenido de la
memoria de la memoria de control y el elemento de decisi3n
8, junto con una modificaci3n apropiada en la direcci3n de
la direcci3n de escritura/lectura y el elemento de con-
25 trol de selecci3n 2, la presente invenci3n puede modificar-
se fcilmente para satisfacer aplicaciones especficas.
Por ejemplo, en ciertas aplicaciones puede desearse s3lo
un sistema de dos canales en el que se necesitan registros
de datos codificados que solo se emplean dos columnas de
30 informaci3n codificada y pueden hacerse fcilmente modi-



1

5

10

15

20

25

30

ficaciones similares en el número de ciclos de programa - que pueden ser impuestos, para satisfacer otros requisitos específicos.

PROGRAMACION DE CONJUNTOS DE CONDICIONES DE SELECCION

La descripción del diagrama de bloque generalizado de la modalidad ejemplar de los métodos y aparatos de exploración y selección de acuerdo con las enseñanzas de la presente invención, como se establece en la figura 1, ha hecho aparente que antes de cargar los registros de datos codificados con fines de selección, cada una de las configuraciones de memoria dentro de las memorias de marca/importa de canal y de los elementos de comparación 3 - 7 así como la memoria de control y decisión 8 debe ser cargada con la información de selección apropiada y que pueden ser cargados hasta ocho conjuntos de información de selección en la modalidad ejemplar para ser impuestos a cada una de las tarjetas de registro que van a ser exploradas subsecuentemente. De esta forma, en la modalidad de cinco canales de la invención que se está describiendo pueden cargarse hasta ocho conjuntos de información de marca y de falta de marca en cada una de las configuraciones de memoria de marca y de falta de marca presentes dentro de las memorias de marca/importa y de los elementos de comparación 3 - 7 de cinco canales y de manera similar, hasta ocho conjuntos de información de importa y no importa pueden ser cargados en cada una de las configuraciones de memoria de importa y no importa dentro del canal de las memorias de marca/importa



1 y de los elementos de comparación 3 - 7. Adicionalmente,
pueden cargarse hasta ocho conjuntos de programas de cua-
tro bits en la configuración de memoria de la memoria de
control y los elementos de decisión que actúan para defi-
5 nir la forma AND/OR de selección a base de por tarjeta y
si las tarjetas de registro que satisfacen más de los ocho
programas de condiciones de selección que pueden ser esta-
blecidas, van a ser o no impresas, omitidas o contadas en
uno o más del primero o el segundo de los elementos conta-
10 dores 9 y 10. Aun cuando, la dirección de escritura/lec-
tura del elemento de control de selección 2 automáticamente
establecen una forma de escritura o forma de programa cuan-
do el aparato mostrado en la figura 1 se energiza o cuando
se oprime el interruptor apropiado para hacer que la infor-
15 mación de programa en las tarjetas cargadas se almacene en
los diferentes configuraciones de memoria dentro de las
memorias de marca/importa de canal y los elementos de
comparación 3 - 7 así como en la memoria de control y el
elemento de decisión 8, la manera real por medio de la cual
20 se obtiene la información de dichas tarjetas de programa
se describe en conjunto con las figuras 4 y 5; se descri-
birá aquí una forma de proporcionar información de programa
a la modalidad ejemplar de la presente invención que se es-
tablece en conexión con la figura 1, para familiarizar al
25 lector con una forma típica de establecer varias secuencias
de programa de información de selección dentro de esta
modalidad de la presente invención para proporcionar un -
conocimiento adicional con respecto a la naturaleza de las
selecciones que se llevan a cabo y de la basta flexibili-
30 dad que se logra con las capacidades de selección de la



1 presente invención.

5 A las personas entendidas en la materia les será aparente la descripción de la invención establecida en conjunto con la figura 1, que la información leída de las tarjetas de datos que están pasando la selección es procesada a base de por canal hasta que se ha completado el procesamiento por medio de las memorias de marca/importa de canal y los elementos de comparación 3 - 7 y hasta que cada una de las configuraciones de memoria presentes en las mismas por lo tanto es asociada sólo con una columna de información en una tarjeta que se va a explorar y proporciona almacenamiento a base de por programa que es indicativo de la condición deseada para cada bitio de datos dentro de una columna. Adicionalmente, puesto que se han descrito ocho programas para el caso ejemplar que se está explicando, pueden definirse hasta ocho condiciones diferentes para un bitio que se está explorando y tanto para una configuración de memoria de marca o de falta de marca como para una configuración de memoria de importa y no importa que esté presente dentro de cada una de las memorias de marca/importa de canal y de los elementos de comparación 3 - 7. De esta forma, para cada uno de los programas asociados con un canal determinado de información pueden especificarse dieciseis condiciones de marca/falta de marca para dieciseis ubicaciones de bitios de una columna para cada uno de los programas y, de manera similar, pueden especificarse dieciseis bitios de información de importa/no importa para cada uno de los programas y cada una de las condiciones de bitio especificadas puede ser almacenada. Sin embargo, para la memoria de con-

10

15

20

25

30



1 trol y el elemento de decisión 8, sólo se requieren cua-
tro bitios por programa puesto que cada uno de los progra-
mas se lleva a cabo a base de por tarjeta y solo se hará
5 una decisión de salida por tarjeta aún cuando puedan rea-
lizarse ocho programas. Debe observarse que en la presente
invención, a una designación de omisión para una señal de
selección se le ha dado prioridad sobre una señal de impre-
sión de tal manera que esté en consonancia con la forma de
operación seleccionada en la patente de los Estados Uni-
10 dos número 3.700.324; sin embargo, como será aparente pa-
ra las personas entendidas en la materia, esta disposición
de prioridad puede ser modificada para que se ajuste a la
elección del diseñador. Por estas razones, para la forma
ejemplar de programación seleccionada para la descripción
15 se supone que se requieren tres tarjetas de registros co-
dificados que definen los requisitos de selección para cada
uno de los programas que se va a cargar y por lo tanto se
requerirán 24 tarjetas de registros de programas codifica-
dos para cargar la totalidad de los ocho programas en el
20 aparato ejemplar de exploración y selección que se estable-
ce. Para que esté en consonancia con la organización de la
modalidad ejemplar de la invención establecida en la pre-
sente, a cada una de las tarjetas de registro de programa
codificado que se requiere para almacenar información de
25 selección para un programa determinado, se hará referen-
cia en una manera que por lo general corresponde a la con-
figuración de memoria en la que se carga el contenido de
las mismas y las personas entendidas en la materia aprecia-
rán que las cinco configuraciones presentes de marca y fal-
30 ta de marca y las cinco configuraciones de memoria presen-



1 tes de importa y no importa dentro de las memorias de marca/importa de canal y los elementos de comparación 3 - 7
se cargan simultáneamente a base de por canal o por columna
5 mientras se emplea solamente un canal A o una columna de una tarjeta de programa para cargar la información en la configuración de memoria dentro de la memoria de control y el elemento de decisión 8 empleados para fines de programación.

10 Las tres tarjetas de registro de programa - necesarias en la programación de la información de selección dentro de la modalidad de la invención mostrada en la figura 1, se conocen con el nombre de tarjetas de control, tarjetas de importa/no importa y tarjetas de marca/falta de marca, como se mencionó y la información en cada una de
15 las tarjetas se emplea para almacenar información en la configuración de memoria correspondiente dentro de la memoria de control y los elementos de decisión 8 y en las memorias de marca de canal importa y elementos de comparación 3 - 7. La tarjeta de control es la primera tarjeta de la
20 secuencia de tres tarjetas que se requieren para el almacenamiento de una secuencia de programa determinada y los datos de las mismas se emplean para almacenar información dentro de la memoria de control y el elemento de decisión 8. Como se recordará que la configuración de memoria dentro de la
25 memoria de control y el elemento de decisión 8 almacena datos con respecto al programa de cuatro bits asociado con la información de la tarjeta, las personas entendidas en la materia apreciarán que la tarjeta de control para cada uno de los programas solo necesita contener cuatro bits de
30 información independientemente del número de canales de in-



1 formación que se están empleando. De esta forma, se supone
que las tarjetas empleadas para fines de programación to-
man la configuración estandar de cinco columnas, dieciseis
5 (16) ubicaciones de bitios por columna, que se describe an-
teriormente, sólo se requiere que la tarjeta de control -
contenga información de programa en la columna asociada -
con el canal A y solo las primeras ubicaciones de cuatro
bitios en éste canal son importantes desde el punto de vis-
ta de transporte de la información del programa.

10 De la primera de las cuatro ubicaciones de
bitios en una columna asociada con el canal A en la tarjeta
de programa de control, la primera ubicación del bitio en
esta tarjeta puede ser empleada para una decisión AND/OR
la segunda ubicación de bitio puede ser empleada para una
15 decisión de impresión/omisión, mientras que la tercera y la
cuarta ubicaciones de bitio en la tarjeta pueden ser emplea-
das para designar una actuación del primero y el segundo de
los elementos contadores 9 y 10, respectivamente. De esta
forma, la tarjeta de programa de control, si la primera
20 ubicación de bitio se deja en blanco puede asignarse una
designación de selección y una designación AND mientras que
si ocurre en esta ubicación una marca se puede asignar una
designación OR. De manera similar, la segunda ubicación
de bitio en la tarjeta de programa de control puede ser em-
25 pleada para designar información de impresión/omisión de
tal manera que al dejar la segunda colocación de bitio en
blanco en la tarjeta se puede interpretar como una deci-
sión de impresión mientras que una marca en dicha segunda
localización de bitio puede ser interpretada como una fun-
30 ción de omisión. Normalmente, la segunda ubicación o co-



1 locación de bitio en una tarjeta se dejará en blanco si se
desea una operación de impresión selectiva dentro del signi-
ficado normal de este término; sin embargo, una caracterís-
tica de la presente invención es la capacidad de borrar de
5 la impresión alguna porción de categoría de selección y por
lo tanto el grupo programado puede ser dispuesto sobre la
base de imprimir todo con excepción de ciertas tarjetas que
se van a borrar y en este caso, la segunda ubicación de
bitio en la tarjeta de programa de control estará marcada.
10 La tercera y la cuarta de las ubicaciones de bitio en la
columna de la tarjeta de programa de control que correspon-
de a la columna A, controlan al primero y al segundo de los
elementos contadores 9 y 10 y si cualquiera de estas ubi-
caciones de bitio están marcadas, el contador apropiado
15 será incrementado cuando se llenen los requisitos de selec-
ción que de otra manera se establecen. También debe obser-
varse, como sera aparente en lo que sigue, que una marca ya
sea en la tercera o en la cuarta de las ubicaciones de bi-
tio en la tarjeta de control automáticamente inhibirá la
20 impresión. Por consiguiente, las personas entendidas en la
materia apreciaran que la tarjeta de control que constituye
la primera de una secuencia de tres tarjetas necesaria para
almacenar un programa dentro de la presente invención emplea
solo las primeras cuatro ubicaciones de bitios en una co-
25 lumna de ubicaciones de bitios en la tarjeta y que aquí pue-
de suponerse que corresponden al canal A y la primera ubi-
cación de bitio se emplea para designar una función AND/OR,
la segunda ubicación de bitio se emplea para definir la fun-
ción impresión/omisión mientras que la tercera y la cuarta
30 ubicaciones de bitio, cuando están marcadas, se emplean pa-



1 ra inhibir la impresión y designar que uno o ambos del pri-
mero y el segundo de los elementos contadores 9 y 10 van a
ser incrementados al detectar una condición de selección
apropiada. Habrá una tarjeta de programa de control en una
5 secuencia de tres tarjetas para cada programa cargado y por
lo tanto, si, en la modalidad ejemplar de la invención que
en la presente se está estableciendo se desea cargar una
secuencia de ocho programas se prepararán ocho tarjetas de
programas las que se presentarán en la pila de programa de
10 24 tarjetas cargada. La información que se lee de la tar-
jeta de control, como se verá posteriormente se lee de las
primeras cuatro ubicaciones de bitios en el canal A para
la tarjeta de control cuando se ha establecido una forma
de programa de funcionamiento por medio de la dirección de
15 escritura/lectura y el elemento de selección 2 y se aplica
a la configuración de memoria en la memoria de control y ele-
mento de decisión 8 a través del cable de conductores múl-
tiples 36, como se indica claramente en la figura 1.

20 La segunda tarjeta en la secuencia de progra-
ma de tres tarjetas es la tarjeta de programa de importa/
no importa y se emplea para almacenar información de impor-
ta/no importa en cada una de las configuraciones de importa
y no importa dentro de las memorias de marca/importa de
canal y los elementos de comparación 3 - 7. Hay presente
25 una configuración de memoria de importa/no importa dentro
de cada una de las memorias de marca/importa de canal y
los elementos de comparación 3 - 7 y por lo tanto, asocia-
da con cada uno de los canales de información en el regis-
tro de datos codificado que esta pasando la selección. Adi-
30 cionalmente, se recordará que las configuraciones de memo-



1 ria de importa/no importa van a almacenar dieciseis bitios
de información asociada con los dieciseis bitios de infor-
mación presente en cada uno de los canales para una tarje-
ta de registro que pasa por el procedimiento de selección.
5 Por lo tanto, las personas entendidas en la materia, apre-
ciarán que la tarjeta de programa de importa/no importa que
es la segunda de las secuencia de tres tarjetas necesaria-
para almacenar cada uno de los programas, debe ser configura-
da de la misma manera que las tarjetas de registro codifi-
10 cadas que pasan la selección y que debe haber una columna
que contenga dieciseis (16) bitios de información por cada
una de las columnas de dieciseis (16) bitios en la tarjeta
de registro que se va a explorar de tal manera que puedan
cargarse de una sola vez todas las configuraciones de me-
15 moria e importa/no importa. Por consiguiente, puesto que
la modalidad ejemplar de la presente invención contempla
una tarjeta de registro de cinco columnas que produce la
modalidad ejemplar de cinco canales mostrado en la figura
1, la tarjeta de importa/no importa debe tener cinco co-
20 lumnas de información en la misma y cada una de las colum-
nas debe contener dieciseis (16) bitios de información para
almacenar en las configuraciones de memoria de importa/no
importa asociadas con cada uno de los canales de informa-
ción dentro de las memorias de marca/importa de canal y
25 los elementos de comparación 3 - 7.

30 Una codificación preferida para la tarjeta
de programa de importa/no importa es la selección de marcas
para la condición de importa de tal manera que solo hay
una marca presente en las ubicaciones de bitio de cada una
de las columnas para la cual el contenido de marca/falta de



1 marca de las tarjetas que van a explorarse es importante
con lo que se proporciona automáticamente una designación
de no importa para las ubicaciones de bitio en cada una de
las columnas que se dejan en blanco. Las personas entendi-
5 das en la materia apreciarán que en cualquier sistema de
codificación, independientemente de si se emplea un sólo ca-
nal de dieciseis (16) de bitios de información o se utili-
zan cinco canales que contienen ochenta (80) bitios de in-
formación, habrá una ubicación de bitios que no puede ser
10 utilizada en la codificación y adicionalmente, cuando se
proporciona una cantidad grande de información en una tar-
jeta de registro codificado tal como las que se emplean para
almacenar los datos en los empleados en una compañía y si-
milares, habrá casos muy frecuentes en los que toda la -
15 información obtenible de las mismas no es importante desde
el punto de vista de una operación de selección dada. Por
ejemplo, si las tarjetas de registros codificadas que con-
tienen la información del empleado tal como su edad, sexo,
dirección, tiempo que viene trabajando con la compañía y
20 similares, una selección con respecto a la duración del -
empleado será programada de tal manera que las ubicaciones
de bitios que designan la información de edad, sexo, di-
rección y similares, no son importantes y por lo tanto no
se pondrán marcas en la tarjeta de programa de importa/no
25 importa asociada con estas ubicaciones de bitios. Así, -
aun cuando la tarjeta de importa/no importa esté provista
con dieciseis (16) ubicaciones de bitios para cada uno de
los canales de información que se desea procesar en el sis-
tema, solo la ubicación de bitio que contiene la informa-
30 ción que es importante para el programa de selección que



1

5

10

15

20

25

30

se está en ese momento estableciendo estará marcada para designar a la lógica del sistema, en la forma que se describirá posteriormente, que el contenido de la ubicación de bitio correspondiente en las tarjetas de registro que se están procesando para selección es importante y debe ser considerada en el programa de selección que se está ejecutando. La tarjeta de programa de importa/no importa es la segunda tarjeta de la secuencia de tres tarjetas necesarias para establecer cada uno de los programas y por lo tanto, si se va a cargar una secuencia de ocho programas completos en la lógica, serian necesarias ocho de estas tarjetas de programa de importa/no importa y dichas tarjetas de programa de importa/no importa deberian ser cargadas como la segunda tarjeta de cada una de las secuencias de programa de tres tarjetas.

La tarjeta de programa importa/no importa define las ubicaciones de bitios dentro de cada una de las columnas que van a ser de interés en un programa determinado y esta información es almacenada a base de por programa dentro de cada una de las configuraciones de memoria de importa y no importa dentro de las memorias de marca/importa de canal de los elementos de comparación 3 - 7. Una vez que se ha almacenado esta información, es necesario establecer las condiciones de marca y falta de marca dentro de cada una de las configuraciones de memoria de marca y falta de marca en las memorias de marca/importa de canal y los elementos de comparación 3 - 7, de tal manera que dicha información que es definitiva con respecto a si se va a llevar a cabo la selección a base de que la marca esté presente o ausente, quede establecida. Puesto que cada una



1 de las configuraciones de memoria y falta de marca está
asociada con un canal de información y almacena una se-
cuencia de dieciseis bitios de información para cada una
de las columnas en las tarjetas de registro codificadas
5 que se van a seleccionar, de la misma manera que las tar-
jetas de programa de importa/no importa, las personas en-
tendidas en la materia apreciarán que la tarjeta de progra-
ma de marca/falta de marca, que es la tercera tarjeta en
la secuencia de tres tarjetas necesarias para almacenar
10 cada uno de los programas, tendrá en la misma una columna
de dieciseis bitios para cada canal de tal forma que pueda
almacenarse una selección de condición de marca o de falta
de marca en la configuración de memoria de marca y falta de
marca para cada uno de los bitios de cada uno de los cana-
15 les de información que se va a someter a la operación de
procesamiento de selección. La tarjeta de programa de marca/
falta de marca de preferencia se codifica de tal manera que
aparezca una marca en cada ubicación de bitio que realmen-
te importa y en la que debe aparecer una marca, mientras que
20 todas las ubicaciones de bitio que no importan y que se van
a dejar en blanco, están en condición de blanco. Las ubi-
caciones de bitio en la tarjeta de marca/falta de marca pa-
ra la cual se han almacenado condiciones de no importa no
son importantes a la selección; sin embargo, debe observar-
25 se que dichas ubicaciones de bitio ordinariamente deben
ser dejadas en blanco. De esta forma, en la tarjeta de re-
gistro previamente descrita, en el caso que se desee se-
leccionar solo los empleados de sexo femenino, la ubica-
ción de bitio asociada con los empleados de sexo femeni-
30 no estaría marcada en las tarjetas de programa de importa/



1 no importa de tal manera como para designar que la condi-
ción de esta ubicación de bitio es importante a la selec-
ción y si la condición de marca o de blanco elegida duran-
te la codificación para designar al empleado de sexo fe-
5 menino estaría colocada en la ubicación de bitio apropiada de un canal apropiado sobre la tarjeta de programa de marca/falta de marca para cargar esta condición en el canal apropiado de la configuración de memoria de marca/falta de marca. Como será aparente a las personas entendidas
10 en la materia, la información leída de las tarjetas de programa de importa/no importa y las tarjetas de programa de marca/falta de marca, se carga en las configuraciones de memoria de importa y no importa y marca y falta de marca presentes dentro de cada uno de los canales de memoria
15 de marca/importa y de los elementos de comparación 3 - 7 de la tarjeta de programa apropiada que se está explorando a base de por canal, transformados en un formato paralelo y aplicados a los cables de salida 25 - 29. De esta manera, tanto las tarjetas de programa de importa/no importa como de
20 marca/falta de marca definen información apropiada para cada uno de los canales en el sistema y dicha información es explorada para la tarjeta de programa asociada con los mismos y simultáneamente cargada en paralelo dentro de las configuraciones de memoria apropiada dentro de las memorias
25 de marca/importa de canal y los elementos de comparación 3 - 7. En conjunto con la figura 3 se describirá en detalle la manera como se deja pasar la información apropiada de las tarjetas de programa de importa/no importa y de marca/falta de marca dentro de la configuración apropiada de memo-
30 ria de importa y de no importa y de marca y de falta de -



1 marca dentro de las memorias de marca/importa de canal y
de los elementos de comparación 3 - 7, así como la inser-
ción de la información de las mismas dentro de la dirección
apropiada para el programa que se está leyendo y que es -
5 controlada por la dirección de escritura/lectura y el ele-
mento de control de selección 2.

Para facilitar adicionalmente un entendimien-
to de las técnicas de programación que pueden ser emplea-
das dentro del aparato de exploración y selección y de las
10 técnicas para los mismos como se establecen en conjunto con
la presente invención, enseguida aparece una codificación
ejemplar para tarjetas de registro dirigidas a classifica-
ción de empleados dentro de una compañía, junto con varios
problemas ilustrativos y las soluciones programadas de los
15 mismos que pueden lograrse con el aparato de acuerdo con
la presente invención. En la lista de empleados estableci-
da, sólo se ocupan veintiuna(21) ubicaciones de bitios y
por lo tanto se apreciara que puede utilizarse un sistema
de dos canales o si se confía en un sistema de cinco canales
20 tal como el que se describe en la presente, todas las ubi-
caciones de bitios 22 - 80, en las que las ubicaciones de
bitios están numeradas en orden 1 - 16 en el canal A, 17 -
32 en el canal B, y similares, se dejan en blanco cuando
se programan en cada una de las tarjetas de programa de -
25 importa/no importa para cada una de las rutinas de progra-
ma consideradas.



EJEMPLO DE CLASIFICACION DE LISTA DE EMPLEADOS

1

Bitio

5

- 1 Departamento de Ventas
- 2 Departamento de Servicio
- 3 Departamento de Producción
- 4 Departamento de Contabilidad
- 5 Departamento de Ingeniería
- 6 Departamento de Personal
- 7 Departamento de Compras
- 8 Gerencia
- 9 Con más de cinco años de servicio
- 10 Salario por hora

10

15

Semanas de vacaciones - codifíquense de la tabla siguiente (Marca=M)
(Blanco=B)

20

	Ninguna	Una	Dos	Tres	Cuatro	Cinco	semanas
11	B	M	B	B	M	B	
12	B	B	M	B	M	M	
13	B	B	B	M	B	M	

25

Año en que se contrató, supóngase 19AB. Bitios 14, 15, 16 y 17 para A y 18, 19, 20 y 21 para B. El bitio 17 no se necesitará hasta 198.

30



3

1	0	1	2	3	4	5	6	7	8	9
14	B	M	B	M	B	M	B	M		
15	B	B	M	M	B	B	M	M		
16	B	B	B	B	M	M	M	M		
5	17	B	B	B	B	B	B	B		
	18	B	M	B	M	B	M	B	M	B
	19	M	M	M	M	B	B	M	M	B
	20	B	B	B	B	M	M	M	M	B
	21	B	B	B	B	B	B	B	B	M

10

Problema: Imprima todos los empleados que tienen derecho a dos o más semanas de vacaciones. Esta sería una selección AND puesto que los cuadros 11, 12 y 13 deben ser considerados como un grupo y no individualmente; las selecciones se imprimen. Los únicos cuadros que importan son el 11, 12 y 13. Para hacer la selección pueden escribirse cuatro programas, uno para cada una de dos, tres, cuatro y cinco semanas.

15

Programa 1

20

Control: Bitio 1 en blanco para AND
 Bitio 2 en blanco para imprimir
 Bitio 3, 4 en blanco para imprimir en una tira de salida

25

Importa: Bitio 11, 12 y 13 marcados, todos los otros en blanco

30

Marca: El bitio 12 marcado - todos los otros en blanco. Esto seleccionará todos los empleados con derecho a dos semanas de vacaciones.



1

Programa 2

Control: Lo mismo que el programa 1

Importa: Lo mismo que el Programa 1

5

Marca: El bitio 13 marcado - todos los otros en blanco. Esto seleccionará todos los empleados con derecho a tres semanas de vacaciones.

Programa 3

10

Control: Lo mismo que el Programa 1

Importa: Lo mismo que el Programa 1

15

Marca: Los bitios 11 y 12 marcados - todos los otros en blanco. Esto seleccionará todos los empleados con derecho a cuatro semanas de vacaciones.

Programa 4

20

Control: Lo mismo que el Programa 1

Importa: Lo mismo que el Programa 1

Marca: Los bitios 12 y 13 marcados, - todos los otros en blanco. Esto seleccionará todos los empleados con derecho a cinco semanas de vacaciones.

25

Problema: Imprima todos los empleados que trabajan en los Departamentos de Ventas o Servicio. Cuéntense todos los gerentes con menos de cinco años de servicio en el contador auxiliar 1. La impresión de todos los empleados en los Departamentos de Ventas o Servicio puede lograrse con un progra-

30



1

ma OR. La impresión de los gerentes con cinco años de servicio puede hacerse con un programa AND.

5

Programa 1

Control: El bitio 1 marcado para OR - esto significa que cada bitio será considerado individualmente.

Bitio 2 - blanco para Impresión

Bitio 3 y 4 en blanco para Impresión en una tira de salida

10

Importa: Bitios 1 y 2 marcados - todos los otros en blanco. Esto hará que sólo se consideren los empleados de los Departamentos de ventas y Servicio.

15

Marca: Bitios 1 y 2 marcados - todos los otros en blanco. Esto hará que cualquier tarjeta de empleado con una marca en los cuadros 1 y 2, o en ambos, sea impresa.

20

Programa 2

Control: Bitio 1 - en blanco. Para AND - se requiere esto, puesto que deben considerarse dos categorías juntas.

25

Bitio 2 - blanco para imprimir

Bitio 3 marca - para accionar el contador auxiliar 1, esto inhibirá la impresión en la tira de salida para este programa

30

Bitio 4 - en blanco



1

Importa: Los bitios 8 y 9 marcados - todos los otros en blanco. Estas son las únicas categorías de interés.

5

Marca: El bitio 8 marcado - todos los otros en blanco. Una marca en el bitio 8 - seleccionará todos los gerentes, un blanco en el bitio 9 seleccionará todos los empleados con menos de cinco años de servicio. Una marca en el bitio 9 seleccionaría todos los empleados con más de cinco años de servicio, y puesto que se desea seleccionar lo contrario al dejar el bitio en blanco se logra el efecto deseado.

10

15

Problema: Imprima a todos los empleados que trabajan por hora que no fueron contratados en 1973.

20

Este problema se implementa mejor con un programa de Omisión. Si un programa de impresión incluye todos los años y un programa de Omisión incluye 1973, se logra el resultado deseado.

25

Programa 1

Control: Bitio 1 - blanco para AND, puesto que solo un cuadro es de interés, también funcionaría un OR.

30

El bitio 2 - blanco para impresión. Esto imprimirá cualquier empleado al que se le pague por horas.

Bitio 3 y 4 - blanco para imprimir una tira de salida.



1

Importa: Bitio 10 marcado - todos los otros en blanco. No importando el año ninguno quedara excluido.

5

Marca: Bitio 10 marcado - todos los otros en blanco.

Programa 2

10

Control: Bitio 1 - blanco para AND, puesto que deben considerarse 8 cuadros juntos.

Bitio 2 - marca para omisión, puesto que este programa borrará 1973.

Bitios 3, 4 - en blanco para "impresión" una tira de salida. En este caso la impresión en realidad significa la omisión de la tira de salida.

15

Importa: Bitios 14, 15, 16, 17, 18, 19, 20 y 21 marcados - todos los otros en blanco.

Marca: Bitios 14, 15, 16, 18 y 19 marcados -

20

todos los otros en blanco. Esta es la combinación de marcas y blancos que describe 73.

25

El programa 1 anterior imprimirá todos los empleados por hora;

El Programa 2 omitirá todos los contratados en 1973, por lo tanto, sólo las personas que trabajan por hora no contratadas en 1973 son las que quedarán.

30

Problema: Imprímense todos los empleados de los departamentos de Ventas o Servicio pero bórrese aquél



1

que trabaja tanto en el Departamento de Ventas como de Servicio y cuéntense por separado.

Programa 1

5

Control: Bitio 1 marcado para OR.

Bitio 2 en blanco para Impresión

Bitios 3 y 4 en blanco para impresión de la tira de salida.

Importa: Bitios 1 y 2 marcados - todos los otros en blanco.

10

Marca: Bitios 1 y 2 marcados - todos los otros en blanco.

Este programa imprimirá todos los empleados en los Departamentos de Ventas o Servicio en la tira de salida.

15

Programa 2

Control: Bitio 1 - blanco para AND

Bitio 2 marcado para Omisión

Bitios 3 y 4 en blanco para "imprimir" en la tira de salida.

20

Importa: Bitios 1 y 2 marcados - todos los otros en blanco

Marca: Bitios 1 y 2 marcados - todos los otros en blanco.

25

Este programa omitirá todos los empleados que no están trabajando en los Departamentos de Ventas y Servicio y los borraré de la tira de salida.

Programa 3

30

Control: Bitio 1 - blanco para AND



1

Bitio 2 - blanco para imprimir

Bitio 3 - marcado para accionar el contador auxiliar 9

Bitio 4 - en blanco

5

Importa: Bitios 1 y 2 marcados - todos los otros en blanco

Marca: Bitios 1 y 2 marcados, - todos los otros en blanco.

10

Este programa proporcionará la cuenta auxiliar de todos los empleados en combinación en los Departamentos de Ventas y Servicio.

15

20

25

30

Por lo tanto se verá que la presente invención permite que se seleccionen tarjetas seleccionadas de las tarjetas de registro codificadas a base de uno o más conjuntos de condiciones codificadas en las mismas y dichas condiciones pueden ser determinadas a través de una operación AND o una operación OR mientras pueden realizarse una pluralidad de programas de selección para cada una de las tarjetas exploradas. Adicionalmente, la manera en la que pueden imponerse las condiciones de selección de programa alimentando la pila de programa que puede ser preparada por un programador entendido y ser cargada sin error en las diferentes memorias empleadas dentro de la presente invención, permite que se empleen técnicas de programación sofisticadas con las mismas mientras se examina una multitud de ubicaciones de bitios para fines de selección sin que haya riesgo indebido de error por parte del operario. En conjunto con las figuras 2 - 5 se establecen varios detalles y configuraciones lógicas ejemplares para el aparato

1 to generalmente descrito en la figura 1; sin embargo, como
será aparente a las personas entendidas en la materia,
dichas configuraciones lógicas ejemplares como las estable-
cidas en la presente se proporcionan como vía de ilustra-
5 ción y no deben considerarse de ninguna manera de natura-
leza limitativa. De esta forma, en la descripción de las
figuras 2 - 5 que sigue, se ha supuesto que se utilizan
lógicas convencionales TTL comercialmente obtenibles, a -
través de cada una de las compuertas, inversores, regis-
10 tros y circuitos basculantes empleados, mientras que se
confía en amplificadores funcionales de circuito integra-
do convencionales para los amplificadores mostrados. Por
lo tanto, como será aparente para las personas entendidas
en la materia, se confía frecuentemente en la lógica com-
15 plementaria tales como elementos que tienen salidas inver-
tidas, para lograr funciones AND y/u OR de tal manera que pue-
da obtenerse el funcionamiento óptimo de los requisitos de
diseño en términos de confiar en los elementos de lógica que
fácilmente se obtienen en el mercado, así como para utili-
20 zar un mínimo de número de componentes. Por consiguiente,
las personas entendidas en la materia, apreciarán que cual-
quiera de los componentes o disposiciones de lógica espe-
cificados descritos en conjunto con las figuras 2 - 5 pueden
ser reemplazados por otros componentes o grupos de los -
25 mismos que produzcan condiciones de salida similares en -
respuesta a condiciones de entrada similares aún cuando
la forma de funcionamiento lógico empleado por los mismos
difiera a nivel de componente de los establecidos en con-
junto con las figuras 2 - 5, mientras la modificación re-
30 sultante sea calculada para lograr el mismo resultado o un



1 resultado con ligeras variaciones, dirigido al mismo fin.
Adicionalmente, aun cuando se supone que se utilicen lógi-
cas TTL y amplificadores funcionales de circuito integra-
do, como se mencionó anteriormente, en todas las modalida-
5 des de los circuitos ejemplares descritos en conjunto con
las figuras 2 - 5, pueden substituirse fácilmente compo-
nentes de circuito individuales MSI o pastillas de circui-
to implementadas MOS sin que haya ninguna desviación de las
enseñanzas de la inventiva contenidas en la presente.

10 REDES DE EXPLORACION, CONTROL

Y CONVERSION

15 Con referencia ahora a la figura 2 de los
dibujos se muestra un aparato de exploración, control y
conversión ejemplar apropiado para incorporarse en la mo-
dalidad de la presente invención ilustrada en el diagra-
ma de bloque generalizado de la figura 1 y más particular-
mente apropiado para ser incorporado en aquella porción de
la figura 1 que esta identificada por el bloque de líneas
20 punteadas 1 y al que se hace referencia anteriormente como
elemento de exploración, control y conversión. El aparato
de exploración, control y conversión ejemplar mostrado
en la figura 2 comprende un elemento detector de tarjetas
45, un elemento captador de pista de medición de tiempo 46
una pluralidad de elementos exploradores de columna 47A-
25 47E, en el que esta última anotación asociada con los mis-
mos define la exploración de canal, una pluralidad de re-
des de control de nivel 48A-48F, una red de control de
medición de tiempo identificada por el bloque de líneas
30 punteadas 49, una pluralidad de redes de conversión de for-



1

5

10

15

20

25

30

mato de canal 50A - 50E y una red de control de salida identificada por el bloque de líneas punteadas 51. De manera consistente con la descripción de la modalidad ejemplar de la presente invención descrita en conjunto con la figura 1, se ha supuesto que la entrada de los datos sin procesar contienen información de documentos que van a ser impresos selectivamente, separados o en forma similar, y toma la forma de tarjetas de datos codificados individuales que contienen, además de la información de documento visible, cinco columnas de información de bitio en las que cada una de las columnas tienen dieciseis (16) ubicaciones de bitio y una pista de medición de tiempo que contiene diecisiete (17) marcas de medición de tiempo y relacionadas con cada una de las columnas de información de bitio de tal manera que cada una de las ubicaciones de bitio en las mismas está dispuesta en la parte intermedia de un par de marcas de medición de tiempo en dicha pista de medición de tiempo.

Deberá entenderse que el elemento detector de tarjetas 45, el elemento captador de pista de medición de tiempo 46, y la pluralidad de elementos de exploración de columna 47A - 47E, por lo tanto, estarán dispuestos en una porción de la trayectoria de alimentación de la tarjeta de datos en una relación tal con cada una de las tarjetas, como para que la pista de medición de tiempo sea explorada por el elemento captador de pista de medición de tiempo 46, cada una de las cinco columnas de información de bitio sea explorada por uno de los elementos asociados de la pluralidad de elementos de exploración de columnas 47A - 47E y los bordes delantero y trasero de cada una de las tarjetas alimentadas pueden ser percibidos por el



1 elemento detector de tarjetas 45. El elemento detector
de tarjetas, elementos captadores de pistas de medición de
tiempo 46 y cada uno de los elementos de la pluralidad de
5 los elementos de exploración de columnas 47A - 47E pueden
tomar la forma de dispositivos fotosensibles individuales
tales como fototransistores, fotodiodos o similares co-
locados físicamente sobre la trayectoria de alimentación
de la tarjeta de datos en ubicaciones apropiadas para de-
10 tectar la información que se busca. Adicionalmente cada
uno de los elementos detectores de tarjetas 45, el elemen-
to captador de pista de medición de reloj 46, y la plura-
lidad de elementos captadores de columnas 47A - 47E, pueden
adicionalmente incluir, como se indica en la figura 2, eta-
15 pas apropiadas de preamplificación de tal manera que el
nivel de salida del dispositivo fotosensible empleado se
eleve hasta un nivel apropiado en tal forma que se funcione
lógicamente sobre el mismo. Adicionalmente, puede suponer-
se que las etapas de preamplificación presentes en cada
20 uno de los elementos detectores de tarjeta 45, los elemen-
tos captadores de pista de medición de tiempo 46 y la plu-
ralidad de elementos de exploración de columna 47A - 47E,
para fines de explicación, ejecutan una inversión de fase
de cualquiera de las señales de entrada aplicadas a los
25 mismos por medio del fotocaptador empleado. Por lo tanto,
las personas entendidas en la materia, apreciarán que, los
fotocaptadores presentes en cada uno de los elementos de-
tectores de tarjeta 45, los elementos captadores de pista
de medición de tiempo 46 y la pluralidad de elementos de
30 exploración de columnas 47A - 47E, producen cada uno de -
ellos una señal que se va haciendo negativa, de manera con



1 vencial, cuando una tarjeta de datos codificados coloca-
da en la trayectoria de alimentación pasa por la estación
de exploración ocupada por los mismos, debido a la reducción
de radiación lograda y cada vez que se lee una marca tal
5 como la marca en una ubicación de bitio codificada o una
marca en la pista de medición de tiempo, se produce una
señal que tiene una magnitud negativa en aumento por me-
dio del fotocaptador, en respuesta a la radiación de entra-
da substancialmente disminuida disponible al mismo. De -
10 esta manera, como apreciaran fácilmente las personas en-
tendidas en la materia, cada uno de los fotocaptadores
presentes en el elemento de detector de tarjeta 45, los -
elementos captadores de pistas de medición de tiempo 46, y
la pluralidad de elementos de exploración de columnas 47A
15 47E, producen una señal negativa en respuesta a la entra-
da de una tarjeta en la estación de exploración y se pro-
ducen impulsos de magnitud negativa en aumento que sub-
secuentemente se invierten, cada vez que se lee una marca
en la pista o la columna que se está explorando.

20 La salida del elemento detector de tarjeta
45 se conecta a un conductor 52 el que a su vez se conec-
ta a la entrada de un circuito basculante 53 monoestable
o de una sola acción, mientras que la salida de cada uno
de los elementos de la pluralidad de elementos de explo-
25 ración de columnas 47A - 47E y el elemento captador de -
pista de medición de tiempo 46 se conectan a través de
los conductores 54 - 59 a las entradas de una red de la
pluralidad de redes de control de nivel 48A - 48F asocia-
das con los mismos de la manera que aparece en la figura
30 2. Por lo tanto, a medida que son amplificadas las sali-



1 das dirigidas negativamente de los fotocaptadores emplea-
dos en la presente para fines de exploración y son inver-
tidos por las redes de preamplificación contenidas dentro
5 de los elementos detectores de tarjetas 45, los elementos
captadores de pistas de medición de tiempo 46 y cada uno
de los elementos 47A - 47E de la pluralidad de elementos ex-
ploradores de columna, las personas entendidas en la mate-
ria apreciarán que, aparecerá una señal de salida positi-
va en cada uno de los conductores 52 y 54 - 59 cuando una
10 tarjeta que se va a explorar y llega a la estación de ex-
ploración en la cual están colocados los fotocaptadores y
cuando se lee la información de la marca por medio de uno
de los fotocaptadores, será aplicada un impulso de magni-
tud positiva aumentada a la red de control de nivel asocia-
15 da con los mismos. Aun cuando no se describe en la presen-
te, los elementos de amplificación empleados dentro de cada
uno de los elementos detectores de tarjeta 45, los elemen-
tos captadores de pista de medición de tiempo 46 y la plu-
20 ralidad de elementos de exploración de columnas 47A - 47E
también pueden incluir trampas de ruido apropiadas tales
como derivaciones de corriente continua a tierra para re-
ducir el ruido y evitar señales de salida parásitas. Ade-
más aunque se ha mencionado que se produce una inversión
de fase dentro de las redes de preamplificación empleadas
25 de tal manera que la descripción de la presente puede con-
tinuar a base de una entrada si se va haciendo positiva -
para los elementos de exploración, se apreciará que pueden
emplearse directamente las salidas que se van haciendo ne-
gativas de fotocaptadores tales como los fototransistores
30 como las señales de entrada para ser modificadas después



1

como por ejemplo en las redes de control de nivel de canal, o bien pueden directamente emplearse en los casos en que se desean señales de entrada que se van haciendo negativas.

5

El circuito basculante monoestable 53 conectado a la salida del elemento detector de tarjeta 45 a través del conductor 52 puede tomar la forma de un circuito de una sola dirección convencional que en la presente produce un impulso de 20 milisegundos (20 ms) posteriormente se redispone automáticamente de manera bien conocida a las

10

personas entendidas en la materia. La función del circuito basculante monoestable 53 es la de establecer un intervalo de muestra y retención para fijar un nivel de umbral en cada una de las redes de la pluralidad de redes de control de nivel 48A - 48F cuando una tarjeta de registro que

15

va a ser explorada llega a la estación de exploración. Como podran apreciar las personas entendidas en la materia, el elemento detector de tarjeta 45 está dispuesto para - explorar sólo una porción en blanco de la tarjeta y por lo tanto, cuando una tarjeta de datos que va a pasar por

20

la exploración llega a la estación de exploración se producirá un impulso que se va haciendo positivo en el conductor 52 y dicho impulso que se va haciendo positivo persistirá en el conductor 52 hasta que el borde trasero de la tarjeta que se está explorando haya pasado de la estación

25

de exploración. De esta forma, cuando una tarjeta de datos que se va a explorar llega a la estación de exploración, se produce un impulso positivo en el conductor 52 al detectar el borde delantero del mismo debido al bloqueo

30

de radiación logrado por la tarjeta que se está explorando.



1
5
10
15
20
25
30

Debe observarse que la magnitud del impulso producido durante el intervalo en el que una tarjeta se está explorando esta en la estación de exploración puede - variar debido a hechos tales como imperfecciones en el - color o la textura de la tarjeta o posiblemente marcas no intencionales en el área que se está explorando. Sin embargo, puesto que el régimen de alimentación en el cual se proporcionan las tarjetas y se transportan en la trayectoria de alimentación es tal que no aparece información, sea legítima o nó, dentro del intervalo de veinte milisegundos desde el momento en que se detecta el borde delantero de la tarjeta, dichas imperfecciones de la tarjeta de datos no impedirán la operación de la presente invención. Al detectar el borde delantero de cada una de las tarjetas alimentadas, se aplicará un impulso positivo a través del conductor 52 a la entrada del circuito basculante monoestable 53. Por lo tanto, como es bien conocido por los entendidos en la materia, cada vez que el borde delantero de una tarjeta se detecta, la entrada positiva en el conductor 52 disparará el circuito basculante monoestable 53 - para colocar un alto nivel en el conductor 60 que se mantiene en el mismo durante un intervalo de veinte milisegundos (20 ms), hasta que el circuito basculante monoestable 53 automáticamente se redispone con lo que el nivel del conductor 60 se baja y el nivel del conductor 61 se pone en alto. La salida del circuito basculante monoestable 53 se conecta como se muestra en la figura 2 a través del conductor 60 y 62 a las entradas de cada una de las redes de la pluralidad de redes de control de nivel 48A - 48F.



1
5
10
15
20
25
30

Puesto que puede suponerse que la composición de cada una de las redes de la pluralidad de redes de control de nivel 48A - 48F es idéntica, el aparato empleado en las mismas sólo ha sido ilustrado en detalle en conjunto con la red de control de nivel 48A. Como aparece dentro del bloque de líneas punteadas 48A, cada una de las redes de la pluralidad de redes de control de nivel 48A - 48F está conectada a la salida de un elemento asociado de la pluralidad de elementos de exploración de columnas 47A - 47E y a la salida del elemento captador de pista de medición de tiempo 46 a través de uno de los conductores asociados 54 - 59. Además, como también aparece dentro del bloque de líneas punteadas 48A, cada una de las redes de la pluralidad de redes de control de nivel 48A - 48F incluye un dispositivo de conmutación 63, una red RC formada por una resistencia 64 y un condensador 65, y una etapa de amplificación 66 y un dispositivo de umbral 67. La salida del elemento de exploración de columna 47A se aplica directamente a través del conductor 54 a una entrada del dispositivo de umbral 67, mientras que esta entrada también se conecta a través del dispositivo de conmutación 63, el circuito RC formado por la resistencia y el condensador 64 y 65 y la etapa amplificadora 66, a la otra entrada del mismo para disponer el nivel de umbral del mismo. Más particularmente, el dispositivo de umbral 67 puede comprender un comparador convencional, un amplificador diferencial o un amplificador de umbral que actúa de manera bien conocida para aplicar una señal de entrada que excede un nivel aplicado a la entrada de umbral del mismo a su salida mientras que no produce salida para las señales



1 que no exceden del umbral determinado. De esta manera,
como sera aparente de la figura 2, cuando los impulsos po-
sitivos producidos en el conductor 54 exceden al nivel de
5 umbral establecido por el dispositivo de umbral 67 en la
salida de la etapa aplicadora 66, se producirá un impulso
de salida en el conductor 68A mientras que cuando la se-
ñal de entrada aplicada al conductor 54 no excede de este
nivel, no habrá presente salida o habrá un nivel bajo pre-
sente en el conductor 68A. Como será aparente a los enten-
10 didos en la materia, un nivel de salida o positivo en el
conductor 68A es indicativo de información de marca mien-
tras que un nivel bajo durante la exploración es represen-
tativo de una información de falta de marca.

15 El dispositivo de conmutación 63, la red RC
formada por la resistencia 64 y el condensador 65 y la
etapa amplificadora 66 forman una red de fijación de umbral
que actúa, como apreciarán las personas entendidas en la
materia, para disponer un umbral a la entrada del umbral
del dispositivo de umbral 67 cada vez que se detecta una
20 tarjeta de registro que se va a explorar en la estación de
exploración de tal manera que se establece un nivel de -
ambiente o de falta de marca para cada una de las tarjetas
que se está explorando el que se utiliza como nivel de um-
bral con lo que puede percibirse fácilmente una informa-
25 ción de marca y se evitan salidas parásitas. En esencia,
cada vez que el borde delantero de una tarjeta es detec-
tado en la estación de exploración, se produce un impulso
positivo en cada uno de los conductores 54 - 59 y 52 cuyo
nivel indica de manera efectiva el fondo ambiente o nivel
30 de falta de marca de la tarjeta que se está explorando de



1
5
10
15
20
25
30

la misma manera que se describe para el elemento detector de tarjetas 45. Además, no aparecerá información de marca con los regímenes de alimentación que se suponen en la presente hasta que haya transcurrido un intervalo que excede a veinte milisegundos (20 ms). Por lo tanto, cuando se produce un impulso positivo en el conductor 62 por medio del circuito basculante monoestable 53, el dispositivo de conmutación 63, que puede tomar la forma de un dispositivo FET como se muestra, o un dispositivo de acción de compuerta similar tal como un rectificador controlado de silicio o un transistor regular, el nivel positivo en el conductor 54 es hecho pasar a través del dispositivo de conmutación 63 a la entrada del circuito RC formado por la resistencia 64 y el condensador 65. Bajo estas condiciones, el condensador 65 se cargará a un nivel representativo del nivel de fondo ambiente en la tarjeta para establecer en esta forma un nivel de falta de marca para los dispositivos de umbral 67. La etapa amplificadora 66 puede comprender un amplificador convencional que exhibe una impedancia de entrada extremadamente alta y una ganancia que se aproxima a la unidad o a la mitad (0,5). De esta forma, mientras se aplique un alto nivel al conductor 62 para colocar el dispositivo de conmutación 63 en una condición de activado, el condensador 65 se cargará a un nivel que representa el nivel sin marca o nivel de fondo ambiente de la tarjeta y más particularmente, la porción de la misma que se está explorando; sin embargo, al expirar el intervalo de veinte milisegundos (20 ms) establecido por el circuito basculante monoestable 53, se aplicará un nivel bajo al conductor 62 para colocar el dispositivo de



1

5

10

conmutación 63 en un estado apagado o de alta impedancia. Por lo tanto, el nivel de ambiente o de falta de marca asociado con la tarjeta que se está explorando es establecido en el condensador 65 y aplicado a la entrada de umbral del dispositivo de umbral 67 a través de la etapa amplificadora 66, mientras el dispositivo de conmutación 63 se abre al redisponearse automáticamente el circuito basculante monoestable 53 antes del momento en el que aparezca cualquier información de las que va a explorarse en la tarjeta de datos que en ese momento esta en la estación de exploración.

15

20

25

30

Una vez que el dispositivo de conmutación 63 está en la condición apagada, la salida del elemento de exploración de columna 47A se aplica a través del conductor 54 a la entrada del dispositivo de umbral 67 y se compara con el umbral establecido a la salida de la etapa amplificadora 66. Si dicha entrada excede al nivel fijado será aplicada como un nivel alto al conductor de salida 68A y por lo tanto puede suponerse claramente que representa la información de marca ya que ninguna información de marca excedería el nivel de umbral fijado. De esta forma, puede verse que cada una de las redes de la pluralidad de redes de control de nivel 48A - 48F actúa para establecer un nivel de umbral representativo del fondo ambiente o nivel de falta de marca en cada una de las tarjetas presentadas en la estación de exploración y sólo se producirá una salida, un nivel alto en uno de los conductores asociados 68A - 68E, cuando el nivel del umbral es excedido por la exploración de la información marcada en la tarjeta. Por lo tanto, puede suponerse claramente que



1

un nivel de salida de uno de los conductores 68A - 68F sea una información de marca o de marca de medición de tiempo ya que las salidas parásitas asociadas con el fondo ambiente de la tarjeta se evitan por medio de las técnicas de umbral empleadas.

5

10

15

20

25

30

La salida de la red de control del nivel - 48F que está asociada con el canal de medición de tiempo se aplica a través de los conductores 68F a la red de control de medición de tiempo indicada por el bloque de líneas punteadas 49. La red de control de medición de tiempo indicada por el bloque de líneas punteadas 49 comprende una puerta AND 70, circuitos basculantes 71 y 72, puerta AND 73 y 74 que tienen salidas invertidas y un inversor 75. La función de la red de control de bloque 49, es la de emplear las señales de medición de tiempo leídas de la pista de medición de tiempo para medir en tiempo de manera separada y apropiada la lectura de los datos del canal A y la lectura de los datos del resto de la pluralidad de las columnas o canales B - E en cada una de las tarjetas de datos que se están explorando de tal manera que dichos datos puedan ser transformados del formato en serie en el que se presentan en los conductores 68A - 68E, al formato en paralelo a la salida de cada una de las redes de conversión de formato de canal 50A - 50E, como se verá posteriormente. Se recordará de la descripción de una tarjeta de datos explorada, como se establece anteriormente, que se emplea una pista de medición de tiempo de diecisiete (17) marcas en la que la relación de cada una de las marcas en la pista hasta las ubicaciones de dieciseis (16) bitios en cada una de las - columnas de los datos que van a leerse es tal que las ubi-



1 caciones de bitio están dispuestas entre marcas de medición
de tiempo adyacentes y por lo tanto el circuito lógico em-
pleado puede ser adaptado para ver los datos entre la apa-
rición de los impulsos de medición de tiempo.

5 La puerta AND 70 puede tomar cualquiera de
las formas convencionales de esta clase bien conocida de
dispositivo que actúa de manera bien conocida para producir
un nivel alto a la salida del mismo que se conecta al con-
ductor 76 cuando ambas entradas del mismo están en alto,
10 mientras que produce un nivel bajo en el conductor 76 bajo
todas las otras condiciones de entrada. Una primera alimen-
tación a la puerta AND 70 se conecta a través del conduc-
tor 68F hasta la salida de la red de control de nivel de
pista de medición de tiempo 48F y de ahí se aplicará un ni-
vel alto al conductor 68F cuando se explora una marca de
15 medición de tiempo, mientras que habrá un nivel en los con-
ductores 68F en la parte intermedia de la exploración de
las diecisiete marcas de medición de tiempo, así como an-
tes y después de las mismas. La segunda alimentación a la
puerta AND 70 se conecta a través del conductor 61 hasta
20 una salida complementaria del circuito basculante monoestable
53. El circuito basculante monoestable 53, como se recor-
dará, actúa para producir un impulso de veinte milisegun-
dos (20 ms) en el conductor 60 cuando es detectado el bor-
de delantero de una tarjeta que se está explorando y auto-
25 máticamente se redispone al expirar este intervalo. Por
lo tanto, la salida complementaria del mismo conectada al
conductor 61 y a la alimentación de la puerta AND 70 segui-
rá hasta un bajo nivel al detectar el borde delantero de
30 cada una de las tarjetas que se está explorando y perma-



1 necerá en este nivel bajo durante el intervalo de veinte
milisegundos (20 ms) establecido. Posteriormente, se apli-
cará un nivel alto al conductor 61 para habilitar de for-
ma efectiva a la puerta AND 70 para dejar pasar la infor-
5 mación de marca aplicada al conductor 68 F. De esta forma
las personas entendidas en la materia, apreciarán que la ali-
mentación a la entrada AND 70 en el conductor 61 de ma-
nera efectiva deshabilita la puerta AND durante el inter-
valo de veinte milisegundos (20 ms) durante el cual se es-
10 tablecen los niveles de umbral en cada una de las redes de
la pluralidad de las redes de control de nivel 48A - 48F
para evitar la transmisión de salidas parásitas desde el
control de nivel de pista de medición de tiempo 48F y al
expirar este intervalo de disposición de umbral, se habili-
15 ta la puerta AND 70 de tal manera que la información de -
marca de acuerdo como esta representada por un nivel alto
aplicado al conductor 68F y la información de falta de mar-
ca, de acuerdo como está representada por un nivel bajo en
el conductor 68F, sea reflejado de manera efectiva a la
20 salida de la puerta AND 70 que luego sigue a la alimenta-
ción del mismo.

Al expirar el intervalo de veinte milise-
gundos (20 ms) establecido por el circuito basculante mo-
noestable 53, cada uno de los impulsos de medición de tiempo
25 leídos de la pista de medición de tiempo quedará repre-
sentada por un nivel alto en el conductor 76, mientras que
en la parte intermedia entre los intervalos los impulsos
de medición de tiempo estarán representados por un nivel bajo
en el conductor 76. El conductor 76 se conecta a la entra-
30 da del circuito basculante 71 que puede tomar cualquiera

1 de las formas bien conocidas de este dispositivo conven-
cional o alternativamente puede estar formado por un par
de puertas OR que tienen sus alimentaciones y sus salidas
acopladas en forma cruzada de manera bien conocida. Pue-
5 de suponerse aquí que el circuito basculante 71 está co-
nectado de tal manera que la salida va a un nivel alto a
la aplicación de un nivel alto o un nivel de disposición
al conductor 76 y se redispone a un nivel bajo cuando hay
un nivel bajo en el conductor 76. Por lo tanto, las perso-
10 nas entendidas en la materia apreciarán que el circuito
basculante 71 actúa para aplicar una señal de salida a la
salida del mismo conectada al conductor 77 que sigue a la
entrada del mismo en el conductor 76 y en esta forma ac-
túa para regenerar la información de marca hasta un nivel
15 lógico fijo. De esta manera, a medida que cada una de las
marcas es leída de la pista de medición de tiempo que se
está explorando por medio del elemento captador de pista
de medición de tiempo 46 y se aplica a través del control
de nivel de pista de medición de tiempo 48F, se aplican
20 niveles altos que representan información de marca en se-
cuencia a través del conductor 68F y son reflejados a la
salida de la puerta AND 70 y del circuito basculante 71
cuando la puerta AND 70 es habilitada por medio de un ni-
vel alto en el conductor 61 señalando el fin del nivel de
25 umbral establecido. Por consiguiente, al igual que un ni-
vel alto en el conductor 77 es indicativo de una informa-
ción de marca mientras que un nivel bajo es indicativo de
que la información de medición de tiempo no se está leyen-
do en este momento, y diecisiete (17) niveles altos serán
30 aplicados al conductor 77 entre espaciados por niveles ba-



1 jos durante los cuales la lectura de los bitios discretos
de datos en cada uno de los diferentes canales A - E pueden
ser anticipados.

5 Las salidas del circuito basculante 71 en el
conductor 77 se aplica a una alimentación de la puerta -
AND 73 cuya salida está invertida. La entrada AND 73 cuya
salida está invertida puede tomar cualquiera de las formas
bien conocidas de esta forma convencional de dispositivo
de acción de puerta que actúa de manera bien conocida para
10 producir un nivel bajo a la salida del mismo sólo cuando
ambas alimentaciones del mismo son de nivel alto mientras
que presentan un nivel alto a la salida del mismo bajo -
todos los otros conjuntos de condiciones de entradas. La
potencia de salida de la puerta AND 73 está conectada a
15 los conductores 78- 79 y actúan como una entrada para el
inversor 75 y a través de los conductores 79 para suminis-
trar señales de mediciones de tiempo para la red de con-
versión del formato del canal A indicada por el bloque de
líneas punteadas 50 A. Como se verá enseguida, se produ-
20 ce una señal de nivel bajo a la salida de la puerta AND 73
cada vez que una de las diecisiete (17) marcas de medición
de tiempo en una tarjeta de datos convencional que se está
explorando se lee, y dichos niveles bajos son suministra-
dos a través del conductor 79 a los datos de medición de
25 tiempo a través de una configuración de desplazamiento en
la red de conversión de formato de canal A indicada por el
bloque de líneas punteadas 50A. De esta manera, se produ-
cen ordinariamente diecisiete (17) impulsos de medición
de reloj discretas en los conductores 78 y 79 y es sola-
30 mente la red de conversión de formato de canal A indicada

1 por el bloque de líneas punteadas 50A la cual es medida en
tiempo por el mismo y las restantes redes de conversión de
formato de canal 50B - 50E, como se verá posteriormente, se-
rán medidas en tiempo solamente por las últimas dieciseis
5 (16) marcas de medición de tiempo que se lee. La finali-
dad de medir el tiempo de la red de conversión de forma-
to de canal A50 con diecisiete (17) impulsos de medición
de tiempo, como se verá posteriormente, es que se carga en
la misma un bitio para fines especiales y se recupera des-
10 pués de diecisiete impulsos de medición de tiempo para -
indicar la lectura completa de una tarjeta. Las restantes
redes de conversión de formato de canal 50B - 50E sólo se
ocupan exclusivamente con la información legítima de marca
y de falta de marca que se lee de los canales B - E en
15 la tarjeta de datos y por lo tanto sólo requieren dieci-
seis (16) impulsos para fines de medición de tiempo. Estos
dieciseis (16) impulsos se obtienen de las últimas dieci-
seis (16) marcas leídas de las pistas de medición de tiempo
de tal forma que de manera efectiva, la información de -
20 bitio se lee y se presenta a las redes de conversión 50B -
50E y subsecuentemente se miden en tiempo a través de ellas.
La segunda alimentación a la puerta AND 73 se suministra a un
conductor 80 desde una salida de la red de control de salida
indicada por el bloque de líneas punteadas 51. Como se ve-
25 rá posteriormente, hay presente un nivel alto en el con-
ductor 80 para en esta forma habilitar a la puerta AND 73
para complementar la alimentación a la misma en el conduc-
tor 77 hasta que se han leído diecisiete (17) impulsos de
medición de tiempo; posteriormente, el nivel en el conduc-
30 tor 80 se va a nivel bajo para deshabilitar de esta manera

1 a la puerta AND 73 y posteriormente evitar la aplicación
adicional de impulsos de medición de tiempo a los regis-
tros de desplazamiento dentro de la red de conversión de
formato de canal 50A. Sin embargo, debe observarse que,
5 en el caso de que haya presentes impulsos adicionales de
medición de tiempo que sobrepasen al número diecisiete en
la tarjeta de datos que se está explorando debido a la pre-
paración inadecuada de la tarjeta o a cualquier cosa simi-
lar, dichos impulsos de medición de tiempo adicionales se-
rán suministrados a la red de control de salida indicada
10 por el bloque en líneas punteadas 51 a medida que la sa-
lida del circuito basculante 71 es suministrada al mis-
mo, como se explicará adicionalmente en lo siguiente, a
traves del conductor 79.

15 La potencia de salida de la puerta AND 73
se aplica a través del conductor 78 a la entrada del inver-
sor 75. El inversor 75 actúa de manera convencional para
producir un nivel alto a la salida del mismo, conectado al
conductor 80a, cuando la alimentación suministrada al mis-
20 mo es baja mientras se proporciona una salida de nivel ba-
jo en el conductor 80a cuando se proporciona una alimenta-
ción alta a la salida de la puerta AND 73. Por lo tanto,
las personas entendidas en la materia, apreciarán que cuan-
do hay presente un nivel bajo en la potencia de salida de
25 la puerta AND 73, que representa la lectura de la marca de
medición de tiempo cuando está habilitada la puerta AND 73
como se mencionó anteriormente, habrá presente un nivel al-
to en la potencia de salida del inversor 75. La potencia de
salida del inversor se aplica a través del conductor 80 *a*
30 a una alimentación de la puerta AND 74 cuya salida se in-



1 vierte y a través del conductor 81 a una alimentación del
circuito basculante 72.

5 La puerta AND 74 puede tener la misma forma que la puerta AND 73 y de esta manera actúa para proporcionar un nivel bajo a la salida de la misma que se conecta al conductor 82 cuando ambas alimentaciones a la misma están en nivel alto mientras que proporcionan un nivel alto a la salida de la misma para otros conjuntos de condiciones de alimentación. La salida de la entrada AND 74
10 se emplea para medir el tiempo de la información a través del aparato de conversión de serie a paralelo en las redes de conversión de formato de canal 50B - 50E y también se emplea para fines de redistribución dentro de todas las redes de conversión de formato de canal 50A - 50E y para estos fines se aplica a las redes de conversión de formato de canal 50A - 50E a través de los conductores 82 y 83 como
15 queda ilustrado claramente en la figura 2.

20 Los impulsos de medición de tiempo aplicados a las redes de conversión de formato de canal 50B - 50E, como se mencionó, están dispuestos de tal manera que sólo los niveles bajos que representan impulsos de medición de tiempo son aplicados para las últimas dieciséis (16) marcas de medición de tiempo leídas en el canal de medición de tiempo de tal manera que, en forma efectiva, el
25 impulso de medición de tiempo inicial que se lee es omitido aún cuando el mismo sea aplicado a través del conductor 79 a la red de conversión de formato de canal 50A asociada con la información de canal A. La omisión del impulso inicial de medición de tiempo leída de cada una de las
30 tarjetas explorada se efectúa a través de la operación del



1 circuito basculante 72. En forma más particular, el cir-
 cuito basculante 72, que puede tomar cualquiera de las
 formas bien conocidas de este dispositivo, tiene la entra-
5 da de disposición del mismo conectada a la salida del in-
 versor 75 a través del conductor 81 mientras que la en-
 trada de redistribución del mismo está conectada a la sa-
 lida del circuito basculante monoestable 53 a través del
 conductor 60. La salida Q o dirigida del circuito bascu-
10 lante 72 está conectada a través del conductor 84 a una
 segunda entrada de la puerta AND 74 y adicionalmente, co-
 mo se describirá posteriormente, se conecta a través del
 conductor 84 a una entrada de la red de conversión 50A de
 formato de canal A en donde sirve para establecer un ni-
15 vel alto inicial o una condición en la que se desplaza a
 la red de conversión de serie a paralelo al aparecer el
 impulso de medición de tiempo inicial que se lee de la pista
 de impulso de medición de tiempo. Adicionalmente, la sa-
 lida complementaria del circuito basculante 72 se conecta
20 a través del conductor 85 a una entrada de la red de con-
 trol de salida indicada por el bloque de líneas punteadas
 51 para fines de recuento.

 Si se recuerda el funcionamiento del circui-
 to basculante monoestable 53, se apreciará que se coloca
25 un alto nivel en el conductor 60 durante un intervalo de
 veinte milisegundos (20 ms) al detectarse el borde delan-
 tero de cada una de las tarjetas explorada para establecer
 en esta forma un intervalo de disposición de umbral. Este
 mismo alto nivel aplicado a la entrada de redistribución
 del circuito basculante 72 hace que este circuito bascu-
30 lante sea colocado en una condición de redistribución con



1 lo que se establece un nivel bajo en el conductor de salida 84. De esta forma, cuando se lee el primer impulso de medición de tiempo de la tarjeta de datos que se está explorando, el bajo nivel aplicado al conductor 78 y 79
5 da por resultado un alto nivel a la salida del inversor 75, el que a su vez, es aplicado a la primera entrada de la puerta AND en el conductor 80. Sin embargo, puesto que la salida del circuito basculante 72 está en la condición de redistribución y por lo tanto a nivel bajo, la puerta
10 AND 74 no se habilita y no se aplicará un nivel bajo a la salida de la misma conectada al conductor 82. El nivel alto presente a la salida del inversor 75 se aplica a la entrada de medición de tiempo del circuito basculante 72 a través del conductor 81 y por lo tanto cuando se lee el primer impulso de medición de tiempo de la tarjeta, éste regresa a un nivel bajo y hace que el circuito basculante
15 72 sea colocado en una condición de disposición con lo que se aplica posteriormente un nivel alto al conductor 84 para preparar la entrada de la puerta AND 74 de tal manera que
20 cada una de los impulsos subsecuentes de medición de tiempo que se lean, de por resultado en la aplicación de un nivel bajo al conductor 82, que está conectado a la salida de la puerta AND 74. De esta manera, después de que el primer impulso de medición de tiempo que se lee de una
25 tarjeta de datos ha sido empleado para disponer el circuito basculante 72 y por lo tanto preparar la entrada inferior de la puerta AND 74 conectada al conductor 84, cada una de las entradas subsecuentes de nivel alto aplicadas al conductor 80, las últimas dieciseis (16) marcas de medición de tiempo en la pista de medición de tiempo, darán por resulta-

1 do en un impulso de nivel bajo o de medición de tiempo que
se aplica al conductor 82 que de esta forma sirve como in-
formación de medición de tiempo para cada una de las redes
5 de conversión de canal con excepción de la que está asocia-
da con el canal A la que, recibe diecisiete (17) impul-
sos de medición de tiempo. Por lo tanto, las personas en-
tendidas en la materia apreciarán que la red de medición
de tiempo representada por el bloque de líneas punteadas
10 49 actúa, una vez que ha sido habilitado adecuadamente por
la terminación del intervalo de umbral para aplicar re-
presentaciones de impulso de medición de tiempo en la forma
de impulsos al conductor 79 y por lo tanto a la red de conver-
sión de formato de canal asociada con el canal-A para cada
15 una de los impulsos de medición de tiempo de una pista de
medición de tiempo determinada en una tarjeta de datos que
se está explorando, mientras que de manera similar actúa
para aplicar los últimos dieciseis (16) impulsos de medi-
ción de tiempo a las redes restantes de conversión de for-
20 mato de canal 50B - 50E a través del conductor 82. Adicio-
nalmente, como se describirá posteriormente, los datos se-
leccionados son aplicados para fines de control a la red
de control de salida indicada por el bloque de líneas pun-
teadas 51.

25 La red de conversión de formato de canal A
indicada por el bloque de líneas punteadas 50A comprende
un circuito basculante 88, una puerta AND 89 cuya salida
está invertida, un primero y un segundo elementos de re-
gistro de desplazamiento 90 y 91 y un primero y un segun-
do elementos multiplexor 92 y 93. El elemento de circuito
30 basculante 88 puede comprender cualquiera de las formas



1 convencionales bien conocidas de dispositivos basculantes
y estables que actúan de manera bien conocida para conmutar
en respuesta a un nivel alto aplicado a la entrada de
disposición del mismo y redisponerse en respuesta a la -
5 aplicación de un nivel bajo para disponer la entrada del
mismo. La entrada de disposición del circuito basculante
88 está conectada a la salida de la red de control de nivel
de canal A indicada por el bloque de líneas punteadas
48A a través de los conductores 68A y por lo tanto si se
10 recuerda el funcionamiento de la red de control de nivel
de canal A , las personas entendidas en la materia apreciarán
que se aplica un nivel alto al conductor 68A cada vez que se lee
una ubicación de bitio de marca en la columna A de una tarjeta
de datos que se está explorando -
15 mientras que se aplica un nivel bajo al conductor 68A cada
vez que se lee una ubicación de bitio de falta de marca o blanco.
Por lo tanto, se apreciará que cada vez que se lee una tarjeta
de datos, se aplicará una secuencia de dieciseis (16) bitios
de información al conductor 68A en la
20 que un nivel alto representa información de marca y los niveles
bajos representan información de falta de marca. La entrada de
redisposición al circuito basculante 88 está conectada a los
conductores 83 y 82 hasta la salida de la puerta AND 74 dentro
de la red de control de medición de tiempo indicada por el
25 bloque de líneas punteadas 49. Por lo tanto, si se recuerda
que se aplica un nivel bajo a los conductores 82 y 83 a la salida
de la puerta AND 74 cada vez que se explora una de las últimas
dieciseis (16) marcas de medición de tiempo en la pista de
medición de tiempo que se está explorando, y que cada una de estas -
30



1
5
10
15
20
25
30

marcas de medición de tiempo está dispuesta de tal manera como para seguir en ubicación de exploración relativa al aparecer una ubicación de bitio en la columna que se está explorando, se apreciará que las condiciones de entrada en el circuito basculante 88 son tales que el bitio de datos en la forma de información de marca que representa un nivel alto o un nivel bajo que representa información de falta de marca, se aplica al conductor 68A inmediatamente seguido por la aplicación de un nivel bajo al conductor 83 para re-disponer la condición del circuito basculante 88. De esta manera, las personas entendidas en la materia, apreciarán que a medida que se lee cada uno de los bitios de datos de la columna A, dicho bitio de datos se emplea o bien para disponer el circuito basculante 88 o bien para retenerlo en su condición redispuesta y posteriormente se aplica un impulso de medición de tiempo desde la salida de la puerta AND 74 a través de los conductores 82 y 83 para re-disponer la condición de circuito basculante 88 en anticipación a la exploración del siguiente bitio de información de la tarjeta de datos que se está leyendo. Aún cuando la redistribución se logra aquí como una función de la salida de la puerta AND 74, se apreciará fácilmente que dicha redistribución puede lograrse como una función de la salida de la puerta AND 73 que se aplica al conductor 79.

La salida complementada del circuito basculante 88 se aplica a través del conductor 94 a una entrada de la puerta AND 89 cuya salida está invertida como se mencionó anteriormente. La puerta AND 89 puede tomar el formato convencional descrito en asociación con las puertas AND 73 y 74 y por lo tanto actúa para proporcionar un ni-



1 vel bajo a la salida de la misma cuando ambas entradas a
la misma están en nivel alto mientras que produce un nivel
bajo para todas las otras condiciones de entrada aplicadas
a la misma. De esta forma, puesto que la salida complementada
5 del circuito basculante 88 está conectada a través del con-
ductor 94 a una entrada de la puerta AND 89, las personas
entendidas en la materia apreciarán que se aplica un nivel
bajo a la misma cuando ha sido leída una ubicación de bi-
tio de marca mientras que se aplica un nivel alto al con-
10 ductor 94 cuando se explora un nivel sin marca o en blanco
para una ubicación de bitio. La segunda entrada a la puer-
ta AND 89 está conectada a través del conductor 84 a la
salida del circuito basculante 72. El funcionamiento del
circuito basculante 72 se describió en relación a la dis-
15 posición de acción de puerta para la puerta AND 74 que ase-
guró que la primer medición de tiempo aplicada no fuera apli-
cada como un nivel de medición de tiempo al conductor 82,
mientras que cada uno de los impulsos de medición de tiem-
po subsecuentes leídos daba por resultado la aplicación de
20 un nivel de impulso de medición de tiempo bajo al conduc-
tor 82. Además, se recordara que ésto se logró a través de
una redistribución del circuito basculante 72 por medio de
un nivel alto aplicado al conductor 60 cuando se estable-
ció el intervalo de disposición de umbral y que la primer
25 lectura de impulso de medición de tiempo da por resultado la
aplicación de un nivel alto al conductor 81 para hacer
de esta forma que la salida del circuito basculante 72 co-
nectado al conductor 84 vaya a un nivel alto. Esto signi-
fica que habrá un nivel bajo en el conductor 84 y por lo
30 tanto, la entrada de la puerta AND 89 está conectada al -



1 mismo hasta que haya sido leído el primer impulso de medi-
ción de tiempo de la pista de medición de tiempo después
de lo cual el nivel en el conductor 84 se pone a alto ni-
vel. Puesto que la salida de la puerta AND 89 sera de nivel
5 alto cuando se aplica un nivel bajo a cualquiera de las
entradas de la misma, las personas entendidas en la mate-
ria apreciaran que la aplicación de un nivel bajo al con-
ductor 84 actua de manera efectiva para disponer la sa-
lida de la puerta AND 89 a un nivel alto hasta que se ha-
10 ya leído el primer impulso de medición de reloj y posterior-
mente, la salida de la puerta AND 89 representará el com-
plemento del nivel en el conductor 94. Por consiguiente, si se
recuerda que la información de marca leída se refleja a la
salida del circuito basculante 88 como un nivel bajo mien-
15 tras que la información de blanco o falta de marca se refle-
ja a la salida de la misma en el conductor 94 como un nivel
alto, se verá que el funcionamiento del circuito basculan-
te 72 actúa para disponer de manera efectiva una condición
de bitio de marca inicial dentro de la puerta AND 89 hasta
20 que se lea el primer impulso de medición de tiempo después
por lo que la salida de la puerta AND 89 seguirá entonces
la condición de marca o falta de marca leída colocando un
nivel alto a la salida de la misma en el conductor 95 pa-
ra la información de marca y un nivel bajo en el conductor
25 95 para la información de falta de marca. La salida de la
puerta AND 89 se aplica a través del conductor 95 a la
entrada de los datos del primer elemento de registro de -
desplazamiento 90.

30 El primero y el segundo de los elementos de
registro de desplazamiento 90 y 91 pueden tomar la forma



1
5
10
15
20
25
30

convencional de una serie de ocho (8) bitios en un registro de desplazamiento de salida paralelo tal como es bien conocido para las personas entendidas en la materia. Por ejemplo, la pastilla de registro de desplazamiento SN74164 que es convencionalmente obtenible de Texas Instrument Corporation, puede ser empleada al igual que otra configuración de desplazamiento estandarizada de ocho (8) bitios. El primero y el segundo de los elementos de registro de desplazamiento 90 y 91 actúan de manera convencional para desplazar un bitio de información aplicado a la entrada B en respuesta a cada uno de los impulsos de medición de tiempo aplicados a la entrada de medición de tiempo (CK) del mismo y puede quedar en limpio al aplicarle un nivel de limpio en alto o redistribución. El octavo conductor de salida (B_8) del primer registro de desplazamiento 90 se conecta, de manera bien conocida, a la entrada D del segundo elemento de registro de desplazamiento 91 a través del conductor 86 de tal manera que se forma en efecto una configuración de desplazamiento de salida de una serie de dieciseis (16) bitios en paralelo.

La entrada de medición de tiempo a cada uno del primero y el segundo de los elementos de registro de desplazamiento 90 y 91 están conectadas, como se mencionó anteriormente, a través del conductor 79 a la salida de la puerta AND 73 que aplica, como se recordará un impulso de medición de tiempo que se va haciendo de nivel bajo a la misma para cada una de los diecisiete (17) impulsos de medición de tiempo leídos de la pista de medición de tiempo explorada. Por lo tanto, si se recuerda que una salida de marca o nivel alto se dispone inicialmente en la puer-

1 ta AND 89 antes de la lectura del primer impulso de medi-
ción de tiempo y posteriormente se leen dieciseis (16) bi-
tios de información en la columna A interespaciados por la
5 aplicación de impulsos de medición de tiempo al conductor
79, se apreciará, suponiendo que la ubicación de bitio 16
se lee primeramente y la ubicación de bitio 1 se lee al
último, que se desplazarán diecisiete (17) bitios de in-
formación a través del primero y el segundo de los elemen-
tos de registro de desplazamiento conectados en serie 90
10 y 91, y al completar la lectura de la columna de informa-
ción y la aplicación de los diecisiete impulsos de medición
de tiempo asociados, el bitio 16 de la tarjeta de datos -
quedará a la salida B_{16} de la segunda configuración de re-
gistro de desplazamiento 91, mientras que el bitio 1 que
15 representa la primera ubicación de bitio en la columna 1,
quedará en la ubicación de bitio B_1 del registro de despla-
zamiento 90. Adicionalmente, el bitio inicial cargado en la
puerta AND 89 antes de la exploración de la información -
habrá sido desplazado fuera de la ubicación de bitio B_{16}
20 y aplicado al conductor 96 para ser insertado en la red de
control de salida indicada por el bloque de líneas puntea-
das 59. Por consiguiente, después de que se ha leído la co-
lumna completa en la tarjeta de datos que se está explo-
rando, el primer bitio explorado será ubicado en la ubica-
25 ción de almacenamiento B_{16} dentro del segundo elemento de
registro de desplazamiento 91, mientras que el primer bi-
tío leído es ubicado en la posición de bitio B_1 del pri-
mer elemento de registro de desplazamiento 90 y las ubi-
caciones de bitio intermedias leídas son almacenadas en
30 las ubicaciones de bitio de B_2 a B_{15} del primero y el se-



1
5
10
15
20
25
30

gundo de los elementos de registro de desplazamiento 90 y 91. Se apreciará que la información de marca se almacena como un nivel alto en los elementos de registro de desplazamiento 90 y 91, mientras que las ubicaciones de bitio sin marcas son representados por niveles bajos dentro de la configuración de desplazamiento formada. La entrada de limpieza o disposición a cero al primero y segundo de los elementos de registro de desplazamiento 90 y 91 se conectan a través de los conductores 97, 98 y 99 a la salida del circuito basculante monoestable 53 y posteriormente, como apreciarán fácilmente las personas entendidas en la materia, la condición del primero y el segundo de los elementos de registro de desplazamiento 90 y 91 se establece en condición de quedar limpios o en cero cada vez que se detecta el extremo delantero de una tarjeta nueva que va a explorarse.

La salida del primero y el segundo de los elementos de registro de desplazamiento 90 y 91 están conectadas en paralelo a las entradas del primero y el segundo de los elementos multiplexor 92 y 93 de tal manera como se ilustra en la figura 2, que las salidas $B_1 - B_4$ del primero de los elementos de registro de desplazamiento 90 están conectadas a las primeras cuatro entradas del primer elemento multiplexor 92, mientras que las primeras cuatro salidas ($B_9 - B_{12}$) del segundo elemento de registro de desplazamiento 91 están conectadas a las segundas cuatro entradas del primer elemento multiplexor 92. De manera similar, las segundas cuatro salidas ($B_5 - B_8$) del primer elemento de registro de desplazamiento 90 están conectadas a las primeras cuatro entradas del segundo elemento multi-



1 plexor 93, mientras que las segundas cuatro salidas (B_{13} -
2 B_{16}) del segundo elemento de registro de desplazamiento 91
3 están conectadas a las segundas cuatro entradas del segun-
4 do elemento multiplexor 93. El primero y el segundo de los
5 elementos multiplexor 92 y 93 pueden tomar la forma de los
6 dispositivos multiplexor convencionales de ocho (8) entra-
7 das, cuatro (4) salidas tales como los selectores de da-
8 tos SN74157 convencionalmente obtenibles de Texas Instru-
9 ment Corporation, que actúan de manera bien conocida para
10 aceptar ocho (8) niveles de entrada a las entradas de los
11 mismos y aplicar ya sea las primeras o las segundas cua-
12 tro de dichas entradas a las salidas de los mismos, lo -
13 que dependerá del nivel de selección aplicado a una entra-
14 da de selección. De la manera en la cual se acoplan las -
15 salidas del primero y el segundo de los elementos de re-
16 gistro de desplazamiento 90 y 91 a las entradas del prime-
17 ro y el segundo de los elementos multiplexor 92 y 93, será
18 aparente para las personas entendidas en la materia, que
19 dependiendo del nivel aplicado a la entrada de selección
20 del primero y el segundo de los elementos de multiplexor
21 92 y 93, se aplicarán los ocho bitios ya sea de nivel bajo
22 o de nivel alto al elemento multiplexor conectado a los
23 conductores D_1 - D_8 .

24 Las entradas de selección del primero y el
25 segundo de los elementos multiplexor 92 y 93 están conec-
26 tadas al conductor 100 y es el resultado de una señal de
27 proceso A inferior o superior de ocho bitios que se desa-
28 rrolla y que se explica en relación con el circuito ilus-
29 trado en la figura 3. Sin embargo, aquí es suficiente re-
30 cordar que aunque dieciseis (16) bitios de información es-



1 tán presentes en cada una de las columnas, la presente
 invención actua para procesar la información de canal a
 base de ocho bitios en paralelo cada vez y por lo tanto,
5 cuando se aplica un nivel alto al conductor 100, se leen
 los bitios $B_9 - B_{16}$ del canal A y que se cargan al segun-
 do elemento de registro de desplazamiento 91, estarán pre-
 sentes en los conductores de salida de $D_1 - D_8$ el primero
 y el segundo de los elementos multiplexor 92 y 93, mien-
 tras que cuando hay un nivel bajo en el conductor 100
10 los dieciseis bitios superiores leídos es decir, los bi-
 tios $B_1 - B_8$ de acuerdo como están cargados en el elemen-
 to de registro de desplazamiento 90, serán aplicados a las
 salidas $D_1 - D_8$ del primero y el segundo de los elementos
 multiplexor 92 y 93. Las ocho (8) salidas paralelas del
15 primero y el segundo de los elementos multiplexor 92 y 93
 son aplicados en paralelo, de acuerdo con la organización
 de canal paralela empleada por la presente invención , a
 la memoria de marca/importa, de canal A y a la red de com-
 paración ilustrada como bloque 3 en la figura 1 y detallada
20 de manera más completa en conjunto con la figura 4. Por
 lo tanto, las personas entendidas en la materia, aprecia-
 rán que la red de conversión de formato del canal A indi-
 cada por el bloque de líneas punteadas 50A actúa para acep-
 tar la información de marca o de falta de marca leída en el
25 formato en serie del canal A de una tarjeta de datos que
 se está explorando, para establecer un bitio 1 antes de la
 secuencia en serie de dicha información de marca o de fal-
 ta de marca y para transformar dicha información en serie
 a formato en paralelo que puede aplicarse adicionalmente
30 como dos secuencias de ocho (8) bitios en paralelo a un



1 circuito adicional de selección de canal A mientras da
una señal de haber leído las diecisiete marcas de medi-
ción completas o sea una tarjeta, aplicando un nivel alto
a la red de control de salida indicada por el bloque de
5 líneas punteadas 51 en el conductor 96.

 La red de conversión de formato del canal B
indicada por el bloque de líneas punteadas 50B es idénti-
ca a las redes de conversión de formato de canal 50C - 50E
empleadas en la conversión de formato de la información de
10 marca o de falta de marca obtenida de la lectura de los
datos de dieciseis bitios de las columnas C - E en la tar-
jeta de datos que se está explorando. Por esta razón, sólo
se ha ilustrado la red de conversión de formato de canal
B en detalle mientras que el aparato empleado para los ca-
15 nales C - E se ha mostrado con un simple formato de bloque.
Sin embargo, se apreciará que las salidas de las canales
C - E, aun cuando indicados sólo generalmente en la figura
2 , están en el mismo formato paralelo multiplexor descri-
to en conjunto con los canales A y B y que las dos secuen-
20 cias de información en paralelo de ocho (8) bitios se su-
ministra desde los mismos a memorias de marca/importa inde-
pendientes y aparatos de comparación independientes asocia-
dos con dicho canal. La red de conversión de formato de -
canal B indicada por el bloque de líneas punteadas 50B es
25 similar en su estructura a la que se emplea dentro de la
red de conversión de formato de canal A indicada por el -
bloque de líneas punteadas 50A, con excepción de que esta
red, al igual que las redes 50C - 50E, no se ocupan con
la carga del bitio marcador inicial para indicar cuando se
30 han leído los diecisiete (17) impulsos de medición de tiem-

1 po, y por esta razón solo se ocupa con el desplazamiento
de la información de bitios leída de las dieciseis (16)
ubicaciones de bitios en la columna de datos que se está
explorando. Por lo tanto, se requiere una menor manipula-
5 ción de datos y solamente la información de medición de -
tiempo de las ultimas dieciseis (16) marcas de medición
de tiempo que se leen son suministradas a la misma a tra-
vés del conductor 82 conectado a la salida de la puerta -
AND 74, como se describió anteriormente.

10 La red de conversión de formato de canal B
indicada por el bloque de líneas punteadas 50B comprende
un circuito basculante 103, un primero y un segundo elementos
de registro de desplazamiento 104 y 105 y un primero y un
segundo elementos multiplexor 106 y 107. El circuito bas-
15 culante 103 puede tomar la misma forma que el circuito bas-
culante 88 descrito en conjunto con la red de conversión de
formato del canal A indicada por el bloque de líneas puntea-
das 50A y de manera similar al mismo, la entrada de dis-
posición del mismo está conectada al conductor 68B de tal
20 manera como para recibir la información de marca o falta
de marca de la salida de la red de control de nivel del ca-
nal B 48B en la forma de niveles altos y bajos, respecti-
vamente. Además, la entrada de redistribución de la misma
está conectada al conductor 83 y de esta manera el circui-
25 to basculante 103 es suministrado con un impulso de re-
distribución durante un intervalo después del cual cada uno
de los bitios que se han leído habrá sido aplicado a la -
entrada de disposición del mismo, y se hace notar que sólo
los últimos dieciseis impulsos de medición de tiempo son
30 aplicados a los conductores 82 y 83 y por lo tanto a la



1 entrada de redistribución del circuito basculante 103. En
la red de conversión de formato de canal B indicada por el
bloque de líneas punteadas 50B, se emplea una salida direc-
ta del circuito basculante 103 de tal manera que los nive-
5 les altos representen la información de marca y los nive-
les bajos representen las ubicaciones de bitio sin marca de
acuerdo como las aplica el conductor 68B, sean directa-
mente reflejados a la salida del circuito basculante 103 en
vez de que sean reflejados en una salida de inversión del
10 mismo, como fue el caso para el canal A. La salida del cir-
cuito basculante 103 se conecta a la entrada D del primer
registro de desplazamiento 104 y por lo tanto los nive-
les altos que representan la información de marca leída de
la columna B de la tarjeta que se está explorando y los -
15 niveles bajos que representan las ubicaciones de bitio sin
marca son cargados directamente en serie en el mismo. El
primero y el segundo de los registros de desplazamiento
104 y 105 son cada uno de ellos series de ocho bitios en
dispositivos de salida paralelos del mismo tipo descrito
20 en relación con los elementos de registro de desplazamiento
90 y 91 anteriores y la salida última del primer registro
de desplazamiento 104 esta conectada a la entrada D del -
segundo registro de desplazamiento 105 para formar de es-
ta manera una configuración de desplazamiento de dieciseis
25 bitios de entrada en serie, de salida en paralelo. Además,
la entrada de medición de tiempo, al primero y al segundo
de los elementos de registro de desplazamiento 104 y 105
están conectadas a través del conductor 82 a la salida de
la puerta AND 74 y por lo tanto solo reciben impulsos de
30 medición de tiempo en la forma de un nivel bajo para las



1 últimas dieciseis marcas en la pista de medición de tiempo de diecisiete marcas leída. Sin embargo, con respecto a los datos reales que representan la información de marca o de falta de marca en la tarjeta, el desplazamiento de los
5 mismos como niveles altos y bajos a través de la configuración de desplazamiento de dieciseis (16) bitios formada - por los elementos de registro de desplazamiento 104 y 105, es virtualmente idéntica a la que se describe en conexión con la red de conversión de formato de canal A y no se repetirá aquí. De manera similar, el primero y el segundo de
10 los elementos multiplexor 106 y 107 pueden tomar el mismo formato que el primero y el segundo de los elementos multiplexor 92 y 93 anteriores y están interconectados a la salida de la configuración de desplazamiento de dieciseis bitios formada de la misma manera que se describió anteriormente para el primero y el segundo elementos multiple
15 sor 92 y 93 empleados en la red de conversión de formato de canal A indicada por el bloque de líneas punteadas 50A. Adicionalmente, se apreciará que la misma selección de - información aplicada en el conductor 100 al primero y al
20 segundo de los elementos multiplexor 92 y 93, se aplica para establecer una selección de cualquiera de los ocho bitios superiores o inferiores leídos y se aplica al entrada de selección del primero y el segundo de los elementos multiplexor 106 y 107 a través del conductor 109. De esta
25 forma, cuando se aplica un nivel alto al conductor 109 los bitios $B_9 - B_{16}$ de acuerdo como estan cargados en el segundo elemento de registro de desplazamiento 105 serán aplicados a las salidas $D_1 - D_8$ del primero y el segundo
30 de los elementos multiplexor 106 y 107, mientras que cuan-



1 do hay un nivel bajo en el conductor 109, los bitios $B_1 - B_8$ de acuerdo como están cargados en el primer elemento de registro de desplazamiento 104, serán aplicados a las salidas $B_1 - B_8$ del primero y el segundo de los elementos

5 multiplexor 106 y 107. De conformidad, la red de conversión de formato del canal B actúa para recibir la información o de falta de marca leída de la columna B de la tarjeta de datos que se está explorando en un formato en serie y para transformar dicho formato en serie en un formato

10 en paralelo que puede ser aplicado en grupos de ocho bitios en paralelo a las memorias de marca/importa del canal B y a los elementos de comparación 4, ilustrados en la figura 1. Se observará adicionalmente, que se aplica la misma entrada de selección a todas las redes de la pluralidad de redes de conversión de formato de canal 50A - 50E de

15 tal manera que cuando se aplica un nivel alto a las mismas los bitios $B_9 - B_{16}$ son aplicados de cada una de las redes de la pluralidad de redes de conversión de formato 50A - 50E a sus respectivas memorias de marca/importa de canal y los

20 elementos de comparación, mientras que cuando se aplica un nivel bajo a las mismas, los bitios $B_1 - B_8$ son aplicados desde cada una de las redes de conversión de formato de canal 50A - 50E hasta sus memorias de marca /importa de canal asociadas y elementos de comparación asociados.

25 La red de control de salida indicada por el bloque de líneas punteadas 51 actúa para ejecutar una pluralidad de tareas de arreglos interiores para la presente invención para proporcionar una señal de acción de compuerta de memoria de partida de tal manera como para accionar la

30 memoria de lectura/escritura y el elemento de control de --



1
5
10
15
20
25
30

selección de dirección 2, como aparece en la figura 1; sólo en el momento en el que la lógica pueda estar segura de que la totalidad de las diecisiete (17) marcas de medición de tiempo en la tarjeta de datos que se está explorando han sido leídas y la tarjeta de datos que se está explorando, en otra forma es apropiada para la imposición del procesamiento de selección a la información de marca y de falta de marca que se lee de la misma. La red de control de salida indicada por el bloque de líneas punteadas 51 comprende un primero y un segundo circuitos basculantes 111 y 112 dispuestos en una primera configuración de recuento, un tercer y un cuarto circuitos basculantes 113 y 114 dispuestos en una segunda configuración de conteo y una pluralidad de puertas AND 116 - 119.

El primero y el segundo de los circuitos basculantes 111 y 112 pueden comprender configuraciones de circuitos basculantes convencionales adaptadas para almacenar un nivel de entrada aplicado a los mismos cuando se suministra una medición de tiempo y para redisponerlos al aplicarse un nivel de redistribución a los mismos. Las entradas de redistribución para cada uno del primero y el segundo de los circuitos basculantes 111 y 112 están conectadas a los conductores 98, 99 y 60 hasta la salida del circuito basculante monoestable 53 y por lo tanto, como se reconocerá ahora, son redispuestos cada vez que el borde delantero de una tarjeta que se va a explorar es detectado y se establece un intervalo de disposición de umbral. Además, dicho nivel de redistribución de acuerdo como es aplicado a los conductores 60, 99 y 98 se mantiene hasta que se termina el nivel de umbral de veinte milisegundos (20 ms)

1 establecido por el circuito basculante monoestable 53. La
entrada de medición de tiempo al primero y al segundo de
los circuitos basculantes 111 y 112 es suministrada a tra-
vés de los conductores 121 y 86 desde la salida del circui-
5 to basculante 71. De esta forma, se apreciará por la ope-
ración descrita anteriormente del circuito basculante 71,
que se suministra un nivel alto o de mención de tiempo al
conductor 121 cada vez que se lee una marca de medición de
tiempo de la pista de medición de tiempo por medio del per-
10 ceptor de la pista de medición de tiempo y por lo tanto
un nivel alto será aplicado al conductor 121 hasta la in-
formación de medición de tiempo al primero y al segundo de
los circuitos basculantes 111 y 112 independientemente del
número de impulsos de medición de tiempo que puedan ser
15 explorados en una tarjeta de datos determinada.

La entrada D del primer circuito basculante
111 está conectada a través del conductor 96 a la salida
décimo sexta paralela del segundo registro de desplazamien-
to 91 asociado con el canal A. Por lo tanto, si el funcio-
20 namiento de la red de conversión de formato de canal A in-
dicada por el bloque en líneas punteadas 50A se recuerda,
se apreciará que se inserta un nivel alto o de marca a la
puerta AND 89 antes de la aplicación de cualquier información
de marca a la misma y este nivel alto se desplaza fuera de
25 la salida décimoséptima del segundo registro de desplaza-
miento 91 a la aplicación del impulso décimo séptimo de
desplazamiento al mismo desde la salida de la puerta AND
73. Este nivel alto será aplicado a la entrada D del primer
circuito basculante 111 y al aparecer el impulso de medi-
30 ción de reloj décimo séptimo de acuerdo como se aplica ...

1 al conductor 121, la salida Q del primer circuito bascu-
lante 111, conectada al conductor 122, seguirá a un nivel
alto mientras que la salida \bar{Q} o complementaria de la misma
será de un nivel bajo. La salida \bar{Q} del primer circuito
5 basculante 111 está conectada a través del conductor 122
a la entrada del segundo circuito basculante 112 mientras
que la salida \bar{Q} del primer circuito basculante 111 está
conectada a través del conductor 80 a una entrada de la
puerta AND 73 como se mencionó anteriormente. Por lo tanto,
10 al leer los diecisiete impulsos de medición de tiempo de
la salida Q del primer circuito basculante 111 se irá a nivel
alto, la salida \bar{Q} del segundo circuito basculante 111, de
acuerdo como está conectada al conductor 123 continuará en
nivel alto, mientras que la salida \bar{Q} del primer circuito
15 basculante 111 irá a un nivel bajo para aplicar un nivel
bajo o de deshabilitación al conductor 80 para evitar una
aplicación adicional de impulsos de medición de tiempo que
se hacen negativos a la salida de la puerta AND 73 y de es-
ta forma deshabilitar la entrada de medición de tiempo de
20 la configuración de desplazamiento formada por el primer
y segundo de los registros de desplazamiento 90 y 91 emplea-
dos en la red de conversión de formato del canal A indica-
da por el bloque en líneas punteadas 50A. De esta manera,
cuando se han leído diecisiete impulsos de medición de -
25 tiempo la salida Q del circuito basculante 111 estará en
un nivel alto así como la salida \bar{Q} del segundo circuito bas-
culante 112. Sin embargo, si más o menos impulsos de medi-
ción de tiempo han sido explorados, la conexión de la sali-
da Q del primer circuito basculante 111 a través del con-
30 ductor 122 hasta la entrada D del segundo circuito bascu-



1 lante 112 hará que las condiciones de salida para las sali-
das \bar{Q} del primero y el segundo de los circuitos basculan-
tes conectados en esta forma en una configuración de recuen-
to de dos bitios varía. La salida Q del primer circuito
5 basculante 111 está conectada a través del conductor 124 a
una entrada de una puerta AND 115 mientras que la salida
 \bar{Q} del segundo circuito basculante 112 está conectada a
traves de un conductor 123 a una segunda entrada de la puer-
ta AND 115. La puerta AND 115 puede tomar cualquiera de las
10 formas bien conocidas de este dispositivo lógico conven-
cional que actúa para proporcionar una salida de alto ni-
vel solo cuando ambas de las entradas al mismo están en
alto nivel mientras que proporciona una salida de nivel
bajo bajo cualquier otro conjunto de condiciones de entrada.
15 Por lo tanto, las personas entendidas en la materia, apre-
ciarán que la salida de la puerta AND 115 irá a nivel alto
sólo cuando se han leído diecisiete impulsos de medición
de tiempo de la tarjeta de datos que se está explorando -
puesto que ningún otro conjunto de condiciones de entrada
20 apropiadas en la puerta AND 115 puede existir para un nú-
mero mayor o menor de impulsos de reloj que se están apli-
cando a la configuración de recuento de dos bitios forma-
da por el primero y el segundo de los circuitos basculan-
tes 111 y 112.

25 La salida de la puerta AND 115 está conecta-
da a través del conductor 125 a una entrada de la puerta
AND 116. La puerta AND 116 puede tomar la misma forma que
la puerta AND 115 y por lo tanto actúa de manera bien cono-
cida para producir una salida de nivel alto sólo cuando am-
30 bas entradas a la misma son de nivel alto. La entrada apli-



1 cada a las mismas en el conductor 125 es indicativa de que
si se han leído diecisiete impulsos de medición de tiempo
de la pista de medición de tiempo de la tarjeta de datos
que en ese momento se está explorando y por lo tanto dicha
5 tarjeta de datos es apropiada para procesamiento de selec-
ción dentro de lo previsto en la modalidad ejemplar de la
presente invención que en este momento se está establecien-
do. La segunda entrada a la puerta AND 116, como se verá
posteriormente, es una entrada de habilitación que se pro-
duce durante un intervalo de uno y medio milisegundos -
10 (1,5 ms) al detectar el borde trasero de la tarjeta que se
está explorando. De esta manera, cuando se han leído die-
cisiete marcas de medición de tiempo de la pista de medición
de tiempo de la tarjeta de datos que se está explorando,
15 se produce una salida de ciclo de memoria de comienzo en la
forma de un nivel alto a la salida de la puerta AND 116
durante un intervalo de uno y medio (1,5 ms) al salir la
tarjeta que se está explorando de la ubicación de la esta-
ción de exploración. Esta señal de ciclo de memoria de par-
20 tida se aplica como una señal de actuación a la dirección
de memoria de escritura/lectura y al circuito de control de
selección generalmente ilustrado como el bloque 2 en la figura
1 y descrito en detalle en conjunto con la figura 3 para
iniciar un ciclo de selección de memoria. Las personas en-
25 tendidas en la materia apreciarán que un fallo en la lectu-
ra de las diecisiete marcas de medición de tiempo pueden ser
provistas como una indicación visual al operario para indi-
car de esta forma que no ha sido explorada la tarjeta so-
metida al proceso de selección.

30

El tercero y cuarto de los circuitos bascu-

1 lantes 113 y 114 pueden tomar precisamente la misma forma
que el primero y el segundo de los circuitos basculantes
111 y 112 descritos anteriormente, y adiconalmente, se conec
tan en la misma configuración de recuento de dos bitios
5 que se describe para aquellos. Ambas entradas de disposi-
ción y entradas de medición de reloj al tercero y al cuar-
to de los circuitos basculantes 113 y 114 comunmente se -
conectan a conductores de entrada de medicion de reloj y
de redistribución para el primero y el segundo de los cir-
10 cuitos basculantes 111 y 112 y por lo tanto, son redis-
puestos cada vez que se establece un nivel de disposición
de umbral y son medidos en tiempo desde la salida del cir-
cuito basculante 71 cada vez que se lee una marca de medi-
ción de tiempo de la pista de medición de tiempo que se es-
15 tá explorando. La entrada D al tercer circuito basculante
113, sin embargo, está conectada a través del conductor -
85 a la salida de inversión o \bar{Q} del circuito basculante 72
mientras que la entrada D al cuarto circuito basculante
114 está conectada a través del conductor 127 a la salida
20 Q o de no inversión del tercer circuito basculante 113.

La función de la segunda disposición de re-
cuento formada por el tercero y el cuarto de los circuitos
basculantes 113 y 114 es la de proporcionar ciertos indica-
dores convenientes a los operarios que emplean la presen-
25 te invención en el aparato de impresión electrofotográfico
tal como el que se describe en la patente de los Estados
Unidos número 3.700.324, en una operación de clasifica-
ción o similar. Más particularmente cuando las tarjetas
de datos son clasificadas selectivamente de acuerdo con -
30 las enseñanzas de la presente invención, se desea permitir



1 el uso alterno de tarjetas de datos inapropiadas en una
forma de selección de la totalidad de operación y adición
en forma de selección empleando las tarjetas codificadas
5 descritas en la presente, se desea contar cada una de las
tarjetas de datos procesadas mientras que se permite la
inserción y detección de tarjetas separadoras de apila-
mientos de tarjetas especializadas sin recuento o clasifi-
cación. De esta forma, en el aparato de procesamiento que
emplea la presente invención, con frecuencia se desea con-
10 tar cada una de las tarjetas que van a ser procesadas pa-
ra fines de selección mientras dichas tarjetas puedan ser
clasificadas de acuerdo con las enseñanzas de la presente
invención o a través de una forma de funcionamiento de la
selección de la totalidad, tal como la que se describe en
15 la patente de los Estados Unidos número 3.700.324. Sin em-
bargo, cuando se carga una pila grande de tarjetas que in-
cluye, por ejemplo, información de etiquetas, hay tarjetas
separadoras a menudo interespaciadas en las mismas para -
designar diferentes porciones de la pila de tarjetas. Por
20 ejemplo, las tarjetas separadoras pueden ser intercepta-
das en una pila grande para designar diferentes centros -
regionales de zonas postales o cualquiera otra de las tarje-
tas separadoras puede ser insertada para definir por co-
lor o en cualquier otra forma, lugares en las que se han
25 fusionado diferentes pilas de tarjetas de datos.

De acuerdo con la presente invención, pueden
codificarse diferentes tarjetas separadoras empleando una
o dos marcas de medición de tiempo en la pista de medición
de tiempo de las mismas y se producirá una señal de salida
30 cuando se detecten dichas tarjetas. Puede proporcionarse



1 esta señal para inhibir el recuento de la tarjeta que se
está alimentando puesto que no representa una tarjeta de
datos legítima para fines de selección y en una forma de
funcionamiento de selección de la totalidad, no habrá una
5 información de documento legítima en la misma para ser im-
presa y por lo tanto la impresión de la misma debe ser in-
hibida aún cuando el aparato de selección de acuerdo con
la presente invención no funcione en esta forma. Aquí se
emplean dos tipos de designación de separador; sin embar-
10 go, las personas entendidas en la materia apreciarán que
el acomodamiento de la tarjeta separadora adicional puede
añadirse aumentando el número de circuitos basculantes -
dentro del segundo contador formado por el tercero y el
cuarto de los circuitos basculantes 113 y 114, o alterna-
15 tivamente, esta característica de la presente invención
puede eliminarse si no se desea. Sin embargo, en la moda-
lidad ejemplar de la presente invención, las tarjetas de
datos que tienen en las mismas una sola marca de medición
de tiempo son designadas como tarjetas de datos de rompimien-
20 to 1 y las tarjetas de datos que tienen dos marcas de
medición de tiempo en la pista de medición de tiempo de las
mismas son designadas como tarjetas de datos de rompimien-
to 2. Por lo tanto, las personas entendidas en la materia,
apreciarán que, cuando un nivel de salida de rompimiento 1 ó
25 de rompimiento 2 se produce, el incremento del contador en
la consola del operario que cuenta las tarjetas puede ser
inhibido, puede proporcionarse una indicación de que se ha
explorado uno de los dos tipos de tarjetas separadoras y
si se ha establecido una forma de impresión de selección
30 de la totalidad, la impresión de la información de los dos

1 tipos de tarjetas separadoras puede ser inhibida.

5 La descripción del funcionamiento del circuito basculante 72 establecido anteriormente pone de manifiesto que la salida Q del mismo aplicada al conductor 84 será de nivel bajo hasta que haya sido explorada el primer impulso de medición de tiempo y posteriormente, la salida de Q va a nivel alto y se queda en nivel alto hasta que el -

10 circuito basculante 72 es redispuesto por el siguiente intervalo de disposición de umbral para una nueva tarjeta de datos que va a explorarse. Esto significa que la salida Q del circuito basculante 72 que está conectada a través del conductor 85 a la entrada D del tercer circuito basculante 113 sera de nivel alto hasta que se lea el primer impulso de medición de tiempo y se aplique a la entrada de medición de tiempo del mismo a través del conductor 79 y posteriormente, el conductor 85 irá a un nivel bajo y se quedará en el nivel bajo mientras dure la exploración de la pista de medición de tiempo en la tarjeta que en ese momento se está leyendo. De esta forma, un nivel alto a la

20 entrada del tercer circuito basculante 113 hará que el tercer circuito basculante 113 sea dispuesto al aparecer el primer impulso de medición de tiempo y este nivel alto será aplicado a través del conductor 127 hasta la entrada D del cuarto circuito basculante 114 al aparecer el segundo impulso de medición de tiempo explorado. Posteriormente, para cualquier impulso de medición de tiempo subsecuente que se lea, el nivel será desplazado hacia afuera y se perderá y ambas salidas Q del tercero y el cuarto de los circuitos basculantes 113 y 114 estarán en un nivel bajo para cualquier número de impulsos de medición de tiempo explorados

25

30



1 que excedan de 1 ó 2. Si solamente se lee un impulso de me-
dición de tiempo, la salida del circuito basculante 113 co-
mo está presente en el conductor 127 será de nivel alto y
será suministrado a través de los conductores 128 y 129 a
5 una entrada de una puerta AND 117. La puerta AND 117 pue-
de tomar la misma forma que la puerta AND 116 y por lo tan-
to producirá un nivel de salida alto indicativo de una con-
dición de una interrupción o tarjeta separadora que sola-
mente tiene un solo impulso de medición de tiempo en la
10 misma cuando pasa por la acción de la puerta y durante el
impulso de salida de uno y medio milisegundos (1,5 ms) su-
ministrada a la segunda entrada del mismo en el conductor
126, como se mencionó anteriormente. De manera similar, cuan-
do se explora una tarjeta de datos que solo tiene dos im-
15 pulsos de medición de tiempo en la misma, la salida en el
conductor 127 será de nivel bajo, sin embargo, la salida Q
del cuarto circuito basculante 114 de acuerdo como está co-
nectada al conductor 130, será alta. Este nivel alto se
suministra a través de los conductores 130 y 131 a una entra-
20 da de la puerta AND 118. La puerta AND 118 puede tomar la
misma forma que la puerta AND 116, descrita anteriormente
y por lo tanto, cuando se detecta una tarjeta de datos que
solo tiene dos marcas de medición de tiempo, la salida de
la puerta AND 118 se irá a nivel alto cuando es habilita-
25 da por el impulso de salida de uno y medio milisegundos
(1,5 ms.) suministrado a la segunda entrada de la misma en
el conductor 126. De esta forma, cuando se detecta una tar-
jeta de datos que tiene dos marcas de medición de tiempo
en la pista de medición de tiempo de la misma, se esta-
30 blece un nivel de salida de interrupción 2 a la salida de

1 la puerta AND 118.

5 Además, ambas salidas Q del tercero y el -
cuarto de los circuitos basculantes 113 y 114^{*} están conec-
tados a través de los conductores 128 y 130 a la primera
y a la segunda entradas de una puerta OR 132 cuya salida
está invertida. La puerta OR 132 actúa de manera bien co-
nocida para producir un nivel alto a la salida de la misma
conectada al conductor 133 solo cuando ambas de las entra-
das de la misma están en un nivel bajo. Por lo tanto, las
10 personas entendidas en la materia, apreciarán que se pro-
porciona un nivel alto en el conductor 133 a una entrada
de la puerta AND 119 sólo cuando ha sido explorada una -
tarjeta de datos que tiene más de uno o dos impulsos de me-
dición de tiempo en la misma. La puerta AND 119 puede to-
15 mar la misma forma que las puertas AND 116 - 118 y por lo
tanto dejarán pasar un nivel alto indicando que es apropia-
da una operación de selección de todo cuando la segunda
entrada de la pueta AND 119 conectada al conductor 126 es
habilitada por uno de los intervalos de habilitación de sa-
20 lida de uno y medio milisegundos (1,5 ms) establecido al
detectar el borde trasero de cada una de las tarjetas leí-
das, como se explicará posteriormente. El nivel de selec-
ción de todo establecido a la salida de la puerta AND 119
puede ser empleado como señal de habilitación para una ope-
25 ración de selección de todo iniciada por un operario, de la
manera como se establece en la patente de los Estados Uni-
dos número 3.700.324.

30 El conductor 126 que se emplea para suminis-
trar un nivel de habilitación a cada una de las puertas
AND de 116 a 119 está conectado a la salida del elemento



1 detector de tarjeta 45 a través de una red de medición de
tiempo que comprende un inversor 135, una red RC formada
por una resistencia 136 y un condensador 137 y una puerta
AND 138. Si se recuerda el funcionamiento del elemento de-
5 tector de tarjeta 45, se apreciará que se establece un nivel
alto en el conductor 152 cuando se detecta el borde de la
tarjeta y dicho nivel se mantiene hasta que el borde tra-
sero de la tarjeta pasa por el elemento detector de tarje-
ta 45 ubicado en la estación de exploración. Cuando hay -
10 presente un nivel alto en el conductor 52, el condensador
137 dentro de la red RC formada almacena dicho nivel alto
y los parámetros de la resistencia 136 y el condensador 137
son tales que el condensador 137 se descargará en un in-
tervalo aproximado de uno y medio milisegundos (1,5 ms) -
15 cuando se establece un nivel bajo en el conductor 140. Por
lo tanto, las personas entendidas en la materia, apreciarán
que cuando el borde trasero de la tarjeta pasa la estación
de exploración, el nivel bajo establecido ahora en el con-
ductor 52 es transmitido a través del conductor 139 y a
20 través del inversor 135 para dar como resultado un nivel -
alto en una entrada de la puerta AND 138. El nivel bajo
suministrado al conductor 140, sin embargo, no dará inme-
diatamente como resultado que se establezca un nivel bajo
en el conductor 142 que forma la segunda entrada a la -
25 puerta AND 138 puesto que tardará un intervalo aproximado
de uno y medio milisegundos (1,5 ms) para que el capaci-
tor se descargue desde un estado de nivel alto a un esta-
do de nivel bajo establecido por el paso del borde trasero
de la tarjeta en el conductor 139. Por lo tanto, durante
30 el intervalo que se requiere para que se descargue el con-



1 densador 137, hay presente un nivel alto en ambos conduc-
tores 141 y 142, que sirve como las entradas a la puerta
AND 138. Bajo estas condiciones, se proporcionará un nivel
alto a la salida de la puerta AND 138 en el conductor 136
5 durante un intervalo de uno y medio milisegundos (1,5 ms).
Posteriormente, se coloca un nivel bajo en el conductor
127 para deshabilitar nuevamente las puertas AND 116 - 119.
De esta manera, se verá que la red formada por el inversor
135, la red RC formada por la resistencia 136 del conden-
sador 137 y la puerta AND 138 establecen una red de habili-
10 tación o de acción de puerta para las puertas AND 116 -
119 de tal manera que durante un intervalo de uno y medio
milisegundos (1,5 ms) después de que la tarjeta que se es-
tá explorando ha salido de la estación de exploración, es-
tas puertas quedan habilitadas. Durante este intervalo la
15 señal de ciclo de memoria de comienzo proporcionada a la salida
de la puerta AND 116 se aplica al circuito lógico, o alter-
nativamente una de las señales de arreglo interior propor-
cionadas por las puertas AND 117-119 dejarán pasar las mis-
mas.
20

En el funcionamiento del aparato de explora-
ción, control y conversión mostrado en la figura 2, se ve-
rá que a medida que cada una de las tarjetas es alimentada
para que pase por la estación de exploración, cuando dichas
25 tarjetas comprenden tarjetas de programa adaptadas para al-
macenar información dentro de las diferentes memorias pre-
sente en cada una de las memorias de marca/importa de ca-
nal y de los elementos de comparación 3 - 7 y la memoria
de control y elemento de decisión 8, o los registros de
30 datos codificados que pasan por una operación de selección



1 el borde delantero de cada una de las tarjetas alimentadas
será detectado a su llegada a la estación de exploración
por medio del elemento detector de tarjeta 45. A medida que
es detectado el borde delantero de cada una de las tarje-
5 tas alimentadas, la salida del elemento detector de tarje-
tas 45 se pondrá en nivel alto para disparar el circuito -
basculante monoestable 53 y de esta forma hacer que este -
circuito de un solo paso aplique un nivel positivo en el
10 conductor 62 durante un intervalo de disposición de umbral
de 20 milisegundos (20 ms). Durante este intervalo de dis-
posición de umbral, la pluralidad de redes de control de
nivel 48A - 48F asociadas con la pista de medición de tiem-
po y cada uno de los cinco canales de los datos que se van
a procesar, establecerán un umbral al entrar apropiadamente
15 al dispositivo de umbral 67, el que corresponde a la luz
ambiente o nivel en blanco en la tarjeta que se va a explo-
rar. Además, el nivel positivo establecido durante el inter-
valo de establecimiento de umbral en el conductor 60 hará
que los circuitos basculantes 72, 111, 112, 113 y 114, así
20 como el primero y segundo de los elementos de registro de
desplazamiento 90 y 91, presentan en la red de conversión
de formato de canal A indicada por el bloque de líneas pun-
teadas 50A se coloquen en una condición de redistribución o
cero. Al terminar el intervalo de disposición de umbral es-
25 tablecido por el circuito basculante monoestable 53, este
circuito basculante de un solo paso automáticamente se dis-
pone para permitir que se lean y se procesen los datos de
cada uno de los canales de A a E así como la pista de me-
dición de tiempo. Si se supone que se emplea una tarjeta -
30 apropiada para el procesamiento dentro de la presente inven-



1 ción, se verá que el primer bitio de información explorado
será la primera marca de medición de tiempo presente en la
pista de medición de tiempo puesto que dicha marca de medi-
5 ción de tiempo precede a la colocación de cualquiera de las
colocaciones de bitios de datos en cualquiera de las cinco
columnas asociadas con los canales A - E. Puesto que la -
puerta AND 70 ha quedado habilitada ahora al ser redispues-
to el circuito basculante monoestable 53, la puerta AND 70
dejará pasar a través de ella la primera marca de medición
10 de tiempo leída, que a través del circuito basculante 71 así
como de la puerta AND 73, para provocar la aplicación de un
impulso de medición de tiempo que se va haciendo negativo a
través del conductor 79 al primer elemento de registro de
desplazamiento 90 dentro de la red de conversión de forma-
15 to de canal A indicada por el bloque de líneas punteadas
50A. Además, se recordará que la redistribución del circui-
to basculante 72 durante el intervalo de umbral establecido
hará que se inserte un bitio marcador de alto nivel por
medio del circuito basculante 72 en la puerta AND 89 y por
20 lo tanto la primera aplicación de un impulso de medición
de tiempo que se va haciendo negativo al conductor 79 hará
que este bitio marcador de nivel alto sea dejado pasar a
la primera etapa del primer elemento de registro de despla-
zamiento 90 con el fin de indicar subsecuentemente cuando se
25 han leído las diecisiete (17) impulsos de medición de -
tiempo.

La lectura del primer impulso de medición de
tiempo también hará que un nivel alto desde la salida con-
templada del circuito basculante 72 sea cargado en la prime-
30 ra etapa de la disposición de contador de dos bitios forma-



1 da por el tercero y por el cuarto de los circuitos bascu-
lantes 113 y 114; sin embargo, la lectura de la marca de
medición de tiempo inicial en la pista de medición de tiem-
5 po que se está leyendo no dará por resultado la aplica-
ción de un impulso de medición de tiempo que se va hacien-
do negativo a ninguna de las configuraciones de desplazamien-
to dentro de las redes de conversión de formato asociadas -
con los canales B - E puesto que dichos impulsos de medicio-
nes de reloj de acuerdo como son aplicados a las mismas re-
10 sultarán a la salida de la puerta AND 74 que no responde
al primer impulso de medición de tiempo leído debido al -
funcionamiento del inversor 75 y del circuito basculante -
72, como se describió anteriormente. Posteriormente, la -
15 primera ubicación de bitio en los canales A - E será leída
y aplicada a la entrada D del primer elemento de regis-
tro de desplazamiento presente dentro de la pluralidad de
redes de conversión de formato de canal 50A - 50E, de tal
manera que una ubicación de bitio marcado dará por resultado
que se aplique un nivel alto a la entrada D del mismo, mien-
20 tras que un blanco o una ubicación de bitio sin marca dará
por resultado la aplicación de un nivel bajo al mismo. Pos-
teriormente la segunda marca de medición de tiempo leída
dará por resultado la aplicación de un impulso de medición de
tiempo que se va haciendo negativo a cada una de las confi-
25 guraciones de registro de desplazamiento dentro de las re-
des de conversión de formato de canal 50A - 50E de tal ma-
nera que, con respecto a los canales B - E, la primer ubica-
ción de bitio leída será la del primer bitio de los datos
insertados en las mismas, mientras que en el canal A dicho
30 primer bitio es procesado por el bitio marcador de nivel al



1 to cargado en el mismo a la lectura de la primer marca de
medición de tiempo en la tarjeta de datos que se esta explo-
rando.

5 Esta operación continuará hasta que la to-
talidad de los dieciseis (16) bitios en cada una de las co-
lumnas de los datos que se está leyendo, ha sido explora-
da y desplazada a la configuración de desplazamiento aso-
ciada para cada uno de los canales por medio de un impulso
de medición de tiempo de intervención aplicada a dicha con-
10 figuración de desplazamiento durante ocurrencias calculadas
para seguir la lectura y la aplicación a la entrada D de -
cada una de las configuraciones de desplazamiento de la -
información de marca o de falta de marca explorada. Después
de que se han leído las dieciseis (16) ubicaciones de bi-
15 tío para cada uno de los canales que se está explorando y
han sido exploradas y procesados los diecisiete (17) im-
pulsos de medición de tiempo presentes en la pista de me-
dición de tiempo, cada una de las configuraciones de des-
plazamiento dentro de las redes de conversión de formato
20 de canal 50A - 50E, tendrán niveles altos y bajos que re-
presentan información de marca y de falta de marca, res-
pectivamente, insertados en las ubicaciones de almacena-
miento de dieciseis (16) bitios presentes en las mismas.
Adicionalmente, como se recordará, el bitio marcador habrá
25 sido medido en tiempo de la última etapa del segundo ele-
mento de registro de desplazamiento de 9l insertado en
la primera etapa de la disposición de recuento de dos bi-
tios formada por el primero y el segundo de los circuitos
basculantes 111 y 112, en los que se ha logrado la inserción
30 a dicha entrada D a traves del conductor 96 y se ha carga-



1

do cuando se ha leído el último impulso de medición de tiempo. Cuando se establece el marcador de bitio dentro del primer circuito basculante 111, la salida complementaria del mismo se irá a nivel bajo para deshabilitar la puerta AND 73 y así evitar la aplicación adicional de impulsos de medición de tiempo a través de los conductores 79 u 82 a cualquiera de las configuraciones de desplazamiento dentro de las redes de conversión de canal de formato 50A - 50E. Sin embargo, cualquier impulso de medición de tiempo adicionales que puedan estar erróneamente presentes en la tarjeta que se está explorando aparecerán a la salida del circuito basculante 71 y se aplicarán a través de los conductores 86 y 121 a las primera y segunda configuraciones de recuento formadas por los circuitos basculantes 111 - 114.

5

10

15

20

25

30

Si se supone que solo diecisiete (17) impulsos de reloj estan en la pista de medición de tiempo de la tarjeta de datos que se está explorando, los dieciseis bitios leídos de cada una de las cinco columnas en la tarjeta serán apropiadamente cargados en las dieciseis (16) ubicaciones de bitio de las configuraciones de desplazamiento de registro asociadas con cada canal en las redes de conversión de canal de formato 50A - 50E y serán aplicadas en la manera ilustrada en la figura 2 a través de las dieciseis entradas de los primero y segundo elementos multiplexor 92 y 93 presentes en cada una de tales redes de conversión de formato para subsecuentemente ponerlos en puerta en dos pasadas paralelas. Además, si solo se han leído diecisiete marcas de medición de tiempo, las condiciones de entrada en la puerta AND 115 serán apropiadas para



1 aplicar una entrada de nivel alto a la entrada de la puer-
ta AND 116 conectada al conductor 125. Por lo tanto, cuan-
do se detecta el borde trasero de la tarjeta que se está
5 explorando, la señal habilitadora de uno y medio milise-
gundo (1,5 ms) establecida por la red de puerta formada por
el inversor 135, la red RC y la puerta AND 138 habilitarán
la puerta AND 116 para aplicar un nivel alto representando
un ciclo de comienzo de memoria a la salida del mismo para
ser aplicado a la red de control de memoria de dirección y
10 selección de escritura/lectura 2 como se muestra en la fi-
gura 1.

La red de control de memoria de dirección y
selección de escritura/lectura 2 por lo tanto, aplicará
señales apropiadas a los conductores 100 y 109 asociados
15 con cada uno de las redes multiplexor formadas por los pri-
mero y segundo elementos multiplexor en cada uno de las re-
des de conversión de canal de formato 50A - 50E para hacer
que los datos leídos en cada canal de las tarjetas de datos
exploradas se apliquen a las memorias marca/importa y ele-
20 mentos de comparación 3 - 7 asociados con ese canal en dos
pasadas en donde ocho bitios por pasada se aplican en para-
lelo al mismo. Por supuesto, si más o menos de diecisiete
(17) marcas de reloj son leídas, la puerta AND 116 no será
apropiadamente habilitada y ninguna señal de comienzo de
25 ciclo de memoria será producida para causar el procesamiento
adicional de la información de bitio leída y transformada
a un formato en paralelo mientras se mantiene por separa-
do sobre la base de un canal. Además, si una tarjeta codifi-
cada especializada que tiene sobre la misma una o dos mar-
30 cas de reloj de lectura, un rompimiento apropiado l o romp



1

miento 2 de señal de tarjeta separadora será generada por una de las puertas AND 117 o 118 y si ninguna tarjeta especializada que tenga ya sea uno o dos marcas de reloj sobre la misma se lee se generará una señal de toda selección a la salida de la puerta AND 119 durante el intervalo de puerta de uno y medio milisegundos (1,5 ms) establecido de modo que un funcionamiento de selección iniciado por un operario será debidamente habilitado.

5

10

Por lo tanto se verá que el aparato de exploración, control y conversión ilustrado en la figura 2 actúa para leer cada ubicación de bitio en cada una de las cinco columnas de datos presentes en una tarjeta de datos que se está explorando y para transformar cada bitio de datos leídos en serie de la misma a un formato en paralelo esperando que aparezca un bitio de datos intermedios en pares de marcas de reloj en la pista de medición de tiempo de una tarjeta que se está procesando. Adicionalmente, se hacen provisiones para indicar cuando se han leído diecisiete (17) marcas de reloj y cuando se proporciona una indicación de que una tarjeta que tiene las diecisiete marcas apropiadas de reloj sobre la misma ha sido leída, se proporciona una señal de comienzo de memoria para permitir

15

20

que la red de control de dirección y selección de memoria escritura/lectura haga que los datos leídos de cada canal en un formato paralelo que adicionalmente se aplicará a unas individuales del canal de memorias marca/importa y elementos de comparación 3 - 7 asociados con la misma. Por consiguiente, se verá que no obstante de si un programa o tarjeta de datos se está explorando, dieciseis bitios de información se leen de cada uno, se transforman en un formato en paralelo

25

30



1 y se disponen para pasar en un formato en paralelo a tra-
vés de una disposición de paso de dos pasadas a las redes
de canal de pasada empleados dentro de la presente inven-
ción. La red de dirección y selección de memoria escritura/
5 lectura empleada para controlar y dirigir las varias memo-
rias empleadas dentro de la presente invención de modo que
el procesamiento adicional pueda lograrse para la columna
de información de bitio dispuesta en un formato en para-
lelo por el aparato de exploración, control y conversión
10 ilustrado en la figura 2 se describe en detalle en conjun-
to con la figura 3 mientras que un elemento ejemplar de me-
memoria y comparación marca/importa para cada canal se des-
cribe en conjunto con la figura 4.

15 DIRECCION DE MEMORIA ESCRITURA/LECTURA Y

RED DE CONTROL DE SELECCION

20 Con referencia ahora a la figura 3, se mues-
tra una modalidad ejemplar del aparato de selección de me-
memoria y de control de selección apropiado para ser incor-
porado en la modalidad de la invención ilustrada en la fi-
gura 1 y más particularmente, el aparato cuya función lo-
gra la que se requiere para la dirección de memoria de es-
critura/lectura y la red de control de selección indicada
25 por el bloque número 2 en la figura 1. Se recordará de la
descripción de la figura 1 que el aparato de dirección de
memoria de escritura/lectura y de control de selección ac-
túa para proporcionar la medición de tiempo, el direcciona-
miento de memoria, el almacenamiento de número de programa,
30 y el control de programa de escritura para las secuencias
de selección que se ejecutan de acuerdo con la presente in-



1 vención. En breve, estas funciones se logran por medio de
la acción del aparato de dirección de memoria de escritura/
lectura y de control de selección mostrado en la figura 3
que establece ya sea una forma de funcionamiento de programa
5 ma o una operación de forma de lectura para las diferentes
configuraciones de memoria empleadas dentro de la memoria
de marca/importa de canal y de los elementos de comparación
3 - 7 así como de la memoria de control y el elemento de
decisión 8.

10 En la forma de programa, los datos que van a
almacenarse de la tarjeta de programa de control, en la
tarjeta de programa de importa/no importa y de la tarjeta
de programa de marca/falta de marca de acuerdo como son -
leídas para cada una de las secuencias de selección de
15 programa que van a ser insertados son dejados pasar selec-
tivamente de las redes de conversión de formato de canal
50A - 50E, como aparece en la figura 2, en la configuración
de memoria apropiada de los mismos, mientras que también
se suministra por medio del aparato de dirección de memo-
20 ria de escritura/lectura y de control de selección ilus-
trado en la figura 3, una dirección de memoria apropia-
da para el programa que se va a insertar. En la forma de -
lectura, los datos que pasan por el proceso de selección de
acuerdo como son leídos de las diferentes tarjetas que pa-
25 san por la exploración y son almacenados en las redes de
conversión de formato de canal 50A - 50E, son dejados pasar
hasta la memoria de marca/importa de canal y las redes de
comparación 3 - 7, como aparecen en la figura 1, mientras
que las configuraciones de memoria empleadas en la misma
30 son dirigidas para fines de interrogación de tal manera



1 que puedan hacerse comparaciones apropiadas de dichos da-
tos. Además, la configuración de memoria dentro de la memo-
ria de control y el elemento de decisión 8 también es direc-
5 cionada de tal forma como para que puedan ejecutarse en los
mismos operaciones de comparación adicionales. Además, como
se recordará, también se logra que el aparato de dirección
de memoria de escritura/lectura y de control de selección
mostrado en la figura 3 deje pasar cada una de las columnas
o canales a través del sistema bajo la base de ocho (8)
10 bitios en paralelo, así como la medición de tiempo associa-
da con los ocho (8) bitios en paralelo que también son de-
jadas pasar.

Volviendo ahora específicamente a la figura
3, la dirección de memoria de escritura/lectura y la red
15 de control de selección ejemplares ilustrados en la misma
comprende el circuito basculante de programa/lectura 150
un circuito basculante de interrogación 151, un elemento
generador de impulsos 152, un elemento contador de control
de memoria 153, un elemento contador de secuencia de forma
20 de programa 154, un elemento contador de número de progra-
ma 155, un elemento de cierre de cuatro bitios 156, el elemen-
to comparador 157, y una disposición de salida de control indi-
cada por el bloque de líneas punteadas 158. El circuito -
basculante 150 de programa/lectura puede tomar la forma -
25 convencional de una disposición de circuito basculante -
formada con puertas AND o similares, que actúan en respues-
ta a un nivel que se va haciendo bajo aplicación a la en-
trada del mismo que se va a disponer y responde a un nivel
alto aplicado a la entrada de rediseñación para ser colo-
30 cado en una condición de rediseñación. Cuando el circuito



1 basculante de programa/lectura 150 están en su condición
dispuesta, se aplicará un nivel alto a la salida Q del -
mismo conectada al conductor 159 mientras que cuando el
circuito basculante de programa/lectura 150 esta en su -
5 condición de redistribución, habrá un nivel alto a la sali-
da \bar{Q} del mismo conectada al conductor 160. Como será apa-
rente posteriormente, cuando hay en el conductor 159 un
nivel alto y por lo tanto, el circuito basculante de progra-
ma/lectura 150 está en su condición dispuesta, el aparato
10 de dirección de memoria de escritura/lectura y de control
de selección ejemplar mostrado en la figura 3 se coloca en
forma de programa mientras que cuando el circuito bascu-
lante de programa/lectura está en su condición redistribuida
un nivel alto en el conductor 160 inicia una forma de lectura
15 de funcionamiento en la que la información de bitio de las
tarjetas de datos que se están explorando se somete a una
operación de selección programada dentro de la memoria de
marca/importa de canal y de las redes de comparación de 3
a 7 así como la memoria de control y el elemento de deci-
20 sión 8. La entrada dispuesta al circuito basculante 150
de programa/lectura está conectada a través del conductor
161 a la salida de un multivibrador de un solo paso o mo-
noestable 162. El circuito de un solo paso 162 puede tomar
la forma de un multivibrador monoestable convencional que
25 actúa, en este caso, para disponer y producir una salida ba-
ja en el conductor 161 cuando se energiza la presente in-
vención, para el ciclo de trabajo del mismo y posterior-
mente redistribirse a una condición de salida de alto nivel.
El ciclo de trabajo exhibido por el circuito de un solo -
30 paso 162 puede exhibir cualquier intervalo conveniente y



1 para los fines de la presente descripción se puede suponer
que es de unos cuantos cientos de milisegundos. Por lo -
tanto, a medida que se dispone el circuito de una sólo ac-
ción 162 cuando se energiza la presente invención, para po-
5 ner de esta manera un nivel bajo en el conductor 161 duran-
te unos cuantos cientos de milisegundos, se verá que cuando
se energiza la presente invención, el circuito basculante
de programa/lectura 150 será colocado en un estado de dis-
posición para poner la red de dirección de memoria de es-
10 critura/lectura y de control de selección mostrado en la -
figura 3, en una forma de funcionamiento de programa. Esta
técnica de poner el aparato de dirección de memoria de
escritura/lectura y de control de selección mostrado en la
figura 3 en una forma de funcionamiento de programa cuando
15 se energiza la presente invención, es necesaria, debido a
que se emplean las configuraciones de memoria virtuales -
que requieren la aplicación continua de la potencia para
el mantenimiento del almacenamiento y por lo tanto se re-
quiere la inserción de los nuevos datos que van a ser alma-
20 cenados en las mismas cada vez que se inicia una secuencia
de partida.

Adicionalmente, la entrada al circuito de un
solo paso 162 está conectada a un interruptor 163 que tiene
la anotación de "programa" que conecta la entrada del cir-
25 cuito de un sólo paso 162 a tierra. El interruptor 163 puede
tomar cualquier formato mecánico o eléctrico convencional
bien conocido por las personas entendidas en la materia y
está provisto de tal manera que un operario puede iniciar
una secuencia de programa en el aparato de dirección de me-
30 moria de escritura/lectura y selección mostrado en la figura
3, sin tener que pasar nuevamente a través de una secuencia



1 de partida o de arranque.

5 Las personas entendidas en la materia apreciarán que el cierre del interruptor 163 da por resultado una conexión a tierra y por lo tanto una disposición del -
circuito de un solo paso 162 después de lo cual se coloca
nuevamente un nivel bajo en el conductor 161 que subsecuen-
temente se revierte a un nivel alto al redisponerse el cir-
cuito de un solo paso. Cuando se coloca un nivel bajo en
10 el conductor 161, el circuito basculante de programa/lec-
tura 150 se colocará en una condición dispuesta para de -
esta forma designar una forma de operación de programa y -
permanecerá en esta condición hasta que se aplique un nivel
de redisposición alto al conductor 164 conectado a la en-
trada de redisposición del circuito basculante 150 de pro-
15 grama/lectura. El conductor 164 está adicionalmente conecta-
do a la salida de la puerta AND 165 que puede tomar cual-
quiera de las formas convencionales descritas anteriormen-
te y por lo tanto produce un nivel alto a la salida de la
misma sólo cuando ambas entradas a la misma están en nivel
20 alto.

25 La función de la puerta AND 165, como se apre-
ciara mejor posteriormente, es la de disponer el circuito
basculante de programa/lectura 150 cuando se termina la se-
cuencia del programa en la que los conjuntos de tres tarjetas
de tarjetas de programación se están explorando. Por esta
razón una de las entradas de la puerta AND 165 está conec-
tada a través del conductor 166 hasta un terminal marcado
Ciclo de Programa de Detención. Si se recuerda la figura 4
de la descripción de la patente de los Estados Unidos núme-
30 ro 3.700.324, se apreciará que el contador binario de cuatro



1 bitios se incrementa cada vez que se alimenta una tarjeta
por medio del rodillo en el mecanismo de trayectoria de
alimentación de tarjeta y se disminuye cada vez que se
5 detecta una tarjeta en la estación de exploración. Por lo
tanto, si no ocurre ninguna falla en la alimentación, la
cuenta del contador binario no excede de uno hasta el mo-
mento en que las tarjetas se agotan después de lo cual el
rodillo alimentador accionado incrementando continuamente
la señal actúa para incrementar el contador puesto que
10 no son suministradas al mismo señales de crecimiento por me-
dio del detector de bordes. Al detectar una condición 15
de recuento, se produce una señal para indicar que se com-
pletó la operación de alimentación. Este mismo mecanismo
se emplea aquí para aplicar una señal de detención de pro-
15 grama al conductor 166 a fin de indicar en una de las entra-
das a la puerta AND 165 que no hay presentes tarjetas de
programa adicionales y que todas las tarjetas original-
mente cargadas han sido exploradas. Para los fines de la
señal de programa de detención aplicada al conductor 166
20 puede emplearse cualquier estado conveniente en el conta-
dor tal como una cuenta de doce o quince mientras dicho es-
tado del contador esté suficientemente alejado de la cuen-
ta uno para permitir cualquier falta de alimentación. De
esta forma, las personas entendidas en la materia, aprecia-
25 rán que cuando se detecta el final de una pila de tarjetas
de programa, se aplica un nivel alto al conductor 166 de
la puerta AND 165. Adicionalmente, como se verá posterior-
mente, se aplica una segunda entrada a la puerta AND 165
a través del conductor 167. Esta entrada se obtiene del -
30 elemento de contador 154 de secuencia de forma de programa



1 y es de nivel alto cuando han sido exploradas tarjetas que
son un múltiplo de las tres tarjetas de programa. La fina-
lidad de esta señal de puerta en el conductor 167 es de -
asegurarse que cuando se detecta el final de la pila de -
5 tarjetas de programa, se haya leído un número apropiado
de tarjetas de programa. Por lo tanto, como se recordará
que cada uno de los programas cargados requiere tres tar-
jetas de programa, una entrada indicando que el número de
tarjetas de programa leídas es un múltiplo de tres, asegu-
10 rará que solo programas totales hayan sido cargados en las
memorias y por lo tanto es apropiada una operación de lec-
tura o de selección.

Aun cuando no se ilustra en la figura 3, las
15 personas entendidas en la materia apreciarán que pueden im-
ponerse condiciones adicionales a la puerta AND 165 para ase-
gurar adicionalmente que se haya completado una operación
de programación apropiada y dicha imposición de entradas
adicionales a la puerta AND 165 de ninguna manera alterará
20 la presente invención, sino que en vez de ello proporciona
una conveniencia adicional por medio de una indicación o
cualquier otro dispositivo similar para el operario. Por
ejemplo, como se verá posteriormente, se cuenta el número
de programas cargados en el contador de número de programas
155 durante una forma de programa de funcionamiento. Por
25 lo tanto, puesto que en esta modalidad de la presente in-
vención se ha supuesto que se proporciona almacenamiento só-
lo para ocho programas, pueden obtenerse números de progra-
mas iguales a ocho o menos programas de la salida del con-
tador de número de programas 155, de manera bien conocida
30 por las personas entendidas en la materia, los que pueden



1 ser empleados para imponer una tercera condición de acción de puerta a una entrada de la puerta AND 165. Sin embargo, para los fines de la siguiente descripción, se supondrá que sólo se imponen las dos entradas mostradas en

5 la figura 3 como condiciones de acción de puerta a la puerta AND 165 y por lo tanto cuando se ha leído un múltiplo de tarjetas de tres programas y se suministran una entrada indicando el final de la pila de tarjetas de programas como un nivel alto en el conductor 166, la puerta AND 165 producirá un nivel alto en el conductor 164 para poner el circuito basculante 150 de programa/lectura en una condición de

10 redistribución y de esta forma definir una manera de funcionamiento de lectura. La salida de inversión del circuito basculante 150 de programa/lectura como se aplica al conductor 160, adicionalmente es aplicada a través de los conductores 168-171 para los fines que se describirán subsecuente-

15 temente. Sin embargo, aquí es suficiente apreciar que cuando el circuito basculante 150 de programa/lectura está en la forma de funcionamiento de programa, hay un nivel bajo en los conductores 160 y 168-171.

20

25 En forma similar, la salida Q del circuito basculante 150 de programa/lectura se conecta a través del conductor 159 hasta los conductores 172-176 para los fines que se describirán en forma más clara posteriormente. Aquí, sin embargo, también es suficiente apreciar que cuando el circuito basculante 150 de programa/lectura está en su forma de funcionamiento de programa, los conductores 159 y de 172 a 175 estarán a un nivel alto mientras son colocados a un nivel bajo cuando el circuito basculante 150 de programa

30 /lectura está en una forma de funcionamiento de lectura. El

1 conductor 172 está conectado a una primera entrada de una
puerta AND 177 cuya salida está invertida. La puerta AND
5 177 puede tomar cualquier forma convencional de puerta AND
que actúa de manera bien conocida para producir un bajo
nivel, el que en este caso representa una medición de tiem-
po, cuando ambas entradas a la misma están en un nivel al-
to mientras que produce una salida de nivel alto para cual-
quier otro conjunto de condiciones de entrada. La segunda
10 entrada a la puerta AND 177 es suministrada desde el ele-
mento contador de control de memoria 153 y como se verá pos-
teriormente es de nivel alto cuando se ha completado un ci-
clo de control de memoria. La puerta AND 177 funciona como
el extremo de escritura de la redistribución del ciclo pa-
ra el circuito basculante 151 de interrogación de manera que
15 se describirá posteriormente. Sin embargo, aquí, es sufi-
ciente observar que la salida de la puerta AND 177 está
conectada a una entrada de medición de tiempo del cir-
cuito basculante 151. El circuito basculante 151 puede to-
mar cualquier forma convencional de circuito basculante -
20 que actúa de manera bien conocida para disponerse en res-
puesta a un alto nivel aplicado a la entrada (P) de predis-
posición al mismo, mientras que actúa durante la presencia
del borde de elevación del impulso de medición de tiempo -
para seguir la entrada al mismo aplicada a la entrada D.
25 Adicionalmente, el circuito basculante de interrogación 151
es suministrado con una entrada de redistribución en el con-
ductor 178 la que actúa de manera bien conocida a la apli-
cación de un bajo nivel o nivel de redistribución al mismo,
para redistribuir el circuito basculante a un conjunto inicial
30 de condiciones.



1 El circuito basculante de interrogación 151
actúa, como se verá posteriormente, para iniciar uno o más
ciclos del contador de control de memoria 153 al aplicarse
al mismo una entrada de ciclo de memoria de partida desde
5 la salida de la puerta AND 116 en la figura 2. Sin embargo,
el número de ciclos iniciados por el mismo para el contador
de control de memoria 153 diferirá dependiendo de si la
dirección de memoria de escritura/lectura y el aparato de con-
trol de selección mostrado en la figura 3 está en una for-
10 ma de funcionamiento de programa o de lectura. De manera
mas particular, cuando se establece una forma de operación
de programa como queda determinado por la disposición del
circuito basculante 150 de programa/lectura, el circuito
basculante de interrogación 151 iniciará solo un ciclo com-
15 pleteo para el contador de control de memoria 153 y poste-
riormente se redispondrá por medio de la acción del conta-
dor de control de memoria 153 que actúa en conjunto con el
extremo de escritura de la puerta AND 177 de redistribución
de ciclo que es habilitada solo durante la forma de funciona-
20 miento de programa. Sin embargo, durante una forma de fun-
cionamiento de lectura, el circuito basculante de interro-
gación 151, actuará para iniciar solo un ciclo completo del
contador de control de memoria 153 para cada uno de los pro-
gramas que haya sido almacenado y, de conformidad, no se -
25 redispondrá por medio de la entrada aplicada al conductor -
178 hasta que hayan sido ejecutados todos los ciclos del nú-
mero de programas almacenados.

30 De las condiciones de entrada especificadas
por el circuito basculante de interrogación 151, las perso-
nas entendidas en la materia, apreciaran que el circuito -



1976

1

5

10

15

20

25

30

basculante de interrogación 151 se dispondrá cuando se aplica un nivel alto a la entrada (P) de predisposición del mismo y se redispondrá cuando se aplica un nivel de predisposición al conductor 178 o se aplica un nivel bajo a la entrada D del mismo, mientras un borde de elevación del impulso es aplicado a la entrada de medición de tiempo del mismo. Como queda claramente indicado en la figura 3, la entrada de predisposición P del circuito basculante de interrogación 151 está conectada al terminal marcado Ciclo de Memoria de Partida que se desarrolla a la salida de la puerta AND 116, como queda ilustrado en la figura 2, cuando ha sido leída una tarjeta de datos que contiene diecisiete (17) marcas de medición de tiempo y el borde trasero de la tarjeta explorada ha sido detectado. Además, se recordara que la salida producida por la puerta AND 116, que representa una señal de ciclo de memoria de partida - está en nivel alto y que es generado por un intervalo de uno y medio milisegundos (1,5 ms). Si cada vez que se explora una tarjeta de datos que contiene diecisiete marcas de medición de tiempo y se detecta el final de la tarjeta, el circuito basculante de interrogación 151 se colocará en un estado de disposición y permanecerá en ese estado hasta que haya sido redispuesto por una de las dos técnicas mencionadas anteriormente.

La entrada D al circuito basculante de interrogación 151 se conecta directamente a tierra o a un nivel bajo apropiado de tal manera que, como apreciarán fácilmente las personas entendidas en la materia, cada vez que un borde de elevación de un impulso de medición de tiempo se aplica al conductor 179 desde la salida de la puerta



1 AND 177, se redispondrá el circuito basculante de interro-
gación 151. Puesto que una entrada a la puerta AND 177 está
conectada a través del conductor 172 a la salida, Q del cir-
cuito basculante 150 de programa/lectura y puesto que esta
5 salida solo está en nivel alto durante un ciclo de operación
de programa, se apreciará que la redistribución a través del
impulso de medición de tiempo generado por la puerta AND
177 solo está disponible durante la forma de funcionamiento
de programa. La segunda entrada a la puerta AND 177 está
10 conectada a través del conductor 180 a una salida del con-
tador de control de memoria 153 y como se verá posterior-
mente, se coloca a un nivel alto en el conductor 180 casi
al terminar un ciclo completo del contador de control de me-
moria 153. Por lo tanto, durante la forma de funciona-
15 miento de programa el circuito basculante de interrogación
151 será redispuesto por el nivel bajo que hay a la entrada
D cuando se genera un impulso de medición de tiempo en el -
conductor 179; sin embargo, durante la forma de funciona-
miento de lectura, el circuito basculante de interrogación
20 151 permanecerá en una condición dispuesta hasta que es re-
dispuesto por la aplicación de un nivel de redistribución
al conductor 178 conectado a la entrada de redistribución
del mismo.

25 El conductor 178 está conectado a la entrada
de redistribución del circuito basculante de interrogación
151 y a la salida de una puerta OR 181 cuya salida está in-
vertida. La puerta OR 181 cuya salida está invertida pue-
de tomar cualquiera de las formas convencionales de esta cla-
se bien conocida de dispositivo lógico y actúa para producir
30 un nivel bajo o de redistribución a la salida del mismo cuan-



1 do una de las entradas de ella está en un nivel alto. Una
primera entrada a la puerta OR 181 está conectada a través
de los conductores 182 y 183 a un terminal anotado como Par-
tida. En la presente invención, cuando se aplica la poten-
5 cia a los circuitos de alimentación de tarjetas de datos
empleados, se genera una señal de partida que es efectiva-
mente un nivel alto que se mantiene durante aproximadamen-
te 150 milisegundos (150 ms) y posteriormente se redispone
a un nivel bajo. Este nivel alto inicial, como se aplica
10 al terminal marcado Partida, se emplea dentro de la red de
dirección de memoria de escritura/lectura y de control de
selección mostrada en la figura 3 para redispone una plu-
ralidad de dispositivos y se apreciará de que cuando se -
aplica un alto nivel al terminal marcado Partida durante un
15 intervalo de ciento cincuenta milisegundos (150 ms) dicho
nivel alto será aplicado a los conductores 183 y 182 y dará
por resultado la aplicación de un nivel bajo o de redispo-
sición a la salida de la puerta OR 181 conectada al con-
ductor 178 para redispone de manera efectiva el circuito
20 basculante de interrogación 151. Además, como será apren-
te a las personas entendidas en la materia, a medida que pro-
ceda la descripción de la figura 3, el nivel alto inicial
aplicado al terminal de partida de marca también se emplea
para redispone el elemento contador 154 de secuencia de -
25 forma de programa, al elemento del contador del número de -
programas 155 y a través del circuito basculante de interro-
gación 151 para redispone el contador de control de memo-
ria 153. La segunda entrada a la puerta OR 181 en el con-
ductor 184 se conecta, como se verá posteriormente, a la sa-
30 lida del elemento comparador 157 que aplica al mismo un ni-



1 vel alto cuando, durante la forma de operación de lectura
el número de programas para los cuales se han iniciado ci-
clos del elemento de contador de control de memoria 153 y
5 del elemento del contador de número de programas 155, que
corresponden al número total de los programas almacenados
durante una forma de funcionamiento de programa previo.
De esta forma, las personas entendidas en la materia apre-
ciarán que el circuito basculante de interrogación 151 -
se redispone por medio de un nivel bajo aplicado a la en-
10 trada de redistribución de bitio del mismo en el conductor
178 solo cuando se inicia un ciclo de principio o un núme-
ro de ciclos que corresponde al número total de programas
almacenados que se ha completado.

15 La salida Q del circuito basculante de inte-
rrogación 151 está conectada a través del conductor 186 al
contador 153 de control de memoria y a una entrada de la
puerta AND 188 dentro de la disposición de salida de control
indicada por el bloque en líneas punteadas 158. Es una ca-
20 racterística de la presente invención proporcionar al opera-
rio con una cuenta indicativa del número de tarjetas de pro-
grama leídas y la salida de la puerta AND 188 suministrada
al conductor 189 es indicativa de esta cuenta. La puerta
AND 188 puede tomar las mismas formas que los dispositivos
25 convencionales descritos anteriormente y actúa de manera
bien conocida para producir un nivel alto con el fin de in-
crementar un contador (no mostrado) conectado a la salida
de la misma cuando ambas entradas de ella están en el nivel
alto, mientras que se produce un nivel bajo para todas las
30 otras condiciones de entrada. Como se recordará que el im-
pulso de ciclo de memoria de partida se aplica para dispo-



1
5
10
15
20
25
30

ner el circuito basculante de interrogación 151 cada vez que el mismo explora una tarjeta de datos que tiene diecisiete marcas de medición de tiempo, se verá que la salida Q del mismo irá a un nivel alto para colocar un nivel alto en el conductor 186 a fin de poner en cero o limpiar el contador de control de memoria 153 y producir un nivel alto a la salida de la puerta AND 188 y la otra entrada a esta puerta AND ha sido habilitada adecuadamente. La segunda entrada a la puerta AND 188 está conectada a través del conductor 174, 173 y 172 a la salida Q del circuito basculante 150 de programa/lectura y por lo tanto estará en un nivel alto cuando el aparato de dirección de memoria de escritura/lectura y de control de selección mostrado en la figura 3 está en forma de operación de programa lo que significa que se están alimentando y explorando tarjetas de programa. De esta forma, se aplicará un nivel alto al conductor 189 cuando se explora una tarjeta de programa y dichos niveles altos de acuerdo como son producidos por el mismo seran contados de manera convencional bien conocida por las personas entendidas en la materia.

La salida \bar{Q} del circuito basculante de interrogación 151 se conecta a través del conductor 187 a la entrada de un elemento generador de impulsos 152. Las personas entendidas en la materia apreciarán que cuando se aplica una señal de ciclo de memoria de partida que va haciéndose de nivel alto a la entrada P del circuito basculante de interrogación 151, la salida Q del mismo en el conductor 186 se irá a un nivel alto mientras que la salida \bar{Q} del mismo conectada al conductor 187 irá a un nivel bajo y dichas condiciones de salida se mantendrá hasta que el -

1 circuito basculante de interrogación 151 o bien se redisp-
ponga o se disponga a un estado de nivel bajo por medio de
la combinación de la entrada D y del nivel de medición de
tiempo aplicados al conductor 179.

5 El elemento generador de impulsos 152 puede
tomar cualquier forma convencional de los elementos gene-
radores de impulsos, tal como un oscilador o cualquier -
dispositivo similar, capaz de generar impulsos que sean -
contados a un régimen predeterminado. En el caso presente,
10 el elemento generador de impulsos 152 puede tener un ciclo
de un milisegundo o en cualquier otra forma ser capaz de
generar tres impulsos discretos en un intervalo de tres
milisegundos (3 ms). El elemento generador de impulsos 152
es disparado para encenderse por medio de un nivel bajo apli-
15 cado a la entrada del mismo en el conductor 187 y conti-
nuará generando impulsos a un régimen de repetición prede-
terminado hasta que la entrada del mismo tenga un nivel al-
to. De esta manera, cuando se aplica una señal de ciclo de
memoria de partida al circuito basculante de interrogación
20 151, y la salida \bar{Q} del mismo va a un nivel bajo, el elemento
generador de impulsos 152 iniciará una generación de impul-
sos y dicha generación de impulsos continuará hasta que el
nivel de entrada en el conductor 187 vaya a un nivel alto
al ser redispuesto el circuito basculante de interrogación
25 151. La salida del elemento generador de impulsos 152 está
conectada a través del conductor 190 a una entrada de re-
cuento del elemento contador control de memoria 153.

30 El elemento contador de control de memoria
153 puede aquí ser considerado en la forma de un elemento
contador de tres bitios convencional formado por un par de

1 circuitos basculantes , un contador binario, o dispositivos
de circuitos similares bien conocidos que convencionalmen-
te conocen las personas entendidas en la materia y por lo
tanto exhiben un estado de redisposición, una primera con-
5 dición de recuento y una segunda condición de recuento. Por
lo tanto, las personas entendidas en la materia, aprecia-
rán que, suponiendo que el elemento contador está en un -
estado de redisposición cuando por medio del elemento gene-
rador de impulsos 152 se aplican impulsos al mismo, el pri-
10 mer impulso aplicado por dicho elemento colocará al elemen-
to contador en una primera condición de recuento, el segun-
do impulso aplicado al mismo colocará al elemento contador
de control de memoria 153 en una segunda condición de re-
cuento mientras que el tercer impulso aplicado por medio del
15 elemento generador de impulsos 152 nuevamente hará que el
elemento contador de control de memoria 153 sea redispues-
to y esta secuencia de operación se repite para cada uno
de los grupos de los tres impulsos aplicados a dicho con-
tador por medio del elemento generador de impulsos 152. -
20 Aun cuando el elemento contador de control de memoria 153
exhibe tres estados discretos, solo se emplean el primero
y el segundo de los estados del mismo para fines de control
y en los que la primera condición de recuento representa
una carga de las ocho órdenes de bitios superiores (bitios
25 $B_1 - B_8$), mientras que la segunda condición de recuento -
del mismo representa una carga de las ocho órdenes de bitios
inferiores (bitios $B_9 - B_{16}$). Por consiguiente, solo se han
mostrado en la figura 3 las salidas del elemento contador
de control de memoria 153 asociadas con el primero y el se-
30 gundo de los estados. De esta forma, la salida del elemento



1 contador de control de memoria 153 conectada al conductor
191 y anotada uno irá a un nivel alto después de que ha si-
do contado un primer impulso y representa una carga de las
órdenes de bitios inferiores mientras que la segunda salida
5 del elemento contador de control de memoria 153 conectada
al conductor 192 y anotada como dos irá a un nivel alto -
después de que se han contado dos impulsos por medio del
elemento contador de control de memoria 153 y representa
una carga de orden de ocho bitios superiores como se ve-
rá claramente en lo que sigue. Se recordará que la informa-
10 ción leída en la forma de dieciseis (16) bitios y subse-
cuentemente transformada al formato en paralelo para cada
una de las columnas de las tarjetas de datos leídas se pro-
cesa en dos secuencias paralelas de ocho bitios y por lo
tanto se apreciará que la acción de compuerta de los ocho
15 bitios superiores e inferiores queda controlada por la con-
dición del elemento contador de control de memoria 153.

El elemento contador de control de memoria
20 153 tiene una entrada de disposición a cero o de limpieza
conectada a la salida Q del circuito basculante de interro-
gación 151 y será puesto a cero cada vez que se aplica una
señal de ciclo de memoria de partida al mismo; sin embargo,
puesto que se emplea el disparo de borde de elevación o
positivo, el elemento contador de control de memoria 153
25 no se retendrá en una condición redispuesta sino que sim-
plemente será puesto a cero o limpiado al comienzo de cada
uno de los ciclos iniciados al recibirse una señal de ciclo
de memoria de partida a la entrada Q del circuito bascu-
lante de interrogación 151. La salida de recuento 2 del -
30 elemento contador de control de memoria 153 está conectada a
través de los conductores 192 y 180 a la segunda entrada



1 de la puerta AND 177 cuya salida está invertida. Por lo -
tanto, se apreciará que cuando la entrada a la puerta AND
5 177 aplicada en el conductor 172 es debidamente habilita-
da por el establecimiento de una forma de funcionamiento de
programa por medio del circuito basculante 150 de programa/
lectura después de lo cual hay presente un nivel alto en
el conductor 172, el recuento del segundo impulso de me-
dición de tiempo por medio del elemento de recuento de -
control de memoria 153 hará que se deje pasar un nivel a
10 los conductores 192 y 180 para en esta forma hacer que la
salida de la puerta AND 177 vaya a un nivel bajo. Posterior-
mente, cuando se cuenta el tercer impulso por medio del -
contador de control de memoria 153 y la salida de la puer-
ta AND 177 nuevamente va a un nivel alto, el borde trasero
15 del impulso negativo generado en esta forma medirá el tiem-
po del circuito basculante de interrogación 151 con lo que
se carga el nivel bajo aplicado a la entrada D para provocar
la redistribución. De esta manera en la forma de programa,
un ciclo de recuento completo del elemento contador de -
20 control de memoria 153 hará que el circuito basculante de
interrogación 151 sea redistribuido por una medición de tiem-
po de un nivel bajo presente a la entrada D del mismo, sin
embargo, durante la forma de operación de lectura, dicha
redistribución no tendrá lugar puesto que la puerta AND 177
25 queda deshabilitada por un nivel bajo que entonces hay pre-
sente a la entrada de la misma y que está conectado al con-
ductor 172.

30 La salida del elemento contador de control
de memoria 153 conectada al conductor 192 está conectada
directamente a la terminal en la porción inferior del lado

1 derecho de la figura 3 anotada como Dirección de Memoria
Bitios Inferiores/superiores y se aplica a través del con-
ductor 193 a la entrada del elemento contador de secuencia
en forma de programa 154. Como se explicó previamente, el
5 primero y el segundo de los estados del elemento contador
153 se emplean para que tengan acción de puerta para los
ocho bitios ya sea superiores o inferiores que van a ser
procesados por las diferentes configuraciones de memoria
y las redes de comparación empleadas dentro de las memorias
10 de marca/importa y de las redes de comparación 3 - 7 así
como la memoria de control y el elemento de decisión de -
comparación 8 mostrado en la figura 1. Por lo tanto, puesto
que un nivel alto en el conductor 191 representa una orden
para dejar pasar los ocho (8) bitios superiores (bitios
15 de B_1 a B_8) mientras que un nivel alto en el conductor 192
representa una orden para dejar pasar los ocho bitios in-
feriores (los bitios de B_9 a B_{16}), las personas entendidas
en la materia apreciaran que el nivel bajo aplicado al -
conductor 192 y por lo tanto al terminal marcado Dirección
20 de Memoria Bitios Inferiores/Superiores, puede ser emplea-
do para que tenga acción de puerta sobre los ocho bitios
superiores (bitios de B_9 a B_{16}) mientras que puede descan-
sarse en un nivel inferior en el conductor 192 como una se-
ñal de puerta para dejar pasar los ocho (8) bitios inferiores
25 (los bitios de B_1 a B_8). El terminal marcado Dirección de
Memoria Bitios Inferiores/Superiores está conectado a tra-
vés de entradas de selección asociadas con los conductores
100 y 109 en la figura 2 y adicionalmente se emplea para -
las configuraciones de memoria dentro de la memoria de mar-
30 ca/importa de canal y de los elementos de comparación 3 7



1

así como la memoria de control y los elementos de decisión 8, como se verá en conjunto con las figuras 4 y 5.

5

Las salidas del elemento contador de control de memoria 193 conectadas a los conductores 191 y 192 adicionalmente están conectadas a una pluralidad de disposiciones de acción de puerta que subsecuentemente se describen y estas conexiones serán omitidas en esta parte de la descripción en interés de claridad. Aún cuando se ha descrito una configuración de contador de sólo tres etapas como utilizado para el elemento contador de control de memoria 153 para los fines de la presente descripción, las personas entendidas en la materia apreciarán que puede utilizarse un contador de seis etapas para entreespaciar apropiadamente las dos órdenes de carga proporcionada para evitar condiciones de aceleración o condiciones similares en el circuito lógico empleado.

10

15

20

25

30

El elemento contador de secuencia de forma de programa 154 al igual que el elemento contador de control de memoria 153 puede tomar la forma convencional de un contador de tres etapas formado por un par de circuitos basculantes interconectados o cualquier otro dispositivo similar y exhibe tres distintas condiciones de recuento. Sin embargo, a diferencia del elemento contador de control de memoria 153, los tres estados de recuento distintos del elemento contador de secuencia de forma de programa 154 se emplean todos dentro de la dirección de memoria de lectura/escritura y de la red de control de selección mostrada en la figura 3 y por esta razón se han ilustrado tres conductores de salida 194 - 196 como conectados a tres salidas independientes del mismo. Por lo tanto, como apreciarán las



1 personas entendidas en la materia, un nivel alto en el con-
ductor de salida 194 es indicativo de que el contador de
secuencia de forma de programa 154 está en una condición de
5 redisposición, un nivel alto en el conductor de salida 195
del elemento contador de secuencia de forma de programa
154 es indicativo de que se ha contado un impulso y de ma-
nera similar un nivel alto en el conductor de salida 196 se
rá indicativo de que se han contados dos impulsos y que al
10 recibir el tercer impulso el conductor de salida 194 se -
pondrá en nivel alto.

La función del elemento contador de secuen-
cia de forma de programa 154 es la de actuar únicamente -
durante una operación de forma de programa para transportar
los datos leídos de cada una de las tres tarjetas de pro-
15 grama que se requieren para cada uno de los programas que
van a cargarse, a las memorias apropiadas dentro de la me-
moria de marca/importa de canal y de las redes de compa-
ración 3 - 7 así como de la memoria de control y los ele-
mentos de decisión 8, como generalmente se ilustra en la -
20 figura 1 y se describe en detalle en conjunto con las fi-
guras 4 y 5. Por lo tanto, como se recordará que la secuen-
cia de tres tarjetas que se requiere para cargar un progra-
ma necesita una tarjeta de control, una tarjeta de progra-
ma de importa/ no importa, una tarjeta de programa de -
25 marca/falta de marca cargadas en el orden mencionado, el
conductor de salida 194 ha sido anotado 1- control, el con-
ductor de salida 195 ha sido anotado 2-importa y el conduc-
tor de salida 196 ha sido anotado 3-marca para ayudar al lee
30 tor a reconocer las funciones ejecutadas por el elemento
contador de secuencia de forma de programa 154. De esta -



1976

1 forma, así como es la función del elemento contador de -
control de memoria 153 proporcionar información que se de-
ja pasar en tiempo medido apropiadamente para tener acce-
so o bien al inferior o al superior de los ocho bitios de
5 cada una de las columnas de dieciseis bitios que se leen en
ambas operaciones de programa y de selección, es la fun-
ción del elemento contador de secuencia de forma de progra-
ma 154 actuar únicamente durante la forma de funcionamien-
to de programa para suministrar información de control me-
10 dida apropiadamente en tiempo para hacer llegar y aplicar
a la configuración de memoria apropiada los datos leídos
de la tarjeta de programa de control, de la tarjeta de pro-
grama de importa/no importa y de la tarjeta de programa
de marca/falta de marca para cada uno de los programas que
15 entran durante una secuencia determinada de programas. La
entrada al elemento contador de secuencia de forma de pro-
grama 154 es aplicada a través del conductor 193 desde -
la salida del elemento de contador de control de memoria
153 conectado al conductor 192, como se mencionó anterior-
20 mente. Por lo tanto, las personas entendidas en la materia,
apreciarán que cuando el elemento contador de control de
memoria 153 completa una secuencia de recuento en la que
tanto los bitios superiores como los bitios inferiores de
la secuencia de dieciseis bitios leída de las tarjetas de
25 datos que se están explorando han sido dejadas pasar apro-
piadamente y por lo tanto, procesadas, el estado del ele-
mento contador de secuencia de forma de programa 154 será
incrementado a menos que se mantenga en una condición de
redisposición.

30 La entrada de redisposición es proporcionada



1 por el elemento contador de secuencia de forma de programa 154 conectada al conductor 198. El conductor 198 también está conectado a la salida de una puerta OR 199 cuya salida está invertida. Una primera entrada a la puerta OR

5 199 es suministrada en el conductor 200 desde el conductor 183 asociado con el terminal de entrada de partida. La segunda entrada a la puerta OR 199 está conectada a través de los conductores 160 y 171 a la salida \bar{Q} del circuito basculante 150 de programa/lectura. La puerta OR 199 puede

10 tomar la misma forma que la puerta OR 181 descrita anteriormente y por lo tanto actúa de manera bien conocida para producir un nivel bajo o de redistribución en el conductor 198 cuando cualquiera de las entradas a la misma están en un nivel alto. De las explicaciones establecidas previamente,

15 las personas entendidas en la materia apreciarán fácilmente que el elemento contador de secuencia de forma de programa 154 se redispone por medio de un nivel alto aplicado a la entrada de la puerta OR 199 en el conductor 200 cada vez que se inicia una secuencia de alimentación de

20 tarjetas. Adicionalmente, como también se explicó anteriormente, el elemento contador de secuencia de forma de programa 154 no debe emplearse durante la forma de funcionamiento de lectura puesto que la secuencia de la información de bits leída de las tarjetas que representan tipos diferentes

25 de información de programa, sólo es necesaria durante la forma de funcionamiento de programa. Por lo tanto, se verá que cuando se establece una forma de funcionamiento de lectura por medio del circuito basculante 150 de programa/lectura, se aplicará un nivel alto al conductor 160 que

30 define la forma de funcionamiento de lectura y este nivel



1 alto se aplica a la entrada de la puerta OR 199 conectada
al conductor 171 y da por resultado un nivel de redisposi-
ción o bajo en el conductor 198, el cual de manera efec-
5 tiva actúa para retener al contador de secuencia de forma
de programa 154 en una condición redispuesta.

La salida de recuento 1 del elemento de con-
tador de secuencia de forma de programa 154 conectada al -
conductor 194 se aplica a la entrada central de una puerta
AND 202 de tres entradas presente dentro de la disposi-
10 ción de salida de control indicada por el bloque de línea
punteada 158. La puerta AND 202 puede tomar cualquiera de las
formas convencionales de esta clase bien conocida de dispo-
sitivo, el cual actúa para proporcionar una salida de nivel
alto sólo cuando todas las entradas al mismo están en nivel
15 alto, mientras que proporciona una salida de nivel bajo pa-
ra todos los otros conjuntos de condiciones de entrada. La
función de la puerta AND 202 es la de proporcionar una se-
ñal de acción de puerta de tiempo medido apropiadamente al
terminal de salida anotado Memoria de Control de Programa,
20 conectado al conductor 203 cuando el aparato de dirección
de memoria de escritura/lectura y de control de selección
mostrado en la figura 2 está en la forma de funcionamien-
to de programa, y se ha leído la tarjeta de control, dentro
de la secuencia de programa de tres tarjetas. Cuando hay
25 presentes estas condiciones, los cuatro bitios de la infor-
mación de control de programa, como se recordará están pre-
sentes solo en la primera de las cuatro ubicaciones de bi-
tios de la columna A de la tarjeta de programa de control
y por lo tanto cargados en paralelo en la red de conver-
30 sión de formato de canal A indicada por el bloque de líneas

1 punteadas 50A, debe ser dejada pasar a la configuración de
memoria dentro de la memoria de control y del elemento de
decisión 8 ilustrado en la figura 1 y descrito en detalle
5 en conjunto con la figura 5. De esta forma, como se verá
en conjunto con la figura 5, se aplica un nivel alto al -
conductor 203 hasta la memoria de control y al elemento de
decisión 8 ilustrados en detalle en la figura 5, y emplea-
dos para habilitar la carga de la configuración de memoria
del mismo.

10 Cuando hay un nivel alto en el conductor 194
será indicativo de que el elemento contador de secuencia
de formar de programa 154 ha contado un impulso; sin embar-
go, también hay presente un requisito de que el aparato de
dirección de memoria de escritura/lectura y de control de
15 selección esté en forma de funcionamiento de programa. Por
esta razón, se conecta una segunda entrada a la puerta AND
202 a través de los conductores 173, 172 y 159 hasta
la salida Q del circuito basculante de programa 150. Por
lo tanto, puesto que la salida Q del circuito basculante de
20 programa/lectura 150 está solo en nivel alto cuando ha si-
do establecido la forma de funcionamiento de programa a la
red de dirección de memoria de escritura/lectura y de con-
trol de selección mostrado en la figura 3, se apreciará que
cuando se aplica un segundo nivel alto a la entrada de la
25 puerta AND 202 conectada al conductor 173, se establece una
segunda condición apropiada para cargar la información de
datos del canal A de la tarjeta de control de programa. Se
conecta una tercera entrada a la puerta AND 202 hasta el -
conductor 191, que está conectado a una salida del elemen-
30 to contador de control de memoria 153 y se pone en alto al



1 recibir una orden para cargar los ocho (8) bitios superiores de los dieciseis bitios de información en el formato paralelo leído de cada una de las columnas en las tarjetas. Además, si se recuerda que la información de programa cargada en la configuración de memoria dentro de la memoria de control y el elemento de decisión 8 ilustrado en la figura 1 incluye solo cuatro bitios de datos y dichos bitios de datos están marcados dentro de las ubicaciones de bitios 1 - 4 de la tarjeta de programa, se verá que la carga de la información del canal A conectada a la configuración de memoria de la memoria de control y el elemento de decisión 8, sólo es apropiada durante una orden de carga de los ocho bitios superiores (bitios $B_1 - B_8$). Esta condición queda indicada por una salida de nivel alto en el conductor 191 desde el contador de control de memoria 153 y se impone sobre las condiciones de entrada de la puerta AND 202. De conformidad, las personas entendidas en la materia, apreciaran que cuando se establece un nivel alto en cada una de las tres entradas a la puerta AND 202, es apropiada la carga de las cuatro posiciones de bitios de la configuración de memoria de la misma para un programa determinado, puesto que la tarjeta de control de un programa ha sido explorado, se asegura una forma de operación de programa y se ha emitido una orden de acción de puerta o para dejar -

5

10

15

20

25

30

pasar los ocho bitios superiores (los bitios $B_1 - B_8$).

La salida del elemento contador de secuencia de forma de programa 154 conectado al conductor 195 se conecta a traves de un conductor 206 hasta un terminal proporcionado a la salida de la disposición de salida de control indicada por el bloque de líneas punteadas 158 marcado For-



1 ma de Programa Importa/Marca y a la primera entrada de una
puerta OR 207. Los terminales de salida de la disposición
de salida de control indicadas por el bloque de líneas pun-
teadas 158 anotado programa importa/marca y forma de lec-
5 tura/programa se emplea solo para obtener direccionamien-
to apropiado de las funciones dentro de las memorias de -
importa y no importa y de marca y de falta de marca dentro
de cada una de las memorias de marca/importa de canal y
los elementos de comparación de 3 a 7 ilustrados en la figura
10 1. De la descripción de la figura 1 que se establece an-
teriormente, se recordará que hay una configuración de me-
morias tanto de importa como de no importa así como de mar-
ca y de falta de marca dentro de cada una de las memorias
de marca/importa de canal y de los elementos de compara-
15 ción 3 - 7 y cada una de las configuraciones de memoria en
los mismos puede cargar o interrogar ocho bitios de infor-
mación para cada uno de los programas para un canal asocia-
do con los mismos y hasta ocho programas pueden ser alma-
cenados en ellos. La designación de una ubicación de pro-
20 grama apropiado se logra por medio de la dirección descri-
ta en conjunto con el elemento contador de número de pro-
grama 155 que sigue; sin embargo, ya sea que se dirija
o no una configuración de memoria de importa y de no impor-
ta y de marca o de falta de marca, lo determinará la sali-
25 da en el terminal designado programa importa/marca, mien-
tras que si la memoria debe ser interrogada o debe escribir-
se, lo determinará el terminal de salida designado forma
de lectura/programa. El terminal de salida designado pro-
grama importa/marca está conectado directamente a través
30 de los conductores 206 y 195 a la segunda salida del ele-



1 mento contador de secuencia de forma de programa 154 y las
personas entendidas en la materia, apreciarán que cuando -
hay un nivel alto en el conductor 206, indicando que ha si-
do leída la segunda tarjeta en una secuencia de programa,
5 la condición de salida de importa en la terminal de Pro-
grama Importa/Marca queda indicada, mientras que cuando hay
en ella un nivel bajo, el direccionamiento de las memorias
de marca se logran suponiendo que hay otras condiciones
apropiadas presentes.

10 Una segunda entrada a la puerta OR 207 es-
tá conectada a la tercer salida del elemento contador de
secuencia de forma de programa 154 y por lo tanto la puerta
OR 207 actuará de manera convencional para proporcionar -
un nivel alto a la salida de la misma conectada al conduc-
15 tor 208 cuando cualquiera de las entradas a la misma está en
nivel alto indicando que o bien ya leído y cargado una -
tarjeta de programa de importa/no importa o se ha explora-
do y cargado una tarjeta de programa de marca/falta de mar-
ca en las redes de conversión de formato de canal de 50A
20 a 50E ilustradas en la figura 2, durante la forma de fun-
cionamiento de programa. La salida de la puerta OR 207 es-
tá conectada a través de los conductores 208 y 210 a una
primera entrada de la puerta AND 211 cuya salida está in-
vertida y actúa de manera bien conocida para proporcionar
25 una salida de nivel bajo sólo cuando ambas de las entra-
das a la misma estan en nivel alto. En la puerta AND 211
está presente dentro de la disposición de salida de con-
trol indicada por el bloque de líneas punteadas 158 y la
salida de la puerta AND 211 está conectada al terminal de
30 forma de lectura/prógrama como se describió anteriormente.



1 La segunda entrada a la puerta AND 211 está conectada a
través del conductor 212 a la salida de una puerta OR -
214 cuyas entradas están conectadas respectivamente a -
5 dos salidas del elemento contador de control de memoria
153 conectado a los conductores 191 y 192 a través de los
conductores 215 y 216 respectivamente.

De esta manera, la puerta OR 214 actúa de
manera similar a la puerta OR 207 para proporcionar una
salida de nivel alto en el conductor 212 solo cuando una
10 de las entradas a la misma desde los conductores 191 y -
192, está en nivel alto. Un nivel alto en los conduc-
tores 191 o 192, como se recordará, representa una orden
de carga de ocho bitios superiores o inferiores y también
se apreciará que al cargar las memorias de importa / no
15 importa y de marca / falta de marca, debe emplearse una -
técnica de carga de dos pasadas ya que deben cargarse die-
ciseis bitios de información. Por consiguiente, las -
personas entendidas en la materia, apreciarán que la -
salida de la puerta AND 211 conectada al terminal de -
20 marca de forma de lectura / programa se pondrá en nivel
bajo solo cuando ambas de las entradas a la misma -
están en nivel alto para generar de esta forma una se-
ñal que las memorias de marca / falta de marca, o de im-
porta / no importa, tienen que ser cargadas por informa-
25 ción de programa y que las entradas a la puerta AND 211 es-
tán en tal forma como para asegurar que se han leído y car-
gado las tarjetas de programa de importa o de marca y que
la red de dirección de memoria de escritura / lectura y de
30 selección mostrado en la figura 3 está en forma de funcione



1 miento de programa y que se ha emitido una orden para cargar ocho bitios de información ya sean superiores o inferiores en una secuencia de dos pasadas por medio del elemento contador de control de memoria 153.

5 Sin embargo, cuando una de las entradas a la puerta AND 211, está en nivel bajo, tal como el que puede ser provocado, por ejemplo, al establecer una forma de funcionamiento de lectura en el aparato de dirección de memoria de escritura/lectura y de selección mostrado en la
10 figura 3, la salida de la puerta AND 211 irá a un nivel alto para aplicar de esta forma una señal de interrogación a una de las memorias de importa y no importa de marca y de falta de marca presentes en cada una de las memorias de marca/importa y elementos de comparación 3 - 7 asociados
15 con cada uno de los canales de información. Por lo tanto, las personas entendidas en la materia apreciarán que, los terminales marcados como Programa Importa/Marca y Forma de Lectura/Programa, que se utilizan exclusivamente para las configuraciones de memoria de importa y no importa y
20 de marca y de falta de marca, dentro de cada una de las memorias de marca/importa de canal y de elementos de comparación 3 - 7, como se describirá en forma más completa en conjunto con la figura 4, definen cual de las dos configuraciones de memoria para cada uno de los canales es la
25 que se va a habilitar y si dicha habilitación es para fines de interrogación o de programación.

30 La salida de la puerta OR 214 también está conectada a través del conductor 212 a una entrada de la puerta AND 218. Una segunda entrada a la puerta AND 218 está conectada a través de los conductores 170 y 160 a la

1 salida \bar{Q} del circuito basculante de programa/lectura 150
el que, como se recordará, se pone en nivel alto al esta-
blecer una forma de funcionamiento de lectura en el aparato
5 de dirección de memoria de escritura/lectura y de control
de selección mostrado en la figura 3. Por lo tanto, las
personas entendidas en la materia, apreciarán que la sa-
lida de la puerta AND 218 que está conectada al terminal
anotado como Lectura Interrogación se pondrá en nivel
alto solo cuando se ha establecido una forma de funciona-
10 miento de lectura en el aparato de dirección de memoria de
escritura/lectura y control de selección mostrado en la -
figura 3 y cuando el elemento contador de control de memo-
ria 153 ha emitido una orden para cargar los ocho bitios
ya sea superiores o inferiores de la tarjeta de datos que
15 se está explorando y que en ese momento está sometida a -
selección. La salida de la puerta AND 218 anotada Lectura
de Interrogación es aplicada al elemento de decisión de
memoria de control 8 ilustrado en la figura 1 y se emplea
para hacer que se comparen los datos almacenados en la
20 misma con los datos procesados leídos de la tarjeta de da-
tos de la manera que se describirá en detalle en conjunto
con la figura 5.

La terminal final asociada con la disposición
de salida de control indicada por el bloque de líneas pun-
25 teadas 158 está conectada al conductor 175 y está anotada
Forma de Lectura Inhibición de Impresión. El conductor 175
está conectado a través de los conductores 174, 173, 172 y
159 a la salida Q del circuito basculante de lectura de pro-
grama 150 y se emplea para inhibir la impresión durante la
30 forma de funcionamiento de programa. Esta salida se desarrolla



1 debido a que durante el funcionamiento de programa se trans-
fiere tal cantidad de información que podría dar por resul-
tado una operación de impresión debido a las salidas pará-
sitas al aparato de impresión electrofotográfico tal como
5 el que se describe en conjunto con la patente de los Esta-
dos Unidos número 3.700.324. Por lo tanto, el nivel de in-
hibición generado en el conductor 175 puede ser empleado
para evitar que se pase cualquier señal de selección erró-
nea generada al circuito lógico y de control mostrado en
10 la figura 4 de dicha patente.

La salida del contador de secuencia de forma
de programa 154 conectada al conductor 194 adicionalmente
está conectada al conductor 167 como una entrada a la puer-
ta AND 165. Puesto que el conductor 194 tendrá un nivel al-
15 to en el mismo cada vez que se han leído tres tarjetas de
programas, dicho nivel alto es dejado pasar a través del
conductor 167 para habilitar la puerta AND 165 a fin de -
aceptar una orden de detención de programa en el conductor
166, como se mencionó anteriormente. Sin embargo, si no se
20 ha leído un múltiplo de tres tarjetas de programa para ca-
da una de las secuencias de programa establecidas no se es-
tablecerá un nivel alto en el conductor 194 y por lo tanto
la puerta AND 165 quedara deshabilitada. Esta entrada a la
puerta AND 165, por lo tanto, proporciona una seguridad de
25 que antes de hacer que el circuito basculante de lectura
de programa 150 se pase a la forma de lectura al finalizar
un ciclo de programa, sólo las secuencias completas de tres
tarjetas de programa han sido procesadas y que no ha sido
cargada ninguna información de programa parcial. Se verá
30 de esta manera que de una forma similar a la que el elemen-

1 to contador de control de memoria 153 se cicla a través
de tres etapas para lograr una carga de dos pasadas para
cada uno de los dieciseis bitios de información de canal
que se lee de cada una de las tarjetas de datos o de las;
5 tarjetas de programa exploradas, el elemento contador de
secuencia de forma de programa 154 cicla a través de una
secuencia de tres etapas para cada una de las tres tarje-
tas de programa que se requieren para la inserción de cada
uno de los programas en la presente invención y se verá -
10 que las salidas tanto al elemento contador de control de
memoria 153 como al elemento contador de secuencia de -
forma de programa 154 son procesadas lógicamente para propor-
cionar una pluralidad de salidas de control ensambladas -
dentro de la disposición de salida de control indicada por
15 el bloque de líneas punteadas 158 para asegurar que la in-
formación de programa es insertada o leída de la configura-
ción de memoria apropiada dentro de la configuración de
memoria de importa/no importa, de la configuración de mar-
ca/falta de marca y de la memoria de control así como del
20 elemento de decisión que se emplea dentro de la presente
invención.

25 La puerta AND 219 está conectada a través de
los conductores 220 y 196 a la salida del elemento conta-
dor de secuencia de forma de programa 154 y produce un ni-
vel alto de salida cada vez que el elemento contador de
secuencia de forma de programa 154 está funcionando en la
tercer tarjeta de la secuencia de recuento de tres tarje-
tas y por lo tanto se pone en bajo cada vez que un progra-
ma de tres tarjetas ha sido cargado durante el funciona-
30 miento en forma de programa. La puerta AND 219 forma una



1 puerta de programa de escritura que actúa durante el fun-
cionamiento de forma de programa para suministrar el orden
de salida o impulso positivo al elemento contador de nú-
mero de programa 155 cada vez que se ha cargado un progra-
5 ma. De esta forma; el elemento contador de número de progra-
ma 155 acumula una cuenta que corresponde al numero total
de programas almacenados durante un funcionamiento en for-
ma de programa y a través de la acción conjunta de cuatro
10 elementos de cierre de bitio 156 y el elemento comparador
157, como se describirá posteriormente, puede ser recicla-
do durante una forma de funcionamiento de lectura a medida
que cada rutina de programa se corre para proporcionar una
indicación de la salida del elemento comparador 157 cuando
15 la totalidad de las rutinas de programa cargadas ha sido
aplicada a la lectura de los datos desde una tarjeta deter-
minada que está pasando por una selección. Puesto que la
puerta de programa de escritura formada por la puerta AND
219 puede tomar la forma de cualquier puerta AND conven-
cional, actúa de manera bien conocida para producir una sa-
20 lida de nivel alto cuando ambas de sus entradas están en
nivel alto, mientras que produce una salida de nivel bajo
para todas las otras condiciones de entrada. Una segunda -
entrada a la puerta AND 219 está conectada a través de los
conductores 221 y 159 a la salida Q del circuito basculan-
te de programa/lectura 150 de tal manera que la puerta AND
25 219 queda debidamente habilitada solo cuando la red de direc-
ción de memoria de escritura/lectura y control de selección
mostrado en la figura 3, esta en forma de funcionamiento
de programa. Cuando queda en esta forma debidamente habili-
30 tada, cada vez que el elemento contador de secuencia de -

1 forma de programa 154 completa la segunda tarjeta de una
secuencia de recuento de tres tarjetas, la salida de la
puerta AND 219, de acuerdo como está conectada al conduc-
tor 222, irá a un nivel alto hasta que una de las entradas
5 a la puerta de programa de escritura formada por la puerta
AND 219 va nuevamente a un nivel bajo ya sea al completar
un ciclo de recuento el elemento contador de secuencia de
forma de programa 154 o al terminar el funcionamiento en
forma de programa establecido por el circuito basculante
10 de programa/lectura 150. La salida de la puerta de progra-
ma de escritura formada por la puerta AND 219 está conecta-
da a través del conductor 222 a una entrada de una puerta
OR 223.

15 La puerta OR 223 puede tomar cualquiera de
las formas convencionales de esta clase bien conocida de
dispositivos que actúa para producir un nivel alto a la -
salida del mismo cuando cualquiera de sus entradas está
en nivel alto. La salida de la puerta OR 223 está conectada
a través del conductor 224 a la entrada de recuento del ele-
20 mento contador de número de programa 155, De manera similar,
la segunda entrada a la puerta OR 223 está conectada a tra-
vés de un conductor 225 a la salida de una puerta AND 226
la cual, como se indica en la figura 3, forma una puerta de
programa de lectura. La puerta 226 de programa de lectura
25 funciona solo durante la forma de funcionamiento de lectura
para aplicar impulsos que se van haciendo positivos a la en-
trada del contador de número de programa 225 a través de
la puerta OR 223 para indicar el número de secuencias de
30 programas a la que se somete un conjunto determinado de lec-
tura de datos de una tarjeta de datos que se está exploran-



1 do. Puesto que la puerta de programa de lectura formada
por la puerta AND 226 sólo funcionará en la forma de fun-
cionamiento de lectura, se conecta una primera entrada a
la misma a través de los conductores 169 y 168 hasta la sa
5 lida \bar{Q} del circuito basculante 150 de programa/lectura.
Por lo tanto, como apreciaran las personas entendidas en
la materia, la puerta de programa de lectura formada por
la puerta AND 226 sólo quedará debidamente habilitada de
tal forma como para ser capaz de aplicar impulsos que se -
10 van haciendo positivos a la entrada del elemento contador
de número de programa 155, cuando la salida \bar{Q} del circuito
basculante 150 de programa/lectura está en una condición
de nivel alto indicando que se establece una forma de fun-
cionamiento de lectura.

15 En la forma de funcionamiento de lectura, el conta-
dor de secuencia de forma de programa 154, se deshabilita
por medio del nivel de redistribución establecido en el -
conductor 198 puesto que se habrá medido aquí el número
de programas que han sido pasados por el número de ciclos
20 completos pasados en el elemento contador de control de me-
moria 153 a medida que la información leída de una tarjeta
de datos que está pasando un proceso de selección es car-
gada a la red de conversión de formato de canal apropiada
50A - 50E asociada con el mismo posteriormente se aplica
25 en pares de pasadas de ocho bitios a cada uno de los pro-
gramas almacenados en las redes de memoria de marca/import-
ta de canal y de comparación y de la memoria de control y
la red de decisión 8. Por lo tanto, como apreciaran las per-
sonas entendidas en la materia, cada vez que se aplica un
30 nivel alto por medio del elemento contador de control de



1 memoria 153 al conductor de salida 192, queda indicada la
secuencia de un programa determinado para la tarjeta de -
datos explorada. Por esta razón, el conductor 192 está co-
5 nectado a través del conductor 227 a la segunda entrada de
la puerta de programa de lectura formada por la puerta AND
226 y las personas entendidas en la materia apreciarán que
cuando la puerta de programa de lectura formada por la puer-
ta AND 226 es habilitada por el establecimiento de la for-
ma de funcionamiento de lectura, cada uno de los niveles
10 altos aplicados a los conductores 192 y 227 hará que la sa-
lida de los mismos se ponga en nivel alto para en esta -
forma indicar que se ha completado una secuencia de progra-
ma. Cada uno de los niveles altos presentes a la salida de
la puerta AND 226 será aplicado a través del conductor 225
15 a la puerta OR 223 y dará por resultado un impulso positi-
vo a la entrada del elemento contador de número de progra-
ma 155 de la misma manera que se describió para la puerta
de programa de escritura formada por la puerta AND 219.

20 El elemento contador de número de programa
155 puede tomar la forma de cualquier contador convencional
binario de cuatro bits tal como el que puede obtenerse.
en forma estandar de Texas Instrument Corporation como la
pastilla SN7493. El elemento contador de número de progra-
ma 155, de esta forma, es capaz de almacenar una cuenta de
25 hasta dieciseis (16); sin embargo, puesto que solo se con-
sideran ocho (8) programas en la presente invención, se -
apreciará de que en efecto solo necesitan emplearse las -
tres primeras etapas del mismo. La entrada de recuento al
elemento contador 155 está conectada, como se mencionó an-
30 teriormente, a la salida de la puerta OR 223, mientras que



1 la entrada de redistribución al mismo esta conectada a tra-
vés del conductor 228 a la salida de una puerta OR 229. El
borde trasero de un impulso de nivel positivo o alto apli-
cada al conductor 224 hará que se incremente el elemento -
5 contador de número de programa 155, mientras que un nivel
alto aplicado al conductor 228 hará que se redistribuya el -
mismo. Una primera entrada a la puerta OR 229 está conec-
tada a través del conductor 183 al terminal anotado Partida
y por lo tanto el nivel alto aplicado al mismo durante la
10 porción inicial de un ciclo de alimentación de tarjetas de
programas o tarjetas de datos servirá para poner a cero -
cualquier cuenta que haya quedado en el contador de número
de programa 155. La segunda entrada a la puerta OR 229 es-
tá conectada a través del conductor 230 a la salida de una
15 red de retardo convencional 231, tal como una red RC, o
una red similar. La red de retardo, recibe una entrada en
el conductor 232 cuya finalidad se describirá posteriormente
y después de un retardo aproximado de uno y medio milise-
gundos (1,5 ms) actúa para aplicar una señal de entrada re-
20 cibida en el conductor 232 a la entrada de la puerta OR 229.
De esta manera, puesto que la puerta OR 229 es convencio-
nal, se apreciará que cualquier nivel alto aplicado a cual-
quiera de las entradas de la misma en los conductores 183
ó 230 dará por resultado la redistribución del elemento con-
25 tador de número de programas 155.

Las cuatro (4) salidas del contador de núme-
ro de programas 155 están conectadas a través de los con-
ductores 234 - 237 a las entradas A_0-A_3 del elemento com-
parador 157 y a través de los conductores 238 - 241, res-
30 pectivamente, a las correspondientes entradas $D_1 - D_4$ del



1 elemento de cierre de cuatro bitios 156. Aun cuando se emplean
cuatro salidas del elemento contador de número de programas
155, se apreciará que solo tres salidas del mismo en los con-
5 ductores 234-236 y 238-240 son las que se requieren para indi-
car una carga de ocho programas dentro del elemento contador
de número de programas 155 y por lo tanto la cuarta salida -
del mismo de acuerdo como se aplica a los conductores 237 y 241,
puede ser omitida o alternativamente se puede confiar en ella
para la decodificación de una condición que indicaría la car-
10 ga de más de ocho programas y luego sería impuesta como una -
condición de entrada adicional de la puerta AND 165 como se
mencionó anteriormente. Adicionalmente, las tres salidas del
contador de número de programas 155 en los conductores 238-
240, cuyos tres conductores se usan de manera efectiva pa-
15 ra designar una carga de programas 1 - 8 para una secuen-
cia de carga de programas completa, se conectan a los ter-
minales anotados bitio A, bitio B y bitio C. Estos termina-
les se emplean para dirigir las diferentes memorias pre- -
sentes dentro de la memoria de marca/importa de canal y de
20 los elementos de comparación 3-7 y la memoria de control y
el elemento de decisión de comparación 8 y pueden designar
como apreciarán las personas entendidas en la materia, hasta
ocho ubicaciones de almacenamiento de programa. El terminal
anotado Memoria de Dirección de bitios Superiores/inferiores
25 indicado en la figura 3, se emplea para dirigir los bitios ya
sea superiores o inferiores de cada una de las direcciones de
memoria definidas por los bitios A-C cuando se divide una se-
cuencia de dieciseis bitios en dos pasadas de ocho bitios.

30 El elemento de cierre de cuatro bitios 156
puede ser convencional si actúa de manera bien conocida -



1 para cargar cada una de las entradas aplicadas a las en-
tradas $D_1 - D_4$ del mismo y aplicar dichas entradas a las
salidas $Q_1 - Q_4$ cuando son habilitadas debidamente pero al
deshabilitar las mismas actúa para retener las últimas en-
5 tradas cargadas a las salidas de los mismos. Un cierre -
retenedor típico de cuatro bitios que es apropiado, queda
ejemplificado por la pastilla de configuración de cierre
SN7475 obtenible de Texas Instrument Corporation. La en-
trada de habilitación al elemento de cierre de cuatro bi-
10 tios 156 es suministrada a través de los conductores 243
y 168 y del inversor 245 desde la salida \bar{Q} del circuito -
basculante de lectura de programa 150. Por lo tanto, como
se recordará que la salida \bar{Q} del circuito basculante 150
es de nivel alto durante la forma de funcionamiento de lec-
15 tura y de nivel bajo durante la forma de funcionamiento
de programa, la inversión de esta salida por medio del inver-
sor convencional 245 dará por resultado la habilitación -
del elemento de cierre de cuatro bitios 156 durante una -
forma de funcionamiento de programa y la deshabilitación
20 del mismo durante la forma de funcionamiento de lectura.
Esto significa que el elemento de cierre de cuatro bitios
156 almacenará la cuenta de bitios manifestada por el elemen-
to contador de número de programa 155 durante una forma de
funcionamiento de programa y luego será deshabilitado de -
25 tal manera que la cuenta de los programas almacenados se -
mantiene en el mismo hasta que se inicia una nueva opera-
ción de programación. Cada una de las salidas del elemento
de cierre de cuatro bitios 156 se aplica a través de los -
conductores 246 - 249 a las entradas de $B_0 - B_3$ del elemen-
30 to comparador 157. Por consiguiente, las personas entendi-



1 das en la materia apreciaran que, durante la forma de fun-
cionamiento de programa, la cuenta de programas manifesta-
da por el elemento contador de número de programas 155 se
5 aplica a las entradas D_1-D_4 del elemento de cierre de cua-
tro bitios 156 y se almacena en el mismo de tal manera como
para ser reflejada a la salida del mismo conectadas a los
conductores de 246 a 249. Sin embargo, cuando el aparato -
de dirección de memoria de escritura/lectura y de control
de selección que se muestra en la figura 3 cambia a una -
10 forma de operación de lectura, la última cuenta del elemen-
to contador del número de programas 155, lograda durante
la forma de funcionamiento de programa, se mantiene en el
elemento de cierre de cuatro bitios 156 y posteriormente es
15 ta cuenta es reflejada a la salida del mismo y aplicada a
través de los conductores 246 - 249 a las entradas $B_0 - B_3$
del elemento comparador 157.

El elemento comparador 157 puede tomar cual-
quier forma convencional de un comparador de cuatro bitios
que actúa, cuando se habilita, para comparar cada una de -
20 las entradas correspondientes aplicadas a los dos conjun-
tos de cuatro entradas $A_0 - A_3$ y $B_0 - B_3$, y para suminis-
trar un nivel alto a la salida del mismo cuando se obtiene
como resultado una identidad entre cada una de las entra-
das comparadas. El elemento comparador 157 tiene la entra-
25 da de habilitación del mismo conectada a través de los conduc-
tores 250, 170 y 160 a la salida \bar{Q} del circuito basculante
de programa/lectura 150 y las personas entendidas en la ma-
teria apreciarán que cuando el circuito basculante de pro-
grama/lectura 150 está en la condición de lectura se apli-
30 ca un nivel alto a la entrada de habilitación del elemento



1

comparador 157 para habilitar el elemento comparador a fin de efectuar una operación de comparación entre los bitios correspondientes de las dos entradas de cuatro bitios suministradas al mismo, La salida del elemento comparador 157

5

se aplica al conductor 251 conectado al terminal marcado Decisión de Salida y se apreciará que cuando se obtiene como resultado una comparación favorable, habrá un nivel alto en el conductor 251 y en el terminal anotado Decisión de Salida, conectado al mismo.

10

La salida presente en el terminal marcado Decisión de Salida se emplea, como se verá en conjunto con la figura 5, para imponer una acción de puerta a la memoria de control y al elemento de decisión de comparación 8 de tal manera que la señal de selección pueda dejarse pasar por el mismo después de que se han corrido todas las secuencias de programa cargadas para una operación de selección determinada y para un conjunto de datos obtenidos de una tarjeta de datos explorada y que pasa por la selección.

15

20

De esta forma, el nivel de salida en el conductor 251 conectado al terminal marcado Decisión de Salida, se emplea para proporcionar una indicación y una señal que se deja pasar con medición de tiempo apropiado que es indicativa de que todos los procesamientos de selección para todos los programas cargados se han corrido para una tarjeta determinada que esta pasando por una operación de procesamiento de selección.

25

30

Por las funciones detalladas del elemento de contador de número de programa 155, del elemento de cierre de cuatro bitios 156 y del elemento comparador 157, se verá que la red formada por los mismos proporciona dos -



1 funciones distintas dentro de la red de dirección de memo-
ria de escritura/lectura y de control de selección mostra-
do en la figura 3. La primera función, se logra durante
5 una forma de operación de programa en la que el elemento
comparador 157 se deshabilita por medio del nivel bajo que
hay en el conductor 250. De esta manera, en una forma de
funcionamiento de programa, cada uno de los programas car-
gados como queda indicado por el ciclado del elemento con-
10 tador de secuencia de forma de programa 157 es contado por
el elemento contador de números de programas 155 y cargado
en el elemento de cierre de cuatro bitios 156. Al comple-
tar la secuencia de programación que se está llevando a -
cabo, el elemento de cierre de cuatro bitios 156 se desha-
15 bilitará y por lo tanto mantendrá una cuenta que correspon-
de al número total de programas cargados durante la forma
de funcionamiento de programa como fue contado original-
mente en el elemento contador de número de programas 155.
El elemento contador de número de programas 155 se redis-
pone después y es activado para contar cada uno de los ci-
20 clos de programa contra los cuales se procesan los datos -
leídos de las tarjetas de datos que pasan por una operación
de selección. Durante la forma de operación de lectura, el
elemento comparador 157 se habilita, y por lo tanto a me-
dida que se inicia cada uno de los ciclos de programa pa-
25 ra un grupo determinado de datos como queda indicado por
el ciclado del elemento contador de control de memoria 153
el contador de número de programas se incrementa y el es-
tado de la cuenta del mismo se aplica a través de los con-
ductores 234 - 237 a las entradas A_0-A_3 del elemento com-
30 parador 157. Adicionalmente el elemento comparador 157 re-



1

5

10

15

20

25

30

cibe una indicación de cuenta a través de los conductores 246 - 249 acerca del número total de programas almacenados de acuerdo como es mantenido en el elemento de cierre de cuatro bitios 156. Cuando el número total de rutinas de programas que se ha corrido para un grupo determinado de datos obtenidos de una tarjeta que pasa por una rutina de selección, de acuerdo como queda indicado por la salida del elemento contador de número de programas 155, corresponde al número total de programas cargados durante la forma de funcionamiento de programa, como queda indicado por la condición de recuento mantenida en el elemento de cierre de cuatro bitios 156, se producirá un nivel alto a la salida del elemento comparador conectado al conductor 251 para de esta forma proporcionar una indicación lógica que los datos leídos de la tarjeta que está pasando por la rutina de selección han sido expuestos para cada una de las secuencias de programa de información de selección almacenada y por lo tanto pueden obtenerse como salida una decisión final con respecto a las condiciones de selección impuestas por los diferentes programas.

El conductor de salida 251 conectado a la salida del elemento comparador 157 está conectado a través de los conductores 252, 232 y 184 y se apreciará que las salidas de nivel alto sólo se aplican al mismo durante la forma de funcionamiento de lectura puesto que esta es la única forma de funcionamiento que ha sido habilitada para el elemento comparador 157. El conductor 232 está conectado, como se menciona anteriormente, a la entrada del elemento de retardo 231 y por lo tanto cuando se proporciona una salida de nivel alto por medio de la salida del elemen

1 to comparador 157 al conductor 251, se aplicará un impulso
de redistribución por medio del elemento de retardo 231 a la
puerta OR 229, a través del conductor 230, para provocar
la redistribución del elemento contador de número de programa
5 ma 155, de la forma que se describió anteriormente. Por lo
tanto, como se apreciará el elemento contador de número de
programas 155 se redistribuye de forma efectiva a uno y medio
milisegundos (1,5 ms) después de que la salida del elemento
comparador 157 va a un nivel alto y al redistribirse las en-
10 tradas al elemento comparador 157 en los conductores 234-
237, ya no se comparará a las de los conductores 246-249 y
se verá que la acción del elemento de retardo 231 en forma
efectiva deja pasar las salidas del elemento comparador -
15 157 de tal manera que el nivel alto aplicado a los conduc-
tores 251 y 252, cuando se obtiene una comparación, solo
manifestarán una duración de uno y medio milisegundos (1,5
ms) debido a la redistribución subsecuente del elemento -
contador de número de programas 155 durante este intervalo.
Adicionalmente, la aplicación de un nivel alto en el conduc-
20 tor 251 a través de los conductores 252 y 184 a la entrada
de la puerta OR 181, actuará para redistribuir el circuito
basculante de interrogación 151 de la manera que se des-
cribe anteriormente. Por lo tanto, como apreciarán las per-
25 sonas entendidas en la materia en la forma de funciona-
miento de lectura, una vez que el circuito basculante de inte-
rrogación 151 es dispuesto por medio de un impulso de ci-
clo de memoria de partida aplicada a la entrada de redis-
posición del mismo, habilitará al elemento generador de
impulsos 152 para ciclar continuamente al elemento conta-
30 dor de control de memoria 153 hasta que han sido leídos to-



1 dos los programas almacenados y posteriormente se redis-
pone el circuito basculante de interrogación 151. El apa-
rato de dirección de memoria de escritura/lectura y de con-
5 trol de selección mostrado en la figura 3 se apreciará de
manera más completa al considerar la operación del mismo
en cada una de las formas de funcionamiento de programa y
de lectura establecidas-.

FORMA DE FUNCIONAMIENTO DE PROGRAMA

10 Si se supone que la presente invención se -
emplea dentro de los sistemas de impresión electrofotográ-
fica tales como los que se describen en la patente de los
Estados Unidos número 3.700.324, las personas entendidas
en la materia apreciarán que, una pasada típica de selec-
15 ción, por lo que se refiere al aparato de dirección de me-
moria de escritura/lectura y de control de selección mos-
trado en la figura 3, implicará la energización del aparato
de impresión electrofotográfico, la carga de una pila
de tarjetas de programa apropiada y posteriormente la car-
20 ga de las tarjetas de datos apropiadas que van a pasar por
el procedimiento de selección programado. Cuando el sistema
de impresión electrofotografico se energiza y se inicia la
alimentación de la pila de tarjetas de programa, un nivel
alto inicial se aplicará al terminal marcado Principio co-
25 nectado al conductor 183 que persistirá durante un corto
intervalo y luego irá a un nivel bajo, como se mencionó
anteriormente. El nivel alto inicial establecido en el con-
ductor 183 será aplicado a través de la puerta OR 229 pa-
ra provocar una redistribución del contador de números de
30 programa 155 y ser adicionalmente aplicada al conductor -



1

182. El nivel alto en el conductor 182 se aplica a través del conductor 200 y la puerta OR 199 para efectuar la redistribución del contador de secuencia de forma de programa 154 y a través de la puerta OR 181 y el conductor 178 para

5

efectuar de manera similar la redistribución del circuito basculante de interrogación 151 de tal manera que haya presente un nivel bajo a la salida Q del mismo, el que es transportado a través del conductor 186 para redistribuir al

10

elemento contador de control de memoria 153. Adicionalmente, cuando se establece la energización del sistema de impresión electrofotográfico que se está considerando, el circuito de un solo paso 162 tendrá un nivel alto para aplicar un alto nivel al conductor 161 y de esta forma disponer el circuito basculante de programa/lectura 150. El

15

circuito de un solo paso 162 automáticamente se redistribuirá después para poner un nivel bajo en el conductor 161; sin embargo, el circuito basculante de programa/lectura 150 quedará retenido en la condición dispuesta establecida y por lo tanto en una forma de funcionamiento de programa,

20

hasta que sea redistribuido al aplicarse un nivel alto al conductor 164.

25

Después de que se establecen estas condiciones iniciales, cada una de las tarjetas de programa cargadas será alimentada y explorada individualmente en secuencia y los datos obtenidos de las mismas son procesados de la manera descrita en conjunto con la figura 2. A medida

30

que son explorados y transformados los datos de cada una de las tarjetas al formato paralelo y son cargados en las redes de conversión de formato de canal 50A - 50E, se producirá una señal de ciclo de memoria de partida por medio



1 de la puerta AND 116 ilustrada en la figura 2 de la mane-
ra que se describe anteriormente. Si ha sido cargada una
pila de tarjetas de programa adecuadas, la primer tarje-
ta de cada una de las secuencias de tres tarjetas será una
5 tarjeta de programa de control, la segunda tarjeta será
una tarjeta de programa de importa/no importa y la tercer
tarjeta cargada será una tarjeta de programa de marca/fal-
ta de marca en las que la tarjeta de programa de control
sólo contiene cuatro bitios de información de programa -
10 apropiada en la columna de la misma asociada con el canal
A, mientras que ambas de las tarjetas de programa de impor-
ta/no importa y de marca/falta de marca pueden contener
una información de programa apropiada de cinco columnas -
completas asociadas con la función de la tarjeta se requie-
15 re la secuencia de tres tarjetas completas para la carga
de cada uno de los programas. Se vera de esta forma que la
información de programa de la tarjeta de control de cada -
una de las secuencias de programa sólo se carga en las pri-
meras cuatro ubicaciones de bitio de la red de conversión
20 de formato de canal A 50A mostrada en la figura 2, mientras
que tanto la información de programa de importa/no impor-
ta como la información de programa de marca/falta de mar-
ca pueden ser cargadas en la totalidad de las cinco redes
de conversión de formato de canal de 50A - 50E ilustradas
25 en la figura 2.

30 Cuando se aplica el primer impulso de ciclo
de memoria de partida al circuito basculante de interroga-
ción 151, la informacion de programa de la tarjeta de con-
trol de programa habrá sido cargada de esta forma en la red
de conversión de formato de canal A 50A, mostrado en la -



1 figura 1. El primer impulso de ciclo de memoria de partida
aplicada a la entrada de predisposición del circuito bas-
culante de interrogación 151 hará que el circuito bascu-
lante de interrogación 151 se coloque en su estado dispues-
5 to después de lo cual se aplica un nivel alto al conductor
186 y se aplica un nivel bajo al conductor 187 conectado
a la salida complementaria del mismo. Puesto que, como se
mencionó anteriormente, la red de dirección de memoria de
escritura/lectura y de control de selección mostrada en la
10 figura 3 ha sido establecida inicialmente en forma de ope-
ración de programa, el nivel alto que se pone en el conductor
186 junto con el nivel alto en el conductor 174 propor-
cionarán las condiciones de entrada apropiadas para la puerta
AND 188 a fin de producir un nivel alto en la terminal, ano-
15 tada Cuenta de Programa, después de lo cual se puede propor-
cionar una indicación de que la primera tarjeta de programa
ha sido leída y explorada y puede ser contada.

20 Cuando la salida del circuito basculante de
interrogación 151 conectada al conductor 187 va a un nivel
bajo, el generador de impulsos 152 se habilitará para produ-
cir impulsos, como se mencionó anteriormente, hasta que la
entrada del mismo conectada al conductor 187 nuevamente va-
ya a un nivel alto. A medida que cada uno de los impulsos
se aplica al conductor 190 por medio del elemento generador
25 de impulsos 152, cada uno de los impulsos se cuenta y los
diferentes estados de cuenta en el mismo son indicados en
los conductores 191 y 192. Cuando se aplica el primer im-
pulso por medio del elemento generador de impulsos a tra-
vés del conductor 190 al elemento contador de control de
30 memoria 153, se incrementa el estado de cuenta del mi-

1 mo desde el estado de disposición inicialmente establecido y
se proporciona un nivel alto en el conductor 191. El con-
ductor 191 está conectado a una entrada de la puerta AND
202 y por lo tanto el nivel alto del mismo establece una
5 de las condiciones de entrada apropiadas para la producción
de un nivel alto a la salida del mismo conectada al conduc-
tor 203 y al terminal marcado Memoria de Control de Progra-
ma. El terminal marcado Memoria de Control de Programa ac-
túa, como se menciona anteriormente, para controlar la carga
10 de la información desde la tarjeta de programa de control a
la configuración de memoria de control presente dentro de la
memoria de control y el elemento de decisión de compara-
ción 8 mostrado en la figura 1 y descrita en mayor detalle
en conjunto con la figura 5. Una segunda entrada a esta puer-
15 ta AND está conectada al conductor 194 en el elemento con-
tador de secuencia en forma de programa 155, mientras que
la tercera entrada a esta puerta se conecta a través de los
conductores 204, 173, 172 y 159 a la salida Q del circui-
to basculante 150 programa/lectura. Como el circuito bas-
20 culante 150 programa/lectura está en una condición fija -
indicativa de una operación de forma de programa, y el ele-
mento contador de secuencia de forma de programa 154 está
en un estado de redistribución en donde reside un alto nivel
en una salida de recuento del mismo conectado al conductor
25 194, se apreciará por las personas entendidas en la mate-
ria que todas las condiciones de entrada para la puerta AND
202 están presentes y un alto nivel será aplicado por és-
to al conductor 203 para proporcionar una carga a la señal
de memoria de control de programa.

30 Adicionalmente, cuando el elemento contador



1 de control de memoria 153 ha contado solo un impulso -
mientras hay presente un nivel alto en el conductor 191,
habrá presente un nivel bajo en el conductor 192. Este con-
ductor está conectado al terminal anotado bitios inferiores
5 /superiores en la esquina del lado derecho inferior de la
figura 3 y por lo tanto, como podrán apreciar las personas
entendidas en la materia, el nivel inferior del mismo se
emplea, en este caso, junto con el primero y el segundo de
los elementos multiplexor 92 y 93 asociados con la red de
10 conversión de formato de canal A en la figura 2, para pro-
vocar la aplicación de los bitios $B_1 - B_8$ a la salida del
primero y el segundo de los elementos multiplexor 91 y 93
y además, puede ser empleado como parte de la dirección de
memoria para cada una de las configuraciones de memoria
15 que van a ser cargadas con dicha información. Además, pue-
sto que se esta considerando aquí la primer tarjeta de con-
trol del primer programa cargado, el elemento contador de
número de programa 155 quedara en su condición redispues-
ta con lo que puede haber presente una salida baja en cada
20 uno de los conductores 238-240 y por lo tanto las termina-
les de los bitios marcados A - C quedarán en un estado de
cero para designar la dirección apropiada para la totalidad
de las configuraciones de memoria para el primer programa
que va a cargarse. Además, puesto que el circuito basculan-
25 te de lectura de programas 150 está en el estado de dispues-
to que es indicativo de la forma de operación de programa
establecida, se aplica el nivel alto presente en el conduc-
tor 159 a través de los conductores 173 y 175 al terminal
30 marcado Inhibición de Impresión de Forma de Lectura. La
salida de este terminal , como se indicó previamente, se



1

5

10

15

20

25

30

emplea para inhibir cualquier impresión en el aparato de impresión electrofotográfico del tipo descrito en la patente de los Estados Unidos número 3.700.324 durante la forma de funcionamiento de programa y por lo tanto habrá un nivel alto en este conductor a través del intervalo de la forma de funcionamiento de programa. De esta manera, como apreciarán las personas entendidas en la materia, cuando se establece una forma de funcionamiento de programa se lee la primera tarjeta o tarjeta de control del primer programa cargado, el primer impulso contado por el elemento contador de control de memoria 153 dará por resultado una señal de puerta para la memoria de control de programa en el conductor 203, el terminal del contador de programa conectado al conductor 189 tendrá en el mismo un nivel alto indicando que ha sido alimentada la primera tarjeta del programa, el terminal de Inhibición de Impresión en Forma de Lectura tendrá un nivel de inhibición establecido en el mismo mientras que los terminales de dirección de bitio conectados a los conductores 253 - 256 proporcionarán una dirección apropiada para cargar los ocho bitios superiores (los bitios $B_1 - B_8$) en una primera ubicación de memoria de programa dentro de las configuraciones de memoria empleadas en la presente invención.

Quando el elemento generador de impulsos 152 genera el segundo impulso y este es contado por el elemento contador de control de memoria 153, la salida en el conductor 191 se pone en nivel bajo mientras que la salida en el conductor 192 se pone en un nivel alto para proporcionar una orden de carga de los ocho bitios inferiores (los bitios $B_9 - B_{16}$) en el terminal conectado al conductor 256.



1

5

10

15

20

25

30

Puesto que el elemento contador de secuencia de número de programa 155 está aún en una condición de redistribución, habrá aún presente una condición de cero en los conductores 253 - 255 y por lo tanto aún hay reflejada en los mismos una primera dirección de programa. Cuando la condición de salida del conductor 191 se pone en nivel bajo, la puerta AND 202 sera deshabilitada por lo que el nivel de salida en el conductor 203 va a un nivel bajo para de esta forma eliminar la carga que ha establecido previamente la señal de memoria de control de programa. Sin embargo, como se recordará que la tarjeta de programa de control ha sido leída y que la información de programa de control solo reside en las primeras cuatro ubicaciones de bitios de canal A de esta tarjeta, es apropiada aquí la deshabilitación de la señal de carga para la memoria de control de programa puesto que no se refleja ningún dato legítimo en las ubicaciones de bitio de B_9 a B_{16} del canal A. Las restantes salidas de control asociadas con la disposición de salida de control indicada por el bloque en líneas punteadas 158, permanecerán en la condición previamente descrita en lo anterior; sin embargo, el nivel alto presente en el conductor 192 hará que la entrada a la puerta AND 177 conectada al condctor 180 se ponga en un nivel alto. Puesto que la primera entrada a la puerta AND 177 esta en nivel alto debido a su conexión a traves del conductor 172 hasta la salida Q del circuito basculante de programa/lectura 150, que está en un nivel alto para la forma de funcionamiento de programa, la salida de la puerta AND 177, que forma el extremo de escritura de la redistribución del ciclo para el circuito basculante de interrogación 151, irá a



1 un nivel bajo. Posteriormente, cuando el contador de control de memoria 153 cuenta el tercer impulso generado por medio del generador de impulsos 152 y la salida en los conductores 192 y 180 va a un nivel bajo para deshabilitar de esta forma la puerta AND 177, el borde trasero del impulso negativo previamente generado accionará para medir el tiempo del circuito basculante de interrogación 151 y por lo tanto hará que cargue el bajo nivel conectado a la entrada D del mismo provocando la redistribución que pone un nivel alto en el conductor 187 y deshabilita al elemento generador de impulsos 152. Además, la redistribución del circuito basculante de interrogación 151 hará que vaya - hasta un nivel bajo el nivel alto presente en el conductor 189 asociado con el terminal de recuento del programa.

15 De manera similar, como será obvio para las personas entendidas en la materia, cuando el segundo impulso aplicado al elemento contador de control de memoria 153 hace que la salida del conductor 192 vaya a un nivel alto, dicho nivel alto se aplicó a través de los conductores 193 al elemento contador de secuencia de forma de programa 154 y por lo tanto la redistribución del elemento contador de control de memoria 153 hará que el estado de cuenta que refleje el mismo sea incrementado al aparecer el borde de salida negativo producido en el conductor 193. De esta forma, después de que han sido contados por el elemento contador de control de memoria 153 los tres impulsos del elemento de generador de impulsos habilitado 152 en asociación con la lectura de la primera tarjeta insertada de la pila de tarjetas de programa, el circuito basculante de interrogación 151 estará en una condición de redistribución, el elemento contador de

1 control de memoria 153 estará en una condición de cero, y
el elemento contador de secuencia de forma de programa 154
habrá sido incrementado de tal manera que ahora hay un ni-
vel alto en el conductor 195 conectado a una salida del -
5 mismo. Además, se apreciará que durante el primer ciclo del
elemento contador de control de memoria 153, se produjo -
una primera salida de cuenta de programa en el conductor
189, se produjo una señal de carga de la memoria de con-
trol de programa en el conductor 203 en un momento que es-
10 tá apropiadamente sincronizado a la carga de los bitios -
superiores (los bitios $B_1 - B_8$) que contienen información
de programa de control y se estableció una señal de inhi-
bición de impresión de forma de lectura en el conductor 175.
Además, se estableció una dirección para el primer programa
15 en los conductores 253 - 255 y se presentaron señales de
puerta selectiva para las secuencias de bitios superiores
e inferiores de información; sin embargo, para el caso de
la tarjeta de programa de control explicado anteriormente,
sólo se estableció una señal de carga de la memoria de -
20 control de programa en el conductor 203 con la carga de los
bitios superiores puesto que solo son estos bitios los que
contienen información apropiada para la programación de la
configuración de memoria de control de programa.

25 Cuando se explora la segunda tarjeta de la pi-
la de tarjetas de programa cargada, la información de pro-
grama para cada una de las columnas de la misma será carga-
da en las redes de conversión de formato de canal 50A - 50E
y cuando la misma ha sido procesada apropiadamente se apli-
cará una señal de ciclo de memoria de partida a la entrada
30 de predisposición de circuito basculante 151 para habilitar



1 nuevamente el generador de pulsaciones 152 y hacer que la salida del contador de programa en el conductor 189 tenga un nivel alto para indicar que se ha explorado la segunda tarjeta de programa. Además, se apreciará que puesto que
5 el elemento contador de secuencia de forma de programa - 154 ha sido incrementado previamente como resultado del primer ciclo completo del elemento contador de control de memoria 153, hay un nivel alto en el conductor 195 y es transmitido a través del conductor 206 para producir un
10 nivel alto o señal de memoria de importa de programa al terminal de salida marcado como Programa Importa/Marca. Esta señal, como se recordará, se emplea para causar el almacenamiento selectivo de información en cualquiera de las configuraciones de memoria de importa o marca dentro
15 de cada una de las memorias de marca/importa de canal y de elementos de comparación 3 - 7 durante la forma de funcionamiento de programa. Además, se apreciará que la dirección especificada en los conductores 253 - 255 permanece como se especifica anteriormente.

20 Cuando el elemento generador de impulsos 152 genera un primer impulso en respuesta a la segunda señal de ciclo de memoria de partida aplicada al circuito basculante de interrogación 151 ésta es contada por el elemento contador de control de memoria 153 y la salida del mismo conectada al conductor 191 irá a nivel alto. Esta salida del elemento contador de control de memoria 153 está conectada a través de los conductores 191 y 216 a una entrada de la puerta OR 214. La puerta OR 214 actúa de manera bien conocida para producir un nivel alto cuando cualquiera de
25 las entradas a la misma va a un nivel alto y por lo tanto
30



1 cuando el elemento contador de control de memoria 153 cuenta
al primer impulso generado por el elemento generador de im-
pulsos 152, la puerta OR 124 produce una salida de nivel
alto que se aplica a través del conductor 212 a una de las
5 entradas de la puerta AND 211 cuya salida está invertida.
La salida de la puerta AND 211 está conectada al terminal
marcado Forma Lectura/Programa que se emplea, como se di-
jo anteriormente, para el funcionamiento de las configura-
ciones de memoria de marca/importa en cada una de las memo-
10 rias de marca/importa de canal y de las redes de compara-
ción 3 - 7 ilustradas en la figura 3. Una segunda entrada
a la puerta AND 211 está conectada a través de los conduc-
tores 210 y 208 a la salida de una puerta OR 207. Las entra-
das a la puerta OR 207 están conectadas a las salidas de
15 importa y marca del elemento contador de secuencia de forma
de programa 154 y por lo tanto puesto que se ha establecido
previamente un nivel alto en el conductor 195, la puerta
OR 207 actuará de manera similar a la de la puerta OR 214
para poner un nivel alto a la salida de la misma conecta-
20 da a los conductores 208 y 210. Por consiguiente, puesto
que ambas entradas a la puerta AND 211 están en nivel alto
y el nivel bajo es indicativo de un programa, la señal de
configuración de memoria de importa y marca, como se dijo
anteriormente, se aplica al terminal marcado forma lectura
25 /programa. De esta forma, las personas entendidas en la mate-
ria apreciarán que mientras haya presente un nivel alto o
de memoria de importa en el conductor 206 conectado al ter-
minal de programa importa/marca y haya presente un nivel
bajo en el terminal de forma de lectura/programa asociado
30 con una salida de control para las memorias de marca/importa



1 ta, también se proporciona un par de salidas que designan una forma de programación para la memoria de importa por medio de la disposición de salida de control indicada por el bloque de líneas punteadas 158.

5 Además, puesto que hay un nivel bajo presente en el conductor 192 conectado a la segunda salida del elemento contador de control de memoria 153, se proporcionará una señal de carga de los ocho bitios superiores a cada una de las redes de multiplexor asociadas con la pluralidad de redes de conversión de formato de canal 50A - 50E mostrados en la figura 2, mientras esta señal también se empleará, como se vera en conjunto con la figura 4, para dirigir adicionalmente las configuraciones de memoria de importa y no importa dentro de las memorias de marca/importa y los elementos de comparación asociados con cada uno de los canales. El estado del contador de número de programa 155, sin embargo, permanece redispuesto y por lo tanto, la dirección de la memoria proporcionada por los terminales conectados a los conductores 253 - 255, permanece apropiada para el primer programa.

15
20
25
30 Cuando el elemento contador de control de memoria 153 cuenta el segundo impulso generado por medio del elemento generador de impulsos 152, la salida del mismo conectada al conductor 192 se pondrá en alto mientras que la salida en el conductor 191 se pondrá en bajo. Puesto que la segunda entrada a la puerta OR 214 está conectada a través del conductor 215 hasta el conductor 192, permanecerá a un nivel alto a la salida de la puerta OR 214 y por lo tanto, el estado de la puerta AND 211 permanece sin cambio. Sin embargo, el nivel en el condctor de salida 256



1 conectado al conductor 192 y al terminal marcado Memoria
Dirección de Bitios Superiores/Inferiores aquí va a un ni-
vel alto y por lo tanto aún cuando las salidas de progra-
ma importa/marca y de forma de lectura/programa así como
5 las salidas de direcciones de memoria en los conductores
253 - 255 permanecen constantes, se suministra un nivel de
control en el conductor 256 que es apropiado para dejar
pasar los ocho bitios inferiores para cada uno de los cana-
les de información de importa/no importa que va a ser pro-
10 gramados en las configuraciones de memoria de importa pre-
sentes dentro de cada una de las memorias de marca/import-
ta y los elementos de comparación 3 - 7. Además, el nivel
alto en el conductor 192 se aplica a través del conductor
180 a la entrada de la puerta AND 177 que forma el extremo
15 de escritura de la redistribución del ciclo, como se men-
cionó y a través del conductor 193 a la entrada de recuen-
to del contador de secuencia de forma de programa 154. Por
lo tanto, cuando el elemento contador de control de memoria
20 153 cuenta el tercer impulso generado por medio del gene-
rador de impulsos 152 en el segundo ciclo que se está con-
siderando para provocar la redistribución del mismo, los -
bordes traseros de los impulsos generados en el conductor
179 redistribuirán el circuito basculante de interrogación
25 151 cargando la entrada D del mismo y haciendo que se in-
crementa el estado de recuento del contador de secuencia de
forma de programa 154.

De esta manera, al completarse el segundo ci-
clo del contador de control de memoria 153 que está asocia-
do, como dijo anteriormente, con la lectura de la segunda
30 tarjeta de programa de importa/ no importa para el primer



3

1 programa que se está cargando, la salida en el conductor
206 conectada al terminal marcado Programa Importa/Marca
se pone en nivel bajo para designar ahora las configura-
ciones de memoria de marca dentro de la memoria de marca/
5 importa de canal y de los elementos de comparación 3 - 7,
mientras que la salida de la puerta AND 211 conectada al
terminal marcado Forma Lectura/Programa que se emplea pa-
ra las configuraciones de memoria de marca e importa, como
se dijo anteriormente, va a un nivel alto debido a la re-
10 moción del nivel alto a la salida de la puerta OR 214. Ade-
más, la salida en el conductor 256 asociado con la señal
de control de bitios superior/inferior va nuevamente a un
nivel bajo. Por lo tanto, las personas entendidas en la
materia apreciarán que durante el segundo ciclo del ele-
15 mento contador de control de memoria 153, se cargan die-
ciseis (16) bitios de información de importa/no importa que
se leen de la tarjeta de programa de importa/no importa
en las configuraciones de memoria de importa/no importa aso-
ciadas con cada uno de los canales en las dos secuencias
20 de ocho bitios y la dirección que se emplea para cargar
dicha información en estas configuraciones de memoria es
la que está asociada con el primer programa.

25 Cuando se alimenta la tercera tarjeta de pro-
grama de marca/no marca para el programa inicial cargado,
la salida del terminal de Programa Importa/Marca conectado
al conductor 206 se pondrá a nivel bajo puesto que el ele-
mento contador de secuencia de forma de programa 154 ha si-
do incrementado dos veces para poner de esta manera un ni-
vel alto en el conductor 196, de tal manera que las confi-
30 guraciones de memoria de marca dentro de cada una de las



1 memorias de marca/importa de canal y las redes de compara-
ción 3 - 7 están definidas por las salidas de los mismos.
Además, el elemento contador de número de programa 155 -
5 está aún en un estado de cero puesto que no ha sido pro-
ducida una transición negativa por medio de la puerta AND
219, por lo tanto la dirección definida por el terminal
anotado bitio A-bitio C es apropiada para almacenar el primer
programa mientras haya un nivel bajo en el conductor 256.
10 Por lo tanto, cuando la señal de ciclo de memoria de par-
tida es generada indicando que la información de marca o
de falta de marca para cada uno de los canales de la tar-
jeta de programa de marca/falta de marca ha sido cargada
en las redes de conversion de formato de canal 50A - 50E,
15 el generador de impulsos 152 quedara nuevamente habilita-
do y la puerta AND 188 producirá un nivel alto para incre-
mentar cualquiera de los contadores conectados al terminal
de salida del contador de programa en el conductor 189.
Cuando el elemento contador de control de memoria 153 cuen-
ta el primer impulso generado por el elemento generador
20 de impulsos 152, la salida del mismo conectada al conduc-
tor 191 se pone en nivel alto, con lo que se aplica un ni-
vel alto a través del conductor 216 hasta la puerta OR 214.
La puerta OR 214 generará una salida de nivel alto en res-
puesta a la misma con lo que se aplica nuevamente una salida
25 de nivel alto a través del conductor 212 a una entrada de
la puerta AND 211 cuya salida está invertida. Puesto que
la segunda entrada de la puerta AND 211 está conectada a -
través de los conductores 210 y 208 a la salida de la puer-
ta OR 207, permanecerá en nivel alto debido a la conexión
30 de la segunda entrada a la misma con el conductor 196 o sa-



1 lida de marca del elemento contador de secuencia de forma
de programa 154, se generará nuevamente un nivel bajo a
la salida de la puerta AND 211 conectada al terminal marca-
do Forma Lectura/Programa. Además, el nivel bajo en el -
5 conductor 206 será retenido de tal forma que, como será apa-
rente ahora a las personas entendidas en la materia, el -
terminal marcado Programa Importa/Marca designará las con-
figuraciones de memoria de marca, el terminal marcado For-
ma Lectura/Programa designará una secuencia de programa o
10 de escritura en el mismo, mientras que el conductor 256
indicará que los ocho bitios superiores $B_1 - B_8$ deben ser
cargados en la dirección dentro de las configuraciones de
memoria de marca asociadas con el primer programa. Así,
de esta manera, los primeros ocho bitios de cada uno de
15 los canales de información cargados de la tarjeta de pro-
grama asociada con la información de marca/falta de marca
serán cargados en las configuraciones de memoria de marca
y de falta de marca de canal proporcionadas por el mismo
y dicha carga tendrá lugar en las ranuras o perforaciones
20 de memoria asignadas al primer programa.

Quando el elemento contador de control de
memoria 153 cuenta el segundo impulso generado por el ele-
mento generador de impulsos 152, la salida en el conductor
191 se pone en nivel bajo mientras que la salida en el -
25 conductor 192 se pone en nivel alto. Puesto que la entrada
a la puerta OR 214 también está conectada al conductor
192, la salida de la puerta OR 214 permanece en nivel alto
y por lo tanto puesto que el elemento contador de secuen-
cia de forma de programa 154 no ha sido aún incrementado,
30 la salida de la puerta AND 211 permanecerá en nivel bajo



1

para designar de esta manera la forma de funcionamiento de programa para las configuraciones de memoria de marca.

5

De manera similar, la dirección de bitio definida por los conductores 253 - 255 permanecerá en un estado de cero en su totalidad; sin embargo, el nivel de los conductores

10

256 se pondra en alto para definir ahora y provocar que pasen los bitios $B_9 - B_{16}$ al interior de las configuraciones de memoria de marca y de falta de marca presentes en cada una de las memorias de marca/importa de canal y de los

15

elementos de comparación 3 - 7. El nivel alto presente en el conductor 192 también es aplicado a través del conductor 180 a la entrada del extremo de escritura de la redisp

20

posición de ciclo y a través del conductor 193 a la entrada del contador de secuencia de forma de programa 154 de tal manera que, al contar el siguiente impulso generado por medio del elemento generador de impulsos 152, el circuito basculante de interrogación 151 se redispone mientras

25

que el elemento contador de secuencia de forma de programa 154 se incrementa para completar de esta manera un ciclo completo y ponerse nuevamente en una condición de redisp

30

posición en la que se aplicó un nivel alto al conductor 194 para establecer así al aparato de dirección de memoria de escritura/lectura y de control de selección mostrado en la figura 3, en una condición apropiada para aceptar la información de control de la tarjeta de programa de control del siguiente programa que va a ser insertado.

Quando se redispone el elemento contador de secuencia de forma de programa 154 desde una condición de marca a un estado en el que hay presente un nivel alto del conductor 194, se deja pasar una transición negativa a tra-



1

5

10

15

20

25

30

vés del conductor 196 y el conductor 20 a una entrada de la puerta de programa de escritura formada por la puerta AND 219. Puesto que esta puerta AND ha sido previamente habilitada por el nivel alto indicativo de la forma de funcionamiento de programa establecida en la misma a través de los conductores 159 y 211 así como del nivel alto que previamente estaba en el conductor 196, la transición negativa generada da por resultado la aplicación de una transición negativa al conductor 222 haciendo que la salida de la puerta OR 223 se ponga en un nivel de alto a bajo y por lo tanto aplique una transición negativa al conductor 224 que está conectado a la entrada del elemento contador de número de programas 155. Esta transición negativa actúa de manera bien conocida, para incrementar el estado del elemento contador de número de programa 155 y por lo tanto incrementar por un dígito la cuenta manifestada por el mismo. La salida incrementada del elemento contador de programas 155 se aplica a través de los conductores 238 - 240 a los conductores 253 - 255 de tal manera que la dirección de memoria manifestada por el siguiente ciclo de programación iniciado por las siguientes tres tarjetas de programa alimentadas, dará por resultado la inserción de los datos en las ubicaciones apropiadas dentro de las configuraciones de memoria empleadas para el segundo programa. Además, la cuenta actual del contador de número de programas 155 se aplica a través de los conductores 238 - 241 a las entradas $D_1 - D_4$ del elemento de cierre de cuatro bitios 156. El elemento de cierre de cuatro bitios se habilita, como se mencionó anteriormente, por medio de la salida de nivel alto en el conductor 243 que da por resultado una inversión



1 del nivel bajo establecido en el conductor 168 cuando el
circuito basculante de programa/lectura 150 está en forma
de funcionamiento de programa. De esta manera, la direc-
ción en ese momento del elemento contador de números de pro-
gramas 155 se dispone en el elemento de cerrojo de cuatro
5 bitios 156 ahora habilitado y se aplica a las salidas del
mismo ($Q_1 - Q_4$), conectadas a los conductores 246 - 249.

A medida que cada una de las secuencias sub-
secuentes de tres tarjetas de programa es alimentada y se
leen los datos de las mismas y se cargan en las redes de
10 conversión de formato de canal apropiadas 50A - 50F, se
repetirá la operación de secuenciamiento de programa con-
trolada por el elemento contador de control de memoria 153
el elemento contador de secuencia de forma de programa 154
y el elemento contador de número de programa 155, de la -
15 misma manera que se describió anteriormente para el progra-
ma inicial almacenado. Por lo tanto, a las personas enten-
didas en la materia, apreciarán que a medida que se lee ca-
da una de las tarjetas de la secuencia de programa, el ele-
20 mento contador de control de memoria 153 controlará la apli-
cación de cada una de las dos secuencias de ocho (8) bitios
por cada canal que se lee de la misma en la línea y dentro
de la ubicación apropiada dentro de las configuraciones -
de memoria empleadas, el elemento contador de secuencia de
25 forma de programa 154 controlará la habilitación de la con-
figuración de memoria apropiada que va a recibir dicha -
información, mientras que el estado del contador del ele-
mento contador de número de programa 155 controlará la di-
rección de cualquier palabra apropiada en la memoria se-
30 leccionada de tal manera que el programa se almacene en



1 el mismo en la secuencia apropiada. Además, el elemento de
cierre de cuatro bitios 156 almacena la última cuenta mani-
festada por el elemento contador de número de programas -
155 de tal manera que, cuando el elemento de cierre de -
5 cuatro bitios 156 es deshabilitado subsecuentemente al ini-
ciarse la forma de funcionamiento de lectura y se redispone
el elemento contador de número de programas 155, el estado
de la cuenta almacenada en el elemento de cierre de cuatro
bitios 156 reflejará el número total de programas almacena-
10 dos para la secuencia de selección que se va a iniciar.

Después de que ha sido cargada la última -
tarjeta en la pila de tarjetas de programa, no se alimen-
tarán tarjetas de programa adicionales y después de doce
a quince ciclos de alimentación en las que no se detectan
15 tarjetas, se producirá una entrada de nivel alto en el ter-
minal marcado Terminación de Ciclo de Programa. Mientras
haya sido contado un número entero que sea múltiplo de una
secuencia de tres tarjetas en el elemento contador de se-
cuencia de forma de programa 154, habrá una salida de nivel
20 alto en el conductor 194 la que se aplicará a través del -
conductor 167 a la segunda entrada de la puerta AND 165. Por
lo tanto, mientras está bajo estas condiciones, habrá un
nivel alto presente en ambas de las entradas a la puerta
AND 165, y la salida de la misma irá a un nivel alto para
25 redispone el circuito basculante de programa/lectura 150
de la manera que se describió anteriormente. Cuando el cir-
cuito basculante de programa/lectura 150 se coloca en una
condición de redistribución, la salida Q del mismo irá a un
nivel bajo y la salida \bar{Q} irá a un nivel alto para establecer
30 de esta manera una forma de operación de lectura, deshabi-
litando al elemento de cierre de cuatro bitios 156, de tal



1 manera que la última cuenta de programa almacenada en el
elemento contador de número de programa 155 se mantiene
en el mismo mientras que el contador de secuencia de forma
de programa 154 se mantiene en una condición redispuesta
5 debida a la aplicación de un nivel bajo a la salida de la
puerta OR 199. Además, el terminal de Inhibición de Impresión
de Forma de Lectura que ha sido mantenida a un alto
nivel a través de toda la forma de funcionamiento de pro-
grama establecido, se libera, de tal manera que ahora queda
10 da en la misma un bajo nivel.

FUNCIONAMIENTO EN FORMA DE LECTURA

15 Cuando se establece un funcionamiento en forma de lectura en el aparato de dirección de memoria de escritura/lectura y control de selección ilustrado en la figura 3, se cargará una pila de tarjetas de datos que va a pasar por un proceso de selección de acuerdo con las enseñanzas de la presente invención, de la misma manera que se describe para la pila de tarjetas de programa. Aquí, sin embargo, cada una de las tarjetas representa una entidad independiente cuyo contenido va a ser totalmente evaluado para fines de selección y por lo tanto es innecesario el elemento contador de secuencia de forma de programa 154 debido a que todos los datos quedarán disponibles de una sola vez. Es por esta razón que se mantiene en estado redispuesto al elemento contador de secuencia de forma de programa 154 cuando se establece una forma de funcionamiento de lectura al disponer el circuito basculante de programa/lectura 150. Debe observarse que, a la inversión del circuito basculante de programa/lectura 150 al estado de lectura en el que se aplica un alto nivel a la salida
20
25
30



1 Q̄ conectada al conductor 160, la puerta de programa de es-
critura formada por la puerta AND 219, el extremo de escri-
tura de la redistribución de ciclo formada por la puerta
AND 177, la puerta de salida de cuenta de programa formada
5 por la puerta AND 188, la puerta AND 212 que controla la
habilitación de la configuración de memoria de control de
programa así como la terminal de salida anotada como Inhi-
bición de Impresión Forma de Lectura, se deshabilitarán
en su totalidad de tal manera que los niveles bajos que
10 hay en las mismas como salidas que se proporcionan en ellos
no se emplean durante la forma de funcionamiento de lec-
tura. Además, la salida de la puerta AND 211 se establece
a un alto nivel debido a la deshabilitación del elemento de
contador de secuencia de forma de programa 154 de tal manera
15 que se establece una forma de lectura o forma de interro-
gación de memoria de marca y de importa disponiendo el cir-
cuito basculante de programa/lectura 150 a su estado re-
dispuesto.

20 Después de que se ha cargado una pila de tar-
jetas de datos que va a pasar por el proceso de selección,
de que la primera tarjeta ha sido alimentada y explorada y
que la información leída de cada uno de los canales a la
misma ha sido cargada apropiadamente dentro de las redes de
conversión de formato de canal 50A - 50E, se aplicara una
25 entrada de ciclo de memoria de partida al circuito bascu-
lante de interrogación 151. El circuito basculante de inte-
rogación 151 está en un estado de redistribución debido al
nivel alto producido en el conductor 183 cuando se inicia
la secuencia de alimentación de tarjetas para las tarjetas
30 de datos. Por lo tanto, cuando el impulso de ciclo de memo-



1

ria de partida asociada con la primera tarjeta que va a pasar por el procesamiento de selección se aplica a la entrada del circuito basculante de interrogación 151, el circuito basculante de interrogación 151 queda en un estado dispuesto. El bajo nivel se aplica al conductor 187 dará principio al funcionamiento del elemento generador de impulsos 152 y el elemento contador de control de memoria 153 comenzara el mismo ciclo de recuento descrito anteriormente.

5

10

Cuando el primer impulso generado por el elemento generador de impulsos 152 ha sido contado, la salida del elemento contador de control de memoria 153 conectada al conductor 191 irá a un nivel alto. Puesto que esta salida del elemento contador de control de memoria 153 está conectado al conductor 216 que sirve como una entrada a la puerta OR 214, como se mencionó anteriormente, la salida de la puerta OR 124 conectada al conductor 212 irá a un nivel alto para colocar de esta forma un primer nivel alto en una de las entradas de la puerta AND 218. La segunda entrada a la puerta AND 218 está conectada a través de los conductores 170 y 160 a la salida \bar{Q} del circuito de redistribución de programa/lectura 150 y por lo tanto, puesto que ambas entradas a la puerta AND 218 están en un nivel alto, esta puerta AND responderá a los mismos de manera convencional para aplicar un nivel alto a la salida de la misma que se conecta a la terminal marcado Interrogación Lectura. La señal de interrogación lectura generada a la salida de la puerta AND 218, como se verá posteriormente, se emplea en conexión con la acción de puerta que se impone a la información en la memoria de control y al elemento

15

20

25

30



1 de decisión de comparación 8 que se describe en detalle
en conexión con la figura 5, sin embargo, aquí es sufi-
ciente mencionar que esta señal se emplea en el procesa-
5 miento de la información asociada con la lectura de la -
tarjeta de datos en la memoria de control y en el elemento
de decisión de comparación 8. La salida de la puerta OR -
214 se aplica adicionalmente a una entrada de la puerta
AND 211; sin embargo, se retendrá un nivel alto a la sali-
da de esta puerta debido a la condición de redistribución
10 del elemento contador de secuencia de forma de programa 154.
El nivel alto aplicado de esta manera al terminal marcado
Programa de Forma de Lectura designará que se emplee una
forma de lectura o de interrogación para la información
que se está enviando a las configuraciones de memoria de
15 marca/importa en cada una de las memorias de marca/importa
de canal y de los elementos de comparación 3 - 7.

Además, cuando hay una salida de nivel alto
en el conductor 191, la salida en el conductor 192 del -
elemento contador de control de memoria 153 irá a nivel -
20 bajo y de esta forma proporcionará un nivel bajo en el -
conductor 256 que es indicativo que han sido procesados los
ocho (8) bitios superiores $B_1 - B_8$ de los datos leídos de
cada uno de los canales de la tarjeta que se está proce-
sando y que van a compararse los ocho bitios correspondien-
tes de los datos de programa almacenados en las memorias
de marca e importa presentes dentro de cada una de las me-
25 morias de marca/importa de canal y de los elementos de com-
paración 3 - 7. También se observará que, puesto que el -
elemento contador de número de programa 155 se redistribuyó
al comenzar la alimentación de las tarjetas de documentos
30



1 que iban a ser procesadas para comenzar el procedimiento
descrito en asociación con el terminal de partida, hay pre-
sente una dirección apropiada para el primer programa en -
los conductores 255 - 253 la cual se aplica a cada una de
5 las configuraciones de memoria dentro de las memorias de -
marca/importa y de los elementos de comparación 3 - 7 y
de la memoria de control y el elemento de decisión de compa-
ración 8. De esta forma, las personas entendidas en la ma-
teria apreciarán que cuando el primer impulso generado por
10 el elemento contador de impulsos 152 es conectado por el
elemento contador de control de memoria 153 en respuesta a
que se está explorando una tarjeta de datos, los primeros
ocho bitios de cada uno de los canales de la tarjeta de da-
tos leídos y los primeros ocho bitios de información alma-
15 cenados en las configuraciones de memoria de marca y de -
importa para el primer programa almacenado, se comparan y
se aplica una señal de procesamiento de interrogación de -
lectura a la memoria de control y al elemento de dirección
de comparación 8, que también es dirigida para un primer
20 programa.

Cuando el elemento contador de control de me-
25 moria 153 cuenta el segundo impulso generado por el elemen-
to generador de impulso 152, la salida del mismo en el con-
ductor 191 se va a un nivel bajo mientras que la salida -
en el conductor 192 va a un nivel alto para proporcionar -
una orden de paso para los ocho bitios inferiores, es decir,
los bitios $B_9 - B_{16}$, en el conductor 256. Puesto que el es-
tado del elemento contador de número de programa 155 no ha
30 sido incrementado, la dirección definida por los conducto-
res 253-255 permanece fija para el primer programa almace-



1 nado. De manera similar, puesto que la salida del conduc-
tor 192 del elemento contador de control de memoria 153
está conectado a través del conductor 215 hasta una segun-
5 da entrada de la puerta OR 214, la salida de nivel alto
de la puerta OR 124 será retenida aun cuando la entrada de
nivel alto que se requiere para la misma ha sido conmuta-
da del conductor 191 al conductor 192. De esta forma, la
salida del nivel alto de la puerta OR 214 continua rete-
niendo a la puerta AND 218 en una condición de salida de
10 nivel alto con lo que se continua la lectura de la señal
de interrogación proporcionada en el terminal de salida
de la misma para ser aplicada a la memoria de control y al
elemento de decisión de comparación 8. Además, como apre-
ciaran las personas entendidas en la materia, las restan-
15 tes condiciones de salida asociadas con la disposición de
salida de control indicada por el bloque en líneas puntea-
das 158 permanecen las mismas que las que se especifican
anteriormente para un nivel alto en el conductor 191 del
elemento contador de control de memoria 153. De esta mane-
20 ra, la salida de la puerta AND 211 define una forma de lec-
tura o de interrogación para las configuraciones de memoria
de marca y falta de marca así como de importa y no importa
presentes dentro de las memorias de marca/importa de canal
y los elementos de comparación 3 - 7 mientras que las res-
25 tantes salidas asociadas con la disposición de salida de
control indicada por el bloque de líneas punteadas 158 se
deshabilitan. De conformidad, durante la segunda porción del
ciclo de tres partes del elemento contador de control de
memoria 153, los ocho bitios inferiores leídos de cada una
30 de las columnas de la tarjeta de datos explorada son deja-



1 dos pasar por el elemento multiplexor asociado con cada
una de las redes de conversión de formato de canal 50A -
50E y comparados dentro de las memorias asociadas de mar-
ca/importa de canal y los elementos de comparación 3 - 7
5 con los datos de marca y de importa almacenados en las ocho
posiciones inferiores de bitios del primer programa almace-
nado en las mismas. De esta forma, en esta junta, los da-
tos leídos de cada uno de los canales para la tarjeta de
registro que se está explorando han sido aplicados en dos
10 secuencias de ocho bitios y comparados para fines de se-
lección con los datos almacenados para el primer progra-
ma que ha sido cargado en cada una de las configuraciones
de memoria de la memoria de marca/importa y del elemento de
comparación 3 - 7 así como de la memoria de control y el
15 elemento de decisión de comparación 8.

Cuando el tercer impulso asociado con la -
tarjeta de datos que se está leyendo ha sido producido
por el generador de impulsos 152 y ha sido contado por el
elemento contador de control de memoria 153 ambas salidas
20 del mismo en los conductores 191 y 192 se pondrán en nivel
bajo. Esto hará que la salida de la puerta OR 214 se ponga
en nivel bajo y por lo tanto deshabilite la puerta AND 218
para eliminar de esta forma el nivel de interrogación de
lectura suministrado a la memoria de control y al elemento
25 de decisión de comparación 8. Adicionalmente, se recorda-
rá que la puerta 226 de programa de lectura ha sido colo-
cada en una condición preparada por medio de la salida de
nivel alto establecida en el conductor de entrada 169 para
dicha puerta cuando el circuito basculante de programa/lec-
30 tura 150 se pone en una condición de lectura. Por lo tanto,



1 cuando hay presente un nivel alto en el conductor 192, es-
te nivel alto también se suministró a la puerta de programa
de lectura formada por la puerta AND 226 en el conductor
227 haciendo que la salida de la misma en el conductor 225
5 se ponga en nivel alto y esta salida de nivel alto es aco-
plada a través del conductor 225 a la entrada de la puerta
OR 223 haciendo que su salida conectada al conductor 224 y
a la entrada del contador de número de programa 155 se pon-
gan en nivel alto. De esta forma, cuando el elemento conta-
10 dor de control de memoria 153 cuenta el tercer impulso, la
entrada en el conductor 227 a la puerta AND 226 se pone
en un nivel bajo y la salida de dicha puerta y de la puer-
ta OR 223 también se ponen en nivel bajo para aplicar una
transición que se va haciendo negativa a la entrada del
15 elemento contador de número de programa 155. Esta transi-
ción que se va haciendo negativa accionará para incrementar
la cuenta manifestada por el elemento contador de número de
programa 155 y de conformidad, como apreciarán las perso-
nas entendidas en la materia, la condición de cuenta del
20 elemento contador de número de programa presente en los
conductores 234 - 237 y aplicados a los conductores de -
253 a 255, para definir una dirección de memoria, serán
incrementados por el siguiente programa. Además, en la for-
ma de funcionamiento de lectura, se apreciará que el ele-
25 mento comparador 157 será habilitado por medio del nivel
alto establecido a la salida Q del circuito basculante en
programa/lectura 150 a través de los conductores 160, 170
y 250.

30 El elemento comparador 157 adicionalmente re-
cibe una cuenta representativa del número de programas al-



1 macenados durante el funcionamiento en forma de programa, des
de las salidas Q_1 a Q_4 del elemento de cierre de cuatro bi-
tios 156 a través de los conductores 246-249 y dicha entrada
de recuento es conectada a las entradas de los elementos com-
5 paradores B_0 - B_3 . Si la entrada del contador de número de pro-
gramas 155 corresponde a la salida del elemento de cierre de
cuatro bitios 156, el elemento comparador 157 producirá una
salida de nivel alto en el conductor 251 de la manera descri-
ta anteriormente. Dicha entrada será aplicada al terminal mar-
10 cado Decisión de Salida que se empleará junto con la memoria
de control y el elemento de decisión de comparación 8, como
se describirá adicionalmente en conjunto con la figura 5 y
adicionalmente a la misma será aplicada a través del conductor
252 y del conductor 184 a la entrada de la puerta OR 181 pa-
15 ra disponer el circuito basculante de interrogación 151 y
evitar ciclos adicionales de recuento en el elemento conta-
dor de control de memoria 153, como una indicación de que se
han corrido todas las rutinas de programa inicialmente carga-
das y que han sido establecidas por la salida del elemento
20 comparador 157. Además, la salida de nivel alto en el conduc-
tor 252 es aplicada además a través del conductor 232 y -
del elemento de retardo 231 a la entrada de la puerta OR
239 conectada al conductor 230. Después de un retardo de
uno y medio milisegundos (1,5 ms.) proporcionado por el
25 elemento de retardo 231, la salida de la puerta OR 229 se
pondrá en nivel alto para disponer de esta forma el ele-
mento contador de número de programas 155 y por lo tanto, -
una vez que el elemento contador de programas 155 queda re-
dispuesto, la salida de nivel alto en el conductor 251 que-
30 dará terminada puesto que las entradas comparadas ya no -



1 corresponden.

5 Sin embargo, si el incremento inicial del elemento contador de número de programas 155 no corresponde al número de programas indicado por la salida del elemento de cierre de cuatro bitios 156, no se proporcionará una salida de nivel alto a la salida del elemento comparador 157. Bajo estas condiciones, el circuito basculante de interrogación 151, el que no ha sido redispuesto, -

10 será retenido en la condición dispuesta con lo que el generador de impulsos 152 continuará aplicando impulsos al elemento contador de control de memoria 153. Para cada secuencia de tres impulsos generada por el elemento generador de impulsos 152, el elemento contador de control de memoria 153 trabajará a través de un ciclo completo de funcionamiento de la manera descrita anteriormente y al completar

15 el ciclo contador de memoria, el estado del contador en el elemento contador de número de programas 155 será incrementado a través del funcionamiento de la puerta de programa de lectura 226. Cada vez que el contador del número de programas 155 se incrementa, se incrementará la dirección para la siguiente secuencia de selección de programa proporcionada en los conductores 253 - 255 a las diferentes configuraciones de memoria dentro de la memoria de marca/importación de canal y los elementos de comparación 3 - 7 así

20 como de la memoria de control y los elementos de decisión de comparación 8 por una posición de dirección de tal manera que, como apreciarán las personas entendidas en la materia, para cada ciclo de recuento establecido por el elemento contador de control de memoria 153, los datos leídos de

25 la tarjeta de datos que está pasando por la secuencia de

30



1 selección, serán comparados a base de por programa con -
los datos almacenados en cada una de las configuraciones
de memoria en una forma que se describe de manera más -
completa en conjunto con las figuras 4 y 5.

5 De esta forma, las personas entendidas en la
materia, apreciarán que, cuando el aparato de dirección de
memoria de escritura/lectura y de control de selección -
mostrado en la figura 3 se pone en una forma de funciona-
miento de lectura, los datos leídos de la tarjeta de datos
10 explorada para fines de selección se cargan primeramente
en el interior de las redes de conversión de formato de
canal 50A - 50E asociadas con el mismo y se comparan duran-
te dos pasadas de ocho bitios, de acuerdo como son contro-
ladas por el elemento contador de control de memoria 153,
15 con hasta ocho programas de dieciseis bitios almacenados
en la memoria de marca/importa de canal y de los elementos
de comparación 3 - 7 asociados con cada uno de los canales
y con hasta ocho programas de cuatro bitios almacenados en
la memoria de control y el elemento de decisión de compara-
20 ción 8, de la manera que se describe en forma más comple-
ta en conjunto con la figura 5. Además, como también apre-
ciarán las personas entendidas en la materia, la dirección
de cada uno de los programas dentro de las configuraciones
diferentes de memoria empleadas se controla por medio del
25 elemento contador de número de programa 155 y los progra-
mas almacenados en las mismas se dirigen en la misma se-
cuencia en que ocurre el almacenamiento. Las diferentes fun-
ciones para las salidas generadas por el aparato de direc-
ción de memoria de escritura/lectura de control de selección
30 mostrado en la figura 3 durante las formas de funciona-
mien-



1 to de programa y de lectura establecidas, quedarán entendi-
das en forma más clara en conjunto con la descripción del
elemento de memoria de marca/importa y de comparación ilus-
trado en la figura 4 y de la memoria de control y el ele-
5 mento de decisión ilustrados en la figura 5.

MEMORIAS DE MARCA/IMPORTA DE CANAL

Y REDES DE COMPARACION

10 Volviendo ahora a la figura 4, se muestra
una memoria de marca/importa y una red de comparación ejem-
plares apropiadas para ser utilizadas en una de las memo-
rias de marca/importa de canal y de los elementos de compa-
ración 3 - 7 ilustrados en la modalidad ejemplar del apa-
rato de exploración y selección mostrado en la figura 1.
15 Puesto que el aparato de exploración y selección ejemplar
mostrado en la figura 1 supone una configuración de explo-
ración de cinco canales, las personas entendidas en la -
materia apreciarán que la memoria de marca/importa de ca-
nal y la red de comparación ejemplares corresponden sola-
20 mente a una de las memorias de marca/importa de canal y
de los elementos de comparación 3 - 7 y en el caso de que
se desee emplear las redes ejemplares ilustradas en la -
figura 4 en una disposición de exploración y selección de
cinco canales tal como la que se muestra en la figura 1,
25 pueden ser utilizadas cinco de dichas redes. La memoria
de marca/importa de canal y la red de comparación ilustra-
dos en la figura 4 comprenden una primera y una segunda
memoria de marca/falta de marca 260 y 261, una primera y
una segunda memorias de importa/no importa 263 y 264, una
30 disposición de acción de puerta de decisión de marca/falta



1

5

10

15

20

25

30

de marca, indicada por el bloque de líneas punteadas 265, una disposición de acción de puerta decisión AND/OR indicada por el bloque de líneas punteadas 266, una disposición de acción de puerta de importa/no importa indicada por el bloque de líneas punteadas 267 y una puerta de salida de selección parcial 268.

La primera y la segunda de las memorias de marca/falta de marca 260 y 261, y la primera y la segunda de las memorias de importa/no importa 263 y 264 pueden - cada una de ellas tomar la forma de memoria de lectura/escritura convencionales de 64 bitios bien conocidas por las personas entendidas en la materia. Por ejemplo, una pastilla de memoria convencional número SN 7489, como la que - puede obtenerse de Texas Instrument Corporation, se puede emplear para cada una de las memorias 260-264 o de otra manera, puede confiarse en cualquier configuración de memoria apropiada que tenga el necesario almacenamiento disponible. Además, como apreciarán las personas entendidas en la materia a medida que continua esta descripción, aun cuando la configuración de memoria de marca/falta de marca y la configuración de memoria de importa/no importa están formadas por un par de pastillas de memoria de 64 bitios al igual que las que pueden obtenerse fácilmente en el comercio pueden ser substituídas fácilmente por las mismas pastillas de memoria sencillas que tengan 128 bitios de almacenamiento. Cada una de las cuatro memorias 260 - 264 está organizada de tal manera como para proporcionar dieciseis palabras de almacenamiento en las que cada una de las palabras contiene cuatro bitios y por lo tanto de manera convencional puede ser dirigida por una entrada de cuatro bi-



1976

1 tios. Además, como apreciarán fácilmente las personas enten-
didadas en la materia, cada una de las memorias 260 - 264
puede tener la información almacenada en cualquier ubica-
5 ción de palabra de la misma que se dirija al aplicar un -
nivel alto a la entrada de habilitación de ella mientras
que lee el contenido de cualquier palabra dirigida cuando
se coloca un nivel bajo en dicha entrada de habilitación.
Además, como apreciaran las personas entendidas en la ma-
10 teria, para las configuraciones de almacenamiento virtual
empleadas para las memorias 260 - 264, cada uno de los bi-
tios de la palabra leída durante la operación de interro-
gación exhibirá un estado que es el complemento de aquel
que se almacenó. De esta forma, por ejemplo, si se alma-
15 cena un nivel alto designando una condición de marca o de
importa en una ubicación de bitio determinada de la pri-
mera y de la segunda memorias de marca/falta de marca 260
y 261 o la primera y la segunda de las memorias de importa
/no importa 263 y 264, cuando se lee este bitio la salida
20 proporcionada por la memoria será de nivel bajo. Por con-
siguiente, las personas entendidas en la materia, aprecia-
rán que cuando se lee un nivel alto que representa una in-
formación de marca o de importa de una de las memorias -
260 - 264, en una de las salidas asociadas con las mismas,
aparecerá un nivel bajo en dicho conductor de salida mien-
25 tras que en forma inversa, cuando se lee un nivel bajo que
representa una información de falta de marca o de no impor-
ta de una de las memorias 260 - 264, aparecerá un nivel -
alto en el conductor de salida asociado puesto que la sali-
30 da de las memorias 260 - 264 están complementadas de manera
efectiva.



1 Las entradas a la primera memoria de marca/
falta de marca 260 y a la primera memoria de importa/no
5 importa 263, indicadas como $D_1 - D_4$ en la figura 4, están
cada una de ellas conectadas en paralelo en líneas de sali-
da apropiadas para el elemento multiplexor de canal en la
red de conversión de formato de canal 50A - 50E asociada
con las mismas. De esta forma, si se supone para los fines
de la descripción que la memoria de marca/importa de canal
y la red de comparación ejemplares ilustradas en la figura
10 4 están asociadas con la red de conversión de formato de
canal A 50A ilustrada en la figura 2, se verá fácilmente
que las entradas $D_1 - D_4$ tanto a la primera memoria de mar-
ca/falta de marca 260 como a la primera memoria de impor-
ta/no importa 263 están conectadas a través de los conduc-
15 tores 270 - 273, respectivamente, a las respectivas sali-
das del primer elemento multiplexor 92 como queda indica-
do de forma general por los terminales marcados $D_1 - D_4$.
En forma similar, cada una de las cuatro entradas $D_5 - D_8$
a cada una de las segundas memorias de marca/falta de mar-
ca y de importa/no importa 261 y 264 están conectadas en
20 paralelo a través de los conductores 274 - 277 a las sali-
das respectivas de las cuatro salidas del segundo elemento
multiplexor 93, como se ilustra en la figura 2, y general-
mente indicado en la figura 4 por los terminales anotados
25 $D_5 - D_8$. De esta forma, durante el funcionamiento en for-
ma de programa, cuando las memorias apropiadas entre las
memorias 260 - 264 son habilitadas por una entrada de ni-
vel alto proporcionada a la entrada de habilitación de las
mismas, se cargarán ocho bitios en paralelo que representan
30 las ocho salidas de bitios del par de elementos de multi-



1 plexor empleados en la red de conversión de formato de canal
asociada con las mismas y serán cargadas en paralelo en las
ocho ubicaciones de bitios dirigidas en las que una palabra
de 4 bitios con dirección en común en cada una de las memo-
5 rias que va a cargarse se emplea para la salida de cuatro bi-
tios de cada uno de los multiplexores. Por tanto, se verá que
en el procesamiento de ocho bitios de datos empleado en la pre-
sente invención, la información de columna de dieciseis bitios
en las dos pasadas del primero y el segundo de los elementos
10 multiplexor 92 y 93 serán aplicadas a las mismas secuencias de
dos pasadas a los conductores 270-277 y, como se verá poste-
riormente, pueden ser cargados en las ubicaciones de pala-
bras adyacentes simplemente cambiando un solo bitio de la di-
rección como una función de una orden de bitio superior/infe-
rior.

15 Cada una de las cuatro memorias 260 - 264
también está dirigida en forma común a las entradas de las
mismas anotadas $A_a - A_d$ en las que esta última designación ha
sido empleada para definir la entrada de dirección y la desig-
nación de subíndice ha sido empleada para definir la asociación
20 de dicho bitio de dirección a los bitios de dirección de memoria
generados en la figura 3 por el elemento contador de número de pro-
grama 155 y aplicados al conductor 253-255 del mismo y a la ór-
den de bitios superiores e inferiores aplicada al conductor 256
25 al que se le ha dado una anotación de subíndice. Por lo tanto,
como será fácilmente aparente al inspeccionar la figura 4, ca-
da una de las entradas de dirección A_b a las memorias 260-264
está conectada a través de un conductor asociado $278_d - 281_d$
al conductor 282 conectado al terminal de entrada marca-
30 do Bitios Superiores/inferiores y las personas entendidas
en la materia apreciarán que el conductor 282 de es-



1 ta manera queda conectado al terminal correspondientemente
anotado como Terminal de Salida conectado al conductor
256 en la figura 3 y que cada una de las memorias de mar-
ca/importa de canal y de las redes de comparación emplea-
5 das estarían conectadas de manera similar a dicho conduc-
tor de la figura 3. En forma similar, la entrada de direc-
ción A_a de cada una de las memorias 260 - 264 está conec-
tada a través de los conductores asociados $278_a - 281_a$ al
conductor 283 que conecta al terminal marcado Bitio A, la
10 entrada de dirección marcada A_b a cada una de las memorias
260-264 está conectada a través de conductores asociados 278_b
- 281_b al conductor 284 conectado al terminal de entrada
marcado Bitio B y cada una de las entradas de dirección -
marcadas A_c está conectada a través de un conductor asocia-
15 do $278_c - 281_c$ al conductor 285 conectado al terminal mar-
cado Bitio C, por lo tanto, se apreciará que los termina-
les con marcas de Bitio A - Bitio C están conectados a los
terminales de dirección de memoria correspondientemente -
marcados en la figura 3. De esta forma, se verá que cada
20 una de las memorias 260 - 264 empleadas en las memorias de
marca/importa de canal y de red de comparación ejemplares
mostrados en la figura 4, así como las memorias adicionales
de marca y de falta de marca y de importa y de no importa
empleadas en el resto de las memorias de marca/importa de
25 canal y de los elementos de comparación 3 - 7, como se -
ilustran en la figura 1, están todas dirigidas en parale-
lo y esta forma de organización de dirección en paralelo es
fácilmente obtenible puesto que cada uno de los canales
individuales para fines de programación o de selección es
30 procesado independientemente y pasado a la memoria de ca-



1

nal de marca/importa y al elemento de comparación apropiado. Aun cuando, puede emplearse cualquiera asignación de dirección conveniente para designar cada una de las ubicaciones de palabras de dieciseis bitios en cada una de las memorias 260 - 264, se prefiere que dichas asignaciones de dirección sean seleccionadas de tal manera que un cambio en la condición del bitio de dirección presentado en el conductor 282 seleccionará una dirección adyacente a la seleccionada previamente de tal forma que tenga lugar la carga de la información de dieciseis bitios para cada uno de los programas insertados en ubicaciones adyacentes de palabras de cuatro bitios en cada una de las dos memorias empleadas para dieciseis bitios.

5

10

15

20

25

30

La entrada de habilitación a la primera y a la segunda de las memorias de marca/falta de marca 260 y 261 está conectada a través de los conductores 283 y 284 a la salida de la puerta AND 285 la cual, como se indica en la figura 4, actua como disposicion y acción de puerta de entrada de marca de escritura. La primera y la segunda de las memorias de marca/falta de marca 260 y 261, como se recordará, se colocan en una forma de funcionamiento para leer, en la que cualquiera de las direcciones de palabra de cuatro bitios esta presente a las salidas de las mismas anotadas $S_1 - S_4$ y $S_5 - S_8$, cuando hay un nivel bajo a la entrada de habilitación de las mismas que está conectado al conductor 283 y será colocado en una condición - como para almacenar una palabra de cuatro bitios proporcionada a las entradas de las mismas designadas $D_1 - D_4$ y $D_5 - D_8$, en una ubicación de palabra designada por las entradas de dirección en $A_a - A_d$, cuando hay presente un ni-



1

5

10

15

20

25

30

vel alto a la entrada de habilitación. La puerta AND 285, que forma la disposición para dejar pasar la marca de escritura, como se mencionó anteriormente, puede tomar cualquier forma convencional de una puerta AND cuyas entradas están invertidas y por lo tanto actúan de manera bien conocida para proporcionar un nivel alto o nivel de escritura a la salida de la misma conectada al conductor 284, - cuando ambas de las entradas a la misma están en un nivel bajo. Las entradas a la puerta AND 285 están conectadas, como se indica claramente en la figura 4, a los terminales marcados Forma de Lectura/Programa y Programa Importa/Marca y se apreciará que estas son las mismas entradas descritas en conjunto con la figura 3 y en asociación con la disposición de salida de control indicada por el bloque de líneas punteadas 158.

Si se recuerda la descripción de la figura 3, se apreciará que el terminal marcado Forma Lectura/Programa está conectado a la salida de la puerta AND 211 y por lo tanto se pondrá en nivel bajo, de acuerdo como lo determine la operación del elemento contador de control de memoria 153 y el elemento contador de secuencia de forma de programa 154, cuando ha sido explorada una tarjeta de programa o bien de importa o bien de marca se ha emitido una orden de carga de ocho bitios superiores o inferiores.

En cualquier otro momento, la salida de la puerta AND 211 conectada al terminal marcado Forma Lectura /Programa, estará a nivel alto para designar de esta manera una forma de funcionamiento de Lectura. Esto es consistente con el funcionamiento que se desea de las memorias



1 260 - 264 mostradas en la figura 4, puesto que se desea so-
lo almacenar los datos dentro de las memorias 260 - 264
en una forma de operación de programa y el almacenamiento
de programa debe ser dejado pasar para que corresponda
5 en tiempo con la carga de los ocho bitios o bien inferiores
o bien superiores de una secuencia de programa de in-
formación de selección. Por lo tanto, se verá que habrá -
presente un nivel bajo en el terminal marcado Forma Lec-
tura/Programa cuando está en proceso una forma de funciona-
10 miento de programa, cuando una de las tarjetas de programa
de importa o de marca se está leyendo y se ha emitido una
instrucción apropiada para la carga de los ocho bitios su-
periores o inferiores de información de dicho programa.
Además, al recordar el funcionamiento de la figura 3, se
15 revelará que el terminal marcado Programa Importa/Marca
tiene en la misma una salida de nivel alto cuando se está
leyendo la tarjeta de importa mientras que hay un nivel
bajo en la misma durante otras posiciones del ciclo del
elemento contador de secuencia de forma de programa 154.
20 Por lo tanto, las condiciones de entrada asociadas con las
dos entradas de la puerta AND 285 son tales que se aplica-
rá un nivel bajo a cada una de las entradas de la misma
cuando está procesando una forma de funcionamiento de pro-
grama, se ha emitido una orden de carga de una secuencia
25 de ocho bitios, se ha leído la tarjeta de programa de mar-
ca. Los dos niveles bajos presentes en las dos entradas de
la puerta AND 285 cuyas entradas están invertidas, harán -
que las salidas de la misma se pongan en nivel alto en el
conductor 284 y por lo tanto apliquen un nivel de habilita-
30 ción en el conductor 283 y por lo tanto permiten que la -



1 información de marca de la tarjeta de programa de marca
leída y aplicada a los conductores 270 - 277 sea almacena-
da en un par de ubicaciones de palabra dentro de cada una
de la primera y la segunda de las memorias de marca/falta
5 de marca 260 y 261, definidas por los bitios A - C de la
dirección y del bitio de dirección superior/inferior asocia-
dos con el conductor 282.

La entrada de habilitación para la primera
y la segunda de las memorias de importa/no importa 263 y 264
10 están conectadas a través de los conductores 286 y 287 a la
salida de la puerta AND 288 que forma la puerta de escri-
tura/importa. La puerta AND 288 puede tomar cualquier for-
mato convencional y actúa de manera bien conocida para pro-
ducir un nivel alto o nivel de habilitación de escritura
15 a la salida de la misma cuando ambas de sus entradas es-
tán en nivel alto mientras que produce un nivel alto o ni-
vel de interrogación a la salida de la puerta para cualquier
otro conjunto de condiciones de entrada. La primera entrada
a la puerta AND 288 esta conectada a través de los con-
20 ductores 289 y 291 y de un inversor convencional 290 a la
entrada marcada Forma Lectura/Programa. Esta entrada, co-
mo se describió anteriormente, solo se pondrá en nivel ba-
jo cuando se establece una forma de funcionamiento de pro-
grama, cuando se ha leído la tarjeta de programa de marca
25 o de importa se ha emitido una instrucción de carga de -
los ocho bitios superiores o inferiores. Puesto que el in-
versor convencional 290 actua de manera bien conocida pa-
ra producir un nivel alto a la salida del mismo cuando
la entrada al inversor en el conductor 291 está en bajo,
30 se verá que se establece una primer condición de habilita-



1 tación para la puerta AND 288 para las condiciones en las
que o bien se ha leído una tarjeta de programa de importa
o de marca, o se ha establecido una forma de funcionamien-
to de programa, o se ha emitido una orden de carga de ocho
5 bitios superiores o inferiores.

La segunda entrada a la puerta AND 288 está
conectada a través del conductor 292 al terminal marcado
Programa Importa/Marca. El funcionamiento del aparato de
dirección de memoria de escritura/lectura y de control de
10 selección mostrado en la figura 3 hará aparente que se apli-
cará un nivel alto a este terminal de entrada para habilitar
de esta forma la puerta AND de escritura/importa 288, solo
durante los intervalos en los que se ha leído una tarjeta
de programa de importa, como queda indicado por el elemen-
to contador de secuencia de forma de programa 154. De es-
15 ta forma, cuando se ha establecido una forma de funciona-
miento de programa, la tarjeta de memoria de importa leída,
se ha emitido una orden de carga de ocho bitios superiores
e inferiores, la salida de la puerta AND 288 se pondrá en
20 nivel alto para aplicar de esta forma un nivel de habili-
tación apropiado al conductor 286 a fin de habilitar la -
primera y la segunda de las memorias de importa/no importa
para aceptar los cuatro bitios de los datos leídos de la
tarjeta de programa de importa/no importa y aplicados a
25 través de los conductores 270 - 277 a las entradas de las
mismas anotadas como $D_1 - D_8$ y se han cargado dichos da-
tos en la ubicación de palabra apropiada definida por la
información de dirección suministrada en los conductores
288 - 285. De conformidad, se verá que la configuración de
30 habilitación empleada para habilitar selectivamente o bien



1

5

10

15

20

25

30

la primera y la segunda de las memorias de marca/no marca 260 y 261 o bien la primera y la segunda de las memorias de importa/no importa 263 - y 264, emplea salidas del aparato de dirección de memoria de escritura/lectura y de control de selección mostrado en la figura 3, que aseguran que sólo se logra una de las memorias del par de memorias seleccionadas en un momento tal en el que se ha establecido una forma de funcionamiento de programa o bien se ha cargado una tarjeta de programa de importa/no importa o de marca/falta de marca y se ha emitido una instrucción de carga de ocho bitios superiores o inferiores. Además, una segunda entrada obtenida del aparato de dirección de memoria de escritura/lectura y de control de selección mostrado en la figura 3, asegura que la habilitación selectiva para la primera y la segunda de las memorias de importa y no importa 263 y 264 sólo puede ser emitida cuando se ha leído una tarjeta de programa de importa, mientras que la primera y la segunda de las memorias de marca/falta de marca 260 y 261 son habilitadas selectivamente para fines de escritura en otros momentos cuando se obtienen las condiciones seleccionadas a la entrada del terminal marcado Forma Carga/Programa. En cualquier otro momento, habrá un nivel bajo en los conductores 283 y 286 para poner las memorias 260 - 264 en una forma de funcionamiento de lectura con lo que las palabras dirigidas en forma común en las mismas quedarán disponibles a las salidas de dichas memorias en forma invertida.

Las salidas de las memorias 260 - 264 están indicadas en $S_1 - S_8$ en las que la anotación de subíndice ha sido seleccionada para que corresponda a la anotación



1 de subíndices asociados con las entradas de las mismas y
los bitios de los datos transportados por ellas en los con-
ductores 270 - 277. Por lo tanto, como apreciarán las per-
sonas entendidas en la materia, a medida que transcurre -
5 esta descripción, dichas anotaciones de subíndice han si-
do empleadas en lo sucesivo en todos los casos en donde se
emplea una técnica de procesamiento de bitio por bitio -
de tal forma que las relaciones de los bitios procesados den
10 tro de una configuración lógica determinada son fácilmente
aparentes.

Las salidas de la primera y la segunda de
las memorias de marca/falta de marca 260 y 261 como están
presentes en los terminales indicados en $S_1 - S_8$, son apli-
cados a través de los conductores $294_1 - 294_8$ hasta la en-
15 trada de la disposición de acción de puerta de decisión
de marca/falta de marca indicada por el bloque de líneas
punteadas 265. De manera más particular, la disposición
de acción de puerta de decisión de marca/falta de marca
indicada por el bloque de líneas punteadas 265 contiene
20 ocho puertas OR exclusivas $296_1 - 296_8$ en las que cada
una de las puertas exclusivas OR estan asociadas con un -
bitio leído de cada una de las memorias de marca/falta
de marca 260 y 261 y de un bitio ubicado de manera común
de acuerdo como se aplica a los conductores 270 - 277; se
25 recordará que solo son necesarios ocho puertas porque los
dieciseis bitios que están asociados con cada uno de los
canales de información leída son procesados de acuerdo con
las enseñanzas de la presente invención, en dos pasadas y
cada una de estas pasadas está asociada con los ocho bitios
30 superiores o inferiores de cada uno de los canales de die-



1

5

10

15

20

25

30

ciseis (16) bitios. Las puertas OR exclusivas 296₁ - 296₈ presentes dentro de la disposición de acción de puerta de decisión de marca/falta de marca indicada por el bloque de líneas punteadas 265 puede tomar cualquiera de las formas convencionales de esta clase bien conocida de dispositivo lógico que actúa de la manera usual para producir un nivel bajo a la salida de la misma cuando ambas de sus entradas son las mismas, mientras que proporciona una salida de nivel alto cuando cada una de las entradas a la misma difiere.

Una primera entrada de cada una de las puertas exclusivas OR 296₁ - 296₈ presentes dentro de la disposición de acción de puerta de decisión de marca/falta de marca indicada por el bloque de líneas punteadas 265 está conectada, como se mencionó anteriormente, a través de los conductores asociados marcados 294₁ - 294₈ hasta una salida de bitio asociada de una de las memorias de la primera o la segunda memoria de marca/falta de marca 260 y 261. Además, una segunda entrada a cada una de las puertas exclusivas OR 296₁ - 296₈ presente dentro de la disposición de acción de puerta de decisión de marca/falta de marca indicada por el bloque de líneas punteadas 265, está conectada a través de un conductor asociado de 295₁ a 295₈ a uno de los conductores 270 - 277 empleados para transportar un bitio correspondiente de información leído de la tarjeta de datos que se está procesando. Se apreciará que los ocho bitios de información de canal aplicados a los conductores 270 - 277 se emplean para cargar el contenido de las memorias 260 - 264 sólo durante el funcionamiento de forma de programa mientras que durante el funcionamiento en for-



1 ma de lectura en el que tiene lugar el procesamiento de se-
lección, dichos bitios de información, como son transpor-
tados por el canal de información con el que está asocia-
do el aparato de memoria de marca/importa de canal y de
5 comparación mostrado en la figura 4, son llevados a través
de los conductores 270 - 277 y 295₁ - 295₈ a la disposi-
ción de acción de puerta de decisión de marca/falta de mar-
ca indicada por el bloque de líneas punteadas 265, para -
fines de selección.

10 La función de la disposición de acción de -
puerta de decisión de marca/falta de marca indicada por el
bloque de líneas punteadas 265 es la de verificar si los
datos leídos de una columna asociada de una tarjeta de da-
tos que se está explorando para fines de selección y apli-
cados a la misma en dos pasadas, se comparan o no con la
15 información de marca/falta de marca almacenada para cada
uno de los programas en la primera y la segunda de las me-
morias de marca/falta de marca 260 y 261 y es aplicada a
la misma para cada uno de los programas en dos pasadas.
20 Durante la forma de funcionamiento de lectura, se recorda-
rá que cada una de las memorias de la primera y la segunda
memoria de marca/falta de marca está habilitada para un
funcionamiento de forma de lectura y por lo tanto hay presen-
tes versiones invertidas de la información de marca/falta
25 de marca almacenada en las mismas para el programa direc-
cionado en los conductores 294₁ - 294₈ y se aplica a una
entrada de la puerta OR exclusiva correspondiente 296₁ -
296₈ dentro de la disposición de acción de puerta de deci-
sión de marca/falta de marca indicada por el bloque de lí-
neas punteadas 265. Por lo tanto, puesto que una puerta -
30



1 exclusiva OR actúa de manera bien conocida para producir
un nivel bajo cuando cada una de sus entradas es la misma
mientras que produce un nivel alto solo para diferentes -
5 entradas, las personas entendidas en la materia aprecia-
rán que cuando los datos leídos de una tarjeta durante una
pasada se comparan con los que están almacenados para el
programa dirección, se producirá un nivel alto a las sali-
das de las puertas exclusivas OR 296₁ - 296₈ para las cua-
les se ha obtenido una indicación de comparación para los
10 datos de marca y de falta de marca, mientras que cuando
no hay disponible una indicación de comparación, se propor-
cionará un nivel bajo a la salida de la puerta OR exclusi-
va apropiada. Por ejemplo, si se lee de una tarjeta un bi-
tio de marca que representa un nivel alto en una posición
15 de bitio que corresponde al bitio asociado con D₁ y se
aplica a través de los conductores 270 y 295₁ a la primera
entrada de la puerta exclusiva OR 296₁, mientras se ha alma-
cenado una marca en dicha posición de bitio para la pasa-
da de ocho bitios del programa de dirección, se aplicará
20 un nivel alto a través del conductor 295₁ a la puerta ex-
clusiva OR 296₁, mientras que se aplicará un nivel bajo
al conductor 294₁, debido a la naturaleza invertida de la
salida interrogada de la memoria y aplicada a la segunda -
entrada de la puerta exclusiva OR 296₁ lo que hace que la
25 salida de la misma vaya a un nivel alto. Sin embargo, si
se ha leído un bitio de marca y se ha aplicado un nivel -
alto al conductor 270 mientras la pasada del programa alma-
cenado indica que no debe haber presente ninguna informa-
ción de marca, se aplicará un nivel alto al conductor 294₁
30 nuevamente debido a las cualidades de inversión de la me-



1

5

10

15

20

25

30

moria de tal manera que la salida de la puerta exclusiva OR 296₁ tendrá un nivel bajo indicando que no hay condición de comparación. De esta forma, la salida de las puertas exclusivas OR 296₁ - 296₈ conectadas a los conductores 297₁ - 297₈ producirán cada una de ellas un nivel alto o una condición baja para cada uno de los pases de ocho bitios de datos leídos de una tarjeta y comparados con uno de los programas de dirección almacenados dentro de la primera y la segunda de las memorias de marca/no marca. 260 y 261, y ésto se repite para cada uno de los programas almacenados.

De esta manera, si hay almacenados los ocho programas completos en la primera y la segunda de las memorias de marca/falta de marca 260 - 261, se proporcionará una secuencia de dieciseis bitios de niveles altos y bajos en cada una de las salidas de las puertas exclusivas OR 296₁ - 296₈ en las que un nivel alto en dicha secuencia es indicativo de que se ha obtenido una comparación apropiada de información de marca o de falta de marca mientras que un nivel bajo indica que no hay disponible una comparación apropiada para el bitio en la tarjeta de datos comparada contra el programa cargado. Además, las personas entendidas en la materia apreciarán que cada una de las puertas exclusivas OR 296₁ - 296₈ conduce una comparación para la información de marca y de falta de marca a base de bitio por bitio para las ubicaciones de bitios asignadas a las mismas. Por consiguiente, como se apreciará, la salida de cada una de las puertas exclusivas OR 296₁ - 296₈ es indicativa de si una comparación apropiada de información de marca o de falta de marca en una ubicación de bi-



1
5
10
15
20
25
30

tios determinada de la columna asociada con el aparato de memoria de marca/importa de canal y de comparación mostrado en la figura 4, se compara favorablemente o no con la información de marca y de falta de marca almacenada para una ubicación de bitio correspondiente para el programa de dirección dentro de la primera y la segunda de las memorias de marca/falta de marca 260 y 261. La salida de cada una de las puertas exclusivas OR $296_1 - 296_8$ dentro de la disposición de acción de puerta de decisión de marca/falta de marca indicada por el bloque de líneas punteadas 265 se aplica a través de los conductores $297_1 - 297_8$ a una entrada de la disposición de acción de puerta de decisión AND/OR indicada por el bloque de líneas punteadas 266 y como apreciarán las personas entendidas en la materia, cuando hay un nivel alto en uno de los conductores $297_1 - 297_8$, quedará indicada la condición para el bitio que se está probando mientras que un nivel bajo en los mismos será indicativo de que no se obtuvo una comparación válida.

La disposición de acción de puerta de decisión AND/OR indicada por el bloque de líneas punteadas 266 comprende una pluralidad de puertas exclusivas OR $298_1 - 298_8$, en las que cada una de la pluralidad de las puertas exclusivas OR en la misma pueden tomar la misma forma que se describe para las puertas exclusivas OR $296_1 - 296_8$ y está asociada con el mismo bitio probado por ellas. La función de la disposición de puerta de decisión AND/OR indicada por el bloque de líneas punteadas 266 es la de imponer condiciones AND/OR seleccionadas para un programa determinado, de acuerdo como está almacenado dentro de la me-



1 moria de control y del elemento de decisión de comparación
8 de la manera que se describirá posteriormente en con-
junto con la figura 5. Sin embargo, aquí es suficiente -
apreciar que para cada uno de los programas cargados den-
5 tro de la configuración de memoria en la memoria de control
y el elemento de decisión de comparación 8, se especifica
una condición OR o AND para la información de marca o de
falta de marca a base de tarjeta por tarjeta en vez de a
base de canal por canal y por lo tanto, cuando se inicia
10 la operación de selección, se emplea la misma secuencia de
dirección que se emplea para interrogar las memorias 260
- 264 para leer la orden AND o OR asociada con dicho pro-
grama de acuerdo como está almacenado dentro de la confi-
guración de memoria presente en la memoria de control y el
15 elemento de decisión de comparación 8. De esta manera, de-
pendiendo de la orden AND u OR emitida para dicho programa,
se lleva a cabo la manipulación apropiada AND u OR den-
tro de la disposición de acción de puerta de decisión AND/
OR indicada por el bloque de líneas punteadas 266. Para -
20 este fin, debe observarse el que la lógica ha sido diseñada
de tal manera que cuando se hace una selección AND, se -
supone que la tarjeta es una tarjeta seleccionada a no ser
que cuando menos una ubicación de bitio no llene los re-
quisitos de selección establecidos y por lo tanto tiene una
25 salida de inhibición, mientras que de forma inversa, la
selección OR supone que la tarjeta es una tarjeta que no
ha sido seleccionada a no ser que cuando menos una ubica-
ción de bitio tiene los requisitos de selección impuestos.

30 Cualquiera que sea la condición impuesta de
OR o AND, es necesario que la información almacenada en las



1 memorias de marca/falta de marca para el programa que se
está leyendo, correspondan a los datos leídos de las tar-
jetas de datos que se estan procesando para selección. Por
esta razón, la salida de cada una de las puertas exclusi-
5 vas OR 296₁ - 296₈ se aplica a través de los conductores
297₁ 297₈ hasta la primera entrada de la puerta exclusiva
OR 298₁ - 298₈ asociada con la misma dentro de la disposi-
ción de acción de puerta de dirección AND/OR indicada por
el bloque de líneas punteadas 266. Una segunda entrada a cada
10 una de las puertas exclusivas OR dentro de la disposición
de acción de puerta de decisión AND/OR indicada por el blo-
que de líneas punteadas 266, esta conectada de manera común
a traves de los conductores 299 - 301 hasta el terminal -
15 marcado AND/OR. Como se verá posteriormente en conjunto
con la descripción de la figura 5, cuando está en proceso
una operación de selección, las mismas entradas empleadas
para dirigir en forma común las memorias 260 - 264 son las
que se utilizan para dirigir la configuración de memoria
20 presente dentro de la memoria de control y el elemento -
de decisión de comparación 8 y cuando la misma se dirige
el bitio en ellas que designa la operación AND u OR para
el programa de dirección, se lee y se aplica al terminal
25 marcado AND/OR en la figura 3 de tal manera que cuando se
requiere una decisión AND, se aplicará un nivel alto al
conductor 301 y por lo tanto a las entradas conectadas en
común de las puertas exclusivas OR 298₁ - 298₈, mientras
que si se requiere una decisión OR impondrá un nivel bajo
30 en el conductor 301 se aplicará de manera común a las se-
gundas entradas de cada una de las puertas exclusivas OR
298₁ - 298₈.



1
5
10
15
20
25
30

Para cualquiera de las selecciones AND u OR es necesario que la información en las memorias de marca/falta de marca 260 y 261 corresponda con la información - para las ubicaciones de bitio asignadas de manera común en la tarjeta que está pasando por la selección y por lo tanto, las entradas en los conductores 297₁ - 297₈ proporcionarán una entrada de nivel alto cuando se obtiene una condicion de coincidencia mientras que hay presente una entrada de nivel bajo en los mismos cuando la condición para el bitio en la tarjeta no corresponde a la condición de la ubicación de bitio almacenado para el programa de dirección en las memorias de marca/falta de marca 260 - y 261. De esta forma, cuando se impone una condición AND al aplicar un nivel alto en los conductores 301, 300 y 299, la salida de cada una de las puertas exclusivas OR 298₁ - 298₃ se pondrá en un nivel bajo cuando las otras entradas suministradas a ellas en los conductores 297₁ a 297₈ son indicativas de una condición de coincidencia, mientras que las salidas de las puertas exclusivas OR 298₁ - 298₈ se pondrán en un nivel alto para una condición AND cuando las entradas suministradas a las mismas en los conductores 297₁ - 297₈ son indicativas de que la información de marca y de falta de marca comparada no corresponde. En forma inversa cuando se impone una condición de selección OR, se aplicará un nivel bajo a los conductores 301, 300 y 299 de tal manera que cuando está indicada una condición de coincidencia en los conductores seleccionados entre los conductores 297₁ - 297₈, la salida de las puertas exclusivas OR 298₁ - 298₈ se pondrán en un nivel alto mientras que cuando se indica una condición de no coincidencia, la salida



1 de las puertas exclusivas OR 298₁ - 298₈ conectadas a las
mismas se pondrá en nivel bajo. Las salidas de cada una de
las puertas exclusivas OR 298₁ - 298₈ están conectadas a
los conductores 302₁ - 302₈ y las personas entendidas en
5 la materia apreciarán que cuando un programa determinado
necesita una operación AND, un nivel bajo en los conducto-
res seleccionados entre los conductores 302₁ - 302₈ será
indicativo de que se ha logrado una coincidencia para la
ubicación de bitio leída de la tarjeta que se está proce-
10 sando y la ubicación de bitio correspondiente del programa
de dirección, mientras que un nivel alto es indicativo de
que no se ha obtenido una condición de coincidencia para
estos bitios. En forma inversa, para una selección OR, un
nivel alto de salida en los conductores seleccionados de
15 los conductores 302₁ - 302₈ es indicativo de una coinci-
dencia apropiada para los bitios correspondientes asocia-
dos con los mismos mientras que una salida de nivel bajo
es indicativa de que no se obtiene de los mismos una coinci-
dencia. Las salidas de cada una de las puertas exclusi-
20 vas OR 298₁ - 298₈ son aplicadas a través de los conduc-
tores respectivos de entre los conductores 302₁ - 302₈
a la disposición de acción de puerta de importa/no importa
indicada por el bloque de líneas punteadas 267.

25 La función de la disposición de acción de
puerta de importa/no importa indicada por el bloque de
líneas punteadas 267 es la de calificar adicionalmente la
información de selección de bitio por bitio generada en
la disposición de acción de puerta de decisión de marca/
falta de marca 265 y de la disposición de acción de puerta
30 de decisión AND/OR 266 a base de bitio por bitio en tér-



1
5
10
15
20
25
30

minos de la información de importa/no importa almacenada en la primera y segunda de las memorias de importa/no importa 263 y 264 para los requisitos de selección de programa que se están dirigiendo en ese momento. Más particularmente, se recordará que las condiciones de selección que pueden ser programadas proporcionan la designación solo de aquellos bitios en una columna de información que van a ser procesados y que van a ser considerados en la corrida de procesamiento de selección de marca/falta de marca a base de una operación AND o una operación OR. De esta manera, si se recuerdan las operaciones de programación ejemplares descritas anteriormente, se verá que si se carga una tarjeta de programa importa/no importa que tiene todas las ubicaciones de bitios en la misma en condición de blanco, se habrá insertado un programa que es equivalente a un programa de selección de todas las tarjetas de datos cargadas independientemente de la información de marca/falta de marca cargada en las tarjetas de programa de marca/falta de marca. Por consiguiente, las personas entendidas en la materia apreciarán que, cualquier ubicación de bitio para el cual se han almacenado provisiones de no importa para el programa que se está considerando, no debe afectar las condiciones de selección previamente establecidas en las operaciones de procesamiento calculadas para lograr una señal de salida de selección o inhibición para el aparato de memoria de marca/importa de canal y de comparación mostrado en la figura 4. Por lo tanto, por ejemplo, si se ha impuesto una decisión AND en la disposición de acción de puerta de decisión AND/OR indicada por el bloque de líneas punteadas 266, la designación de una condición



1 de importa para el bitio que se está procesando debe hacer
que los resultados de las operaciones previas en el bitio sea
un factor determinante en el procesamiento lógico que sigue
5 mientras que si se ha almacenado una condición de no importa
para dicho bitio, los resultados de las etapas de procesamien-
to previas no deben afectar de manera adversa la derivación
de una condición de selección para el resto de las condicio-
nes de bitio que se están considerando. En forma inversa, si
se almacena una condición de importa para un bitio determina-
10 do en un programa que es el resultado de una operación OR los
procesamientos previos para dicha información de bitio deben
ser tratados como el factor determinante para obtener una señal
de selección mientras que si se ha almacenado para el mismo una
condición de no importa, la información de selección no debe
15 derivarse únicamente del mismo. Estas funciones se logran den-
tro de la disposición de acción de puerta de importa/no im-
porta indicadas por el bloque de líneas punteadas 267.

La disposición de acción de puerta de deci-
sión AND/OR indicada por el bloque de líneas punteadas 266
20 incluye una puerta AND $303_1 - 303_8$ cuya salida está inver-
tida para cada uno de los bitios que se están procesando
en la configuración lógica de ocho bitios establecida den-
tro del aparato de memoria de marca/importa de canal de -
comparación mostrado en la figura 4. De esta forma, cada -
25 una de las puertas AND $303_1 - 303_8$ está conectada en una
primera entrada de las mismas a uno de los conductores -
 $302_1 - 302_8$ conectados a la salida de las puertas exclusi-
vas OR $298_1 - 298_8$ dentro de la disposición de acción de -
puerta de decisión AND/OR indicada por el bloque de líneas
30 punteadas 266. De esta forma, cada una de las puertas AND



1 303₁ - 303₈ recibe una información de bitio que se deriva
como una función de la comparación de marca/falta de mar-
ca ejecutada dentro de la disposición de acción de puerta
de decisión de marca/falta de marca indicada por el bloque
5 de líneas punteadas 265 y de la disposición de acción de puer-
ta de decisión AND/OR dentro del bloque de líneas puntea-
das 266 para el bitio de información asociado con las mis-
mas. Una segunda entrada a las puertas AND 303₁ - 303₈ -
dentro de la disposición de decisión de acción de puerta
10 de importa/no importa indicada por el bloque de líneas pun-
teadas 267 está conectada a traves de los conductores 304₁
- 304₈ y 305₁ - 305₈ y de los inversores convencionales
306₁ - 306₈ a una salida asociada de la primera y la se-
gunda de las memorias de importa/no importa 263 y 264. La
15 segunda entrada a cada una de las puertas AND 303₁ - 303₈
por lo tanto recibe la salida reinvertida de la primera y
la segunda de las memorias de importa/no importa 263 y 264
de tal manera que la información de bitio suministrada a
las mismas representa la información real insertada en la
20 tarjeta de programa de importa/no importa para el primero
y el segundo de los bitios que se leen en el programa di-
reccionado. Como apreciarán las personas entendidas en
la materia el inversor convencional 306₁ - 306₈ conectado
a las salidas de la primera y la segunda de las memorias
25 de importa/no importa 263 - 264 puede ser dispuesto a
las entradas del mismo o alternativamente dirigido en los
conductores 270 - 277 antes de las entradas a la primera
y a la segunda de las memorias de marca/falta de marca
260 - 261 y/o a las memorias de importa/no importa 263 y
30 264. Las salidas de las puert_{as} AND 303₁ - 303₈ están co-



1
5
10
15
20
25
30

nectadas a traves de los conductores 306₁ - 306₈ a las entradas respectivas de la puerta AND 268. Como se entenderá en forma más clara posteriormente, las condiciones de salida impuestas para la salida de la puerta AND 268 son tales que una selección para una operación definida AND estará representada por un nivel alto a la salida de la puerta AND 268 mientras que en forma inversa, una salida de nivel bajo es definitiva de una selección para una operación OR.

La puerta AND 268 puede tomar la forma de una puerta AND convencional de ocho entradas que actúa de manera bien conocida para proporcionar un nivel alto a la salida de la misma conectada al conductor 308, sólo cuando la totalidad de las ocho entradas a la misma están en un nivel alto, mientras que proporciona una salida de nivel bajo cuando se obtiene cualquier otro conjunto de condiciones de entrada. Por lo tanto, las personas entendidas en la materia, apreciarán que, puesto que un nivel alto es representativo de una condición de selección para una operación AND mientras que un nivel bajo a la salida del conductor 308 es representativo de una condición de selección para una operación OR una entrada de habilitación de acuerdo como la proporcionan cada una de las salidas de las puertas AND 303₁ - 303₈ para una condición AND, es de nivel alto mientras que un nivel de habilitación para una operación OR a cada una de las salidas de las puertas AND 303₁ - 303₈ es de nivel bajo. Esto significa que, para una operación AND que va a lograrse de manera apropiada, a base de bitio por bitio, el almacenamiento de una condición de importa en la primera y la segunda de las memorias de importa/no importa 263 y 264, de-



1 be ser capaz de inhibir una salida de nivel alto en una
de las puertas asociadas entre las puertas AND $303_1 - 303_8$
cuando los resultados de una decisión asociada de marca/
falta de marca son adversos. En forma inversa, cuando se ha
5 designado un bitio de no importa para la ubicación de bitio
que se está probando, la salida de la puerta asociada
AND $303_1 - 303_8$ debe ser habilitada aunque se haya obtenido
una comparación adversa para la información de marca/
falta de marca. Para una operación OR, el almacenamiento de
10 una designación de importa para un bitio determinado que se
esta probando debe habilitar la salida de una puerta AND
asociada $303_1 - 303_8$ para que vaya a un nivel bajo y se
obtiene una decisión apropiada de marca/falta de marca;
sin embargo, si se obtiene como resultado una decisión -
15 adversa de marca/falta de marca, la salida de la puerta
asociada AND $303_1 - 303_8$, puede no ser habilitada. En forma
inversa, si el bitio asociado almacenado en las memorias
de importa/no importa 263 y 264 es una indicación de no im-
porta, no se obtendrá como resultado una habilitación de
20 la salida de la puerta AND asociada $303_1 - 303_8$ sea favorable
o no la decisión de marca/falta de marca que se obtenga
puesto que la generación de una salida de selección
en el conductor 308 no debe obtenerse de una ubicación
de bitio para el cual se almacena un bitio de no importa.
25 Estas funciones se logran por medio de la disposición de
acción de puerta de importa/no importa indicada por el -
bloque de líneas punteadas 267 de la manera siguiente.

30 Considerando primeramente el caso AND se
ha visto que cuando se aplica un alto nivel que define una
condición AND a través de los conductores 301, 300 y 299



1 a cada una de las entradas conectadas en forma común de
las puertas exclusivas OR 298₁ - 298₈, hay presente un ni-
vel bajo a la salida de las mismas conectada a los conduc-
5 tores 302₁ - 302₈ sólo si se obtiene una decisión favora-
ble de marca/falta de marca mientras que se aplica un ni-
vel alto a la primera entrada de las puertas AND 303₁ -
303₈ si se obtiene como resultado una decisión desfavora-
ble de marca/falta de marca. Además, si se almacena una con-
10 dición de importa para los ocho bitios del programa que se
está procesando dentro de una ubicación de bitio determi-
nada y dentro de la primera y de la segunda de las memo-
rias de importa/no importa 263 y 264, se aplica un nivel
alto a la segunda entrada de las puertas AND 303₁ - 303₈
15 a través de los conductores 304₁ - 304₈ de acuerdo como
están conectadas a las salidas de los inversores 306₁ -
306₈. En forma inversa, si se ha almacenado una condición
de no importa para un bitio que se está considerando, se
aplica un nivel bajo a las entradas de las puertas AND -
20 asociadas 303₁ - 303₈ y los conductores apropiados 304₁ -
304₈. Por lo tanto, puesto que las puertas AND 303₁ - 303₈
cuyas salidas están invertidas actúan de manera conven-
cional para proporcionar una condición de nivel bajo o de
deshabilitación para una operación AND a sus respectivas
25 entradas a la puerta AND 268 a través de los conductores
307₁ - 307₈, sólo cuando ambas de las entradas a los mis-
mos están a nivel alto, se apreciará que el único momento
que se produce una salida de deshabilitación para una con-
dición AND en una de las puertas AND 303₁ - 303₈, es cuando
30 la decisión de marca/falta de marca fue adversa y almace-
na una condición de importa para el bitio que se está con-



1

siderando. Para todos los otros conjuntos de condiciones de entrada, es decir, una condición de decisión favorable de marca/falta de marca y de importa y no importa o una decisión desfavorable de marca/falta de marca y de importa y no importa, habrá presente un nivel alto o de habilitación para una operación AND a la salida de la puerta que se considera entre las puertas AND 303₁ - 303₈ de tal manera que si todas estas puertas AND están habilitadas de manera similar para una condición de operación AND todas las entradas a la puerta AND 268 se pondrán en nivel alto para producir un nivel alto en el conductor 308 que es la condición deseada para la operación AND que se está considerando.

5

10

15

20

25

30

De manera inversa, para una operación OR, se verá que el nivel bajo aplicado a los conductores 299 - 301 para definir esta condición dentro de la disposición de acción de puerta de decisión AND/OR indicada por el bloque de líneas punteadas 266, dará por resultado la aplicación de un nivel alto a una entrada asociada entre las puertas AND 303₁ - 303₈ en los conductores 302₁ - 302₈ y se obtiene una decisión favorable de marca/falta de marca mientras que se produce un nivel bajo a la salida de una de las puertas consideradas entre las puertas exclusivas OR 298₁ - 298₈ de acuerdo como son aplicadas a los conductores 302₁ - 302₈, si se obtiene como resultado una decisión desfavorable de marca/falta de marca. Si se almacena una condición de importa para el bitio que se está considerando en la primera y la segunda de las memorias de importa/no importa 263 y 264, se aplica un nivel alto a la segunda entrada de una puerta asociada entre las puertas AND 303₁



1 - 303₈ a través de uno de los conductores apropiados 304₁ -
304₈, mientras que el almacenamiento de una condición de no
importa en las mismas da por resultado la aplicación de un
nivel bajo en dicho conductor de las puertas AND 303₁ - 303₈.
5 Esto significa que se producirá un nivel bajo o de habilita-
ción para una operación OR en una o más apropiadas de entre
las puertas AND 303₁ - 303₈, solo cuando ha resultado una
decisión favorable de marca/falta de marca y se ha especi-
ficado una condición de importa para dicho bitio. Bajo las
10 condiciones restantes, es decir, decisiones desfavorables de
marca/falta de marca y una condición de importa o de no im-
porta, habrá presente un nivel alto a la salida de una puer-
ta asociada AND 303₁ - 303₈, se apreciara que dicha condi-
ción de deshabilitación es apropiada para una decisión des-
15 favorable de marca/falta de marca aún si se proporciona una
indicación de no importa de tal manera que no se obtendrá -
como resultado una habilitación de la puerta AND 268 con un
nivel bajo para una operación OR de una ubicación de bitio
para el cual se ha especificado una condición de no impor-
20 ta. De esta forma, las personas entendidas en la materia, -
apreciarán que se producirá un nivel bajo o de selección
para una operación OR a la salida de la puerta AND 268 cuan-
do la salida de una o más de entre las puertas AND 303₁ -
303₈ se pone en nivel bajo en una operación para la cual ha
25 sido especificada la forma OR mientras que habrá solo pre-
sente una condición de nivel alto o de selección para una
operación AND a la salida de la puerta AND 268 cuando la to-
talidad de las entradas para las puertas AND 303₁ - 303₈ -
están habilitadas o producen un nivel alto durante una for-
30 ma de funcionamiento AND. La salida de la puerta AND 268

1 en el conductor 308 se aplica a la memoria de control y al
elemento de decisión de comparación 8 en una forma y para
una finalidad que se describirán en detalle en conjunto con
la figura 5. Sin embargo, aquí es suficiente apreciar que
5 puesto que en la presente se emplea un procesamiento a un
nivel de ocho bitios, se suministrarán dos salidas en el -
conductor 308 a la memoria de control y al elemento de decisión
de comparación 8 para cada uno de los programas cargados y
todos los programas serán ciclados a través de cada una de las
10 tarjetas de datos sometidas al procedimiento de selección.

La red ejemplar de memoria de marca/importa,
de canal y de comparación ilustrada en la figura 4 tiene dos
formas discretas de funcionamiento asociadas con la progra-
mación de las configuraciones de memoria empleadas en la mis-
15 ma y después de esto, en una forma de funcionamiento de lec-
tura o selección de las operaciones ejecutadas por ella. En
la forma de funcionamiento de programa, la primera y la se-
gunda de las memorias de marca/falta de marca y de importa/
no importa 260 - 264 se cargan con una información de impor-
20 ta y marca para las columnas apropiadas de las tarjetas de
programa de importa y marca asociadas con la red de memoria
de marca/importa de canal y de comparación mostrada. De esta
manera, si se supone que la red de memoria de marca/importa
de canal y de comparación mostrada en la figura 4 está aso-
25 ciada con el canal o columna A de información para cada una
de las tarjetas cargadas, las personas entendidas en la ma-
teria apreciarán que se leerán datos de canal A de dieciseis
bitios de cada una de las tarjetas en la pila de tarjetas
de programa y se cargarán a base de tarjeta por tarjeta y la
30 red de conversión de formato de canal A 50A ilustrada en la



1 figura 2, mientras que los datos de las columnas restantes
para cada una de las tarjetas en la pila de tarjetas de pro-
grama de carga en su red de conversión de formato de canal
asociada 50B - 50E. De esta manera, durante la forma de fun-
5 cionamiento de programa cuando se lee la segunda tarjeta
de programa o tarjeta de control, el terminal marcado Progra-
ma Tarjeta/Marca en la figura 4 irá a un nivel alto mientras
que la dirección apropiada para el primer programa estará
presente en los conductores 283 - 285 de acuerdo como son
10 suministrados a los terminales anotados bitio A - bitio C
para el elemento contador de número de programas 155 ilus-
trado en la figura 3. Además, el conductor 282 conectado al
terminal marcado bitios Inferiores/Superiores, de acuerdo
como es controlado por el elemento contador de control de
15 memoria 153, como se ilustra en la figura 3, tendrá en el
mismo un nivel bajo indicando que deben leerse los bitios
 $B_1 - B_8$ del primero y el segundo de los elementos multiple-
xor 92 y 93 ilustrados en la figura 2 y esta salida, quan-
do se aplica como parte de la dirección en la figura 4, pro-
20 vocara la dirección apropiada de la primera porción de ocho
bitios para la primera ubicación de memoria designada. Bajo
estas condiciones, las salidas del primer elemento multiple-
xor 92 sera aplicada a las terminales $D_1 - D_4$ y a través
de los conductores 270 - 273 a las entradas correspondien-
25 temente anotadas de la primera memoria de marca/falta de mar-
ca y de la primera memoria de importa/no importa 260 y 263.
De manera similar, las salidas del segundo elemento multi-
plexor 93 para el canal A serán aplicadas a los terminales
 $D_5 - D_8$ y a través de los conductores 274 - 277 a las entra-
30 das correspondientemente anotadas de la segunda memoria de



1 marca/falta de marca y a la segunda memoria de importa/no
importa 261 y 264.

5 Cuando están presentes todas las entradas, el
terminal marcado Forma Lectura/Programa producirá un impul-
so bajo durante un corto intervalo de tiempo para habilitar
las memorias importa/no importa 263 y 264 que van a ser -
cargadas con los datos en los conductores 270 - 277 en la
10 dirección especificada por los conductores 282 - 285. Pos-
teriormente, el nivel en el terminal de entrada marcado Bi-
tios Inferiores/Superiores de acuerdo como están conectada
al conductor 282 y controlado por la salida del elemento conta
dor de control de memoria 153 como se muestra en la figura
3, se pondrá en nivel alto haciendo que la salida del prime-
ro y el segundo de los elementos multiplexor 92 y 93 ilus-
15 trados en la figura 2 para la red de conversión de formato
de canal A 50A, aplique los ocho bitios inferiores (los bi-
tios B₉ - B₁₆) a los terminales D₁ - D₈. La dirección apli-
cada tanto a la primera como a la segunda de las memorias
de marca/falta de marca como a la primera y la segunda de las
20 memorias de importa/no importa 260 - 264 también será cam-
biada de tal manera en la ubicación de almacenamiento de los
segundos ocho bitios para el programa inicial leído, queda-
rá dirigida. Puesto que ninguna de las otras entradas a la
memoria de marca/importa de canal y el elemento de com-
paración mostrados en la figura 4 ha cambiado, las personas
25 entendidas en la materia, apreciarán que la ubicación del
almacenamiento de los ocho bitios segundos para el primer
programa dentro de las memorias de importa/no importa 263 y
264 será cargada con los ocho bitios inferiores de la infor-
30 mación de importa/no importa para el canal A de la primer



1 tarjeta de programa de importa/no importa leída. El nivel
alto en los terminales de entrada marcados Programa Impor-
ta/Marca y los bitios Inferior/Superior termina ahora mien-
tras que el nivel bajo en el terminal marcado Forma Lectu-
5 ra/Programa se pone en nivel alto para terminar de esta
forma la condición de habilitación de escritura para la
primera y la segunda de las memorias de importa/no importa
263 y 264; sin embargo, el primer programa de dirección -
por los niveles en los conductores 283 - 285 permanece -
10 constante.

Cuando se lee la tarjeta inicial de programa
de marca/falta de marca o tercer tarjeta en la pila de -
tarjetas de programa, la información del canal A en la mis-
ma será insertada en la red de conversión de formato de ca-
15 nal A 50A ilustrada en la figura 2, mientras que el nivel
en el conductor 282 se ha puesto en nivel bajo así como se
ha puesto el nivel en el terminal marcado Programa Importa
/Marca. De esta forma, cuando el terminal marcado Forma
Lectura/Programa, de acuerdo como es controlado tanto por
20 el ciclado del elemento contador de control de memoria 153
y del elemento contador de secuencia de forma de programa
154, nuevamente se pone en bajo, la información de marca de
canal A asociada con los bitios $B_1 - B_8$ se aplica a los -
conductores 270 - 277 será cargada en la primer ubicación
de programa asociada con los bitios $B_1 - B_8$ dentro de la
25 primera y la segunda de las memorias de marca/falta de mar-
ca 260 y 261. Posteriormente, el nivel en el conductor 282
se pondrá en alto para hacer que se dejen pasar los ocho
bitios inferiores ($B_9 - B_{16}$) de la información de marca/
30 falta de marca de canal A que va a ser aplicado a los ter-



1976

1 minales $D_1 - D_8$ y cargado en la ubicación de ocho bitios dentro de la primera y la segunda de las memorias de marca/falta de marca 260 y 261 asociadas con los ocho bitios inferiores del primer programa.

5 Los terminales marcados Bitios Inferior/Superior y Programa Importa/Marca nuevamente se pondrán en alto así como se pone en alto el terminal marcado como - Forma Lectura/Programa para deshabilitar una condición de escritura para un par seleccionado de la primera y la segunda de las memorias de marca/falta de marca y de las memorias de importa/no importa 260 - 264. Además, la dirección de programa definido por los terminales marcados $B_a - B_c$ en los conductores 283 - 285 y controlada por el elemento contador de número de programa 155 se cambiará para
10 dirigir ahora la ubicación del segundo programa dentro de cada una de las memorias 260 - 264. Se leerá información adicional de importa/ no importa y de marca/falta de marca para cualquier tarjeta de programa de importa/no importa y de marca/falta de marca adicional cargada en la pila
15 de tarjetas de programa, si hay presente más de un programa y se han establecido las secuencias apropiadas de tres tarjetas. A medida que se lee cada programa, la información del canal A de cada una de las tarjetas de programa de - importa/no importa y de marca/falta de marca será cargada
20 en el par apropiado de memorias de importa/no importa 263 y 264 y de memorias de marca/falta de marca 260 y 261 a medida que se lee cada uno de los programas, la dirección de programa definida en los conductores 283 - 285 será incrementada para definir una nueva ubicación de almacenamiento de dieciseis bitios dentro de la primera y la segunda
25
30

1 de las memorias de marca/falta de marca 260 y 261 y de la
primera y la segunda de las memorias de importa/no importa
263 y 264 para cada uno de los programas cargados y en
esta modalidad de la presente invención pueden cargarse -
5 hasta ocho diferentes programas. Como es natural, en el
caso de que se desee proporcionar capacidad de programa-
ción adicional, las memorias y las técnicas de dirección
pueden ampliarse apropiadamente.

10 Después de que se ha completado una secuen-
cia de programación tal como la que se describe anterior-
mente, puede cargarse una pila de tarjetas de datos para
que pase por el procesamiento de selección puede iniciarse
la alimentación de dichas tarjetas. Cuando se deshabilita
la forma de funcionamiento de programa, como se recordará
15 de la descripción de la figura 3, se deshabilita el ele-
mento contador de secuencia de forma de programa 154 de -
tal manera que la entrada de Forma Lectura/Programa aplica-
da a las memorias de marca/importa de canal y los elemen-
tos de comparación mostrados en la figura 4, se pondrán
20 en nivel alto para deshabilitar las condiciones de escritu-
ra para la primera y la segunda de las memorias de marca/
falta de marca y de importa/No importa 260 - 264 de tal
manera que no puedan ejecutarse operaciones de escritura
adicionales en los mismos a menos que se oprima el elemen-
25 to interruptor 163, como aparece en la figura 3. Además,
cuando se inicia una alimentación de tarjeta de datos para
un procedimiento de selección, el elemento contador de -
números de programa 155 se pondrán en una condición de -
cero de tal manera que la dirección reflejada en los con-
30 ductores 283 - 285 nuevamente será apropiada para el pri-



1

mer programa, mientras que el nivel en el conductor 282 - está en bajo.

5

10

15

20

25

30

Bajo estas condiciones, la información de programa almacenada en la primera y en la segunda de las memorias de marca/falta de marca y de importa/no importa 260 - 264 para los ocho bitios superiores del primer programa almacenado, se aplicará a la salida $S_1 - S_8$ de las mismas en formato invertido, como se mencionó anteriormente. Esto significa, como apreciarán las personas entendidas en la materia, que los ocho bitios superiores (los bitios $B_1 - B_8$) de la información de marca/falta de marca para el primer programa almacenado en la primera y la segunda de las memorias de marca/falta de marca 260 y 261, se aplicarán a los conductores $294_1 - 294_8$ en un formato invertido y de forma similar, los ocho bitios superiores de los datos de importa/no importa del primer programa almacenado en la primera y la segunda de las memorias de importa/no importa 263 y 264, será aplicado en formato invertido a los conductores de salida $305_1 - 305_8$ y en el formato original a los conductores de salida $304_1 - 304_8$ debido a la acción de los inversores $306_1 - 306_8$. Además, la información de marca/falta de marca leída de la columna A de la primera tarjeta de datos explorada habrá sido cargada en la red de conversión de formato de canal A 50A y los ocho bitios superiores de la misma (los bitios $B_1 - B_8$) serán aplicados a las salidas $D_1 - D_8$ del primero y el segundo de los elementos multiplexor 92 y 93 y aplicada a través de los conductores 270 - 277 y $295_1 - 295_8$ a una de las entradas de cada una de las puertas exclusivas OR $296_1 - 296_8$ dentro de la disposición de acción de puerta de decisión de marca/



1 falta de marca indicada por el bloque de líneas punteadas
265. Puesto que el complemento de los ocho primeros bitios
de información de marca/falta de marca almacenados para el
5 primer programa en la primera y la segunda de las memorias
de marca/falta de marca 260 y 261 se aplica a la segunda
entrada de cada una de las puertas exclusivas OR $296_1 -$
 296_8 a través de los conductores $294_1 - 294_8$, se apreciará
que las salidas de cada una de las puertas exclusivas OR
respectivas $296_1 - 296_8$ dentro de la disposición de ac-
10 ción de puerta de decisión de marca/falta de marca indicada
por el bloque de líneas punteadas 295 se pondrá en un nivel
alto si el bitio de información leído de la tarjeta de datos
y aplicado a la misma se compara favorablemente con 1 bi-
tío de información de marca/falta de marca almacenada en
15 la primera y la segunda de las memorias de marca/falta de
marca 260 y 261, mientras que cuando se obtiene una compara-
ción desfavorable para uno o más bitios de los que se com-
paran, la salida de las puertas exclusivas OR $296_1 - 296_8$
asociada con las mismas se pondrá en un nivel bajo para indi-
20 car esta condición.

La decisión de marca/falta de marca en la -
forma de una salida de nivel alto para una comparación favo-
rable y de una salida de nivel bajo para una comparación
desfavorable de acuerdo como se presenta a la salida de -
25 cada una de las puertas exclusivas OR $296_1 - 296_8$, se apli-
ca a través de los conductores $297_1 - 297_8$ hasta una de
las puertas exclusivas OR $298_1 - 298_8$ dentro de la dispo-
sición de acción de puerta de decisión AND/OR indicada por
el bloque de líneas punteadas 266, que está asociado con
30 el bitio dentro de la secuencia del grupo de ocho bitios



1 que se está probando. Si se supone que en esta parte de la
descripción del funcionamiento en forma de lectura que se
está considerando se establece una operación AND para el
5 primer programa y se inserta durante un funcionamiento en
forma de programa a la configuración de memoria presente
dentro de la memoria de control y el elemento de decisión
de comparación 8, se habrá aplicado un nivel alto por me-
10 dio del mismo al terminal marcado AND/OR y adicionalmente
aplicada a través de los conductores 299 - 301 a la segun-
da entrada de cada una de las puertas exclusivas OR 298₁
- 298₈ presentes dentro de la disposición de acción de puer-
ta de decisión AND/OR indicada por el bloque de líneas -
15 punteadas 266. Bajo estas condiciones, las personas enten-
didas en la materia apreciarán que las salidas de las puer-
tas exclusivas OR 298₁ - 298₈ que reciben una entrada in-
dicativa de una comparación que ha tenido éxito de infor-
mación de marca/falta de marca se pondrá en nivel bajo,
mientras que una salida de las puertas OR exclusivas 298₁
- 298₈ que reciba una indicación de una comparación de in-
20 formación de marca/falta de marca que no ha tenido éxito,
se pondrá en nivel alto.

25 La salida de cada una de las puertas exclu-
sivas OR 298₁ - 298₈ presentes dentro de la disposición
de acción de puerta de decisión AND/OR indicadas por el
bloque de líneas punteadas 266 se aplican a través de los
conductores 302₁ - 302₈ hasta la primera entrada de una
de las puertas AND 303₁ - 303₈ asociadas con un bitio co-
mún que pasa a través del proceso de selección. La segun-
da entrada de cada una de las puertas AND 303₁ - 303₈, de
30 acuerdo como se aplica en los conductores de entrada 304₁-



1 304₈, es representativa de la información de importa/no
importa almacenada para los ocho bitios superiores (bitios
B₁ - B₈) del primer programa almacenado en la primera y
5 en la segunda de las memorias de importa/no importa 263 y
264, como se mencionó anteriormente. Por lo tanto, las -
personas entendidas en la materia, apreciarán que las sa-
lidas de cada una de las puertas AND 303₁ - 303₈ presentes
dentro de la disposición de acción de puerta de importa/
no importa indicada por el bloque de líneas puestas 267 se
10 pondrán en nivel alto, la condición habilitada para una -
operación AND, si las salidas proporcionadas a las mismas
reflejan una comparación de información de marca/falta de marca
que ha tenido éxito o bien una condición de importa o no
15 importa o una indicación de marca/falta de marca que no
ha tenido éxito y una condición de no importa para el bi-
tío. Sin embargo, si se obtiene una indicación de una -
comparación de información de marca/falta de marca que no
ha tenido éxito junto con una indicación de importa, la
20 salida de las puertas AND 303₁ - 303₈ que recibe este par
de condiciones de entrada se pondrá en nivel bajo para -
reflejar de esta manera un nivel de deshabilitación para
las condiciones AND impuestas.

25 Si todas las salidas de las puertas AND -
303₁ 303₈ como son aplicadas a los conductores 307₁ - 307₈
son habilitadas o se ponen en nivel alto, la puerta AND
268 proporcionará un nivel alto en la salida de las mis-
mas conectada al conductor 308 que representa un nivel -
de selección para las condiciones AND supuestas de acuer-
do como se mencionó anteriormente. Sin embargo, si cual-
30 quiera de las salidas de las puertas AND 303₁ - 303₈ está



1 en nivel bajo, habrá presente un nivel bajo a la salida
de la puerta AND 268 en el conductor 308 que representa una
condición de no selección para la operación AND que se ha
supuesto. De esta forma, se verá que se proporciona o bien
5 una selección o no selección, en la forma de un nivel al-
to o un nivel bajo, respectivamente, en la operación AND
supuesta para los ocho bitios superiores (los bitios B_1 -
 B_8) para el canal A de la tarjeta de datos inicial que se
lee cuando se procesa de acuerdo con los primeros ocho bi-
10 tios del primer programa cargado durante la forma de fun-
cionamiento de programa. Aun cuando se ha supuesto una
operación AND, las personas entendidas en la materia apre-
ciaran a partir de los materiales descriptivos que se es-
tablecen anteriormente, que si se designó para el primer
15 programa que corriera una operación OR, habrá presente una
selección en la forma de un nivel bajo o una no selección
en la forma de un nivel alto en el conductor 308 para los
ocho bitios superiores del canal A de la tarjeta de datos
inicial leída cuando se procesa de acuerdo con los primeros
20 ocho bitios en el primer programa cargado.

La salida de selección o no selección de la
puerta AND 268 de acuerdo como se aplica al conductor 308,
es dejada pasar hacia adelante a la memoria de control y
a los elementos de decisión de comparación para fines de
25 acumulación de tal manera que pueda proporcionarse desde
los mismos una señal compuesta de selección o de no selec-
ción que se definirá posteriormente, en la manera que se
describirá en conjunto con la figura 5, al correrse todos
los programas de rutinas cargadas. Al completar la opera-
30 ción de procesamiento para los primeros ocho bitios del



1 primer programa cargado, el nivel en el terminal marcado
Bitios Inferiores/Superiores conectada al conductor 282
se pondrá en alto para cambiar la dirección suministrada
a cada una de las memorias en los conductores 282 - 285
5 de tal manera que se designe una dirección para los ocho
bitios inferiores del primer programa. De manera similar,
el primero y el segundo de los elementos multiplexor 92 y
93 asociados con la red de conversión de formato de canal
A 50A será dejada pasar como para aplicar ahora los ocho
10 bitios inferiores (los bitios $B_9 - B_{16}$) a los terminales de
entrada $D_1 - D_8$ asociadas con los conductores 270 - 277
en la figura 4. La información de marca/falta de marca -
leída para los ocho bitios inferiores en el canal A de la
tarjeta de datos serán procesados ahora para la informa-
15 ción de marca/falta de marca y de importa/no importa carga-
da para los ocho bitios inferiores del programa uno preci-
samente en la misma manera que se describe anteriormente
para los ocho bitios superiores del mismo, observándose -
que se retendrá una forma de operación AND puesto que solo
20 una operación AND u operación OR puede ser designada por
cada uno de los programas. Al completar el procesamiento
de bitio por bitio descrito anteriormente, se proporciona-
rá una selección en la forma de un nivel alto o una no se-
lección en la forma de un nivel bajo para la operación AND
25 supuesta, en el conductor de salida 308 conectado a la -
puerta AND 268 y que se deja pasar a la memoria de control
y al elemento de decisión de comparación 8.

Al completarse el procesamiento de selección
para los ocho bitios inferiores en el primer programa, como
30 podrán apreciar las personas entendidas en la materia, el



1 contador de número de programas 155 mostrado en la figura
3 se incrementa de tal manera como para designar ahora la se
gunda dirección del programa en los terminales marcados -
Bitio A - Bitio C, mientras que se inicia nuevamente un
5 segundo par de ciclos de procesamiento para cada ocho bi-
tios, puesto que el elemento de circuito basculante de -
interrogación 151 como se muestra en la figura 3, no se-
rá redispuesto hasta que el número de programas almacena-
dos en el elemento de cierre de cuatro bitios 156 se com-
10 pare con el estado de la cuenta manifestada por el ele-
mento contador de número de programas 155. De esta forma,
la información de canal A leída de la primer tarjeta de
datos procesada y cargada dentro de la red de conversión
de formato de canal A 50A, como aparece en la figura 2,
15 nuevamente es procesada en dos secuencias de ocho bitios
y se proporcionará un par de señales de selección, señales
de no selección, o una combinación de las mismas, para
el segundo programa corrido. Esta forma de proporcionar
la secuencia continuará hasta que se redispóngan el cir-
20 cuito basculante de interrogación 151 cuando el estado de
la cuenta en el elemento contador del número de programas
155 corresponde al estado de la cuenta almacenada en el -
elemento de cierre de cuatro bitios 156. Después de que se
han corrido todas las rutinas de programas en los dieci-
25 seis bitios de datos leídos del canal A de la tarjeta de
datos inicial explorada, la siguiente tarjeta de datos -
será explorada y procesada de manera similar.

Las personas entendidas en la materia, apre-
ciarán que la información de canal de los canales restan-
30 tes en la tarjeta de datos inicial explorada también son



1
5
10
15
20
25
30

procesados de la misma manera descrita para el canal A en las memorias de marca/importa de canal y los elementos de comparación independientes asociados con la misma. Por lo tanto, a medida que el procesamiento simultáneo de cada uno de los canales tiene lugar en cada una de las memorias de marca/importa de canal y los elementos de comparación - utilizados, se apreciará que cada una de las operaciones de procesamiento para cada uno de los canales dará por resultado la aplicación de un nivel de selección o de no selección en paralelo al elemento de control y al elemento de decisión de comparación de memoria 8 para cada uno de los ocho bitios de cada uno de los programas cargados para cada uno de los canales. Sin embargo, debe observarse que, puesto que las decisiones AND u OR especificadas para un programa determinado se establecen a base de tarjeta por tarjeta, la evaluación de cada uno de los niveles alto o bajo en términos de información de selección o no selección para la naturaleza de la operación de procesamiento especificada, será consistente para cada una de las entradas paralelas que representan cada uno de los canales suministrados a la memoria de control del elemento de decisión - de comparación 8. La manera por medio de la cual la información de selección y no selección generada para cada uno de los ocho bitios de cada uno de los programas a base de canal por canal se acumula y se procesa para lograr un bitio de selección definido adicionalmente para los diferentes programas cargados, se describirá en conjunto con el aparato de memoria de control y de decisión mostrado en la figura 5.



1

APARATO DE MEMORIA DE CONTROL Y DECISION

5

10

15

20

25

30

Con referencia ahora a la figura 5, se muestra una modalidad ejemplar del aparato de memoria de control y de decisión apropiado para utilizarse dentro de la modalidad ejemplar del aparato de exploración y selección ilustrado en el diagrama de bloque generalizado de acuerdo con la figura 1. El aparato ejemplar de memoria de control y decisión mostrado en la figura 5 ejecuta dos funciones primordiales dentro de la presente invención. La primera de dichas funciones es la de almacenar la información del contador auxiliar 1 y del contador auxiliar 2 de AND/OR, omisión/impresión que entra en la tarjeta de programa de control para cada uno de los programas insertados durante una operación en forma de programa. La segunda función del aparato de memoria de control y decisión mostrado en la figura 5 tiene lugar durante la función en forma de lectura y tiene lugar en la forma de una combinación de todas las formaciones de selección y no selección obtenidas en cada uno de los canales de la tarjeta de datos que está pasando por el procesamiento de selección y transformar cualquier información de selección que pueda ser obtenida a una sola señal resultante para todos los programas corridos la que define una operación para la cual se va a emplear dicha señal de selección. Más particularmente, se recordará que la información de selección puede ser obtenida en dos pasadas de ocho bitios de cada uno de los canales de los datos que se están procesando. De esta forma, para el sistema ejemplar de cinco canales que se está explicando en la presente, pueden lograrse hasta dos señales de selección para cada uno de los canales procesados y para cada



1 una de las rutinas de programa que se corren. Por lo tanto,
como puede haber presente hasta cinco canales, pueden reci-
birse hasta diez señales de selección por rutina de programa
y puesto que pueden almacenarse hasta ocho programas en la
5 modalidad ejemplar que se está describiendo hasta ochenta -
(80) señales de selección pueden necesitar procesamiento an-
tes de que se genere una condición resultante de selección o
no selección. Posteriormente, las señales de selección resul-
tantes generadas pueden ser tratadas como una señal de impre-
10 sión, una señal de omisión y/o señales de incremento para el
primero y el segundo de los contadores auxiliares descritos
en conjunto con la figura 1. La combinación de las señales de
selección dentro del aparato de memoria de control y de de-
cisión mostrado en la figura 1, se logra como se verá poste-
15 riormente, combinando inicialmente cada una de las señales
de selección o de no selección obtenidas de cada uno de los
canales para una primera pasada de ocho bitios dentro de una
sola señal de acuerdo con la naturaleza de la decisión -
AND/OR definida por el programa en proceso y subsecuentemen-
20 te combinado las señales de selección y de no selección ob-
tenidas para cada uno de los canales en la segunda pasada de
ocho bitios para, de esta forma, obtener una primera y
una segunda señales cuya naturaleza es una función del -
procesamiento AND u OR empleado. Posteriormente, dichas
25 primera y segunda señales se combinan de acuerdo con la ope-
ración AND u OR que se está llevando a cabo y se emplean
para generar una indicación apropiada de impresión o de -
omisión para la forma de operación en impresión y operacio-
nes en forma de contador para el primero y el segundo de -
30 los contadores auxiliares. Estas indicaciones de señal



1 son acumuladas como una función de cada uno de los pro-
gramas corridos y después de que se han completado todas
las rutinas de programa almacenadas, las señales resulta-
tes acumuladas se generan para proporcionar una sola se-
5 ñal en cada caso cuando es apropiado. Además, una decisión
de omisión siempre es una prioridad acordada de tal mane-
ra que una vez que se ha cargado una decisión de omisión,
no habrá indicaciones de señal de impresión o de incremen-
to asociadas con la misma para fines de dejar pasar las
10 salidas, al completarse todas las corridas de rutinas de
programas para la tarjeta que está pasando por el proce-
samiento de selección.

El aparato de memoria de control y de deci-
sión mostrado en la figura 5 comprende un elemento de me-
15 moria de información de control 309, una red de combina-
ción AND/OR de canal indicada por el bloque en líneas pun-
teadas 310, una disposición de acción de compuerta de salida
programa indicada por el bloque de líneas punteadas 311,
una pluralidad de circuitos basculantes de omisión 312 - 314
20 y una pluralidad de circuitos basculantes de habilitación
de función 315 - 317. El elemento de memoria de informa-
ción de control 309 puede convenientemente tomar la forma
de la configuración de memoria empleada para cualquiera de
la primera o la segunda de las memorias de marca/falta de
25 marca o de importa/no importa descritas en conjunto con
la figura 4; sin embargo, puesto que solo se requieren
treinta y dos (32) bitios de almacenamiento para los cin-
co canales, puesto que en la presente se explica una in-
vención con una modalidad de ocho programas, puede emplear-
30 se, si se desea, una configuración de memoria menor. Los



1

5

10

15

20

25

30

treinta y dos (32) bitios de almacenamiento utilizados en el elemento de memoria de información de control 309 pueden ser organizados en ocho palabras de cuatro (4) bitios de tal manera que pueden cargarse en la misma hasta ocho programas de cuatro (4) bitios, de acuerdo como son presentados en la tarjeta de programa de control como se mencionó anteriormente. Además, se supondrá que la memoria de información de control 309 actúa de la misma manera que la configuración de memoria descrita en conjunto con la primera y la segunda de las memorias de marca/falta de marca y de importa/no importa y que cuando se aplica un nivel alto a la entrada de habilitación de la misma, cualquier palabra de cuatro bitios presente en las entradas de datos de la misma, anotadas $D_1 - D_4$ en la figura 5, se almacenará en cualquiera de las ubicaciones de ocho palabras dirigidas en las entradas de dirección $A_1 - A_3$. Sin embargo, cuando no se aplica un nivel alto a la entrada de habilitación, el complemento de las cuatro palabras almacenadas en la misma y direccionadas en las entradas de dirección de la misma, se aplicarán a la salida $S_1 - S_4$.

Se recordara de la descripción las operaciones de programación empleadas dentro de la presente invención que solo los cuatro primeros bitios de la columna A de la tarjeta de programa de control se emplean para cada uno de los programas a fin de designar, respectivamente, información AND/OR, información de impresión/omisión, información del contador auxiliar 1 e información del contador auxiliar 2; en las que la designación de un contador auxiliar evita la posibilidad de una función de impresión para el programa. De esta forma, puesto que la información



1 de programa de control es suministrada efectivamente a -
base de tarjeta por tarjeta solo en el canal A, las entra-
das a la memoria de información de control 309 solo necesi-
tan ser conectadas, como aparece en la figura 1, a la red
5 de conversión de formato de canal A 50A y adicionalmente
como queda claramente indicado en la figura 5, solo necesi-
titan aplicarse los cuatro primeros bitios de la misma aso-
ciados con el primer elemento multiplexor 92. De conformi-
dad, como aparece en la figura 5, las entradas de datos
10 $D_1 - D_4$ del elemento de memoria de información de control
309 estan conectadas respectivamente a las salidas $D_1 -$
 D_4 del primer elemento multiplexor 92 a traves de los con-
ductores 318 - 321 de tal manera como para obtener de los
mismos la información de bitios contenida en las cuatro
15 primeras ubicaciones de bitios de la tarjeta de programa de
control cuando se habilita el primer elemento multiplexor
92 para proporcionar los cuatro bitios superiores leídos
a la salida de la misma.

20 Las entradas de dirección $A_1 - A_3$ al elemento
de memoria de información de control 309 están conectadas
a través de los conductores 322 - 324 a los terminales mar-
cados como Bitio A - Bitio C de la misma manera que se des-
cribió para las memorias de marca/falta de marca y de impor-
ta/no importa mostrado en la figura 3 y se apreciará que -
25 estos terminales al elemento de memoria de información -
de control 309 están conectados a los terminales correspon-
dientemente designados ilustrados en la figura 3 y deriva-
dos como una función del estado de la cuenta en el elemen-
to contador de programa 155. Las personas entendidas en la
30 materia apreciarán que solo se requiere aquí una dirección



1 de tres bitios puesto que solo ocho palabras de cuatro bitios son dirigidas para la información de control programada.

5 La entrada de habilitación al elemento de memoria de información de control 309 está conectada a través del conductor 325 al terminal marcado Tarjeta de Control de Programa del Control de Memoria y las personas entendidas en la materia, apreciarán que este terminal está conectado al terminal marcado A la Memoria de Control

10 de Programa conectada al conductor 203 a la salida de la puerta AND 202 en la figura 3. Además de la descripción que se ha establecido para la figura 3, se apreciará que solo se proporciona un nivel alto o de habilitación en el conductor 203 cuando el aparato de dirección de memoria de escritura/lectura de control de selección mostrado en la

15 misma está en la forma de funcionamiento de programa, y los ocho bitios superiores, los bitios $B_1 - B_8$, son dejados pasar desde los elementos multiplexor 92 y 93 y la primera tarjeta o tarjeta de programa de control ha sido leída de acuerdo como se determina por el elemento contador de secuencia de forma de programa 154. De esta manera, será aparente que el elemento de memoria de información de control 309 solo será habilitado por un nivel alto en el conductor 325 durante una forma de funcionamiento de programa y durante un intervalo en la misma cuando ha sido leída la tarjeta de programa de control y los ocho primeros

20 bitios de la información en la misma han sido dejados pasar desde la red de configuración de formato de canal A 50A.

25 Las salidas del elemento de memoria de infor-



1 mación de control 309 están conectadas a los conductores
326 - 329 para las finalidades que se explicarán subsecuen-
temente. Es suficiente hacer observar aquí que cuando se
proporciona un nivel bajo a la entrada de habilitación el
5 elemento de memoria de información de control 309, el con-
tenido de bitios invertidos el programa almacenado en una
palabra dirigida es suministrada a las salidas respecti-
vas en los conductores 326 - 329 y recordar que puesto que
había una información AND y de impresión presente para una
10 marca en blanco en la tarjeta, un nivel alto a las sali-
das S_1 y S_2 representará una información de AND y de im-
presión mientras que cuando se proporciona una marca en
la tarjeta para los contadores auxiliares 1 y 2 los nive-
les bajos en las salidas S_3 y S_4 indicarán una habilita-
15 ción para el primero y el segundo de los contadores auxi-
liares.

La red de combinación AND/OR de canal indica-
da por el bloque de líneas punteadas 310 comprende una
20 pluralidad de puertas AND 330 - 332, un circuito basculan-
te de bitios superiores 333, una pluralidad de puertas
OR 334 y 335 y una puerta exclusiva OR 336. La puerta AND
330 comprende una puerta AND de cinco entradas cuya sali-
da está invertida y por lo tanto actúa de manera bien co-
nocida para producir una salida de bajo nivel solo cuan-
do todas las entradas a la misma están en nivel alto. Las
25 cinco entradas a la puerta AND 330 están conectadas a tra-
vés de los conductores 337 - 341 a las salidas de decisión
de selección asociada con cada una de las memorias de
marca/importa de canal y de elementos de comparación 3 - 7
30 como aparece en la figura 1, y por lo tanto, si se supone



1 que se emplean para cada uno de los canales las memorias
de marca/importa de canal y la red de comparación ejempla-
res mostradas en la figura 4, cada uno de los conductores
337 - 345 estaría conectado a la salida de la puerta AND
5 268 de la misma en el conductor 308. De esta forma, la
puerta AND 330 funciona de la manera que se describirá -
posteriormente, para combinar cada una de las salidas de
selección o de no selección proporcionadas para cada una
de las memorias de marca/importa de canal y de las redes
10 de comparación en respuesta al procesamiento de selec-
ción para ocho bitios determinados de datos y para produ-
cir una salida en el conductor 342 que es representativo
de los resultados de dicha combinación.

15 Aun cuando la presente invención se está des-
cribiendo de acuerdo con una modalidad ejemplar que em-
plea cinco canales discretos de información, se apreciará
que la modalidad ejemplar del aparato de exploración y se-
lección descrito en la presente puede ser modificado fá-
cilmente para un número reducido de canales en las tarje-
20 tas de datos que se están explorando simplemente omitien-
do el circuito de canal discreto ilustrado en la figura 2
para los canales que se busca ser borrados y sólo propor-
cionar memorias de marca/importa de canal y elementos de
comparación, tales como los ilustrados en la figura 4, -
25 para los canales de información realmente utilizados. Sin
embargo, puesto que el aparato de memoria de control y de-
cisión mostrado en la figura 5 no necesita ser substancial-
mente modificado para el número de canales empleados, bien
puede ser deseable emplear el aparato ejemplar mostrado
30 en la misma independientemente del número de canales de -



1

5

10

15

20

25

30

información para los cuales se va a fabricar una modalidad determinada. Por esta razón, aun cuando no se ilustra específicamente en la figura 5, pueden ser conectadas resistencias de recuperación asociadas con un nivel de voltaje positivo a las entradas de canal asociadas con los conductores 338 - 341 de tal manera que los canales de información que no están en uso exhiban un nivel positivo o alto. Dicho nivel alto en la ausencia de una información de selección impuesto a las mismas, accionara, como podrán apreciar las personas entendidas en la materia, de tal manera como para no provocar que haya presente una condición de selección a la salida de la puerta AND 330 mientras no se inhiban ninguna de las condiciones de selección que pueden ser establecidas en otra forma. De esta forma, cuando dichas resistencias de recuperación son conectadas a los conductores 338 - 341, el aparato de memoria de control y decisión mostrado en la figura 5 puede ser empleado con cualquier número de canales de información, de una a cinco, mientras haya cuando menos un canal válido conectado al conductor 337.

La descripción de la figura 4 establecida anteriormente, pondrá de manifiesto que una condición de selección indicada a la salida de la puerta AND 268 para cada uno de los canales empleado manifestará una condición de nivel alto si había presente una operación AND válida para los ocho bitios probados mientras habrá presente un nivel bajo para una operación OR válida. En forma inversa, en caso de que haya presente un nivel bajo a la salida de la puerta AND 268, como aparece en la figura 4, durante una forma de funcionamiento AND, la condición de no



1 selección o inhibición queda indicada mientras que para
una operación OR, un nivel indicará una condición de inhibi-
ción o de no selección. Por lo tanto, para una operación
AND válida que resulta en una selección a la salida de ca-
5 da una de las memorias de marca/importa de canal y de los
elementos de comparación para los canales A - E, habrá un
nivel alto en cada uno de los conductores 337 - 341 y por
lo tanto, se producirá un nivel bajo por medio de la puer-
ta AND 330 y se aplicará al conductor de salida 342. Pues-
10 to que las condiciones de AND u OR especificadas en un pro-
grama son establecidas para la tarjeta como un total, por
lo tanto para cada uno de los canales de información en
la misma, se verá que si, para una operación AND, hay pre-
sente un nivel bajo en cualquiera o más de uno de los con-
15 ductores de entrada 337 - 341, la salida de la puerta AND
330 conectada al conductor 342 se pondrá en nivel alto
indicará que se obtuvo una operación AND válida para la
información de selección impuesta por los ocho bits por
cada uno de los canales probados. En forma inversa, para
20 una operación OR, un nivel bajo en cualquiera de los con-
ductores 337 - 341 indicará que cuando menos un canal de
información probado a base de los ocho bits ha dado por
resultado una condición válida OR y por lo tanto, para
la operación OR que se está explicando, la salida de la
25 puerta AND 330 se pondrá en alto indicando de esta forma
una operación válida OR. Sin embargo, en el caso de que
todas las entradas a los conductores 337 - 341 estén en
nivel alto durante una operación OR, se apreciará que no
se obtuvo un OR válido en cualquiera de los canales para
30 las condiciones de selección impuestas y por lo tanto la



1 salida de la puerta AND 330 tendrá un nivel bajo para in-
dicar que ha tenido lugar una operación OR válida para las
condiciones de selección impuestas sobre los ocho bitios
de información probada. De esta forma, para resumir, un ni-
5 vel alto a la salida del conductor 342 indicará que ha -
tenido lugar o bien una operación válida OR o bien una ope-
ración inválida AND mientras que un nivel bajo a la salida
de la puerta AND 330 será indicativa de que ha tenido lu-
gar o bien una operación válida AND o bien una operación
10 inválida OR para los ocho bitios de información probados.
Por lo tanto, como apreciarán las personas entendidas en
la materia, la puerta AND 330 funciona para combinar la in-
formación de selección y/o no selección producida por ca-
da una de las memorias de marca/importa de canal y de los
15 elementos de comparación 50A - 50E para una secuencia de
ocho bitios que se está probando y para producir un nivel
alto o bajo indicativo de que ha tenido lugar una operación
válida OR o inválida AND y ha tenido lugar una operación
válida AND o inválida OR, respectivamente, cuando las en-
20 tradas de selección y no selección suministradas para cada
una de las memorias de marca/importa de canal y de los -
elementos de comparación 50A - 50E se combinan lógicamente
de la forma definida por la operación lógica AND u OR im-
puesta.

25 La salida de la puerta AND 330 es suministra-
da a través de los conductores 342 y 343 a la entrada del
circuito basculante de bitios superiores 333 y a través de
los conductores 342 y 344 a una entrada de una puerta OR
334 cuya salida está invertida. Como se verá inmediatamen-
30 te en lo que sigue, la función del circuito basculante de



1 los bitios superiores 333 es la de almacenar las condicio-
nes combinadas de selección y no selección producidas por
la puerta AND 330 para una operación AND u OR especificada
5 por los bitios superiores leídos durante una primera pasa-
da de ocho bitios. La función de la puerta OR 334, sin
embargo, es la de recibir de la salida de la puerta AND
330, la condición de salida de selección y de no selección
que resulta de una combinación de entradas del canal A al
10 canal E para los ocho bitios inferiores procesados y de
adicionalmente combinar la condición almacenada por el cir-
cuito basculante de los bitios superiores 333, que repre-
senta los ocho bitios superiores, para proporcionar de
esta forma una señal lógica que representa la resultan-
te de la información de selección obtenida de todos los
15 canales para los ocho bitios superiores e inferiores proba-
dos, en la que dicha combinación produce una señal resulta-
te a base de la operación AND u OR que ha sido programa-
da.

20 El circuito basculante de los bitios supe-
riores 333 puede tomar la forma convencional de configura-
ción de multivibrador biestable bien conocida por las per-
sonas entendidas en la materia, que actúa para almacenar
un bitio determinado de datos aplicado a la entrada D del
mismo solo cuando es recibida por el circuito un impulso
25 de medición de tiempo de nivel alto. La entrada D del cir-
cuito basculante de los bitios superiores 333 está conec-
tada a través de los conductores 343 y 342 a la salida de
la puerta AND 330, como se mencionó anteriormente, para
de esta forma recibir una señal combinada de selección o
30 no selección desde los canales de A a E para cada uno de



1
5
10
15
20
25
30

los ocho bitios probados. La entrada de medición de reloj al circuito basculante de los bitios superiores 333 está conectada a través de un conductor 345 a una salida de la puerta AND 331 que puede tomar el formato convencional y produce un nivel alto a la salida de la misma cuando ambas de sus entradas son de nivel alto. La primera entrada al circuito basculante 331 está conectada a través de los conductores 346 y 347 al terminal marcado Leer Interrogar. La entrada de leer interrogar está conectada a la salida correspondiente anotada de la puerta AND 218, como se muestra en la figura 3. De la descripción del aparato de dirección de escritura/lectura y control de selección mostrado en la figura 3, se recordará que la salida de leer interrogar de la puerta AND 218 sólo se pondrá en nivel alto cuando se dispone el circuito basculante de programa/lectura 150 a funcionamiento en forma de lectura y hay presente en el conductor 256 una señal de cargar o bien los ocho bitios superiores o bien los ocho bitios inferiores, de acuerdo como queda controlado por el elemento contador de control de memoria 153. De esta forma, la entrada a la puerta AND 331 conectada al conductor 346 se pone en alto cuando se ha establecido una forma de funcionamiento de lectura y se están dejando pasar o bien los ocho bitios superiores o bien los ocho bitios inferiores.

La segunda entrada a la puerta AND 331 está conectada a través de los conductores 348 - 350 y de un inversor 351 al terminal de entrada marcado Bitios Inferiores/Superiores. Se recordará que la descripción de las figuras 3 y 4 que se establecen anteriormente, que esta señal de acción de puerta se produce como una función de una



1 de las salidas del elemento contador de control de memo-
ria 153, como se muestra en la figura 3 y se pondrá en un
nivel bajo cuando se ha emitido una orden de carga de los
bitios superiores. Puesto que la salida en el terminal mar-
5 cado leer interrogar se aplica directamente a una entrada
de la puerta AND 331 a través de los conductores 346 y
347, las personas entendidas en la materia apreciarán que
este terminal de la puerta AND 331 es habilitado cuando se
establece una forma de operación de lectura y el elemento
10 contador de control de memoria 153 en la figura 3 ha emi-
tido una orden de carga de los ocho bitios superiores o
inferiores. Sin embargo, puesto que la segunda entrada a
la puerta AND 331 se aplica a través de los conductores 350
y 349, el inversor convencional 351 y el conductor 348 es
15 la entrada a la puerta AND 331 quedará habilitada cuando
se aplica un nivel bajo al terminal marcado Bitios Infe-
riores/Superiores o cuando el elemento contador de control
de memoria 153 no ha emitido una orden de carga de los
bitios inferiores. Por lo tanto, las personas entendidas
20 en la materia, apreciarán que la puerta AND 331 aplicará
un impulso de medición de tiempo al conductor 345 a la -
entrada de medición de tiempo del circuito basculante 333
solo cuando se ha establecido una forma de lectura y ha -
sido emitida una orden de carga de los ocho bitios supe-
25 riores y por lo tanto la entrada D del circuito basculan-
te de los ocho bitios superiores 333 solo quedará cargada
en la misma al mismo tiempo que se aplica la información
de selección derivada del ciclo de los ocho bitios supe-
riores a los conductores 337 - 341. Esto significa, como
30 será aparente a las personas entendidas en la materia, que



1 la señal lógica resultante producida a la salida de la -
puerta AND 330 para el primer ciclo de ocho bitios de ca-
da una de las operaciones de procesamiento de dieciseis bi-
tios necesarias para el procesamiento de la información
5 de selección de acuerdo con un programa, se carga en el -
circuito basculante de los bitios superiores 333 para al-
macenamiento temporal en el mismo. De esta forma, si ha
tenido lugar una operación AND, se cargará un nivel bajo
en el circuito basculante de los bitios superiores 333 si
10 hay presente una secuencia de selección válida, mientras
que se cargará un nivel alto en dicho circuito para una
secuencia no válida AND e inversamente, si ha tenido lu-
gar una operación OR se cargará un nivel alto en el cir-
cuito basculante de los bitios superiores 333 si tiene -
15 lugar una operación de selección validas mientras que se
cargará un nivel bajo en el mismo para indicar una condi-
ción de no selección o de inhibición para una condición
OR no válida.

20 La salida del circuito basculante de los
bitios superiores 333, que sigue la condición de una entra-
da cargada al mismo cuando hay presente un impulso de me-
dición de tiempo, es aplicada al conductor 352 hasta una
entrada de la puerta OR 334 cuya salida está invertida.
25 Cuando se produce la segunda señal resultante que repre-
senta la información de selección de canal, compuesta -
asociada con los ocho bitios inferiores de un ciclo a la
salida de la puerta AND 330 conectada al conductor 342,
habrá presente un nivel alto en el terminal marcado Bi-
tios Inferiores/Superiores y se aplica a través del con-
30 ductor 350 y del conductor 349 al inersor 351. Este nivel



1 alto se invertirá y por lo tanto será aplicado como un ni-
vel bajo a la segunda entrada de la puerta AND 331 de tal
manera que, no se producirá un nivel de medición de tiempo
alto a la salida del mismo conectada a la entrada de me-
5 dición de tiempo del circuito basculante de los bitios
superiores 333. Esto significa que la segunda señal com-
puesta que representa una señal de selección compuesta pa-
ra una operación AND u OR asociada con los bitios inferio-
res de un ciclo será aplicada a través del conductor 344
10 a la entrada de la puerta AND 334 cuya salida está inverti-
da.

Debido a la acción del circuito basculante de
los bitios superiores 333 y más particularmente, a la con-
figuración lógica de medición de tiempo empleada en el mis-
15 mo cuando la señal de selección compuesta asociada con el
ciclo de los bitios inferiores se aplica a la entrada de
la puerta OR 334 conectada al conductor 344, se aplicará
un nivel alto o bajo asociado con la señal compuesta pre-
viamente derivada de los ocho bitios superiores de informa-
20 ción desde la salida del circuito basculante de los bi-
tios superiores 333 a través del conductor 352 a la segun-
da entrada de la puerta OR 334. Puesto que la puerta OR
334 es una puerta OR convencional cuya salida está inver-
tida, las personas entendidas en la materia apreciarán que
25 se producirá un nivel alto a la salida de la misma solo -
cuando ambas de las entradas de ella están en nivel bajo
mientras que se producirá un nivel bajo a la salida de di-
cha puerta y se aplicará al conductor 353, cuando cualquie-
30 ra de las entradas de la puerta están en un nivel alto.
Además, se apreciara que la salida de NOR de la puerta OR



1

334 representa una combinación lógica de la señal compuesta de canal producida a la salida de la puerta AND 330 - para ambas de las secuencias de selección de bitio superior e inferior para cada uno de los canales de un programa determinado corrido.

5

10

Volviendo a una consideración de las diferentes salidas que pueden ser producidas por la puerta AND 330, se recordará que para una operación AND un nivel bajo es representativo de una secuencia de selección válida - para cada uno de los canales, mientras que un nivel alto representa una condición no válida AND para la información de selección de canal combinada. Por lo tanto, puesto que se asigna un AND en base de tarjeta por tarjeta, dos niveles bajos aplicados a ambas entradas de la puerta OR

15

334 indicaran que se ha obtenido una selección válida a base de un AND para cada uno de los canales combinados en cada una de las dos secuencias de ocho bitios. En respuesta a un nivel bajo en cada una de las entradas a la misma, la salida de la puerta OR 334 se pondrá en alto y dicho nivel alto representará como se mencionó anteriormente que se ha llevado a cabo una operación AND válida para cada uno de los canales de la tarjeta de datos leída a base de dieciseis bitios para la secuencia de programa y en proceso. Como es natural, en el caso de que una o ambas de las entradas a la puerta OR 334 sean de nivel alto durante una forma de funcionamiento AND, la salida de la puerta OR 334 tendrá un nivel bajo para indicar de esta forma que ha tenido lugar una operación AND inválida y por lo tanto hay presente una condición de no selección o inhibición en el compuesto.

20

25

30

en el compuesto.



1
5
10
15
20
25
30

En forma inversa, para una operación OR; un nivel alto de salida a la salida de la puerta AND 330 indicará que ha tenido lugar una operación OR válida cuando menos en uno de los canales y por lo tanto la aplicación de un nivel alto a una o ambas de las entradas de la puerta OR 334 será indicativa de que ha tenido lugar una operación OR válida de tal manera que se proporcionará una condición de selección en la forma de un nivel bajo a la salida de la puerta OR 334. Puesto que la operación OR es asignada a base de tarjeta por tarjeta, una condición no válida OR o condición de inhibición debe ser indicada a la salida de la puerta OR 334, solo cuando ambas de las entradas a la misma están en nivel bajo indicando que fue generada una señal de inhibición compuesta para cada uno de los canales durante ambos ciclos de ocho bitios y por lo tanto, bajo estas condiciones la salida de la puerta OR 334 se pondrá en nivel alto para indicar, para una forma de funcionamiento OR, que ha tenido lugar una operación no válida OR.

La salida de la puerta OR 334 está conectada a través del conductor 354 a una entrada de la puerta exclusiva OR 336. La segunda entrada a la puerta OR exclusiva 336 está conectada a través del conductor 326 a la salida S_1 de la memoria de información de control 309 y recibirá, como se recordará, el complemento del bitio de información AND/OR almacenado para el programa que se está seleccionando cuando el elemento de memoria de información de control 309 está en condición de lecturas. También puede observarse que la salida S_1 del elemento de memoria de información de control está conectado a través de los



1

conductores 326 y 355 a un terminal de salida marcado AND/OR y es este terminal el que está conectado al terminal correspondientemente marcado en la figura 4 y empleado para suministrar un nivel lógico apropiado a la disposición de acción de puerta de decisión AND/OR indicada por el bloque de líneas punteadas 266.

5

10

Si se recuerdan las condiciones de salida en la salida de la puerta OR 334, se apreciara que se produce por medio de ella un nivel alto cuando hay presente una condición AND válida o de selección para una operación AND mientras que se produce un nivel bajo en dicha puerta cuando ha tenido lugar una operación de selección válida OR. Sin embargo, se produce un nivel bajo para una operación AND que no llene los requisitos de selección impuestos mientras que se produce un nivel alto para una operación OR no válida.

15

20

25

30

Por lo tanto, puesto que una puerta OR exclusiva producirá un nivel bajo a la salida de la misma cuando ambas de las entradas a la puerta son las mismas mientras que produce un nivel alto para salidas diferentes, se apreciará que cuando hay presente un nivel alto en el conductor 354 indicando que cuando hay presente una condición de selección para una operación AND y se lee un nivel del elemento de memoria de información de control 309 indicando que se ha especificado una operación AND para el programa dirigido, la salida de la puerta OR exclusiva 336 se pondrá en nivel bajo. De manera similar, cuando hay presente un nivel bajo a la salida de la puerta OR 334 indicando que hay presente una condición de selección para una operación OR y se ha leído un nivel bajo del ele-



1
5
10
15
20
25
30

mento de memoria de información de control 309 indicando que se ha especificado una operación OR para el programa dirigido, la salida de la puerta exclusiva OR 336 irá nuevamente a un nivel bajo de tal manera que, en efecto, se produce un nivel bajo a la salida de la puerta exclusiva OR 336 para indicar una condición de selección para un programa determinado independientemente de si la condición - especificada es o no una operación AND u OR. En forma inversa, se vera el nivel bajo es indicativo de una inhibición para una operación AND mientras que un nivel alto es indicativo de una inhibición para una operación OR y por lo tanto la salida de la puerta exclusiva OR 336 se pondrá en alto cuando se obtiene una condición de inhibición para el programa de operación AND u OR lógicos. La salida de la puerta exclusiva OR 336 está conectada a través del conductor 356 a una entrada de la puerta OR 335 cuya salida está invertida.

La puerta OR 335 cuya salida está invertida puede tomar cualquier formato convencional y por lo tanto actúa de manera bien conocida para producir un nivel alto solamente cuando ambas de sus entradas están en nivel bajo mientras que produce un nivel bajo de salida para cualquier conjunto de condiciones de entrada en una operación típica en forma NOR. Puesto que una primera entrada a la puerta OR 335 está conectada a través del conductor 356 a la salida de la puerta exclusiva OR 336, se apreciará que esta puerta OR es disparada para producir un nivel alto a la salida de la misma solo cuando se genera una salida de información de selección como un nivel bajo por medio de la puerta exclusiva OR 336 mientras que produce



3

1 un nivel bajo a la salida de dicha puerta cuando hay pre-
sente un nivel alto a la salida de la puerta OR exclusiva
356 para indicar de esta forma una condición de inhibición
o no selección. Como apreciaran las personas entendidas
5 en la materia, la salida de la puerta OR 335 que se va a
nivel alto indicará una condición de selección para el ci-
clo de programa corrido y ahora combinado mientras que el
nivel bajo a la salida del mismo es indicativo de que se
obtuvo una condición de inhibición o de no selección para
10 el programa corrido. La segunda entrada a la puerta OR
335 está conectada a través del conductor 357 a la salida
de la puerta AND 332 cuya salida está invertida . Las dos
entradas a la puerta AND 332 están conectadas a través de
15 los conductores 350 y 347 a los terminales marcados como
Bitios Inferior/Superior y Lectura Interrogar. De la ex-
plicación de las entradas a estos terminales se apreciará
que habrá presente un nivel alto en ambos terminales solo
cuando hay en progreso una forma de funcionamiento de Lec-
tura y hay presente una orden de dejar pasar los bitios
20 inferiores. Cuando hay presente un nivel alto en cada una
de las entradas de la puerta AND 332 se producirá un nivel
bajo en esta puerta y se aplicará a través del conductor
357 a la segunda entrada de la puerta OR 335. De esta for-
ma, las personas entendidas en la materia, apreciarán que
25 se aplica un nivel bajo al conductor 357 solo cuando la -
lógica puede estar segura de que se ha leído la segunda
secuencia de ocho bitios para la secuencia de dos pasadas
para el programa que se está pasando. Por lo tanto, cuando
hay presente un nivel alto a la salida de la puerta OR
30 335 cuya salida está invertida, se indica un bitio de se-



1 lección de información para un ciclo de programa que se ha completado.

5 La salida de la puerta OR 335 cuya salida está invertida está conectada a través del conductor 358 a una entrada de la disposición de acción de puerta de salida de programa indicada por el bloque de líneas punteadas 311. La disposición de acción de puerta de salida de programa indicada por el bloque de líneas punteadas 311 funciona para transformar cualquier información de selección proporcionada al mismo en la forma de un nivel alto desde la salida de la puerta OR 335, cuya salida está invertida, hasta transformarla en una señal de operación para la naturaleza especificada en el programa que se está direccionando. Por ejemplo, se recordará que cuando se establece una secuencia de programa determinada, cualquier tarjeta de datos seleccionada a través de las condiciones de marca/falta de marca, importa/no importa y AND/OR especificadas en el programa puede dar por resultado una función de impresión, una función de omisión, o una función de incremento para el primero y el segundo de los contadores auxiliares. De esta manera, la disposición de acción de puerta de salida de programa indicada por el bloque de líneas punteadas 311 actúa en respuesta a la señal de selección obtenida para una secuencia de programa determinada para definir como se verá posteriormente, si una señal de selección va a ser impresa u omitida o va a ser empleada para aumentar o inhibir el primero y el segundo de los contadores auxiliares.

25
30 La disposición de acción de puerta de salida de programa indicada por el bloque de líneas punteadas 311,



1 comprende una primera y una segunda puertas AND 360P y 360S
asociadas respectivamente con la función de impresión/omi
sión, una primera y una segunda puertas AND 361C y 361S
asociadas con el incremento o la inhibición del primer con-
5 tador auxiliar y una primera y una segunda puertas AND -
362C y 362S asociadas, respectivamente, con el incremen-
to o la inhibición del segundo contador auxiliar. Cada -
una de las puertas AND presentes dentro de la disposición
de acción de puerta de salida de programa indicada por el
10 bloque de líneas punteadas 311 puede tomar cualquier for-
ma convencional de puerta AND cuya salida está invertida
y por lo tanto actúa de manera bien conocida como AND -
para proporcionar un nivel bajo o de disposición para un
circuito basculante a la salida de la misma y solo cuando
15 la totalidad de las entradas a la puerta están en nivel
alto. Una entrada a todas las puertas AND presentes dentro
de la disposición de acción de puerta de salida de pro-
grama indicada por las líneas punteadas 311 está conecta-
da en común a través del conductor 363 a la salida de la
20 puerta OR 335 en el conductor 358 y por lo tanto, como apre-
ciarán las personas entendidas en la materia, un nivel de
habilitación de umbral para cada una de las puertas AND
presentes dentro de la disposición de acción de puerta de
salida de programa indicada por el bloque de líneas puntea-
25 das 311 quiere decir que hay presente una información de
selección para un programa. De esta forma, si no se propor-
ciona una selección para un programa determinado, no tie-
ne lugar una habilitación para ninguna de las puertas AND
dentro de las disposiciones de acción de puerta de salida
30 de programa indicadas por el bloque de línea punteada 311



1 y, como se verá posteriormente, en el caso de que los ciclos
de programa corridos para una tarjeta determinada dejen de
proporcionar una salida de selección, no se generará una
función de ninguna especie en ninguna de las salidas de
5 las puertas AND presentes dentro de la disposición de ac-
ción de puerta de salida de programa indicada por el bloque
de líneas punteadas 311.

Si se recuerda la forma de programación de
la presente invención establecida anteriormente, las per-
10 sonas entendidas en la materia, apreciarán que puede es-
tablecerse una función de impresión o de omisión en la
segunda ubicación de bitio en la tarjeta de control, mien-
tras que se establece una instrucción de incremento en el
primero y el segundo de los contadores en la tercera y la
15 cuarta de las ubicaciones de bitios en la tarjeta de con-
trol. Además, se recordará que una instrucción de incremen-
to en un contador es mutuamente exclusiva de la función
de impresión o de omisión bajo la forma de programación
elegida y por lo tanto cuando se incrementa un contador,
20 la función de impresión o de omisión queda sin funcionar.
La operación de la función de selección de impresión o de
omisión queda controlada por el par de puertas AND 360P y
360S. La primera entrada a cada una de estas puertas AND
está conectada como se mencionó anteriormente, a través de
25 los conductores 363 y 358 a la salida de la puerta OR 355
y por lo tanto este par de puertas AND solo se habilitarán
en respuesta a una condición de selección. Puesto que se
produce un nivel de impresión como un nivel alto a la sa-
lida de la memoria de información de control 309 conecta-
30 da al conductor 327, este conductor se conecta a través de



1 conductor 364 a una entrada de la puerta AND 360P que actúa
para controlar la función de impresión. De manera similar,
puesto que se generará una función de omisión como un nivel
bajo en el conductor 327, este conductor está conectado a
5 través de los conductores 365 y 366 y de un inversor 367
a una segunda entrada de la puerta AND 360S de tal manera
que cuando se genera un nivel de omisión a la salida del
elemento de memoria de información de control 309, se apli-
cará un nivel alto a la puerta AND 360S mientras que se -
10 aplica un nivel bajo a la puerta AND 360P e inversamente,
cuando si es indicada una función de impresión para el pro-
grama que se está leyendo, se aplica un nivel alto a tra-
vés de los conductores 327 y 364 a la entrada de la puerta
AND 360P, mientras que se aplica un nivel bajo a través
15 de los conductores 327, 365 y 366 a la entrada de la puerta
AND 360S que controla la función de omisión.

Además, puesto que un incremento en cual-
quiera de los contadores inhiben la función de impresión
u omisión asociada con las puertas AND 360P y 360S, una -
20 entrada de cada una de las puertas AND 360P y 360S está
conectada a través de los conductores 368 y 369 a la salida
de una puerta OR 370 cuya salida está invertida. La pri-
mera y la segunda entradas a la puerta OR 370 están conec-
tadas a través de los conductores 371 y 372 y de los in-
25 versores 373 y 374, a la primera y a la segunda de las sa-
lidas del contador auxiliar en los conductores 328 y 329
del elemento de memoria de información de control 309. -
Como podrán apreciar las personas entendidas en la materia
la puerta OR 370 cuya salida está invertida actúa de manera
30 convencional para producir un nivel bajo en cualquier mo-



1 mento que hay presente un nivel bajo en una de las entra-
das a la misma, y que se aplica la salida invertida de los
conductores 328 y 329 a la misma a través de los inverso-
res 373 y 374 y se apreciará que en cualquier momento se
5 genera un nivel bajo indicando un incremento en la ins-
trucción de cuenta en una o ambas de las salidas S_3 y S_4
del elemento de memoria de información 309; el nivel bajo
dará por resultado la producción de un nivel bajo a la sa-
lida de la puerta OR 370 para inhibir a ambas de las puer-
tas 360P y 360S e inversamente, cuando hay presente un
10 nivel alto en ambos de los conductores 328 y 329, indican-
do que no ha sido almacenada una instrucción de incremen-
to de contador para el programa direccionado, se aplicará
un par de niveles bajos a través de los conductores 371
15 y 372 a las entradas de la puerta OR 370 para de esta for-
ma poner un nivel alto en los conductores 368 y 369 para
habilitar ambas de las puertas AND 360P y 360S para la -
función de impresión u omisión que en otra forma podría es-
tablecerse.

20 Por lo tanto, las personas entendidas en la
materia, apreciaran que se producirá un nivel bajo a la
salida de la puerta AND 360P conectada al conductor 375,
solo cuando se ha producido un bitio de selección para un
programa a la salida de la puerta OR 335, cuando se ha in-
25 dicado una operación de impresión por medio de un nivel al-
to presente a la salida S_2 del elemento de memoria de in-
formación de control 309 para el programa de dirección y
no hay presente una instrucción de contador para el pro-
grama de dirección de acuerdo como lo representa un nivel
30 bajo a las salidas S_3 y S_4 del elemento de memoria de in-



1 formación 309. De manera similar, se vera que hay presen-
te un nivel bajo a la salida de la puerta AND 360S que con-
trolla la función de omisión, como se mencionó anteriormen-
te, en el conductor 376 solo cuando se ha generado una -
5 condición de selección a la salida del conductor 335, cuando
hay presente una condición de omisión de acuerdo como lo
representa un nivel bajo, a la salida S₂ del elemento de
memoria de información 309 para el programa de dirección
y no hay presente una instrucción de incrementar el conta-
10 dor en ninguno de los conductores 328 o 329 para el pro-
grama de dirección. Además, se apreciará que en cualquier
momento en que se genere una función de impresión a la sa-
lida del elemento de memoria de información de control 309,
la puerta AND 360S quedará inhibida y en forma inversa en
15 cualquier momento que se genera una condición de omisión
en dicho elemento, la puerta AND 360P quedará inhibida.

La salida de la puerta AND 360P está conec-
tada a través del conductor 375 al circuito basculante de
impresión 315 que controla una forma de funcionamiento en
20 impresión. De manera similar, la salida de la puerta AND
360S está conectada a través de los conductores 376 y del
circuito basculante de omisión 312 que también está aso-
ciado con la función de impresión y que, dependiendo de la
condición de los circuitos basculantes de impresión y de
25 omisión 312 y 315, se dejará pasar o no se dejará pasar una
señal para habilitar la impresión selectiva tal como por
medio de la aplicación o la falta de aplicación de una se-
ñal generada al circuito lógico y el circuito de control
mostrados en la Figura 4 de la patente de los Estados Uni-
30 dos 3.700.324 que controla las operaciones de impresión



1 selectivas en el aparato de impresión electrofotográfico
escrito en la misma. Tanto el circuito basculante de im-
presión 315 como el circuito basculante de omisión 312 pue-
den comprender un aparato convencional de circuito bascu-
5 lante que actúa en respuesta a la aplicación de un nivel
bajo a la entrada de los mismos para colocarlo en una -
condición de dispuesto y de esta forma presentar un nivel
bajo a la salida de los mismos. La salida del circuito -
basculante de omisión 312 está conectada a través del -
10 conductor 377 a la entrada de redistribución del circuito
basculante de impresión 315, mientras que la salida del
circuito basculante de impresión 315 es suministrada a tra-
vés del conductor 378 a la entrada de una puerta AND 380
cuya salida está invertida. La función de los circuitos
15 basculantes de impresión y de omisión 315 y 312 es la de
acumular la información de impresión o de omisión genera-
da para cada uno de los programas en una operación de se-
lección determinada para una tarjeta de datos que se está
explorando y generar una señal o bien de impresión o de no
20 impresión en respuesta al número total de señales de impre-
sión y de omisión generadas para el programa que se está
pasando. Además, como se describió en lo anterior, se es-
tablece una disposición de prioridad de tal manera que si
se genera cualquier función de omisión, inhibirá la impre-
25 sión para todos los programas en un ciclo, mientras que si
no se genera una función de omisión y la función de impre-
sión se obtiene de cualquiera de los ciclos de los progra-
mas pasados, se generará una salida de impresión a la salida
de la puerta AND 380 conectada al conductor 381 y se deja-
30 rá pasar para iniciar un ciclo de impresión.



1

Una segunda entrada a la puerta AND 380 es suministrada a través del conductor 382 desde el terminal marcado como subtítulo decisión de salida y la descripción de la Figura 3 establecida anteriormente, hará aparente que habrá presente un nivel alto en la misma solo cuando el número de programas procesados durante un ciclo de lectura determinado se compara con el número total de programas almacenados en el elemento de cierre de 4 bitios 156 ilustrado en la figura 3. De esta forma, la puerta AND 380 cuya salida esta invertida solo será habilitada para proporcionar un nivel bajo o de impresión a la salida de la misma cuando el impulso de decisión de salida es generado en el conductor 382 y hay un nivel alto o de habilitación en el conductor de entrada 378.

5

10

15

20

25

30

El circuito basculante de impresión 315 puede ser dispuesto para de esta forma aplicar un nivel alto al conductor 378 en cualquier momento que se genere una señal de impresión en la forma de un nivel bajo en el conductor 375 por medio de la salida de la puerta AND 360P que controla la función de impresión, con la condición de que el circuito basculante de impresión 315 no haya sido retenido en una condición redispuesta. La entrada de redispersión al circuito basculante de impresión 315 está conectada a través del conductor 377 a la salida del circuito basculante de omisión 312 y por lo tanto, las personas entendidas en la materia apreciarán que en cualquier momento que se establece en el conductor 376 un nivel bajo o de disposición por medio de la salida de la puerta AND 360S, el circuito basculante de omisión 312 será dispuesto para que redisponga al circuito basculante de impresión 315 y



1

que retenga al mismo en una condición redispuesta hasta que se redisponga el estado de salida del circuito basculante de omisión 312.

5

10

15

20

25

30

La entrada de redispersión al circuito basculante de omisión 312 está conectada a través del conductor 383 cuya entrada se describirá posteriormente. Aquí, sin embargo, es suficiente apreciar que se suministrará una entrada de redispersión al circuito basculante de omisión 312 cada vez que se detecta una nueva tarjeta de datos que se va a explorar y por lo tanto, si el circuito basculante de omisión 312 es dispuesto en cualquier momento en el que tiene lugar el procesamiento de selección para una tarjeta de datos determinada que se está explorando, la disposición del circuito basculante de omisión 312 redispone al circuito basculante de impresión 315 y retendrá al mismo redispuesto de tal manera que no puede ser suministrada una indicación de salida de impresión en el conductor 378 para la entrada de la puerta AND 380 durante los programas que se están corriendo para dicha tarjeta de datos. Por lo tanto, cuando el impulso de decisión de salida en el conductor 382 habilita a la puerta AND 380 al completarse todas las rutinas de programas corridos la entrada a ésta puerta AND en el conductor 378 estará en nivel bajo para evitar que se produzca un nivel bajo o de salida en el conductor 382 como una función de todas las rutinas de selección de programa corridas para dicha tarjeta de datos. De conformidad, las personas entendidas en la materia, apreciarán que, la acción del circuito basculante de omisión 312 al retener al circuito basculante 315 redispuesto, bajo estas condiciones, establece la



10

5

10

15

20

25

30

La prioridad apropiada entre una condición de omisión y una condición de impresión en el sentido de que independientemente del número de señales de impresión suministradas en el conductor 375 al circuito basculante de impresión 315, se genera una señal de omisión y se carga en el circuito basculante de omisión 312 durante cualquier secuencia de selección asociada con una tarjeta determinada, el circuito basculante de omisión 312 evitará que se proporcione una indicación de impresión para la tarjeta que se está explorando. Adicionalmente, se apreciará que los circuitos basculantes de impresión y de omisión 312 y 315 actúan para acumular la información de impresión y de omisión obtenida de cada uno de los programas pasados para una tarjeta de datos determinada que pasan por el proceso de selección de tal manera que al completarse todas las rutinas de programas almacenadas solamente se proporcionará una única indicación de impresión u omisión.

El par de puertas AND formadas por las puertas AND 361C y 361S controlan las funciones de incremento y de omisión asociadas con el primer contador auxiliar 9, como se ilustra en la figura 1. Esta función de recuento, como se explicó anteriormente se proporciona como una característica y aun cuando una función de recuento y de impresión son mutuamente exclusivas dentro de un programa determinado, ambas funciones pueden ser logradas dentro de la pluralidad de programas que pueden ser establecidos para cada una de las tarjetas de datos que van a ser exploradas y sometidas a un proceso de selección. La puerta AND 361C controla, como se mencionó anteriormente, el incremento del contador mientras que la puerta AND 361S



1 controla cualquier función de omisión con respecto a dicho
contador y se apreciará de la disposición de prioridad de
omisión considerada con respecto a la omisión de impresión/
5 omisión que en el caso de que se establezca una condición
de omisión en cualquiera de las diferentes secuencias de
programa que pueden ser establecidas cuando se procesa -
una tarjeta de datos determinada, dicha función de omisión
persistirá durante la pasada del ciclo completo de selec-
ción para una tarjeta de datos determinada y por lo tanto
10 evitará que se incremente el primer contador auxiliar.

Puesto que las funciones de incremento u
omisión asociadas con el primer contador auxiliar solo -
pueden ser habilitadas en respuesta a la producción de una
señal de selección para un programa determinado para la
15 tarjeta de datos que se está procesando, se conecta una -
primera entrada de cada una de las puertas AND 361S y 361C
a través de los conductores 363 y 358 a la salida de la -
puerta OR 335 y por lo tanto se aplicara una primera cone-
xión de nivel alto o habilitación a la misma solo cuando se
20 genera una señal de selección para un programa determinado
para la tarjeta de datos que se está procesando. Además,
como apreciarán fácilmente las personas entendidas en la
materia, las funciones asociadas con el primer contador
auxiliar solo se habilitan en respuesta a una condición
25 de programa y por lo tanto, una entrada de cada una de las
puertas AND 361C y 361S está conectada a través del conduc-
tor 384 del inversor 373 y del conductor 328, a la salida
S₃ del elemento de memoria de información de control 309
para de esta forma recibir cualquier salida de las mismas.
30 Como se recordará, se establece una función de contador



1 auxiliar marcando la tercera ubicación de bitio en la tar-
jeta de programa de control y se recordará que el elemento
de memoria de información de control 309 proporciona una
salida complementaria se verá entonces que se proporciona
5 un nivel bajo en el conductor 328 cuando se proporciona una
salida auxiliar número 1. Este nivel bajo se invierte por
medio del elemento inversor convencional 373 y se aplica
como un nivel alto al conductor 384 para proporcionar un
nivel de habilitación a ambas puertas AND 361C y 361S. De
10 forma inversa, cuando hay ausente en una tarjeta una in-
dicación de contador auxiliar número 1, la salida del ele-
mento de memoria de información de control 309 conectada
al conductor 328 se pondrá en nivel alto con lo que el nivel
bajo generado a la salida del inversor 373 y aplicado al
15 conductor 384 deshabilitará ambas puertas AND 361C y 361S
de tal manera que no ocurrirá habilitación de las puertas
AND 361C y 361S cuando no han sido almacenadas indicaciones
de marca dentro del elemento de memoria de información de
control 309 para la tercera ubicación de bitio en la tar-
20 jeta de programa de control cuyo programa asociado es-
tá dirigido.

La tercera entrada a la puerta AND 361C es-
tá conectada a través del conductor 327 a la salida de im-
presión/omisión del elemento de memoria de información de
control 309, mientras que la tercera entrada a la puerta
AND 361S está conectada a través del conductor 365 y del
25 inversor 367 al conductor 327 y por lo tanto a la salida
de la impresión/omisión del elemento de memoria de infor-
mación de control 309 a la salida del mismo designada S₂.
30 Así, y de la misma manera que se describió para las puer-



1 tas AND 360P y 360S, la puerta AND 361C tendrá un nivel
alto o de habilitación aplicado a la misma en el conduc-
tor 327 si se almacena una condición de impresión, mientras
que la puerta AND 361S queda inhibida por el nivel bajo
5 presente en el conductor 365 bajo estas condiciones. En -
forma inversa, si se almacena una condición de omisión -
por medio de la marca que aparece en la segunda ubicación
de bitio en la tarjeta de programa de control para el pro-
grama que se está dirigiendo se aplicará un nivel alto
10 al conductor 365 para habilitar a la puerta AND 361S mien-
tras que se deshabilita la puerta AND 361C por medio del
nivel bajo que hay, bajo estas condiciones, a la entrada a
la misma en el conductor 327. De conformidad, como podrán
apreciar las personas entendidas en la materia, la puerta
15 AND 361C se habilita para producir un nivel bajo a la sa-
lida de la misma conectada al conductor 385 para un posi-
ble incremento en el contador auxiliar 1 asociado con la
misma al final de la secuencia de programa que se está -
pasando si se generó una entrada de selección por medio de
20 la puerta OR 335, y si hay una condición de contador auxi-
liar 1 almacenada dentro del elemento de memoria de infor-
mación de control 309 para el ciclo de programa que se es-
tá y si se designó una condición de impresión en la tarje-
ta de control para éste programa; se apreciará que aún -
25 cuando se especificó en la tarjeta una función de impresión
no será habilitada la función de impresión por medio de
la salida de la puerta AND 360P para este programa debido
a la acción de inhibición de la puerta OR 370, como se ex-
plicó anteriormente. De manera inversa, cuando hay presen-
30 te una condición de selección para un programa determina-



1 do, se había especificado en la tarjeta de control de pro-
grama cargado la ubicación del contador auxiliar 1 y además
se había especificado en la misma una condición de omisión.
5 la puerta AND 361C quedará habilitada mientras que la puer-
ta 361C permanece deshabilitada.

10 La salida de la puerta AND 361C está conec-
tada a través del conductor 385 a la entrada del circuito
basculante 316 del contador auxiliar 1 mientras que la sa-
lidad de la puerta AND 361S en el conductor 386 está co-
nectada al circuito basculante de omisión 313 de tal mane-
ra que cuando se establece un nivel bajo en el conductor
15 385, se establecerá el circuito basculante 316 auxiliar 1
siempre y cuando no se mantengan en condición redispuesta
si hay presente un nivel bajo en el conductor 386 y se
dispondra el circuito basculante 313. Además, el circuito
basculante 316 auxiliar 1 y el circuito basculante de -
omisión 313 así como la puerta AND 380_{A1} que está conecta-
da a la salida del circuito basculante 316 auxiliar 1 es-
tán interconectadas precisamente en la misma manera como
20 se describe para el circuito basculante de impresión 315,
del circuito basculante de omisión 312 y de la puerta AND
380 asociada con la salida de la señal de impresión en el
conductor 381. Por lo tanto, se apreciará que en cual-
quier momento en que la salida de la puerta AND 361C se pon-
ga en nivel bajo, el circuito basculante 316 auxiliar 1
se redispondrá para colocar un nivel alto en el conductor
25 388, conectado a la puerta AND 380_{A1} siempre y cuando el
circuito basculante 316 auxiliar 1 no se mantenga en una
condición redispuesta al disponerse previamente el cir-
cuito basculante de omisión 313.
30



1

5

10

15

20

25

30

El circuito basculante 316 auxiliar 1 y el circuito basculante de omisión 313, por lo tanto, acumulará cualquier información de omisión o incremento dirigida a los mismos para cada uno de los ciclos de programa que se estan corriendo cada vez que se dispone el circuito basculante de omisión 313, redispondrá el circuito basculante auxiliar 1 y lo mantendrá redispuesto hasta que haya terminado la secuencia de selección para dicha tarjeta y el impulso de redistribución generado por la detección del borde de la siguiente tarjeta que va a ser explorada, se aplique a la entrada de redistribución del mismo conectada al conductor 383. De esta forma, después de que se han pasado todos los ciclos de programa y se proporciona un nivel de habilitación a la puerta AND 380_{A1} en el conductor 382 se proporcionará una señal de incremento al primer contador en el conductor 389 si se ha dispuesto el circuito basculante 316 auxiliar 1 durante cualquiera de las pasadas de ciclos de programas previos para la tarjeta y el circuito basculante de omisión 313 permanece en una condición redispuesta. Sin embargo, si durante cualquier corrida de ciclo de programa para dicha tarjeta, el circuito basculante de omisión 313 redispuesto, esta condición de disposición hará que el circuito basculante 316 auxiliar 1 sea redispuesto mantenido en dicha condición de tal manera que el contador auxiliar 1 no pueda ser incrementado para ninguna de las pasadas de ciclos del programa para la tarjeta de datos que se está explorando.

El par de puertas de control formadas por las puertas AND 362C y 362S controlan la información de incremento y de omisión para el segundo contador auxiliar pre-



1 cisamente en la misma forma en que las puertas AND 361C y
361S ejecutan ésta función para el contador auxiliar 1.
Así, y en la misma manera descrita para las puertas AND
5 361C y 361S, las puertas AND 362C y 362S están cada una de
ellas conectadas a la salida de la puerta OR 335 de tal -
manera que solo son habilitadas cuando ha sido estableci-
da una condición de selección para un ciclo de programa -
y a la salida de S_4 de la memoria de información de control
a través de los conductores 329 y 390 y el inversor 374,
10 de tal manera que solo puede ser habilitada cuando se ha
especificado el segundo contador auxiliar por medio de una
marca dentro de la cuarta ubicación de bitio de la tarje-
ta de control para el programa que se está direccionando.
Una entrada a la puerta AND 362C también está conectada
15 directamente a través del conductor 364 a la salida de im-
presión/omisión de la memoria a través del conductor 327
de tal forma que se habilita la puerta AND 362C en respues-
ta a una orden de impresión y se deshabilita en respuesta
una orden de omisión que se está direccionando. La entrada
20 restante de la puerta AND 362S está conectada a la salida
invertida de la salida de impresión/omisión del elemento
de memoria de información de control 309 a través del con-
ductor 327, del inversor 367 y de los conductores 365 y 366,
de tal manera que ésta entrada a la puerta AND 362S sólo
25 se habilita en respuesta a una condición de omisión para
el programa direccionado mientras que se deshabilita para
una condición de impresión.

30 La salida de la puerta AND 362C está conec-
tada a través del conductor 391 a un circuito basculante
317 auxiliar 2 cuya salida está conectada a través del -



1 conductor 394 a una puerta AND 380_{A2} mientras que la salida de la puerta AND 362S está conectada a través del conductor 392 a una entrada de un circuito basculante de omisión 314 cuya salida en el conductor 393, está conectada a la entrada de descanso del circuito basculante 317 auxiliar 2. De esta forma, las personas entendidas en la materia, apreciarán que las puertas AND 362C y 362S controlan el incremento o la omisión posible del contador auxiliar 2 a base de programa por programa mientras que el

5

10 circuito basculante de omisión 314 y el circuito basculante 317 auxiliar 2 actúan para acumular el incremento y las señales de omisión para todos los ciclos de programa corridos para una tarjeta determinada de tal manera que se aplicará una salida de incremento a través del conductor 394 y de la puerta AND 380_{A2} al conductor de salida 395 cuando se aplica una entrada de decisión de salida al conductor 382 siempre y cuando no haya sido dispuesto el circuito basculante de omisión 314. Sin embargo, una vez que se dispone este circuito basculante, retendrá al circuito basculante 317 auxiliar 2 en una condición redispuesta para establecer la prioridad de omisión deseada para la frecuencia total de selección para la tarjeta que se está leyendo hasta que se aplique una señal de redistribución al conductor 383. La señal de redistribución aplicada al conductor 383 desde el terminal marcado como subtítulo impulso de tarjeta, puede obtenerse convenientemente de la salida del elemento detector de tarjetas 45 o del elemento de circuito basculante 53, mostrados en la Figura 2 como asociados con el establecimiento del intervalo de disposición de umbral cada vez que se detecta el borde

15

20

25

30

1 delantero de una nueva tarjeta que se va a explorar, como
se mencionó anteriormente. Esta señal de redistribución -
5 como se indicó en la Figura 5 se empleó para redistribuir
la totalidad de los circuitos basculantes de habilitación
de función y de omisión 312 - 317 cada vez que se inicia
una nueva operación de exploración.

 De esta manera las personas entendidas en la
materia apreciarán que la disposición de acción de puerta
de salida de programa indicada por el bloque de líneas -
10 punteadas 311 actúa para transformar las salidas de selec-
ción obtenidas desde la puerta OR 335 a base de programa
por programa dentro de la función controlada por programa
especificada para cada uno de los programas de dirección.
Posteriormente, las diferentes funciones del programa que
15 pueden ser designadas se acumulan dentro de tres pares de
circuitos basculantes de función y de omisión asociados con
cada una de las salidas separadamente impulsadas hasta -
que se han pasado la totalidad de los programas estableci-
dos. El impulso de decisión de salida generado en el con-
20 ductor 382 actúa después para aplicar las salidas de fun-
ción resultantes a los conductores 381, 389 y 395 para in-
dicar de esta forma una condición de impresión o de no -
impresión para la tarjeta procesada así como un posible
incremento para el primero y diagonal o el segundo de los
25 contadores auxiliares 9 y 10, ilustrados en la figura 1.
Además, aun cuando la salida desarrollada en el conductor
381 en la forma de un nivel bajo para una condición de -
impresión o de un nivel alto para una condición de inhibición
está adaptada para hacer directamente aplicada al circui-



1 to lógico y de control ilustrado en la figura 4a de la
patente de los Estados Unidos número 3.700.324, para -
una operación de impresión electrofotográfica en el -
sistema tal como el que se describe en la misma, las
5 personas entendidas en la materia apreciarán que la
la misma salida, puede ser usada directamente o mo-
dificada lógicamente de tal manera como para impulsar
a los diferentes elementos deflectores empleados en -
los aparatos de almacenamiento convencionales para -
10 lograr de esta forma una separación basada en las -
condiciones de selección impuestas en vez de una ope-
ración de impresión seleccionada.

15 En la operación de la memoria de control y del aparato de decisión mostrada en la figu-
ra 5, las personas entendidas en la materia, aprecia-
rán que cuando se establece la forma de funciona-
miento de programa, los primeros cuatro bitios en
el canal A para cada una de las tarjetas de pro-
grama de control cargadas serán escritos en una di-
20 rección apropiada dentro del elemento de memoria de
información de control 309 debido a la aplicación -
de bitios a los conductores de 318 a 321 y a la
aplicación de un nivel de habilitación al conductor
25 325 para la salida de control de programa del -
aparato de dirección de memoria de escritura/lectu-
ra y de control de selección mostrado en la Fi-
gura 3. Además, puesto que la dirección de las 8
ubicaciones de las palabras de 4 bitios que pueden
30 ser empleadas dentro del elemento de memoria de



1

información de control 309 está controlado por -
la salida del contador del número de programa -
155, como se muestra en la Figura 3, se ase-
gurará una dirección secuencial y apropiada para
5 cada uno de los programas cargados.

5

Posteriormente, cuando se inicia una
operación en forma de lectura, las personas enten-
didas en la materia, apreciarán que cada vez que
se genera una condición de selección o de no selec-
10 ción para los primeros 8 bitios del programa que -
se está corriendo en cada una de las memorias de
marca/importa de canal y de los elementos de compa-
ración 3 - 7, como se muestra en detalle en con-
junto con la Figura 4, se combinarán lógicamente -
15 las diferentes señales de selección o inhibición ge-
neradas por las operaciones particulares AND u OR
especificadas dentro de la puerta AND 330 de tal -
manera que se presenta una sola salida representa-
tiva de las mismas a la salida de la puerta AND
20 330 y se carga en el circuito basculante 333. -
Cuando la información de inhibición AND / OR selec-
cionada generada por el segundo ciclo de 8 bitios
de un programa es aplicada desde las memorias de
marca / importa de canal y los elementos de com-
25 paración 3 - 7 a las entradas de la puerta AND 330
conectadas a los conductores 337 - 341, se obtendrá
de los mismos una combinación lógica similar para el se-
gundo ciclo de 8 bitios en todos los canales y se aplica-
rá a través del conductor 344 a la entrada de la puerta OR
30 334.

10

15

20

25

30



1

Puesto que la combinación lógica del primer ciclo de 8 bitios, de acuerdo como es reflejada a la salida del circuito basculante 333, ya se aplicó a una de las entradas de la puerta OR 334, la salida de la puerta OR 334 representará una combinación de ámbos ciclos de 8 bitios para todos los canales, de acuerdo con la operación AND u OR que se está conduciendo para el ciclo del programa pasado en la tarjeta de datos que se está explorando.

5

10

La salida de la puerta OR 334 se aplica a una primera entrada de una puerta exclusiva OR 336 que recibe en su segunda entrada la información AND u OR almacenada dentro del elemento de control de memoria 309 para el programa que en ese momento se está dirigiendo, de tal manera que la salida de la puerta exclusiva OR 336 tendrá un nivel bajo para indicar que hay una presente una selección para cualquier operación AND u OR mientras se haya aplicado previamente una información de selección válida a la misma desde la salida de la puerta OR 334. Sin embargo, la salida de la puerta exclusiva OR 336 se pondrá en nivel alto para indicar una señal de inhibición cuando se obtienen otras condiciones. La salida de la puerta OR 336 es dejada pasar a través de la puerta OR 335 en el momento que se asegure que el segundo ciclo de 8 bitios ha sido pasado y por lo tanto la salida de la puerta OR 335 se pondrá en nivel alto sólo en respuesta a una información de selección que resulta una vez que se ha completado un programa en la secuencia establecida.

15

20

25

30

Cada uno de los bitios de selección generados para un ciclo de programa a la salida de la puerta AND 335 se aplica a través del conductor 358 a una entra-



1 da de la disposición de puerta de salida de programa in-
dicada por el bloque de líneas punteadas 311. A medida -
que cada uno de los bitios de selección es aplicado al mis-
mo, los pares de puerta AND 360P y 360S, 361C y 361S y
5 362C y 362S actúan en respuesta al bitio de selección para
el programa que se está leyendo y para la información de
programa almacenada en el elemento de memoria de informa-
ción de control 309 para el programa de dirección, a fin
de generar una función de impresión o de inhibición de
10 impresión o alternativamente para incrementar o dejar de
incrementar uno o ambos de los contadores auxiliares 9 y
10, ilustrados en la Figura 1. Estas señales, una vez pro-
ducidas, son aplicadas sobre una base seleccionada a uno
de los dos circuitos basculantes de habilitación o de omi-
15 sión asociados con el programa de función resultante.

Esta operación continua para cada uno de los
programas cargados en el sistema y las funciones son gene-
radas para la información de control de programa carga-
da en el elemento de memoria de información de control 309
20 a medida que cada una de las señales de selección es gene-
rada a la salida de la puerta OR 335. A medida que cada
uno de los bitios resultantes de la información de función
es desarrollado dentro de la disposición de acción de puer-
ta de salida de programa indicada por el bloque de líneas
25 punteadas 311, es aplicada la base selectiva a uno de los
circuitos basculantes dentro del par de circuitos bascu-
lantes asociados con la misma y se acumula. Cada uno de
los pares de circuitos basculantes asociados con una fun-
ción determinada está interconectado de tal manera como
30 para acumular cada una de las señales de función generadas



1
5
10
15
20
25
30

de una manera tal que, cualquier señal de omisión generada para una función predeterminada dex las funciones disponibles, tendra prioridad que hará el circuito basculante de habilitación asociado con dicha función sea puesto en una condición de redistribución hasta que se completen todas las corridas de los ciclos de programas. Esta forma, - una vez que se genera dicha señal de omisión para una función determinada, se asegura la omisión de dicha función para todos los programas impuestos en el proceso de selección para una tarjeta determinada. Al finalizar la totalidad de los procesamientos asociados con cada uno de los programas cargados, una entrada de decisión de salida se aplicara en el conductor 382 desde la salida del elemento de comparación 157 mostrado en la Figura 3 y la información de función resultante cargada dentro del par de circuitos basculantes será dejada pasar selectivamente a los conductores de salida 381, 389 y 395 y se apreciará que un bajo nivel en cada uno de dichos conductores habilitará la función asociada con los mismos mientras que un nivel alto dará por resultado que no haya un procesamiento adicional. En la forma de operación de lectura, la dirección secuencial del elemento de memoria de información de control 309 en los conductores 322 - 324 está controlada por la salida del elemento contador de número de programas 155 de tal manera como para asegurar que la información de programa que se está transformando a salidas de selección y de función es apropiada para las rutinas de selección que se están iniciando.

CONCLUSION

Aun cuando la presente invención ha sido es-



1 tablecida en conjunto con una sola modalidad ejemplar de-
tallada de la misma, se apreciará que los amplios concep-
tos para imponer una pluralidad de condiciones selectivas
programables en una pluralidad de artículos que van a ser
5 procesados selectivamente, como se describe en la presen-
te, admite un amplio ámbito de variaciones y por lo tan-
to son obtenibles muchas modificaciones y alteraciones en
las técnicas específicas establecidas que son contempla-
das por la presente invención. Por ejemplo, aún cuando la
10 presente invención ha descrito en conjunto con el aparato
programable de exploración y de selección que proporciona
salidas apropiadas para un sistema de impresión electrofo-
tográfico selectivo así como una pluralidad de salidas para
proporcionar la cuenta de ciertas condiciones que pueden
15 ser seleccionadas, las personas entendidas en la materia,
apreciarán que las técnicas de exploración y selección em-
pleadas por la presente invención quedan disponibles para
cualquier aplicación en la que se desea una selección de
una pluralidad de registros codificados y que no importa
20 la manera por medio de la cual se manifiesta la selección
lograda. Por lo tanto, las personas entendidas en la mate-
ria, apreciarán que las salidas de la presente invención
pueden ser empleadas en el desplazamiento de deflectores
en aparatos de clasificación o en la manipulación y trans-
25 porte de registros codificados dentro de cualquier tipo de
sistema de procesamiento.

 Además, se apreciará que aun cuando se han
descrito específicamente registros codificados del tipo
que tienen información de documentos no codificados adicio-
30 nalmente presentes en los mismos, puesto que estos son -



1 considerados que representan un área de utilidad principal
de la presente invención, registros codificados de cual-
quier tipo pueden ser procesados selectivamente de acuer-
do con las enseñanzas de la presente invención. Por ejem-
5 plo los registros codificados en los lados de las cajas
de carton que son procesadas en bodegas automáticas o si-
milares pueden ser seleccionados y desplazados lógicamente
de acuerdo con las técnicas de exploración y selección es-
tablecidas en la presente. De manera similar, aun cuando
10 se han descrito técnicas de exploración ópticas en especie
con el fin de describir una modalidad ejemplar, las personas
entendidas en la materia, apreciarán fácilmente que los -
registros codificados o similares pueden ser codificados
de acuerdo con técnicas de codificación perforada o de co-
15 dificación magnética y que los captadores apropiados, pa-
ra detectar las condiciones codificadas en los mismos pue-
den ser sustituidos directamente por los que se han descri-
to en la presente, sin desviarse de las enseñanzas de la
presente invención.

20 Además, aun cuando la modalidad ejemplar des-
crita en conjunto con ésta invención se estableció dentro
del contexto de un sistema de 5 canales para ajustarse a
las tarjetas de datos o similares que tengan una información
total de 5 columnas de bitios, se apreciará que por medio
25 de las enseñanzas de la presente invención puede acom-
darse cualquier número de columna simplemente añadiendo o
reduciendo el aparato para procesar la información de ca-
nales discretos establecidos. A este respecto, se aprecia-
rá que la organización de canal por canal de la presente
30 invención admite fácilmente modificaciones de esta clase



1
5
10
15
20
25
30

y la expansión o reducción en las memorias proporcionadas. También, se apreciará que aun cuando las columnas tienen 16 bitios de información se procesan de acuerdo a la modalidad ejemplar establecida, puede variarse fácilmente el número de los bitios proporcionados por columna para ajustarse a las aplicaciones prácticas de los diferentes diseños que pueden derivarse de la misma, aún cuando son ventajosas las configuraciones con múltiplos de 8 bitios debido a los circuitos electrónicos comercialmente obtenibles para el procesamiento de las mismas.

Además, cuando se han establecido configuraciones de circuitos específicos para la lógica de exploración y selección descrita en la presente, se apreciará - que pueden hacerse muchas otras modificaciones en los mismos sin apartarse de los conceptos inventivos enseñados por medio de la presente invención. Por ejemplo, aun cuando se han utilizado configuraciones lógicas OR dentro de la red de canal y/o combinación ilustrada para el aparato de control y de decisión de memoria mostrada en la Figura 5 para permitir que pueda procesarse a través de una sola configuración lógica la información de selección AND y OR derivada de las condiciones de selección AND y OR impuestos, será aparente a las personas entendidas en la materia que pueden emplearse canales por separado AND y OR, para obtener un bitio solo de selección o de no selección utilizando un circuito adicional.

Además, aun cuando se han definido condiciones determinadas dentro del circuito ejemplar en términos de un nivel lógico alto o bajo, las personas entendidas en la materia apreciarán que pueden proporcionarse condi-

1 ciones complementarias de más o menos en forma de lógicas
e inversiones complementarias dentro de las diferentes por-
ciones del circuito descrito que pueden proporcionarse fá-
cilmente para ajustarse a las necesidades de las configura-
5 ciones lógicas que van a emplearse. Por otra parte, aun
cuando se han ilustrado y descrito configuraciones lógicas
específicas, cualquiera de las disposiciones lógicas con-
vencionales que están calculadas para lograr los mismos
fines pueden ser substituídas por las configuraciones es-
10 pecíficas mostradas mientras que los componentes lógicos
específicos pueden ser variados a voluntad para ajustar-
se a la elección del diseño. Además, dentro de los cir-
cuitos de selección pueden emplearse mayor cantidad o me-
nor cantidad de canales de selección para llenar ciertos
15 requisitos de diseños específicos y puede obtenerse fá-
cilmente una mayor o menor selectividad dentro de un canal
determinado.

Aun cuando la invención se ha descrito en -
conjunto con una sola modalidad ejemplar de la misma, debe-
20 rá entenderse que habrá muchas modificaciones fácilmente
aparentes a las personas entendidas en la materia y que
esta solicitud tiene la intención de cubrir cualquier adap-
tación o variación de la misma. Por lo tanto, se tiene la
intención manifiesta de que esta invención solo quede li-
25 mitada por las reivindicaciones y los equivalentes de las
mismas.

En resumen, la Patente de Invención que se
solicita, deberá recaer sobre las siguientes

30

REIVINDICACIONES

1
5
10
15
aparato para generar señales selectivas de salida principalmente para sistemas de impresión electrofotograficos, asociado con cada uno de una pluralidad de registros de datos informativos, teniendo cada registro de datos informativos una pluralidad de columnas de datos incorporadas, conteniendo cada una de dichas columnas de datos una pluralidad de signos indicativos de datos, controlando dicho aparato un dispositivo comparando signos indicativos de datos contenidos en dichos registros de datos informativos con signos indicativos de datos de control acumulados procedentes de registros de datos de programación, correspondiendo los signos indicativos contenidos en dichos registros de datos de programación a signos indicativos contenidos en dichos registros de datos informativos; caracterizado dicho aparato, porque comprende:

a) medios (47A-47E) para leer programas en dichos registros de datos de programación, generando dichos medios de lectura a partir de cada programa,

20
i) señales de control de cuidado/no cuidado que definen un primer grupo seleccionado de signos indicativos de datos contenidos en dichos registros de datos informativos,

25
ii) señales de control de marca/no marca que definen un segundo grupo seleccionado de signos indicativos de datos contenidos en dichos registros de datos informativos,

y

iii) una señal de control de formas lógicas;

30
b) medios de acumulación de memoria de datos del programa (260,261,263,264,309) para acumular "bitios" de datos de control correspondientes a dichas señales de

1 control de cuidado/no cuidado, marca/no marca y a dicha
señal de control de formas lógicas;

5 c) medios (47A-47E) para leer dichos signos in-
dicativos de datos informativos en cada una de dicha plu-
5 ralidad de columnas, generando dichos medios de lectura
a partir de cada registro de datos informativos señales
de datos informativos asociadas con cada columna de sig-
nos indicativos de datos informativos, para proporcionar
señales de datos correspondientes a dichos "bitios" en di-
10 chos registros de datos informativos;

d) medios (265) para comparar dichas señales de
datos informativos (con correspondientes) para correspon-
dencia con dichas señales de control para proporcionar
señales de comparación de "bitios" de salida correspondien-
15 tes a las mismas, comprendiendo dichos medios de compara-
ción una pluralidad de circuitos comparativos para pro-
porcionar una señal de comparación de "bits" de salida
para cada señal de control de marca/no marca;

20 e) medios de paso (266,267) respondientes a di-
chas señales de control de cuidado/no cuidado acumuladas
y a dicha señal de control de formas lógicas para contro-
lar selecciones de dichas señales de comparación de "bitios"
de salida;

25 f) medios de circuito lógico (268) conectados a
dichos medios de paso para recibir señales de comparación
de "bitios" de salida controladas; y

30 g) generando dichos medios de circuito lógico
(381,389,395) dichas señales de selección de salida en
respuesta a dichas señales de comparación de "bitios" de
salida controladas.

1 2. Aparato según la reivindicación 1, en el
cual dichos medios de acumulación de memoria de datos del
programa acumulan una pluralidad de programas y dicho
aparato comprende además:

5 medios para ejecutar secuencialmente en serie
cada uno de dichos programas acumulados en dichos medios
de acumulación de memoria de datos del programa; y

10 medios para inhibir dichas señales de selección
de salida a partir de dichos medios de circuito lógico pa-
ra cada uno de dichos registros de datos informativos has-
ta completar la ejecución de todos los programas acumula-
dos mencionados.

15 3. Aparato según la reivindicación 2, en el
cual dichos medios para inhibir dichas señales de selec-
ción de salida comprenden:

un órgano memorizador de número de programas pa-
ra memorizar el número de programas acumulados en dichos
medios de acumulación de memoria de datos del programa;

20 un órgano contador para contar cada uno de di-
chos programas a la ejecución de los mismos;

25 medios conectados a dicho órgano memorizador de
número de programas y a dicho órgano contador para compa-
rar el número de programas acumulados con el número de
programas ejecutados para proporcionar una señal de coin-
cidencia y comprendiendo dichos medios para inhibir me-
dios de paso de salida (380,380A-1, 380A-2) respondientes
a dicha señal de coincidencia.

30 4. Aparato según la reivindicación 1, que com-
prende además medios (90,91,104,105) para acumular dichas
señales de datos informativos, dichos medios de compara-

1 ción conectados para recibir dichas señales de datos in-
formativos acumulados a partir de dichos medios de acumu-
lación de señales de datos informativos.

5 5. Aparato según la reivindicación 4, en el cual
dichos medios para leer dichos signos indicativos de da-
tos informativos comprenden una pluralidad de órganos de
lectura y dicho aparato comprende además una pluralidad
de canales de entrada que conectan cada uno de dichos
10 órganos de lectura a dichos medios de acumulación de sa-
ñales de datos informativos.

15 6. Aparato según la reivindicación 1, en el cual
dichas señales de datos informativos procedentes de di-
chos medios para leer dichos signos indicativos de datos
informativos son alimentadas a dichos medios de compara-
ción por una pluralidad de canales de datos, cada canal
de datos asociado con una columna separada de signos in-
dicativos en dicho registro de datos informativos.

20 7. Aparato según la reivindicación 1, en el cual
dichas señales de selección de salida comprenden una se-
ñal de selección impresa para controlar la reproducción
de información contenida en dichos registros de datos in-
formativos.

25 8. Aparato según la reivindicación 1, en el cual
dichas señales de selección de salida comprenden una se-
ñal de omisión para inhibir la reproducción de informa-
ción contenida en dichos registros de datos.

9. Aparato según la reivindicación 1, en el cual
dichas señales de selección de salida comprenden una se-
ñal de recuento para controlar un contador.

30 10. Aparato según la reivindicación 1, en el cual

1 dichos medios de paso comprenden una primera pluralidad de
circuitos de paso (266) igual en número a dicha plurali-
dad de circuitos de comparación, cada uno de dicha prime-
5 ra pluralidad de circuitos de paso conectado a uno de di-
cha pluralidad de circuitos de comparación y la totalidad
de dicha primera pluralidad de circuitos de paso conecta-
dos para recibir dicha señal de control de formas lógicas
a partir de dichos medios de acumulación de memoria de
datos del programa.

10 11. Aparato según la reivindicación 10, en el
cual dichos medios de paso comprenden además una segunda
pluralidad de circuitos de paso (267) igual en número a
dichos circuitos de comparación, cada uno de dicha segun-
da pluralidad de circuitos de paso conectado a uno de di-
15 cha primera pluralidad de circuitos de paso y cada uno de
dicha segunda pluralidad de circuitos de paso conectado a
dichos medios de acumulación de memoria de datos del pro-
grama cuidado/no cuidado.

20 12. Se reivindica por último como objeto sobre el
que ha de recaer la Patente de Invención que se solicita:
APARATO PARA GENERAR SEÑALES SELECTIVAS DE SALIDA PRINCI-
PAL PARA SISTEMAS DE IMPRESION ELECTROFOTOGRAFICOS.

25 Todo conforme queda descrito y reivindicado en la
presente memoria descriptiva que consta de trescientas doce pá-
ginas mecanografiadas y dibujos que se acompañan.

Madrid, 24 octubre 1974

BERNARDO UNGRIA

P.P.





XEROX

FIG. 2A

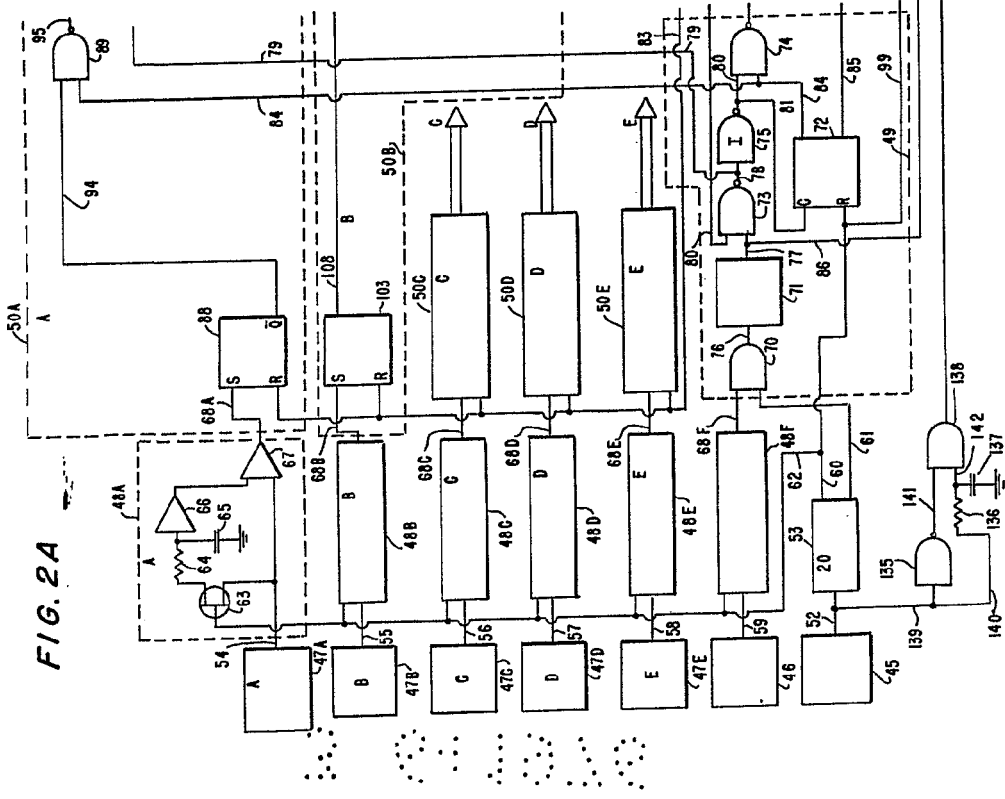
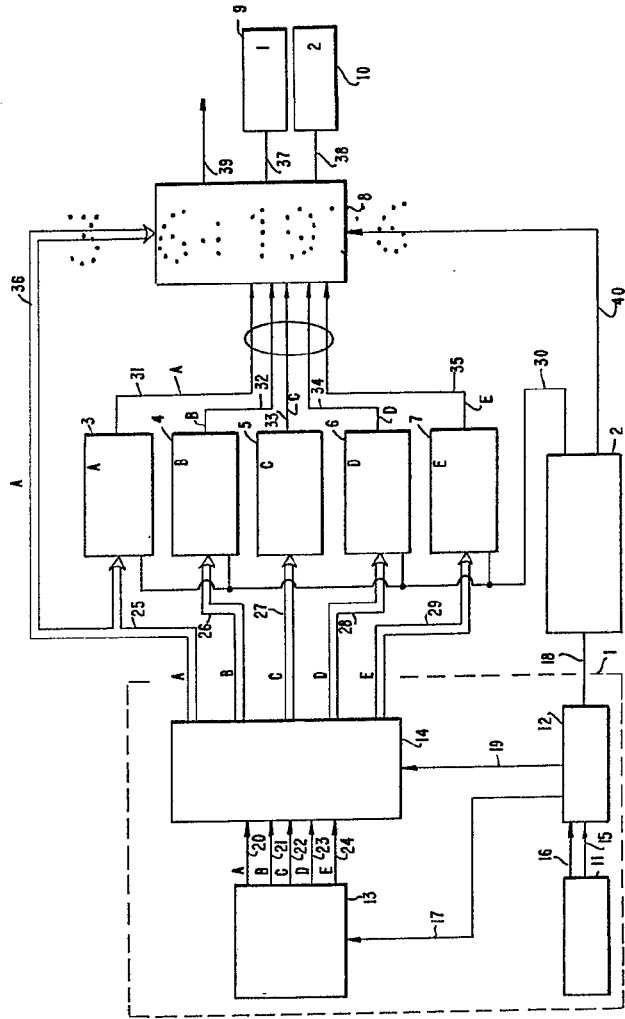
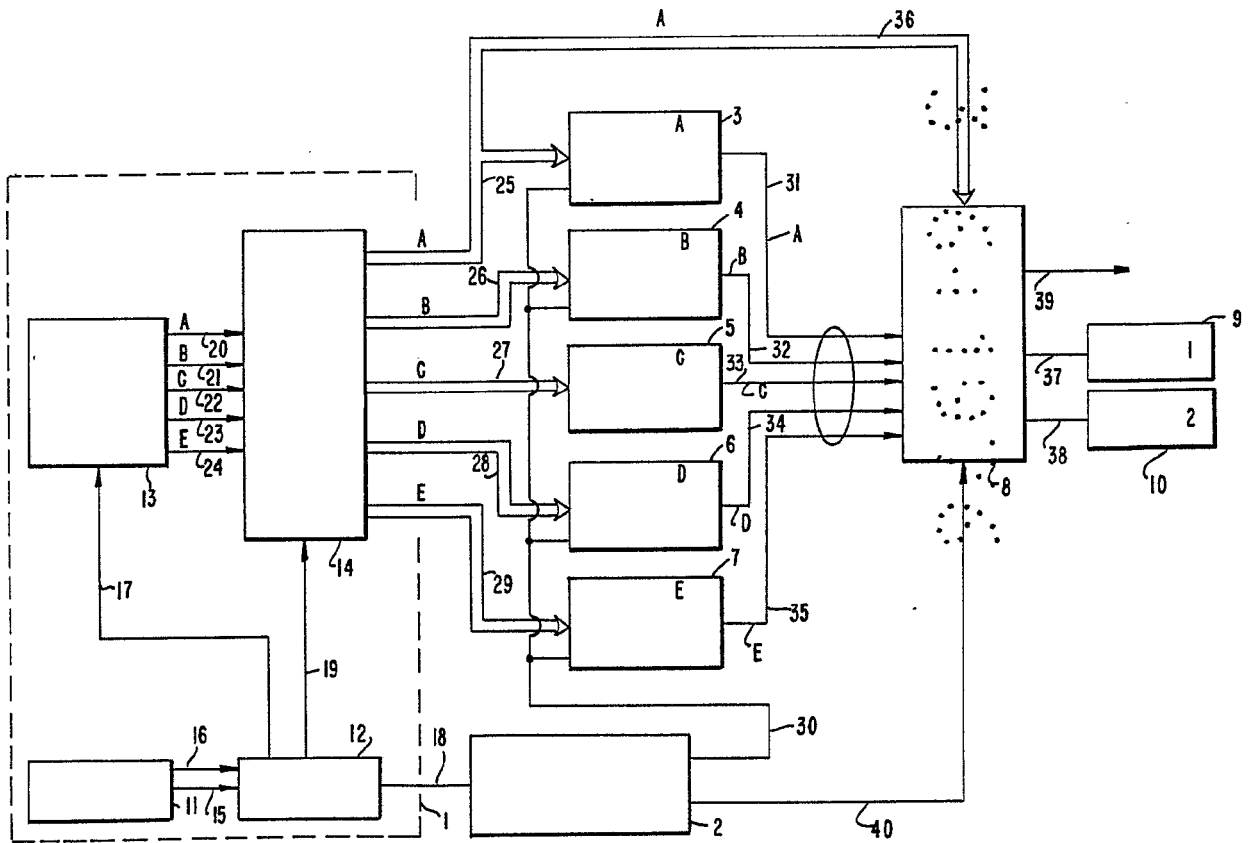


FIG. 1



ESCALA VARIABLE
 Madrid, 24 de octubre de 1974
 BERNARDO JUNGHA
 p.p.

FIG. 1



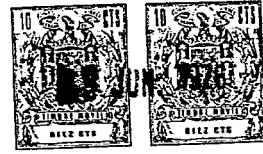
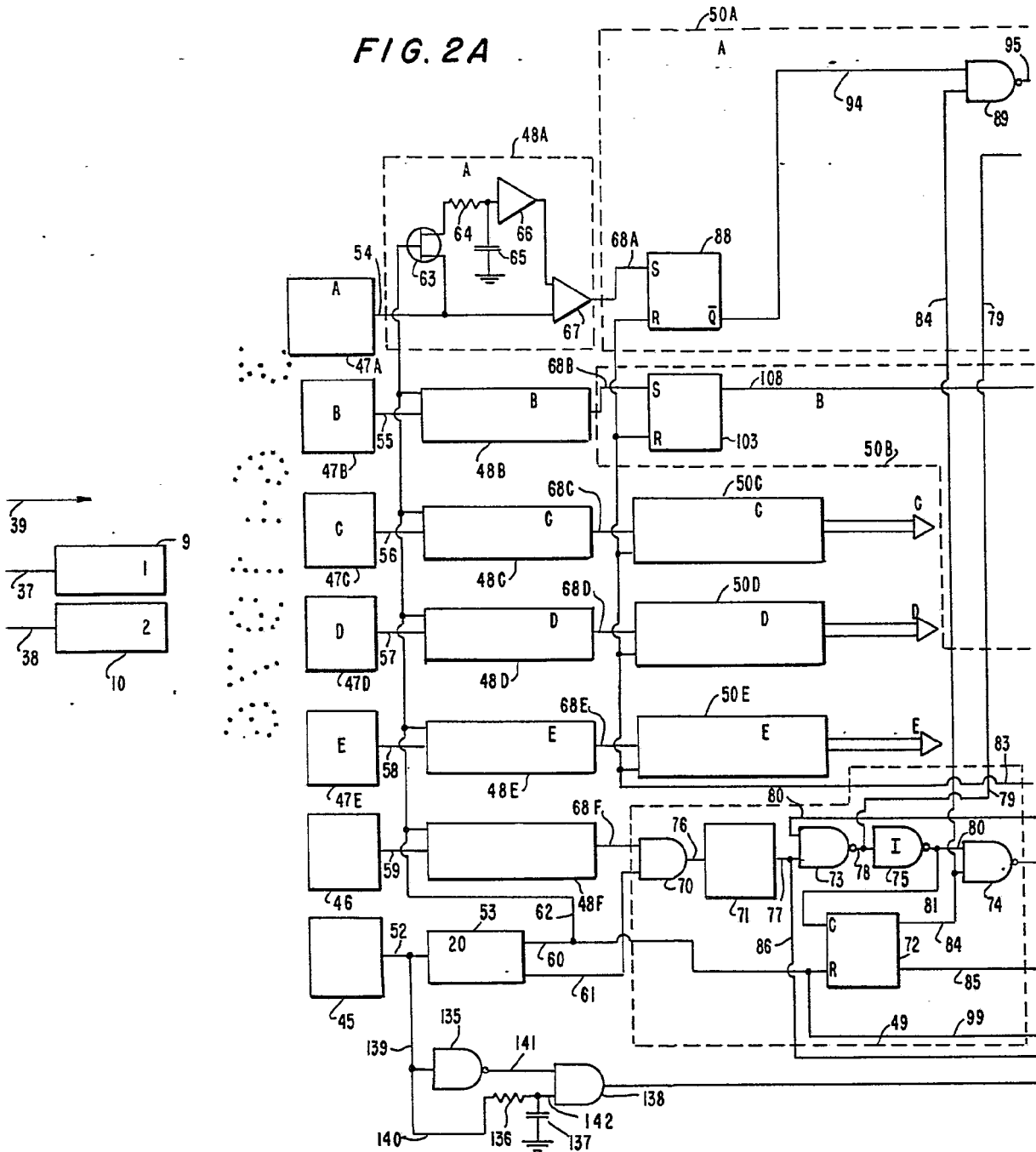


FIG. 2A



ESCALA VARIABLE
Madrid, 24 de octubre de 1974
BERNARDO UNGHIA
P.P.



FIG. 2B

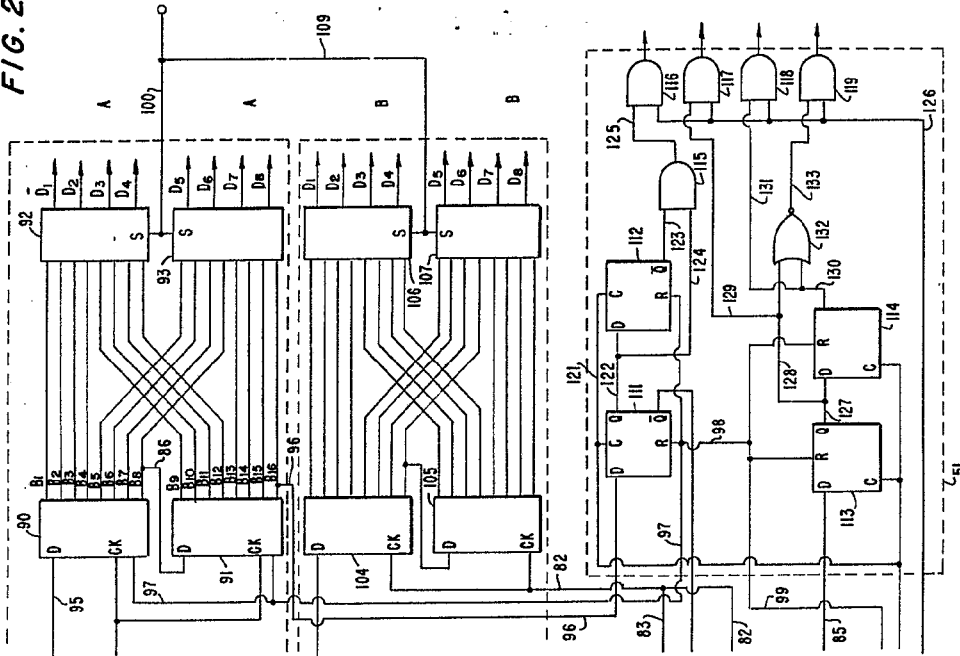
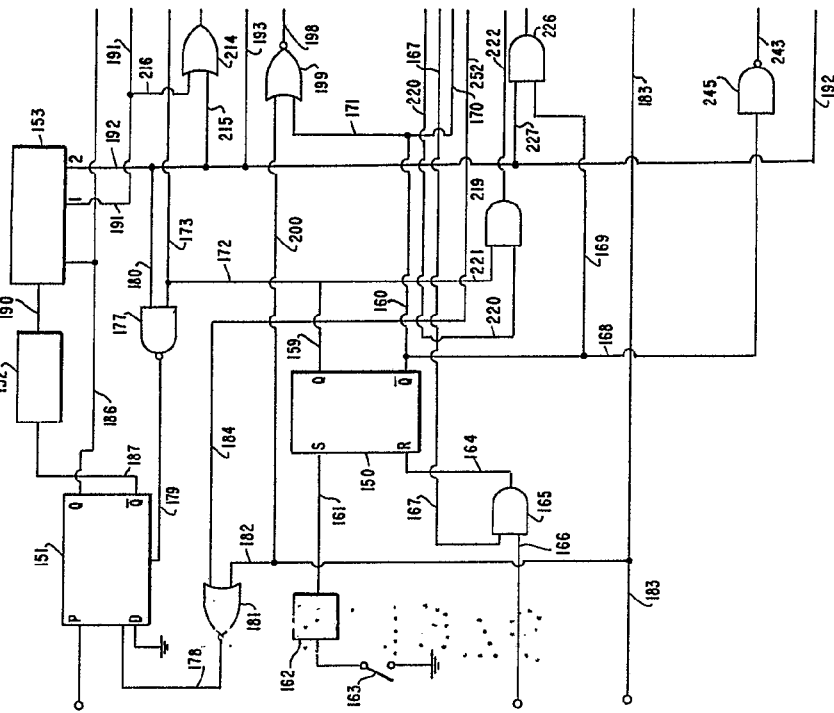


FIG. 3A



ESCALA VARIABLE
 Madrid, 24 de octubre 1974
 BERNARDO UNGHERI
 p.p.



FIG. 2B

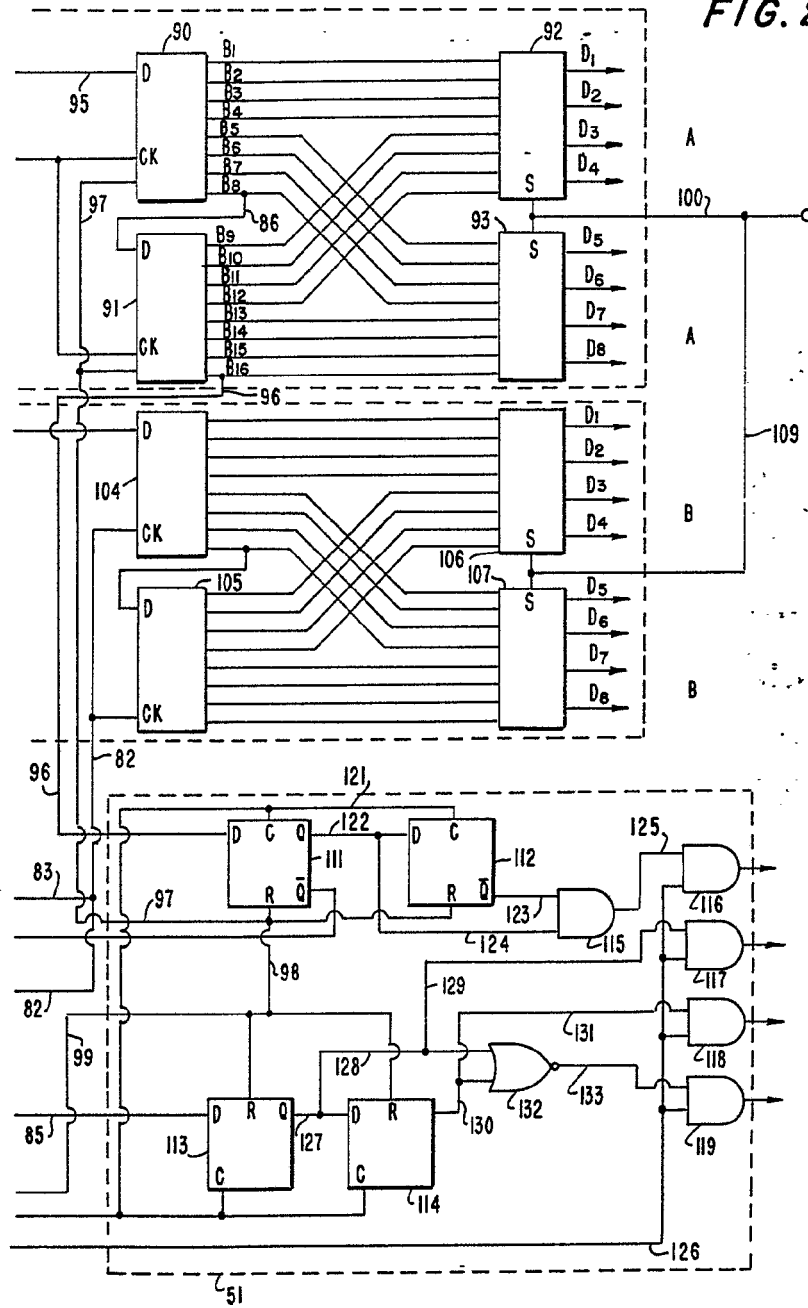
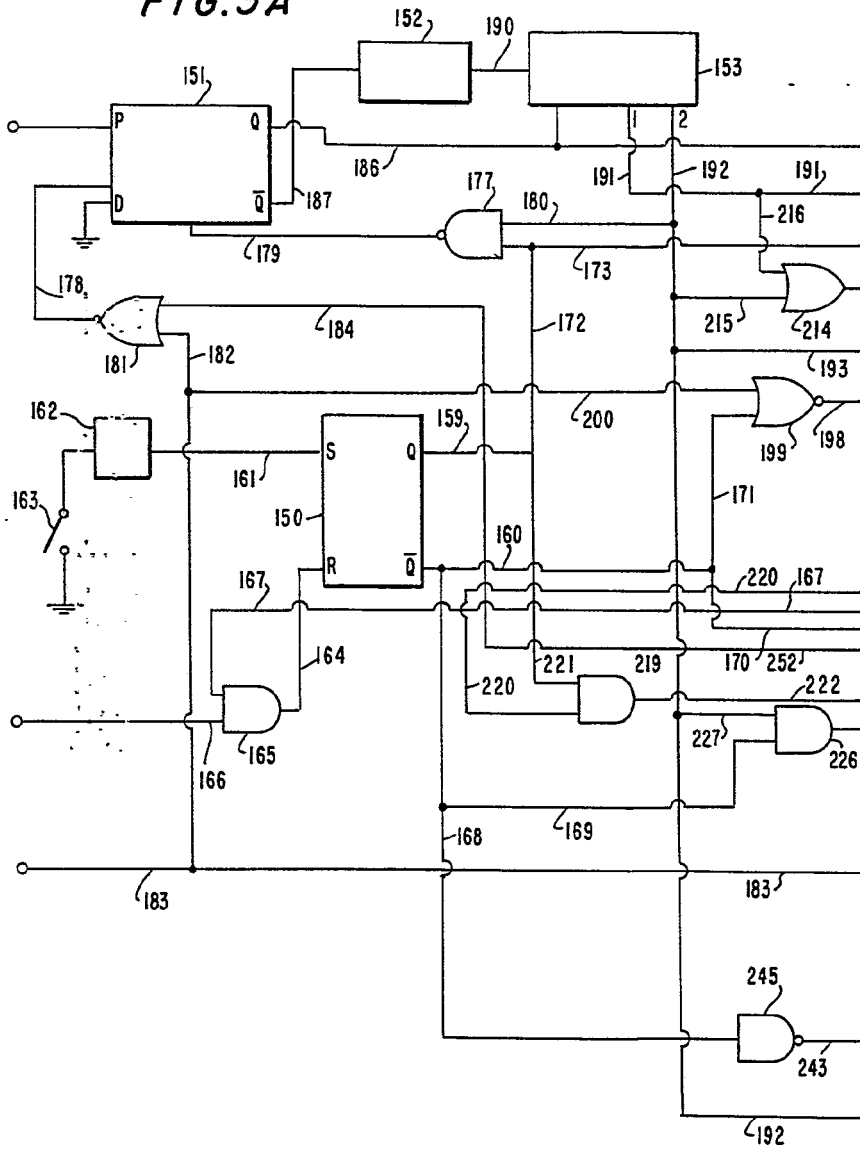
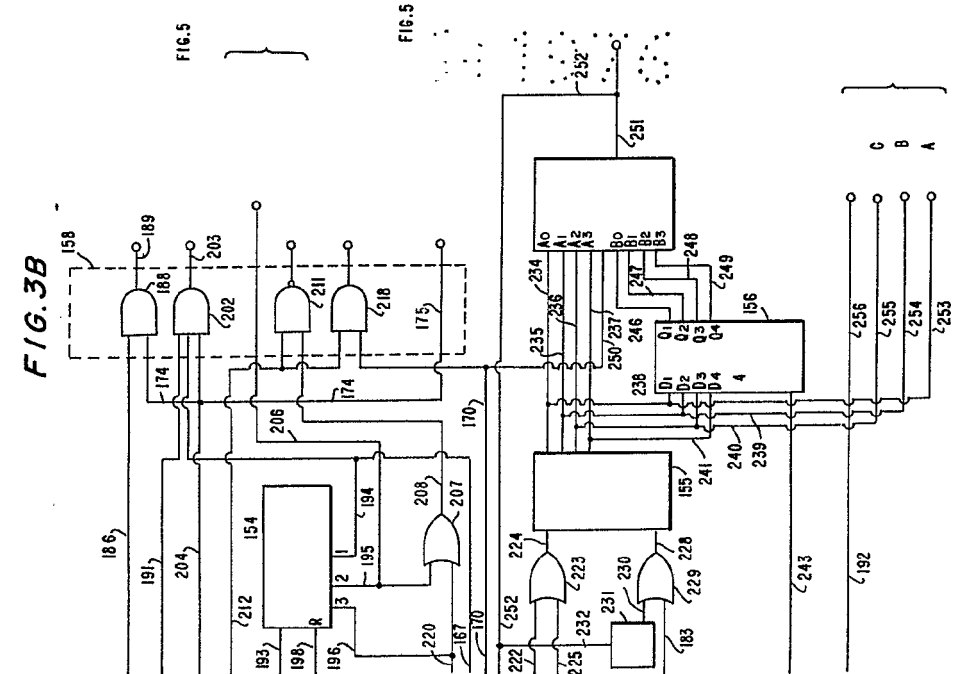
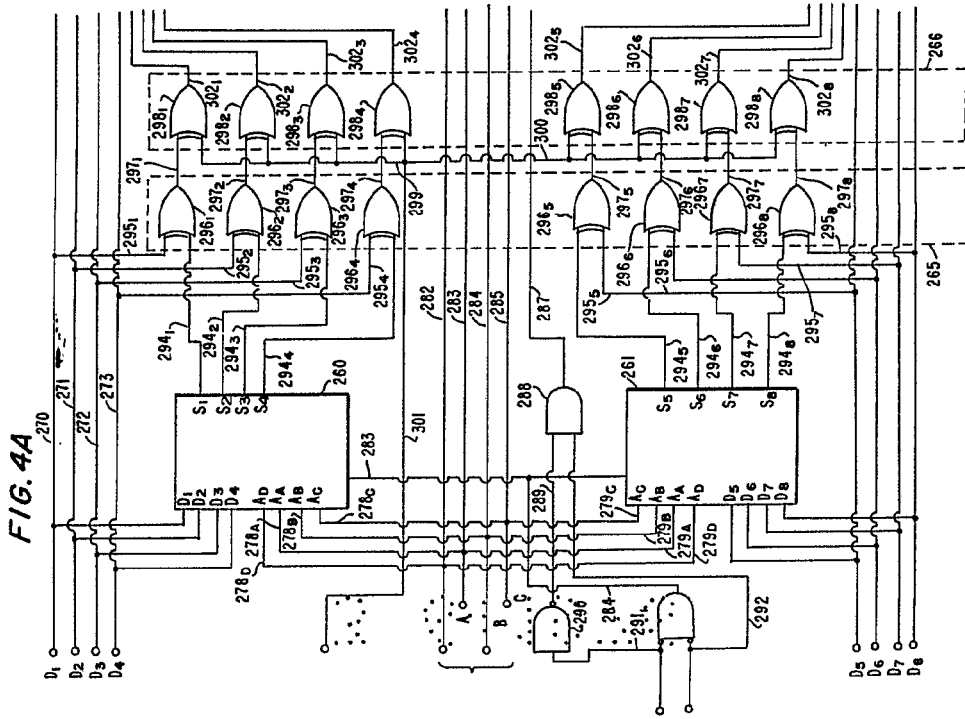




FIG.3A



ESCALA VARIABLE
Madrid, 24 de octubre 1974
BERNARDO UNGHIA
P.P.



ESCALA VARIABLE
 Madrid, 24 de octubre 1974
 BERNARDO UNGHIA
 p.p.

FIG. 3B

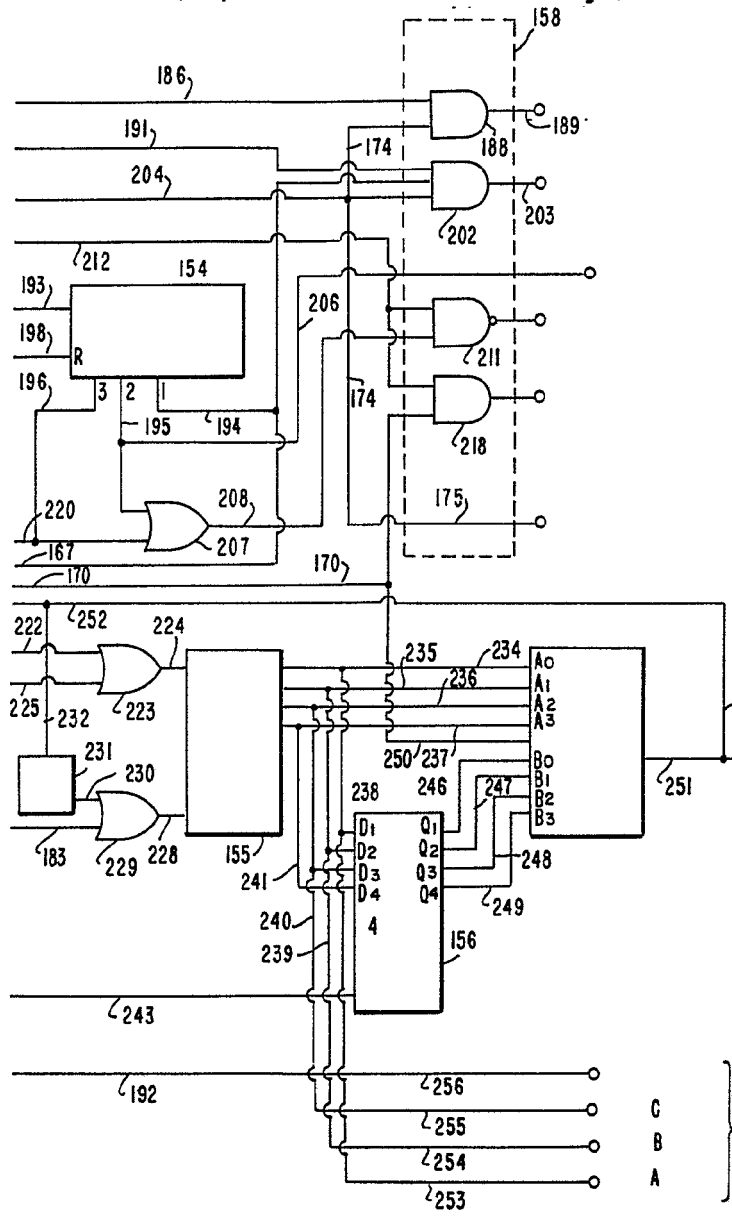


FIG. 5

FIG. 5

[
[
[
[

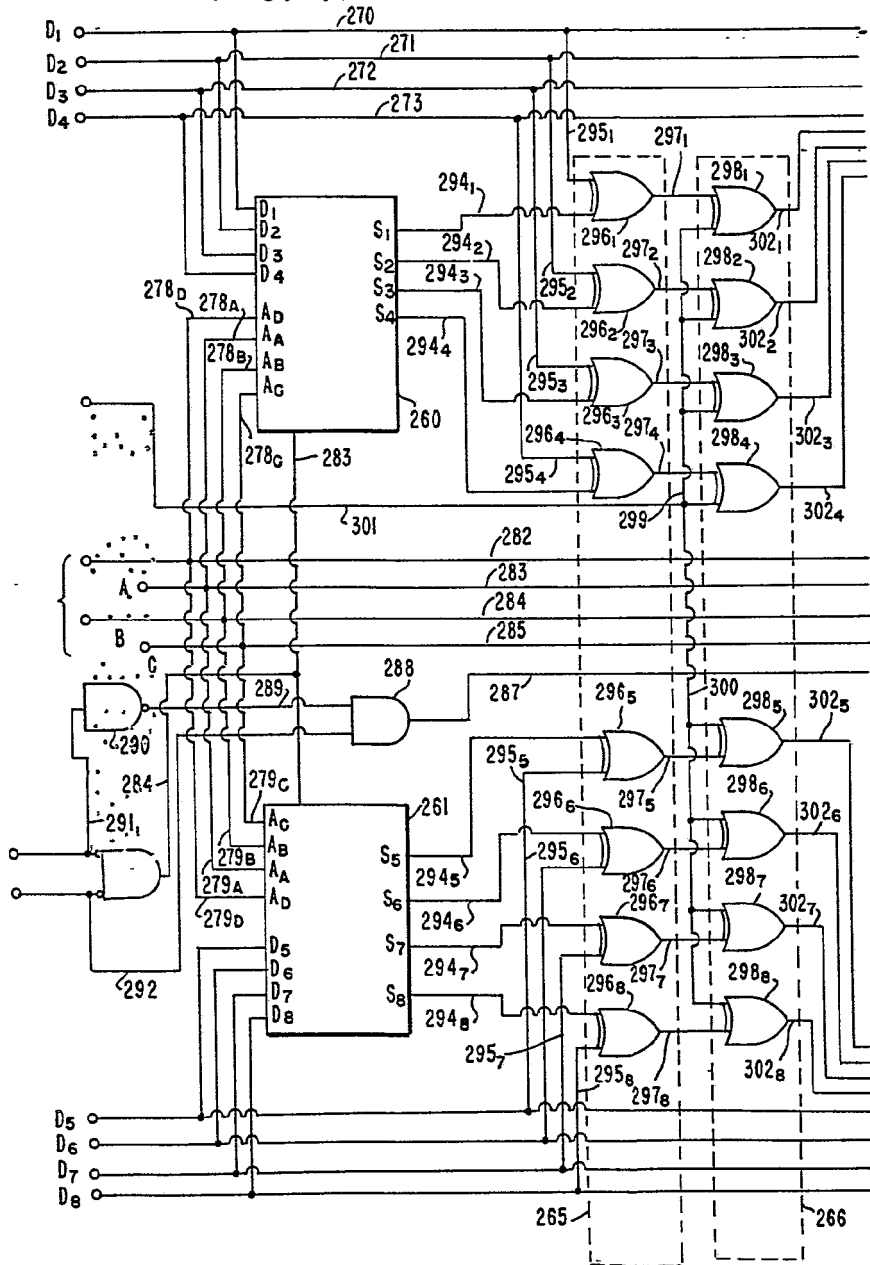
○
○

D
D
D
D

C
B
A



FIG. 4A



ESCALA VARIABLE
 Madrid, 24 de octubre 1974
 BERNARDO UNGRIA,
 P.P.

FIG. 4B

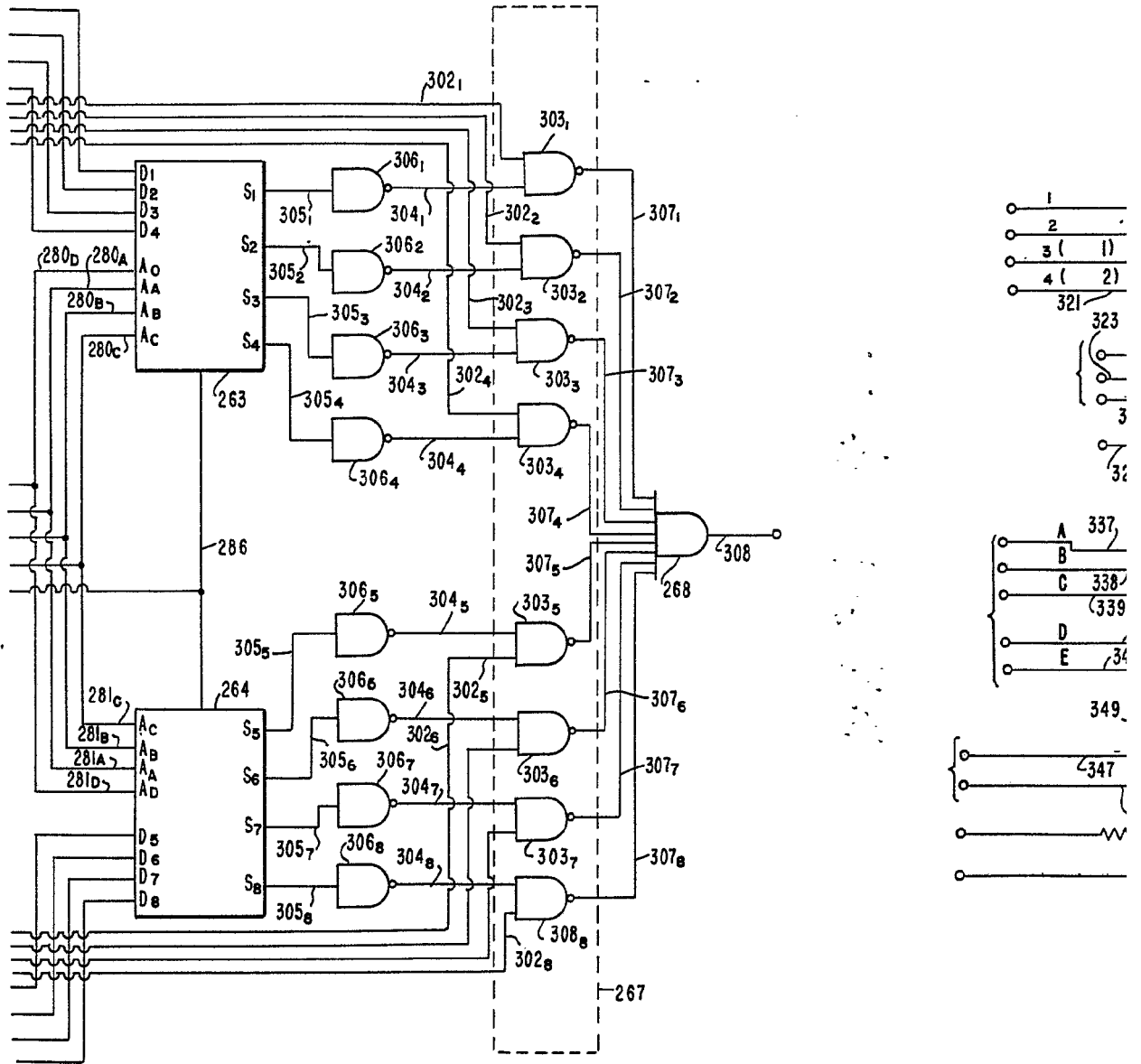
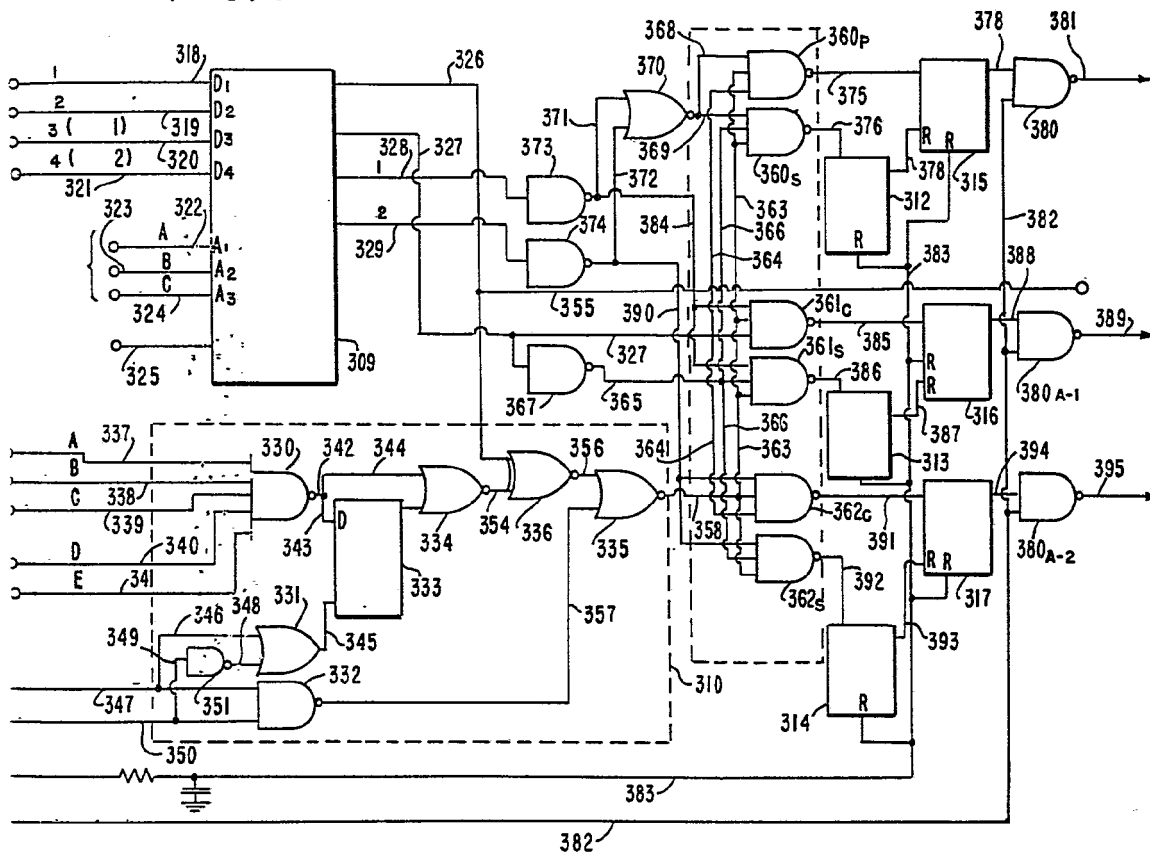




FIG. 5



ESCALA VARIABLE
 Madrid, 24 de octubre de 1974
 BERNARDO UNGRIA
 p.p.