



la densidad y forma de los errores recibidos.

Para probar el comportamiento y rendimiento de un sistema de transmisión digital se utiliza una secuencia pseudoestadística de cifras, generalmente dígitos binarios. En una disposición típica de prueba, la salida de un generador de secuencia binaria se conecta al sistema de transmisión digital que se prueba. Utilizando una secuencia pseudoestadística la salida del generador se repite periódicamente de manera predecible y por consiguiente, pueden detectarse y contarse fácilmente los errores introducidos en el sistema por perturbaciones tales como ruido, interferencia, distorsión e inestabilidad. Una medida del comportamiento del sistema es el porcentaje de errores recibidos por el detector de errores. Típicamente, se genera en el extremo de transmisión una secuencia pseudoestadística de bits, mientras que en el extremo de recepción se genera un modo idéntico para comparación. Los bits de comparación pueden generarse derivándolos continuamente de la secuencia de dígitos recibidos (modo automático) o sincronizando un generador patrón a la secuencia de dígitos recibidos (modo manual).

En la forma automática, el recuento de errores indicados no es el recuento de errores verdaderos, sino una función de la configuración de realimentación utilizada en el generador de prueba y detector. En una disposición típica, el recuento de errores indicados es tres veces el recuento de errores reales para errores muy separados. No obstante, cuando ocurre una serie de errores contiguos, el recuento total será algo menor y función de los errores recibidos. Una exposición de un sistema automático de este tipo puede hallarse en "Pseudo-Random-Sequence Binary-Digit Genera-



tors and Error Detectors" por D.J. Dieckmann y F.A. Graves, The Post Office Electrical Engineers's Journal, Volumen 64, Enero 1972, pp. 245 a 249.

5 En la forma manual, si el transmisor y el receptor permanecen sincronizados, el recuento de errores indicados será igual al número real de errores introducidos por las instalaciones de transmisión. No obstante, si hay un "deslizamiento de bits" en la sincronización entre el generador y el detector de error, se indicará repentinamente una corriente de errores, y la resincronización debe iniciarse manualmente. Así, el modo manual proporciona un recuento de errores verdaderos, pero no se resincroniza automáticamente si ocurre un deslizamiento de bit. Por el contrario, el modo automático proporciona auto-sincronización, pero no proporciona una indicación de errores verdaderos durante los intervalos de errores de elevada densidad.

10 Las desventajas de ambos sistemas han sido superadas parcialmente controlando el porcentaje de error en un sistema que funciona en modo manual. Cuando este porcentaje supera un límite determinado, por ejemplo 2.000 en 10.000 bits, la resincronización se pone en marcha automáticamente. No obstante, este sistema perfeccionado sigue padeciendo el inconveniente de que la decisión de resincronizar se basa en resultados empíricos del número de errores anticipados en un sistema que funciona normalmente. Por consiguiente, la resincronización, por lo general, sólo puede iniciarse después de que se ha recibido un gran número de errores con el fin de que no ocurra una resincronización falsa.

25 Las desventajas de los detectores anteriores de errores han sido superadas sustancialmente en la presente



5 invención proporcionando un comparador que funciona en modo automático. No obstante, la salida del comparador se alimenta a un corrector que comparando la secuencia de errores indicados deriva un recuento de errores verdaderos. Si hay pérdida de sincronización, el comparador resincronizará como en el modo automático.

10 La pérdida de sincronización alterará también el corrector de manera que su salida, después de un breve intervalo, será mayor que la del comparador. Esta información puede utilizarse entonces para reponer el corrector, volviendo a establecer con ello un recuento de errores verdaderos dentro de un número muy corto de dígitos recibidos. Por consiguiente, la probabilidad de equivocación en un gran número de errores recibidos con pérdida de sincronización puede ser muy pequeña.

15 Así, según la presente invención, se proporciona un detector de errores para una secuencia pseudoestadística de dígitos que comprende un comparador para comparar la secuencia pseudoestadística con una secuencia repetida para derivar los dígitos de errores indicados durante la anticoincidencia entre las dos secuencias. El detector incluye también un corrector para comparar los dígitos de error verdaderos requeridos contra los dígitos de errores indicados, y derivar las cifras de errores verdaderos durante la anticoincidencia entre los dígitos de errores repetidos y errores indicados. En una realización particular, el detector incluye igualmente un circuito contador para reponer el circuito corrector cuando los dígitos de errores verdaderos supera las cifras de errores indicados en un número preseleccionado.

20
25
30 A continuación describiremos una realiza-



10 comprende un registrador desviador 11 de 6 etapas, que
comprende unos biestables en serie (FF) 11-1 a 11-6 que son
accionados por un reloj 12. Las salidas de los biestables
5 5º y 6º, 11-5 y 11-6 se alimentan a las dos entradas de una
puerta "0" exclusiva 13. La salida de la puerta 0 se conecta
a su vez a la entrada del biestable 11-1 para proporcionar
la realimentación necesaria para generar un modelo de secuen-
cia repetida de longitud máxima de 63 digitos. Si bien la sa-
lida del generador 10 se toma del biestable 11-6, puede deri-
10 varse de cualquier etapa dado que las secuencias de salida
son idénticas pero desplazadas en tiempo, en relación mutua.

La salida del generador de secuencia pseudo
aleatoria 10 se alimenta, a través del sistema de transmisión
digital 20 que se prueba, a la entrada del detector de erro-
res 30. Una entrada del detector de errores 30 se alimenta
15 a un circuito de restablecimiento de reloj 31 que regenera
los impulsos de sincronización de reloj utilizados para ac-
cionar el comparador 40 y el corrector 50. Una segunda entra-
da al detector de error 30 se conecta a un registro de des-
plazamiento de seis etapas 41 en el comparador 40 que compren-
20 de 6 biestables conectados en serie 41-1 a 41-6. Como en el
generador 10, las salidas de los biestables 5º y 6º 41-5 y
41-6 se alimentan a una puerta 0 exclusiva 42. La salida de
la puerta 0 exclusiva 42 se compara bit por bit con la co-
rriente de impulsos de entrada que procede del sistema de
25 transmisión digiral 20 en un sumador módulo-2 o una puerta 0
exclusiva 43. Se observará que, excepto durante el interva-
lo en el que se reciben errores, la salida de la puerta 0
exclusiva 42 es una secuencia repetida de la entrada al com-
30 parador 40 desde el sistema de transmisión digital 20. Por



consiguiente, la recepción de un solo dígito de error procedente del sistema 20 (ya sea lógica 1 ó 0) provocará anticoincidencia en la salida de la puerta 0 43, cuando aparece el error en la entrada del biestable 41-1 e igualmente cuando aparece en la salida de los biestables 41-5 y 41-6. Como resultado, en la salida de la puerta 0 exclusiva 43 aparece un total de 3 dígitos de errores indicados (lógica 1) para cualquier cifra de error muy separada que entre en el comparador 40 desde el sistema de transmisión digital 20. No obstante, cuando un segundo dígito de error entra en el comparador 40 antes de que una primera cifra de error haya pasado a través del registro de desplazamiento 41, puede ocurrir cancelación negando de ese modo la anticoincidencia entre las dos cifras binarias que se comparan en la puerta 0 exclusiva 43. Como resultado, el número total de errores verdaderos introducidos en el sistema de transmisión digital 20 será superior a un tercio del número indicado en la salida de la puerta 0 exclusiva 43.

No obstante, se obtiene un recuento de errores verdaderos del corrector 50 a condición de que el comparador 40 permanezca en sincronización con el generador 10. La salida de la puerta 0 exclusiva 43 se alimenta a una entrada de una puerta 0 exclusiva 51. La salida de la puerta 0 exclusiva 51 se alimenta a su vez a un registro de desplazamiento de 6 etapas 52 que comprende unos biestables conectados en serie 52-1 a 52-6. La realimentación del registro de desplazamiento 52 se obtiene desde una puerta 0 exclusiva 53 cuyas entradas se derivan también de las salidas de los biestables 5^º y 6^º, 52-5 y 52-6. La salida de la puerta 0 exclusiva 53 se alimenta a su vez a la otra entrada de la puerta 0



exclusivos desde la salida del circuito de restablecimiento de reloj 31.

5 Cuando se recibe una señal libre de error del sistema de transmisión digital 20, se obtiene un flujo permanente de lógica 0 en la salida de la puerta 0 exclusiva 43. Durante este intervalo, las lógicas 0 se hacen circular continuamente alrededor del corrector 50. La coincidencia de las lógicas 0 en las salidas de las puertas 0 exclusivas 43 y 53 da lugar a un recuento de error nulo, es decir, lógicas 0 en la salida de la puerta 0 exclusiva 51. La recepción inicial de un solo dígito de error del sistema de transmisión digital 20 da lugar a una anticoincidencia en las entradas de la puerta 0 exclusiva 43. Por consiguiente, una lógica 1 aparece en la salida de la puerta 43 y por consiguiente en la salida de la puerta 51. No obstante, dado que el retraso a través de los registros de desplazamiento 41 y 52 es idéntico, las lógicas 1 resultantes de la recepción de la cifra inicial de error aparecen al mismo tiempo en la salida de las puertas 43 y 53 y por ello quedan canceladas en la puerta 0 exclusiva 51 de manera que proporcionen un recuento de error verdadero de lógicas 1 en su salida. Como resultado, se registra un recuento de error verdadero siempre que el comparador 40 permanezca en sincronización con el generador 10.

25 Si ocurre un "deslizamiento de bits" y se pierde la sincronización, al principio se registrará una serie de errores en la salida del comparador 40 hasta que se vuelva a establecer automáticamente la resincronización entre el mismo y el generador 10. No obstante, estos impulsos serán de una secuencia tal que, una vez restablecida la sincronización en el comparador 40, el corrector 50 continuará haciendo



que circule una secuencia pseudoaleatoria de lógicas 1 y 0 en vez de solo lógicas 0, aun cuando las lógicas 0 se reciban de la puerta 0 exclusiva 43, indicando una señal libre de error. Como resultado, en la salida de la puerta 0 exclusiva 51 se registra un recuento de errores falsos. Debido a la secuencia seidoestadística circulante de digitos binarias en el corrector 50, la salida de lógicas 1 de la puerta 0 exclusiva 51 será ahora superior a la de la salida de la puerta 0 exclusiva 43, indicando de este modo que se ha perdido la - sincronización. Esta información es utilizada para reponer el corrector 50, acoplando la salida de la puerta 0 exclusiva 51 a la entrada del contador 60, y utilizando la salida de la puerta 0 exclusiva 43 para reponerlo. El contador de 4 etapas 60, que comprende los biestables 61-1 a 61-4, proporciona en su salida una señal de reposición que es utilizada para reponer el registro de desplazamiento 52. Cuando se sincroniza el sistema, el número de digitos de errores indicados en la salida de la puerta 0 exclusiva 43 es hasta 3 veces el número de digitos de errores verdaderos en la salida de la puerta 0 exclusiva 51. Por consiguiente, el contador 60 está siendo repuesto continuamente por la salida de la puerta 0 exclusiva 43, de forma que no se obtiene del mismo ninguna salida. No obstante, después de la pérdida de sincronización, la salida de error falso de la puerta 0 exclusiva 51 hará que el contador de 4 etapas 60 cuente hasta que se derive una señal de reposición en su salida que, a su vez, es utilizada para reponer el corrector 50 de manera que haga circular de nuevo las lógicas 0 durante los intervalos libres de errores. A continuación, la salida de la puerta 0 exclusiva 51 hace de nuevo el recuento verdadero de errores.



5 El intervalo de reposición del corrector 50
es función del contador 60. Si el intervalo es demasiado cor-
to, puede darse una reposición falsa del corrector 50. Por
otra parte, un mayor tiempo de reacción da lugar a un mayor -
número de errores falsos registrados por la salida de la puer-
ta 0 exclusiva 51 antes de que ocurra la reposición del regis-
tro de desplazamiento 52. Utilizando un recuento del orden -
del doble del número de etapas en el registro de desplazamien-
to 52 (es decir, $2 \times 6 = 12$ en el ejemplo de realización) se
10 proporciona una inmunidad sustancial a la reposición falsa
del corrector 50. En la presente realización, el contador 60
comprende 4 biestables en serie 61-1 a 61-4 que producen un
impulso de reposición después de un recuento de 16 bits proce-
dentes de la puerta 51 sin que se reciba ningún impulso de
15 error procedente de la puerta 43. Es evidente que con esta
disposición el intervalo de reacción necesario para reponer
con exactitud el corrector 50 después de la pérdida de sincro-
nización es relativamente pequeño. La salida del contador 60
proporciona el número de veces que se pierde la sincroniza-
ción.

20 En una realización alternativa, en la que
se utiliza en el corrector 50 un registro de desplazamiento
relativamente largo, puede ser conveniente utilizar un conta-
dor creciente-decreciente sin ningún recuento negativo (es
25 decir, en recuento decreciente comparada en 0) en lugar del
contador 60. En esta disposición, el impulso ocasional de -
reposición procedente de la puerta 43 disminuirá simplemente
el recuento total en el contador 60 en 1 en vez de reponerlo.
Durante el funcionamiento sincronizado la salida mayor de la
30 puerta 43 mantendrá el recuento total del contador 60 en 0



próximo de cero.

En resumen, el detector de error 30 proporciona un recuento de error verdadero independientemente de la densidad y forma de los errores recibidos, siempre que se mantenga la sincronización. La resincronización puede establecerse con un elevado grado de certeza después de que se ha registrado un número relativamente pequeño de cifras de errores falsos.

N O T A .-

Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas, son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental; también se hace constar que el invento corresponde a una solicitud de patente, presentada en Canadá, bajo el número 180.049, de fecha de 30 de agosto de 1.973, acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención por 20 años en España, sobre: PERFECCIONAMIENTOS EN DETECTORES DE ERROR PARA UNA SECUENCIA SEUDOESTADISTICA DE DIGITOS; caracterizándose por lo siguiente:

1ª.- Perfeccionamientos en detectores de error para una secuencia pseudoestadística de dígitos, caracterizados porque el detector comprende medios que responden a dicha secuencia de dígitos para generar una secuencia repetida de dígitos, medios para comparar dígitos correspondientes de la secuencia repetida con las de dicha secuencia pseudoestadística para derivar los dígitos de error indicados

129



cuando se detecta anticoincidencia entre dichas secuencias, medios que responden a los dígitos de errores verdaderos para generar dígitos de errores repetidos, y medios para comparar dichos dígitos de error indicados con los dígitos de error repetidos y derivar las dígitos de error verdaderos cuando se detecta anticoincidencia entre los dígitos de error indicados y repetidos.

2ª.- Perfeccionamientos según la reivindicación 1ª, caracterizados porque el detector comprende medios para contar dichos dígitos de error verdaderos y derivar una señal para reponer los medios para generar los dígitos de error repetidos, reponiéndose dichos medios de recuento por los dígitos de error indicados de manera que se restablezca un recuento de errores verdaderos después de la pérdida de la sincronización.

3ª.- Perfeccionamientos según la reivindicación 1ª, caracterizados porque cuando se utiliza el detector para detectar errores en un sistema de transmisión digital incluyendo un generador de secuencia pseudoestadística para transmitir una secuencia $2^n - 1$ de dígitos binarias pseudoestadísticas en donde n es un número natural, el detector comprende un primer y un segundo registro de desplazamiento de n etapas en igual combinación con un primer y un segundo sumador módulo-2, respectivamente, para repetir la entrada binaria al mismo, un tercer sumador módulo-2 que tiene una entrada conectada a la salida del primer sumador módulo-2, medios para conectar dicha secuencia de dígitos binarios a la entrada del primer registro de desplazamiento de n etapas y la otra entrada del tercer sumador módulo-2 para derivar en la salida de este último las cifras de errores indicados

Rg



5 al triple de las cifras de errores verdaderos, un cuarto sumador módulo-2 que tiene una entrada conectada a la salida del tercer sumador módulo-2, la otra entrada conectada a la salida del segundo sumador módulo-2, y su salida conectada a la entrada del segundo registro de desplazamiento de n etapas para derivar de dicha salida los dígitos de error verdaderos.

10 4a.- Perfeccionamientos según la reivindicación 3a, caracterizados porque el detector comprende además un contador de aproximadamente 2^n dígitos con su entrada conectada a la salida del cuarto sumador módulo-2, incluyendo el contador unos medios de reposición conectados a la salida del tercer sumador módulo-2, e incluyendo el segundo registro de desplazamiento de n etapas unos medios de reposición conectados a la salida del contador con el fin de restablecer un recuento verdadero de error después de pérdida de sincronización con la secuencia de dígitos binarios pseudoestadísticos.

20 5a.- Perfeccionamientos según la reivindicación 3a, caracterizados porque cuando se utiliza el detector para una secuencia pseudoestadística de dígitos binarios comprende un comparador que incluye un primer registro de desplazamiento de n etapas en combinación con un primer sumador módulo-2 para derivar una secuencia repetida de dígitos binarios, un segundo sumador módulo-2 que tiene una entrada conectada a la salida del primer sumador módulo-2; y medios para conectar la secuencia pseudoestadística de dígitos binarios a dicho primer registro de desplazamiento de n etapas y a la otra entrada del segundo sumador módulo-2 para derivar en la salida de este último los dígitos de error indica-

30

129

30 AGO 1974

5

dos al triple del porcentaje de errores verdaderos, un corrector que incluye un segundo registro de desplazamiento de n etapas en combinación similar con un tercer sumador módulo-2 al de dicho comparador, y un cuarto sumador módulo-2 que tiene una entrada conectada a la salida del segundo sumador módulo-2 y la otra entrada conectada a la salida del cuarto sumador módulo-2 para derivar en su salida los dígitos de error verdaderos, encontrándose conectado el cuarto sumador módulo-2 a la entrada del segundo registro de desplazamiento de n etapas.

10

6a.- Perfeccionamientos en detectores de error para una secuencia pseudoestadística de dígitos; tal y como queda sustancialmente descrito en la presente Memoria e ilustrado en los dibujos adjuntos.

15

Esta Memoria consta de 14 hojas escritas a máquina por una sola cara.

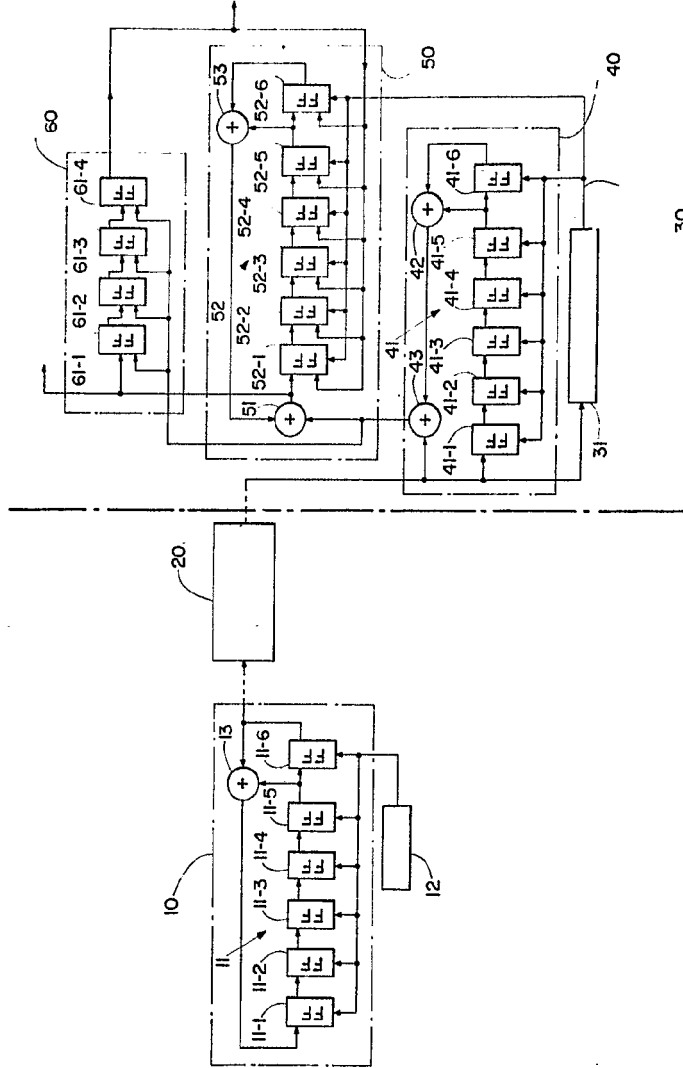
Madrid, 30 AGO, 1974
NORTHERN ELECTRIC COMPANY LIMITED.

L. GOMEZ ACEBO Y MUDEY
p.p. Firmado: L. Gaite Fernández
[Handwritten Signature]

19



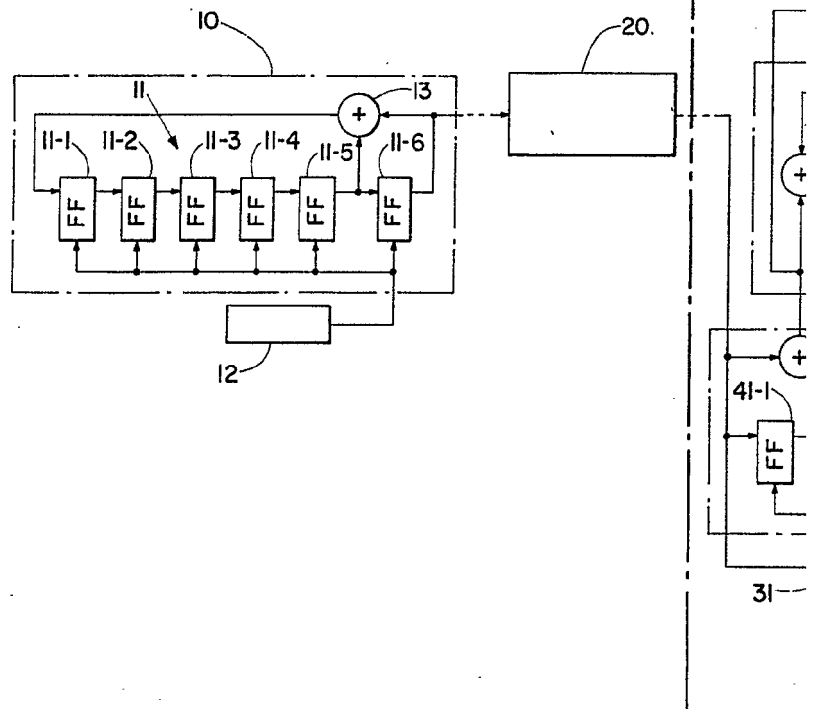
ESCALA VARIABLE

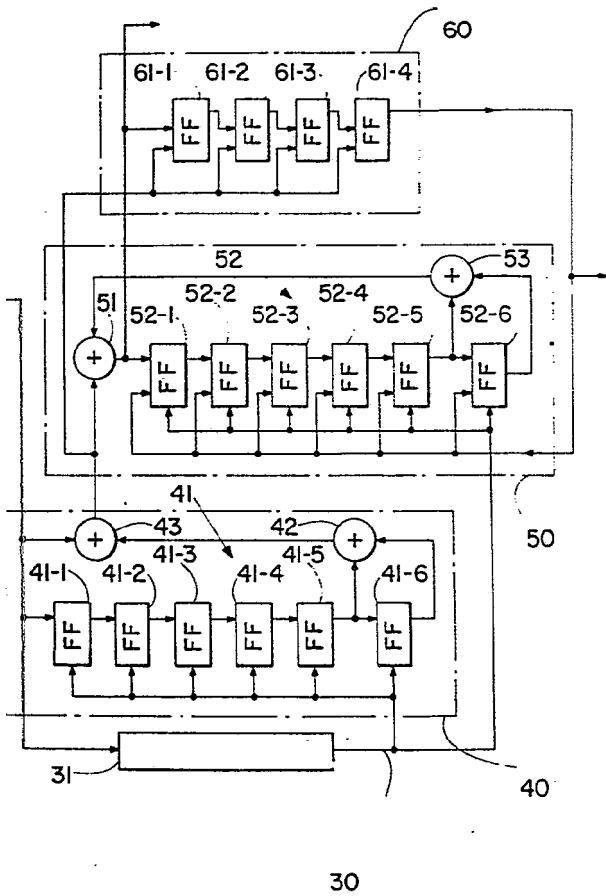


30

Madrid 30 150 1974

X. PEREZ ABEJO Y ROSA
Ingenieros L. García Fernández





ESCALA VARIABLE

Madrid 30 AGO. 1974

J. GOMEZ ACEBO Y CAÑAS
Firmado: L. GOMEZ ACEBO