



27 NOV 1974

429 114

P.- 58.290

Dtp/BWL/741952/

LM 3637

H04Q

MEMORIA DESCRIPTIVA

TALADRADORA AVERIADA

para solicitar PATENTE DE INVENCION

a nombre de TELEFONAKTIEBOLAGET L M ERICSSON

entidad sueca

establecida en 126 25 Estocolmo, Suecia

por: "PERFECCIONAMIENTOS INTRODUCIDOS EN UNA CENTRAL DE TRANSITO PARA LA TRANSMISION DE SEÑALES DE DATOS ASINCRONAS".

(Clase Internacional H04q)

19-11-74

-1-

TALADRADORA AVERIADA



El presente invento se refiere a una central de tránsito para la transmisión de señales de datos asíncronas con estructura de carácter y velocidad de transmisión de datos desconocidas con la ayuda de un equipo de control que funciona según el principio de transmisión simultánea por división de tiempo.

De acuerdo con un método anterior conocido, descrito en la solicitud Sueca publicada Número 347.407, se detectan por un equipo de línea receptor cambios de estado de señales de datos entrantes, es decir la conmutación desde el estado binario "0" al estado binario "1" y viceversa, después de lo cual estos cambios son transferidos a un equipo de línea transmisor por medio de información de dirección almacenada en un computador. Este método está caracterizado por el hecho de que el computador utilizado debe tener una capacidad de tratamiento muy alta, ya que es utilizado por todas y cada una de las conexiones de datos en la totalidad de su duración, y por el hecho de que el principio de conmutación origina alguna distorsión de tiempo de las señales de datos conmutadas debido a la carga momentánea sobre el computador, es decir una prolongación aleatoria de los elementos de carácter individuales.

Puede concebirse tener las señales de datos entrantes muestreadas con una densidad determinada por la



distorsión de muestreo permitida, del orden de 50-100 veces por elemento de carácter que corresponde a una distorsión de tiempo de 2-1 %, y después de ello transferir los valores de muestreo al equipo de línea transmisor por intermedio de un circuito de conmutación que funciona según el principio de transmisión simultánea por división de tiempo. Como, de acuerdo con este método, cada conexión de datos carga el circuito de conmutación con una frecuencia de transmisión muy alta, se obtiene una limitación estricta del número de conexiones de datos que pueden estar incorporadas en uno y el mismo encuadre de transmisión simultánea por división de tiempo. Esto significa que debe adoptarse incluso para dimensiones moderadas de la central una red de conmutación más complicada, que comprende varios pasos de conmutación.

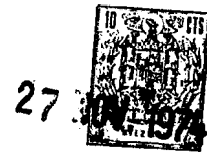
El objeto del invento es utilizar las ventajas de dicho método de muestreo en lo que respecta a la distorsión de tiempo bien controlada pero reducir en un mayor grado la frecuencia de transmisión obligada sobre el circuito de conmutación. Esto se consigue mediante la utilización de un principio de codificación conocido de acuerdo con el cual los cambios de estado de las señales de datos entrantes detectados por el muestreo son expresados en un código que contiene información concerniente al tiempo correspondiente al cambio de estado en forma binaria,

27 NOV 1974

después de lo cual la palabra de código puede ser transmitida por el circuito de conmutación con una frecuencia de transmisión que es considerablemente más baja que la frecuencia de muestreo. Las características del invento se ponen de manifiesto por las reivindicaciones.

El invento se explica a continuación por medio de una realización con referencia al dibujo anejo, en el cual la figura 1 representa una central de tránsito para la conmutación de señales de datos asíncronas, la figura 2 representa varios diagramas de tiempo para ilustración del modo de funcionamiento de la central de tránsito, la figura 3 es un diagrama de bloques del dispositivo de acuerdo con el invento, la figura 4 representa varios diagramas de tiempos que ilustran la función del dispositivo de la figura 3, las figuras 5 y 6 representan el modo en que pueden realizarse dos bloques funcionales esenciales para la central de tránsito, y las figuras 7 y 8 representan dos variantes para ampliación de la capacidad de una central de tránsito.

La figura 1 representa una central FS de tránsito a la cual están conectados 4.16 = 64 equipos T101 - T416 terminales sobre sus respectivas líneas L101 - L416 y equipos LU 101 - LU 416 de línea asociados. Los equipos terminales funcionan con frecuencias de modulación asíncronas variables, comprendidas preferiblemente en la gama



de 50 - 300 baudios. Sin embargo, se supone que todos los equipos terminales ejecutan la totalidad de la transmisión de señales hacia la central de tránsito, es decir llamada, selección, y liberación de abonados, con una ve  
5 locidad dada y con una estructura de carácter dada de acuerdo con la recomendación CCITT número X.1. Esto acarrea la utilización de la velocidad de 200 baudios y el alfabeto número 5 internacional, es decir el alfabeto de 7 bitios normalizado por CCITT e ISO, con un bitio de  
10 paridad, un bitio de iniciación y dos bitios de parada por carácter. En la posición de conexión de tránsito los equipos terminales comienzan a enviar a sus propias velo  
15 cidades de datos y estructuras de carácter específicas, ambas de cuyas características son desconocidas para la central de tránsito. La última debe estar preparada por consiguiente para transmitir cada cambio de estado sobre una línea entrante, que se deriva de un equipo terminal transmisor, a la correspondiente línea de salida para  
20 transferencia al equipo terminal receptor de tal modo que el espaciamiento de tiempo entre los cambios de estado sea reproducido con la precisión deseada.

Cada uno de los dieciseis equipos de línea, por ejemplo LU 101 - LU 416, está conectado a una unidad combinadora de transmisión simultánea, por ejemplo MUX 1,  
25 y a una unidad separadora de transmisión simultánea, por

27



ejemplo DEX 1, cuyas funciones son, en intervalos de  
identificación seleccionados, conectar en tránsito la  
línea a una línea MUB general entrante y a una línea DEB  
general de salida, respectivamente. Las unidades MUX1 - 4  
5 combinadoras de transmisión simultánea constituyen en  
conjunto un dispositivo SA de muestreo para los valores  
de las señales de datos entrantes, y las unidades DEX1 - 4  
separadoras de transmisión simultánea constituyen en con-  
junto un dispositivo UA de lectura para la transferencia  
10 de señales de indicación relativas a los valores de las  
señales de datos de salida a un dispositivo RA de regene-  
ración incorporado en cada uno de los equipos de línea,  
como se describirá con mayor detalle. Aparte del disposi-  
tivo de regeneración, los equipos de línea contienen cir-  
15 cuitos de tipo convencional para translación entre las  
representaciones de señal utilizadas en el lado de la lí-  
nea y el lado de la central, respectivamente.

Sobre las líneas MUB y DEB generales son trans-  
feridas las señales de datos que son recibidas y enviadas,  
20 respectivamente, por intermedio de las unidades LU en la  
forma de valores de muestreo e indicación, respectivamen-  
te, en una secuencia de tiempo determinada por un conta-  
dor ADR de direcciones y con una densidad determinada por  
un generador TG de señales de sincronismo. Esta densidad  
25 decide la precisión con la cual pueden determinarse los  
cambios de estado de las señales de datos y debe estar



1974

seleccionada así sobre la base de la distorsión de tiempo permitida originada por la central de tránsito a la velocidad de transmisión más alta. Por ejemplo, para una densidad correspondiente a una frecuencia de muestreo e indicación sobre las líneas generales de 2 MHz, la distorsión de tiempo correspondiente a una velocidad de 300 baudios será ligeramente inferior al 1%. Véase la figura 2, líneas a), c) y j).

La interconexión de un equipo terminal que llama (el abonado A) con el otro equipo terminal deseado (el abonado B) tiene lugar de un modo convencional con la ayuda de un equipo SU central de control que comprende una unidad SD de tratamiento de control, una memoria KM conmutadora, un circuito KL lógico conmutador, un conmutador ADR de direcciones y un generador TG de señales de sincronismo. El procedimiento de conexión y desconexión no constituye un objeto del invento, pero se describirá brevemente con el fin de facilitar la comprensión de la idea del invento. El circuito lógico conmutador comprende cinco subunidades MBL, TRL, ARL, SBL y UKL, y tiene por objeto tratar la información, relativa a las diversas conexiones, almacenada en las subunidades MBM, TRM, ARM, SBM y UKM correspondientes de la memoria conmutadora, como se describirá con mayor detalle. La conmutación de las señales de datos desde la línea MUB general entrante a la línea DEB general de salida tiene lugar por

27 NOV. 1974

intermedio de un dispositivo KA<sup>1</sup> codificador que consis-  
te en una memoria FKM codificadora de flancos y un cir-  
cuito FKL codificador de flancos, con la ayuda de los  
cuales se da a los valores de muestreo entrantes la nue-  
5 va forma de palabras de código, una memoria FM interme-  
dia, que consiste en una memoria BM intermedia y una memo-  
ria UB intermedia de salida para almacenamiento interme-  
dio de los bitios en dichas palabras de código, y un dis-  
positivo AA descodificador que consiste en una memoria  
10 AKM descodificadora y un circuito AKL lógico descodifi-  
cador, con la ayuda del cual las palabras de código son  
convertidas en valores de indicación. Las funciones de  
estos dispositivos se pondrán de manifiesto por la memo-  
ria descriptiva.

15 Cada campo de memoria en la memoria conmutadora,  
como también en la memoria codificadora de flancos, la  
memoria intermedia y la memoria descodificadora, tiene  
64 posiciones de memoria correspondientes a cada uno de  
los 64 equipos de línea, y a estas posiciones se tiene  
20 acceso al mismo tiempo que el respectivo equipo de lí-  
nea obtiene acceso a las líneas MUB y DEB generales pa-  
ra la escritura en la Memoria codificadora de flancos  
y para la lectura de la memoria descodificadora de va-  
lores de muestreo e indicación asociados, respectivamen-  
25 te. El direccionamiento tiene lugar cíclicamente, y ca-  
da ciclo de direccionamiento, con el fin de facilitar

27.10.74



la lectura de la memoria intermedia al dispositivo descodificador, está dividido en 16 secuencias de cinco pasos cada una. Durante el primero de los cinco pasos se transfieren desde la memoria BM intermedia a la memoria UB intermedia de salida cuatro valores de indicación, cada uno de los cuales se refiere a un equipo de línea en su respectivo grupo de 100 líneas, por ejemplo LU 101, LU 201, LU 301 y LU 401. Durante los otros cuatro pasos en la misma secuencia son transferidos estos cuatro valores de indicación desde la memoria UB a posiciones correspondientes en la memoria AKM descodificadora, al mismo tiempo que son direccionados dichos equipos de línea, siendo transferidos los valores de muestreo e indicación desde ellos y a ellos, respectivamente, sobre las líneas MUB y DEB generales. Esto está ilustrado sobre las líneas b)- f) en la figura 2.

Cuando el terminal del abonado A, por ejemplo el terminal T 101, está en su estado de reposo, los valores de muestreo que se producen sobre la línea MUB general durante el paso 101 de acceso representan un cero binario ("0"). Cuando se hace una llamada, el estado cambia a un uno binario ("1"), después de lo cual se activa el circuito SKL lógico codificador de flancos y almacena información concerniente al hecho en la posición



101 en la memoria FKM codificadora de flancos. El tiempo del incidente se compara con el período de una señal de sincronismo suministrada por el generador TG de señales de sincronismo, cuya frecuencia es más baja que la frecuencia de muestreo, por ejemplo un octavo de ella, por ejemplo contando el número de valores de muestreo que pueden ser recibidos durante el período normal de la señal de sincronismo hasta el tiempo en cuestión. El resultado de esta operación está expresado en una palabra de código que comprende, por ejemplo, cuatro bits binarios, uno de los cuales indica que se ha producido un cambio de estado de "0" a "1" y tres indican la posición de tiempo del cambio, y esta palabra de código es transferida bitio por bitio y en sincronismo con dicha señal de sincronismo a la unidad MBL lógica, que escribe el estado "1" en la posición de memoria del abonado A en la memoria MBM intermedia receptora. Después de esta palabra de código, son transferidas indicaciones de estado "1" con la misma temporización mientras éste estado está indicado por los valores de muestreo, y se almacena un nuevo valor "1" en la memoria intermedia receptora a intervalos regulares, por ejemplo cada sexta señal de sincronismo, que se supone corresponde a la longitud de un intervalo unidad de los caracteres recibidos durante la fase de transmisión de señal. En la memo-

27



5           ria ll receptora son almacenados valores de elemento  
correspondientes a la longitud de un carácter de trans-  
misión de señal de llamada y si son todos "1", es trans-  
ferida una indicación de llamada a la unidad TRL lógi-  
ca para actualización de la posición de memoria del  
abonado A en el registro TRM de estados al mismo tiem-  
po que se escribe la dirección del último en la posi-  
ción correspondiente en la memoria ARM de registro de  
direcciones. Tiene también lugar un acuse de recibo de  
10       la llamada, con independencia de la unidad de tratamien-  
to de control, mediante el cambio de los datos de sali-  
da al abonado de "0" a "1" mediante escritura en la me-  
moria BM intermedia del modo que se describe posterior-  
mente.

15                 Es también transferida una indicación de lla-  
mada a la unidad SD de tratamiento de control, que iden-  
tifica al abonado A por medio de la información conteni-  
da en el registro de direcciones. Si la unidad de tra-  
tamiento de control está preparada para recibir infor-  
20       mación de selección de este abonado, esto debe ser in-  
dicado al último con una combinación de caracteres da-  
da, por ejemplo GA (Go Ahead). Esto se hace de modo que  
cada carácter, uno a la vez, es escrito en la posición  
del abonado A en la memoria SBM intermedia transmisora,  
25       de la cual es extraído, elemento por elemento, por el

27 31.1974

circuito UKL lógico codificador y es almacenado en la memoria UKM asociada. Desde allí tiene lugar una transferencia en serie a la posición del abonado A en la memoria BM intermedia de impulsos de indicación que describen en forma binaria las transiciones entre los estados binarios en los respectivos caracteres, según los mismos principios que en el dispositivo KA codificador, después de lo cual, a través de la memoria UB intermedia de salida, son transferidos al dispositivo AA descodificador y almacenados en la memoria AKM descodificadora. Con la orientación de la información binaria, el circuito AKL lógico descodificador forma nuevos impulsos de indicación, los cuales, mediante su valor y posición en el tiempo, indican los cambios de estado en los caracteres respectivos y que son enviados sobre la línea DEB general y, en el espacio de identificación del abonado A, son conducidos a través de la unidad DEX 1 de separación en la transmisión simultánea, al equipo LU 101 de línea. Aquí, con la ayuda del dispositivo RA 101 de regeneración, los valores de indicación son compuestos en elementos de carácter que son transmitidos por la línea L 101. Después que han sido transmitidos ambos caracteres, GA, la unidad de tratamiento de control marca en el registro de estados que se ha completado esta fase del proceso.

19-11-74

27 10 1974

Se espera ahora que el abonado A envíe información de selección en la forma de un número específico de caracteres de datos que identifican un abonado B (o un servicio especial) dentro de un tiempo específico. Si esta transmisión no tiene lugar, la unidad de tratamiento de control inicia la operación de dejar libre al abonado A restaurando los datos de salida a "0" y restaurando la palabra de memoria del abonado en la memoria de conmutación. Si, por el contrario, llega la información de selección, los caracteres son compuestos, como se ha descrito anteriormente, en la memoria intermedia receptora, de donde son extraídos, uno a la vez, por la unidad de tratamiento de control. Cuando se ha recibido el número necesario de caracteres para identificación del abonado B, la unidad de tratamiento de control ingresa la posición correspondiente en el registro de estados e investiga si el abonado está accesible. Si no lo está, se envía notificación del hecho en la forma de un número de caracteres, (una llamada señal de servicio), después de lo cual es dejado libre el abonado A. Si, por el contrario, el abonado B está accesible, la unidad de tratamiento de control escribe el estado de llamada en el registro de estados, después de lo cual los datos de salida en la posición de memoria del abonado B en BM, por ejemplo el número 416, son cambia-

27 NOV 1974

dos de "0" a "1", lo que implica una señal de llamada  
al terminal T416 del abonado B. Durante el primer pa-  
so de acceso en la secuencia durante la cual se tiene  
acceso al equipo LU 416 de línea, es decir durante el  
5 paso 016, son transferidos los valores de indicación  
de la señal de llamada a la memoria intermedia de sali-  
da desde la cual, durante el paso 416 de acceso, son  
transferidos al descodificador. Como antes, se forman  
aquí impulsos de indicación los cuales, por intermedio  
10 de la línea DEB general y la unidad DEX 4 separadora  
de transmisión simultánea, son suministrados al equipo  
LU 416 de línea para composición en una señal continua  
en el dispositivo RA 416 de regeneración.

    Cuando contesta, el terminal T 416 ejecuta un  
15 desplazamiento de "0" a "1" en dirección hacia la cen-  
tral de tránsito, lo cual es notificado a la unidad de  
tratamiento de control a través de la memoria interme-  
dia receptora. La unidad de tratamiento de control es-  
cribe una señal CT de conexión de tránsito en las posi-  
20 ciones de memoria de ambos abonados en la memoria SBM  
intermedia transmisora, y cuando ha sido transmitida  
la señal, es marcado este hecho en el registro TRM de  
estados al mismo tiempo que se cambia la información  
en el registro ARM de direcciones. Hasta ahora cada po-  
25 sición de memoria de abonado en el registro de direccio-

27 NOV 1974

nes ha tenido acceso a su propio equipo de línea pero, al producirse la conexión de tránsito, estas direcciones son invertidas. La conexión de tránsito tiene también el resultado de que las indicaciones binarias que representan las palabras de código formadas por el dispositivo KA codificador son transferidas directamente a la memoria UKM codificadora. La memoria MBM intermedia receptora, sin embargo, continúa recibiendo todas las indicaciones con el fin de poder detectar una señal de liberación de cualquiera de los abonados A o B. La inversión de las direcciones en el registro de direcciones tiene el resultado de que los valores de indicación leídos de la memoria codificadora en la posición de memoria del abonado A pueden ser escritos en la posición de memoria del abonado B en la memoria BM intermedia, y viceversa. La conexión de tránsito tiene así lugar mediante cambio del intervalo de identificación en la transferencia desde la memoria conmutadora a la memoria intermedia.

La solicitud de liberación consiste en la transmisión continua de "0" por cualquier terminal. Cuando se ha escrito el estado "0" en la memoria intermedia receptora en la totalidad de sus once posiciones de elemento, el hecho es anotado en el registro de estados, mientras que la unidad de tratamiento de control identi-



27 NOV 1974

fica las direcciones asociadas. Ambos terminales son entonces dejados libres y las posiciones de memoria asociadas en el registro de direcciones son puestas a cero.

5 El proceso de conexión y desconexión descrito anteriormente se ha descrito meramente con el fin de dar una imagen más completa del modo de funcionamiento de las centrales de tránsito y, como se ha observado anteriormente, no constituye un objeto para el invento. El computador puede ser un computador de funcionamiento  
10 en tiempo real de cualquier diseño conocido del tipo utilizado en instalaciones de telecomunicación.

El principio básico del invento puede explicarse muy bien por descripción de un estado estacionario cuando dos abonados están en conexión entre sí, sin tener en consideración el modo en que se estableció la conexión.  
15

Las figuras 3 y 4 representan en forma simplificada las funciones que son de interés para describir un estado estacionario, siendo intercambiada entre dos abonados conectados información en la forma de señales de datos asíncronas con velocidad de transmisión desconocida pero con un límite máximo de 300 baudios y con una estructura de caracteres desconocida. De este modo, la figura 3 representa el dispositivo KA codificador con  
20 la memoria FKM codificadora de flancos y el circuito FKL  
25



codificador de flancos, formando parte del equipo SU  
 de control la memoria ARM de registro de direcciones  
 con el circuito ARL lógico de registro de direcciones  
 asociado, y conteniendo la memoria intermedia la memo-  
 5 ria BM intermedia y la memoria UB intermedia de salida,  
 y el dispositivo AA descodificador con la memoria AKM  
 descodificadora y el circuito AKL lógico descodificador.

Los abonados A y B están representados por las  
 direcciones 101 y 416 de memoria. Hay una palabra de me-  
 10 moria correspondiente a cada dirección en cada uno de  
 los campos SKM, ARM AKM de memoria, y un bitio de memo-  
 ria en la memoria BM intermedia. Los bitios de memoria  
 en BM están dispuestos en palabras de memoria de cuatro  
 bitios a las que puede establecerse acceso por interme-  
 15 dio de entradas especiales de dirección, en el ejemplo  
 las entradas 001 y 016.

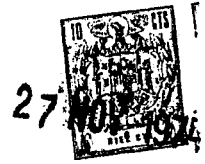
La línea ADB general está en conexión con el con-  
 tador ADR de direcciones representado en la figura 1,  
 mientras que TGB está en conexión con el generador TG  
 20 de señales de sincronismo. Las líneas MUB y DEB genera-  
 les están en conexión con las unidades combinadoras se-  
 paradoras de transmisión simultánea respectivamente, del  
 mismo modo representado en la figura 1.

El diagrama de tiempos de la figura 4 representa  
 25 el curso de hechos en la transferencia de señales de da-

27



tos del abonado A al abonado B. El tren de impulsos re-  
presentado por la línea a) que corresponde a la línea  
j) en la figura 2, indica los tiempos en que el conta-  
dor de direcciones está en la posición 101, es decir  
5 tanto cuando a la palabra de memoria del abonado A se  
tiene acceso en los campos FKM, ARM y AKM de memoria  
como cuando al equipo LU 101 de línea del abonado A  
se tiene acceso en la unidad MUX 1 combinadora de trans-  
misión simultánea. Este paso de acceso se repite, de  
10 acuerdo con el ejemplo, con una frecuencia de repeti-  
ción de 48 veces por elemento unidad de los caracteres  
de señalización, es decir los caracteres transferidos  
durante la fase de preparación, lo que implica que los  
valores de muestreo relativos a señales de datos que lle-  
15 gan desde el abonado A son transferidos con esta fre-  
cuencia al circuito FKL lógico codificador de flancos  
por intermedio de la línea MUB general. Por la línea b)  
están representadas señales de datos que llegan desde  
la línea 101 en donde la primera conmutación del estado  
20 Z al estado A va seguida por un elemento de señal de una  
longitud correspondiente, por ejemplo, a 44 intervalos  
de muestreo. Los valores de muestreo transferidos so-  
bre la línea MUB general siguen a los cambios de estado  
de las señales de datos recibidas de modo que, como se  
25 representa sobre la línea c), el circuito SKL lógico co-



dificador de flancos está alimentado con impulsos positivos durante los intervalos en que las señales de datos recibidas tienen el estado A. El primero de estos impulsos positivos es comparado en tiempo con la señal de sincronismo representada sobre la línea d), que se recibe del generador TG de señales de sincronismo por intermedio de la línea TGB general. Un período de esta señal de sincronismo es igual, de acuerdo con el ejemplo, a ocho intervalos de muestreo y es posible así indicar por medio de tres bits binarios el intervalo de muestreo dentro del período de señal de sincronismo durante el cual se ha producido el primer impulso de muestreo positivo.

Puede diseñarse un dispositivo codificador que funciona según este principio, por ejemplo, como se representa en la figura 5, en el cual la memoria FMK codificadora de flancos consiste en tres partes M1, M2 y M3, que cooperan con sus respectivas memorias UB 1, UB2, UB3 intermedias de lectura de salida y sus respectivas memorias IB1, IB2, IB3 intermedias de escritura, que forman parte del circuito FKL lógico codificador de flancos. El circuito FKL contiene también dos puertas IG1, IG2 de escritura, un descodificador AK, un circuito SK sumador y nueve circuitos G1 - G9 de puerta. La lectura y escritura en las tres unidades de memoria tienen lugar,



como se describio anteriormente,<sup>1</sup> sobre la base de la in-  
formación de dirección que llega por la línea ADB gene-  
ral. En todas las ocasiones de acceso tiene lugar prime-  
ro una lectura de datos a las memorias intermedias de  
5 lectura, teniendo después lugar el tratamiento de estos  
datos en los circuitos lógicos bajo el control de las se-  
ñales que llegan al mismo tiempo sobre las líneas MUB y  
TGB generales de las unidades combinadoras de transmi-  
sión simultánea y el generador de señales de sincronis-  
10 mo, respectivamente, después de lo cual son escritos  
nuevos datos en la unidad de memoria. Son suministradas  
al equipo SU de control representado en la figura 1 se-  
ñales de indicación por intermedio de la salida FKU.

La unidad M1 de memoria tiene cinco posiciones  
15 de bitio que son utilizadas para almacenamiento de las  
palabras de código a ser transmitidas sobre la salida  
FKU. Para escribir en la memoria M1 son suministrados  
datos a la memoria intermedia de escritura a través de  
la puerta IG1 de escritura a través de las entradas 11-15  
20 o a través de las entradas 21-25 dependiendo de los es-  
tados de control presentes sobre las entradas 10 y 20,  
respectivamente. La unidad M2 de memoria tiene una posi-  
ción de bitio en la cual está almacenado el estado actual  
de los impulsos de muestreo recibidos. Es suministrada  
25 nueva información de estado a la memoria IB2 intermedia

27 NOV 1974

de escritura a través de la entrada D sobre la puerta IG2 de entrada dependiendo del estado de control presente sobre la entrada S. La unidad M3 de memoria tiene tres posiciones de bitio para almacenamiento de un número formado en el circuito SK sumador, que avanza  
5 en uno cada vez que la entrada C de control recibe una señal "1" hasta que se alcanza el número 4, después de lo cual vuelve a 0. El descodificador AK tiene una salida 0 que toma el estado "1" cuando la memoria UB3 intermedia de lectura contiene el número 0.  
10

Las puertas "Y" G1, G2 junto con la puerta "O" G3 forman un circuito "O EXCLUSIVO" por medio del cual todos los valores de muestreo recibidos son comparados con el valor que existe simultáneamente en la memoria UB2 intermedia de lectura. En caso de existir una diferencia se recibe el estado "1" sobre la salida de G3. En caso de existir similitud, se recibe el estado "0" de G3, que inhibe la puerta "I" G4 y la salida de la última toma el estado "0". Se satisface así una de las  
15 condiciones de activación de la puerta "Y" G5 al mismo tiempo que la entrada 20 de control a la puerta IG1 de lectura está inhibida. La entrada 10 de control a la puerta IG1 está activada a través de G5 si se recibe simultáneamente un impulso "1" por el camino T0 de  
20 la línea TGB del generador de sincronismo, lo cual ocu-  
25

27 NOV 1974

rre para cada octavo ciclo de acceso. Al activarse la entrada 10 de control, son transmitidos datos sobre las entradas 10-15 hacia las entradas 1-5 en la memoria IBI intermedia de escritura, lo cual implica que los datos que han sido leídos a las posiciones 1-4 de bitio en la memoria UBI intermedia de lectura son escritos en las posiciones 2-5 de bitio en IBI al mismo tiempo que es transmitida información como salida en la posición 5 en UBI por intermedio de la puerta "Y" G6 a la salida FKU y se extrae un nuevo valor de la memoria UB2 intermedia de lectura para escribir en la posición 1 en la memoria IBI intermedia de escritura. El complejo M1, UBI, IG1, IBI funciona así como registro de desplazamiento que por cada octavo ciclo de direccionamiento lee un nuevo valor en su primera posición y transmite un valor desde su quinta posición mientras está activada la entrada 10 de control.

En el caso de existir una diferencia entre los valores de MUB y UB2, una de las entradas a la puerta "Y" G4 tendrá el estado "1". Si al mismo tiempo el decodificador AK indica el número 0, se activa la puerta G4, como resultado de lo cual la entrada C de control al circuito SK sumador tendrá el estado "1" a través de la puerta "0" G7 y estará inhibida la entrada 10 de control a la puerta IG1 de escritura, mientras que en



27 NOV. 1974

cambio estará activada la entrada 20 de control. La  
puerta IG2 de escritura estará activada también median-  
te el estado "1" aplicado por la entrada S. El circuito  
SK suma 1 al número leído de la memoria UB3 intermedia  
5 de lectura y transfiere el resultado, en este caso 1,  
por tanto, a la memoria IB3 intermedia de escritura. La  
puerta IG1 de lectura de entrada deja pasar al mismo  
tiempo datos de las entradas 21-25 sobre IG1 a las en-  
tradas 1-5 sobre la memoria IB1 intermedia de escritu-  
10 ra y es suministrada nueva información de estado a la  
memoria IB2 intermedia de escritura por intermedio de  
la entrada D sobre IG2. La información de datos leída  
a través de IG1 corresponde a la palabra de código a  
ser suministrada sobre la salida FKU para descripción  
15 del cambio de estado indicado por los impulsos de mues-  
treo sobre la línea MUB general. La palabra de código  
se inicia con una indicación de que se ha producido  
un cambio de estado, la cual se consigue por cuanto el  
valor de estado anterior que fué extraído de la memoria  
20 UB2 intermedia de lectura se invierte en el circuito G8  
y es suministrado después de ello a la entrada 25 sobre  
la puerta IG1 de escritura. Los tres bitios siguientes de  
la palabra de código notifican el tiempo en el cual se  
produjo el cambio de estado de los impulsos de muestreo  
25 y se obtienen sobre el camino T1, T2, T3, desde la línea



TGB de generador de sincronismo a las entradas 22-24 sobre IG1. Después de esta información se repite la indicación de estado, de modo que la entrada 21 sobre IG1 recibe la misma información que la entrada 25.

5 De acuerdo con lo anterior, el número 1 fué escrito en la memoria IB3 intermedia de escritura. La siguiente vez que se tiene acceso a la misma posición de memoria, por consiguiente, la memoria UB3 intermedia de lectura contendrá el valor 1, de modo que la salida 0 del descodificador AK toma el estado "0", que  
10 constituye una condición de activación para la puerta "Y" G9 pero una condición de inhibición para la puerta "Y" G4 y la puerta IG2 de lectura. La segunda condición de activación para G9 se obtiene del camino T0 sobre la  
15 línea TGB general del generador de sincronismo y se produce, como se ha observado anteriormente, para cada octavo ciclo de direccionamiento. En esta ocasión, en conformidad, la entrada C recibe el estado "1" sobre el circuito SK sumador siendo avanzado el número a 2, al mismo  
20 tiempo que la entrada 10 de control de la puerta IG1 de lectura es activada y la última ejecuta una operación de desplazamiento del modo descrito anteriormente. Entre tanto la puerta IG2 de lectura está bloqueada mediante el estado "0" presente sobre la entrada S, de modo que  
25 la información de estado se mantiene sin alterar de un



modo definido durante esta fase. Después de cuatro operaciones de desplazamiento se completa el ciclo de cómputo y el número 0 ha sido escrito en la memoria IG3 intermedia de escritura con el fin de indicar que la  
5 palabra de código leída por intermedio de las entradas 21-25 ha sido ahora desplazada a una posición tan alejada que, al tener lugar la siguiente lectura de la memoria UBl intermedia de lectura, todas las posiciones  
1-5 contendrán únicamente información de estado. La parte  
10 esencial de la palabra de código ha sido así enviada, por intermedio de la puerta "Y" G6, a la salida FKU, y se permite que el dispositivo codificador registre un nuevo cambio de estado de señales de muestreo entrantes.

15 De acuerdo con lo anterior, por consiguiente, el dispositivo KA codificador forma una palabra de código que, aparte de los tres bitios determinadores de tiempo, se supone que contiene un bitio indicador de estado, y esta palabra está almacenada en la palabra de  
20 memoria del abonado A, dirección 101, en la memoria FKM codificadora de flancos. Esta información está simbolizada en la figura 3 por la porción superior sombreada de FKM. Para señales de datos que llegan del abonado B, se almacena información correspondientemente en la  
25 dirección 416, es decir en la porción inferior sombreada.



27 NOV. 1974

En sincronismo con la señal presente sobre la línea d) se suministran sobre la salida FKU señales de indicación en la forma de impulsos "1", los impulsos de trazo continuo sobre la línea e) en la figura 4, e impulsos "0", los impulsos de trazo discontinuo, en correspondencia con la palabra de código almacenada en FKM. De este modo, el primer impulso de trazo continuo sobre la línea e) indica que ha tenido lugar el cambio del estado Z al estado A, mientras que los tres impulsos siguientes forman el número binario 110 que expresa que se produjo el cambio de estado durante el sexto intervalo de muestreo dentro del período precedente de la señal de sincronismo. Los dos impulsos siguientes constituyen impulsos de relleno y contienen información de estado (valores "1" de indicación). Las señales de indicación son entregadas a la memoria BM intermedia y, al producirse la escritura en la última, los valores de indicación que representan las señales de datos del abonado A son colocados en la celda de memoria del abonado B y viceversa. Para este fin, se utiliza información de dirección que ha sido almacenada en la memoria ARM de registro de direcciones durante la fase de preparación, durante la cual se ha recibido información de selección del abonado A y ha sido analizada por la unidad de tratamiento de control representada en la figura 1. La última ha escrito en la memo-

27



ria ARM la dirección (416) del abonado B en la posición  
101 de memoria del abonado A y la dirección 101 del abo-  
nado A en la posición 416 de memoria del abonado B. En  
sincronismo con la señal presente sobre la línea d) la  
5 memoria intermedia extrae así a través de la salida ARU  
de la unidad ARL lógica de registro de direcciones in-  
formación para identificar la celda de memoria en BM  
a la cual ha de entregarse el valor de indicación reci-  
bido simultáneamente del circuito SKL lógico codificador  
10 de flancos, (de acuerdo con el ejemplo, la dirección  
416).

Como se ha descrito anteriormente, el acceso  
desde el contador de direcciones tiene lugar cíclicamen-  
te, comprendiendo cada ciclo de acceso 16 secuencias  
15 de 5 pasos cada una. Durante cuatro pasos se tiene acce-  
so sucesivamente a una línea en cada uno de cuatro gru-  
pos de 16 líneas cada uno, mientras que durante el paso  
inmediatamente precedente tuvo lugar una lectura de la  
memoria BM intermedia hacia la memoria UB intermedia de  
20 salida que sirve como convertidor de paralelo a serie  
de valores de indicación a las cuatro líneas de salida  
a que se tiene acceso durante los antes mencionados cua-  
tro pasos. Como se indicó en la figura 3, la palabra en  
la memoria intermedia que contiene las celdas 101, 201,  
25 301 y 401 de memoria tiene como dirección 001 y la pala-

27 NOV 1974

bra que contiene las celdas 116-416 tiene asignada la dirección 016. Sobre la línea f) en la figura 4 está representado por medio de impulsos de trazo continuo cómo es transferido el nuevo valor de indicación en la celda 416 de memoria a la memoria intermedia de salida durante el paso 016 de direccionamiento y cómo es transferido al dispositivo AA descodificador, como se representa sobre la línea g), durante el primer paso 416 siguiente por intermedio de la salida UBU. La relación de tiempos entre los pasos 10, 016 y 416 de acceso se verá por la figura 2, líneas c), g) y h).

La función del dispositivo descodificador es, tomando como base la información binaria contenida en los valores de indicación transferidos desde UB, formar una nueva señal de indicación, de acuerdo con la línea h) en la figura 4, que es enviada por la línea DEB general en la posición de tiempo indicada por la palabra de código contenida en los valores de indicación.

El siguiente cambio de retorno al estado Z se trata del mismo modo que se ha descrito para el cambio del estado Z al estado A. De acuerdo con la figura 4, línea c), no se producen impulsos de muestreo después de este cambio, lo cual implica que la polaridad durante el siguiente intervalo estará indicada por el valor

27 NOV 1974  
27 NOV 1974

"0" de indicación, como se representa sobre la línea e). La indicación de tiempo para la conmutación es 010, lo cual significa que el cambio se produjo durante el segundo intervalo de muestreo dentro del período que se acaba de completar de la señal de sincronismo sobre la línea d). Los valores de indicación son cursados del mismo modo que se ha descrito anteriormente y originan una señal de indicación sobre la línea DEB general, como se representa por el impulso de trazo discontinuo sobre la línea h). Sobre la línea i) están representadas las señales de datos regeneradas como se transmiten al abonado B después de reconstitución en el equipo de línea por medio de las señales de indicación sobre la línea h). El dispositivo RA de regeneración consiste en un circuito multivibrador biestable que se pone en una de sus dos posiciones dependiendo de los valores de las señales de indicación. La exactitud de la reproducción para el impulso de datos representado (estado A) es en este ejemplo ligeramente superior al 2% de la longitud del impulso. Para una precisión mayor se requiere una frecuencia de muestreo más alta, y un aumento correspondiente de la longitud de la palabra de código.

El dispositivo AA descodificador anteriormente mencionado puede estar diseñado, por ejemplo, como en la figura 6, en la cual la memoria AKM descodificado-

27 NOV 1974

ra consiste en tres unidades, M1, M2 y M3, cada una de las cuales coopera con su memoria UB1, UB2, UB3 intermedia de lectura de salida, y su memoria IB1, IB2, IB3 intermedia de escritura, que forma parte del circuito

5 AKL lógico descodificador. El circuito AKL contiene también dos puertas IG1, IG2 de escritura, un descodificador AK, un circuito SK sumador, una puerta KG comparadora, una puerta UG de lectura y siete circuitos

10 G1-G7 de puerta. La lectura y escritura en las tres unidades de la memoria tienen lugar, como se ha descrito anteriormente, con la orientación de la información de dirección que llega sobre la línea ADB general. En cada

15 ocasión de acceso tiene lugar una primera lectura de datos a las memorias intermedias de lectura, después de tratamiento de estas señales en los circuitos lógicos

bajo el control de las señales que llegan al mismo tiempo por las líneas UBU y TGB de la memoria intermedia de salida y el generador de sincronismo, respectivamente,

20 después de lo cual son escritos nuevos datos en las unidades de la memoria. Son suministradas señales de indicación por intermedio de la línea DEB a las unidades separadoras de transmisión simultánea representadas en la figura 1.

25 La unidad M1 de memoria tiene cuatro posiciones de bitio que son utilizadas para almacenamiento de la pa-



labra de código que llega por la línea UBU a la entrada 11 de la puerta IG1 de escritura. Con el estado "1" sobre la entrada 10 a la puerta IG1 es dejada pasar la información presente sobre la entrada 11 hacia la entrada 1 de la memoria IB1 intermedia de escritura, al mismo tiempo que la información presente sobre las entradas 12-14 de las salidas 1-3 de la memoria UB1 intermedia de escritura de salida es dejada pasar hacia las entradas 2-4 de IB1. La entrada 10 de UG1 está alimentada con un impulso "1" por cada octavo ciclo de direccionamiento desde el camino T0 sobre la línea TGB general del generador de sincronismo, y para cada impulso se consigue en conformidad un desplazamiento de un incremento de los valores de indicación que llegan sobre la línea UBU, hasta que finalmente, después de cuatro desplazamientos, se hacen accesibles sobre la salida 4 de la memoria UB1 intermedia de lectura de salida. Con el estado "1" sobre la entrada 20 a la puerta IG1 de escritura de entrada, la información suministrada a las entradas 21-24 desde la memoria UB2 intermedia de salida es transmitida a las entradas 1-4 sobre la memoria IB1 intermedia de escritura de entrada, de modo que todas las posiciones de bitio reciben la misma información. La unidad M2 de memoria tiene una posición de bitio en la cual se almacena la información de estado en la última palabra de

27 NOV 1974

código recibida. La escritura en la memoria IB2 inter-  
media de escritura se realiza por intermedio de la en-  
trada D a la puerta IG2 de escritura de entrada depen-  
diendo del estado de control sobre la entrada S. La uni-  
5 dad M3 de memoria tiene dos posiciones de bitio para al-  
macenamiento de un número formado en un circuito SK su-  
mador por adición de 1 cada vez que la entrada C de con-  
trol está alimentada con señal "1" hasta que se alcanza  
el número 3, después de lo cual vuelve a 0. El descodi-  
10 ficador AK tiene dos salidas, 0 y 1, que toman el esta-  
do "1" cuando la memoria UB 3 de salida de lectura con-  
tiene el número 0 y el número 1, respectivamente. Por  
medio de la puerta KG comparadora, el valor binario de  
los tres bitios leídos de las salidas 1-3 de la memoria  
15 UB1 de lectura es comparado con el valor binario de las  
tres señales T1, T2, T3 de sincronismo procedentes de  
la línea TGB general de generador de sincronismo. En ca-  
so de existir similitud entre estos valores binarios, es  
suministrada una señal "1" por la salida de KG, La puer-  
20 ta UG de lectura tiene la misión de transferir a la lí-  
nea DEB general de unidad separadora de transmisión si-  
multánea el valor de estado suministrado a la entrada  
D desde la memoria UB2 de lectura cuando la entrada S  
de control está alimentada con una señal "1".

25 Las puertas "Y" G1, G2 junto con la puerta "0"



27 NOV 1974

G3 forman un circuito "0 EXCLUSIVO" con el cual se realiza una comparación entre el valor leído de la salida 4 sobre la memoria UB1 intermedia de lectura y el valor leído de la memoria UB2 intermedia de lectura. En el caso de existir una diferencia, se obtiene el estado "1" sobre la salida de G3, que constituye una condición de activación para una de las entradas de la puerta "Y" G4 y la entrada S de la puerta IG2 de lectura. Si al mismo tiempo se lee el número 0 al descodificador AK, se obtiene también el estado "1" sobre la otra entrada de G4, de modo que la entrada C del circuito SK sumador recibe un impulso "1" por intermedio de la puerta "0" G5. El circuito SK añade 1 al número leído de la memoria UB3 intermedia de lectura de salida y transfiere el resultado, en este caso 1, por consiguiente, a la memoria IB3 intermedia de escritura al mismo tiempo que se suministra información de nuevo estado a la memoria IB2 intermedia de escritura a través de la entrada D sobre la puerta IG2 de escritura desde la salida 4 sobre UB1. Durante el ciclo de direccionamiento subsiguiente, se obtiene es estado "0" de la salida 0 del descodificador AK, que constituye una condición de activación para la puerta "Y" G6, y el estado "1" de la salida 1 del descodificador AK, que constituye una condición de activación para la puerta "Y" G7.



El hecho de que difieran los valores leídos de UB1, (salida 4); y UB2 significa que existe ahora en la memoria UB1 intermedia de lectura de salida una palabra de código completa que comprende un primer bitio para indicación de estado y tres bitios para indicación del tiempo para el cambio de estado. En la ocasión de acceso en que el número binario formado por las señales T1-T3 de sincronismo coincide con el número binario leído de las salidas 1-3 de UB1, la puerta G7 obtiene su segunda condición de activación de la puerta KG comparadora, lo que da lugar a la entrega del estado "1" a la entrada 20 de la puerta IG1 de lectura de entrada y la entrada S de la puerta UG de lectura de salida. El nuevo valor de estado es transmitido entonces a través de las entradas 21-24 de IG1 sobre las entradas 1-4 de la memoria IB1 intermedia de escritura y es transmitido al mismo tiempo en salida sobre la línea DEB general por intermedio de la entrada D sobre UG.

El siguiente impulso "1" sobre el camino TO de la línea TGB general del generador de sincronismo es conducido a través de las puertas G6, G5 a la entrada C del circuito SK sumador que hace avanzar a 2 el número leído de UB3, de modo que en la siguiente lectura la salida 1 del descodificador AK vuelve a tomar el estado "0". La salida 0 tiene aún el estado "0" de modo que el

27 NOV 1974

proceso de incremento continúa para cada impulso T0.  
Después del número 3 se realiza un retorno a 0 y el  
dispositivo descodificador está entonces preparado pa-  
ra registrar un nuevo cambio de estado de los valores  
de indicación entrantes.

5 Como aparece de la exposición precedente. el  
tratamiento de las señales de indicación en el equipo  
SU de control y la memoria FM intermedia tiene lugar a  
una velocidad que es considerablemente más baja que la  
10 velocidad a la que funcionan las otras unidades; en el  
ejemplo las velocidades difieren en un factor de 8. Es-  
te hecho puede ser utilizado para ampliar la capacidad  
de una central de tránsito permitiendo hasta ocho dispo-  
sitivos de muestreo y codificadores y dispositivos desco-  
15 dificadores y de lectura, cada uno con su grupo de lí-  
neas, para cooperar con una memoria intermedia común am-  
pliada, mientras se conserva un equipo de control común  
con una memoria conmutadora correspondientemente amplia-  
da. La lógica de conmutación del equipo de control pue-  
20 de entonces funcionar según el principio de división de  
tiempos en cuyo caso, de acuerdo con la figura 7, son  
atendidos sucesivamente en una pauta cíclica tres dispo-  
sitivos SA1-SA3 de muestreo, cada uno para 64 líneas nu-  
meradas L1101-1416, L2101-2416 y L3101-3416, y tres dis-  
25 positivos UA1-UA3 de lectura de salida correspondientes

19-11-74



y los dispositivos KA1-KA3 codificadores asociados y los dispositivos AA1-AA3 descodificadores. De acuerdo con un ejemplo que se explicará con referencia a las líneas j) a p) en la figura 4, las señales de indicación que se refieren, por ejemplo, a la línea L1101 se hacen accesibles sobre la salida del dispositivo KA1 codificador durante tres pasos, 1101, de direccionamiento sucesivos, como se ilustra sobre la línea j). El mencionado principio de división de tiempo está ilustrado por medio de las tres líneas k), l), m), que representan los tiempos en los cuales es tratada la primera palabra de memoria en cada dispositivo codificador, es decir en las direcciones 1101, 2101 y 3101. Cada vez que se produce coincidencia entre los impulsos sobre las líneas j) y k), como se representa por los impulsos sobre la línea n), tiene lugar una transferencia del valor de indicación desde la salida FKU1 sobre el dispositivo KA1 codificador a la memoria BM intermedia en donde, de acuerdo con el ejemplo, es colocado en la celda 2416 de memoria que forma parte de una zona de memoria asociada con el grupo de líneas del segundo dispositivo UA2 de lectura de salida.

La escritura en la memoria intermedia tiene lugar de acuerdo con la información de dirección contenida en la memoria de registro de direcciones, mientras

27 NOV 1974

que la transferencia a la memoria intermedia de salida  
tiene lugar cíclica y sucesivamente para los respectivos  
grupos de líneas de tal modo que las palabras de memo-  
ria en los respectivos grupos, por ejemplo 2001-2016,  
5 son transferidas en una secuencia coordinada de tal mo-  
do que a las correspondientes palabras de memoria se tie-  
ne acceso en el dispositivo AA2 descodificador. Esta trans-  
ferencia está representada sobre la línea o) en la figu-  
ra 4, y sobre la línea p) están representadas las seña-  
les de datos transmitidas sobre la línea L2416.  
10

Otra ventaja del invento es que proporciona me-  
dios simples para una ampliación hasta una capacidad ocho  
veces mayor, en principio, únicamente aumentando la capa-  
cidad de la memoria intermedia y la memoria de salida en  
15 un número de unidades idénticas del tipo descrito en com-  
binación con la figura 1-4 e interconectando estas uni-  
dades idénticas entre sí mediante simples circuitos "0",  
por ejemplo G1-G3 en la figura 8, para producir una capa-  
cidad triplicada. Esto requiere una prolongación de las  
20 palabras de memoria en todas las unidades de tal modo  
que en cada memoria intermedia esté dispuesta una celda  
de memoria no solamente para las direcciones en su pro-  
pia unidad, sino también para las direcciones en todas  
las otras unidades. La lectura de salida tiene entonces  
25 lugar en forma paralela desde las correspondientes cel-



27 NOV 1974

das de memoria, mientras que, por supuesto, solamente contiene información una de las celdas de memoria a que se tiene acceso simultáneamente.

5 La presente solicitud, que corresponde a la presentada en Suecia, el 10 de Agosto de 1.973, bajo el Nº 73.109704, se acoge a los beneficios del Artículo 51 del vigente Estatuto sobre Propiedad Industrial.

10

REIVINDICACIONES

15

Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

20

1ª.- Perfeccionamientos introducidos en una central de tránsito para la transmisión de señales de datos asíncronas con estructura de carácter y velocidad de transmisión de datos desconocidas desde equipos terminales transmisores a equipos terminales receptores con la

25

19-11-74

27 NOV 1974

ayuda de un equipo de control que contiene una unidad de  
tratamiento, un dispositivo de muestreo común a varios  
equipos terminales transmisores y que funciona según el  
principio de transmisión simultánea-por división de tiem  
5 po muestreando los valores momentáneos de señales de da-  
tos recibidas sobre varias líneas entrantes con una fre-  
cuencia de muestreo seleccionada de tal modo en relación  
con la velocidad de transmisión de datos que el número de  
impulsos de muestreo por elemento unidad de las señales  
10 de datos no es menor que el valor recíproco de la dis-  
torsión de tiempo relativa permitida, caracterizados por  
que la central comprende un codificador (KA) que funciona  
en sincronismo con dicho dispositivo (SA) de muestreo,  
consistiendo el codificador en un circuito (FKL) lógico  
15 codificador de flancos que funciona en división de tiempo  
y una memoria (FKM) codificadora de flancos conectada al  
mismo, cuyo codificador se dispone por medio de tratamien-  
to sucesivo de dichos impulsos de muestreo para estable-  
cer si han cambiado su valor las señales de datos entre  
20 dos impulsos de muestreo consecutivos y, en corresponden-  
cia con ello, suministrar una señal de indicación en la  
forma de una palabra de código que comprende un número  
específico de bitios binarios que indican la posición de  
tiempo para los impulsos de muestreo que se producen des-  
25 pués de dicho cambio, una memoria (FM) intermedia a la

19--11-74



27 NOV 1974

cual son transferidos los bitios binarios en transmisión serie y almacenados uno a la vez sobre una dirección que pertenece al equipo terminal receptor, un dispositivo (AA) descodificador que consiste en un circuito (AKL) lógico descodificador que funciona en división de tiempo y una memoria (AKM) descodificadora conectada al mismo, disponiéndose el dispositivo descodificador mediante tratamiento sucesivo de dichos bitios binarios para formar señales de indicación que alteran su valor de acuerdo con la posición en el tiempo indicada por la palabra de código y, funcionando en sincronismo con el dispositivo descodificador, un dispositivo (UA) de lectura de salida que transfiere los valores de dichas señales de indicación cíclicamente desde el dispositivo descodificador a un dispositivo (RA 101 ... RA 416) de regeneración correspondiente a cada equipo terminal receptor y que forma, a partir de los valores de indicación recibidos, señales de datos que cambian su valor en sincronismo con las señales de indicación.

2ª.- Perfeccionamientos de acuerdo con la reivindicación 1ª, caracterizados porque la memoria intermedia comprende un convertidor (UB) de paralelo a serie al cual son transferidos simultáneamente un número de bitios binarios relativo a un número correspondiente de equipos terminales receptores y desde el cual son leídos secuen-

19-11-74



27 NOV 1974

cialmente los bitios binarios.

3<sup>a</sup>.- Perfeccionamientos de acuerdo con la reivindicación 2<sup>a</sup>, caracterizados porque los bitios binarios en la memoria intermedia están almacenados en palabras de memoria, conteniendo cada palabra de memoria un número de posiciones de bitio correspondiente al número de bitios binarios a ser transferidos simultáneamente.

4<sup>a</sup>.- Perfeccionamientos de acuerdo con las reivindicaciones 1<sup>a</sup> - 3<sup>a</sup>, caracterizados porque la transferencia de dichos bitios binarios desde el codificador (KA) al descodificador (AA) tiene lugar con una frecuencia de bitios que constituye una fracción de dicha frecuencia de muestreo.

5<sup>a</sup>.- Perfeccionamientos de acuerdo con las reivindicaciones 1<sup>a</sup>-3<sup>a</sup>, caracterizados porque la transferencia de dichos bitios binarios tiene lugar con una frecuencia de bitios que es igual a dicha frecuencia de muestreo.

6<sup>a</sup>.- Perfeccionamientos de acuerdo con las reivindicaciones 1<sup>a</sup>-3<sup>a</sup>, caracterizados porque la frecuencia con la cual son transferidas las señales de indicación es igual a la frecuencia instantánea con la cual las señales de datos cambian su valor.

7<sup>a</sup>.- Perfeccionamientos de acuerdo con las reivindicaciones 1<sup>a</sup>-3<sup>a</sup>, caracterizados porque la central comprende un número de dispositivos de muestreo y codificado

19-11-74

-41-



27 NOV 1974

res, cada uno de los cuales coopera con su grupo terminal, que funcionan con dicha frecuencia de muestreo, y un número correspondiente de dispositivos descodificadores y de lectura, cada uno de los cuales coopera con su zona correspondiente en una memoria intermedia común, teniendo lugar el almacenamiento y lectura de dichos bitios binarios en la memoria intermedia secuencial y sucesivamente para cada uno de dichos grupos terminales.

8<sup>a</sup>.- Perfeccionamientos de acuerdo con las reivindicaciones 1<sup>a</sup>-3<sup>a</sup>, caracterizados porque comprende un número de dispositivos de muestreo y codificadores, cada uno de los cuales coopera con su grupo terminal, que funcionan con dicha frecuencia de muestreo, y un número correspondiente de dispositivos descodificadores y de lectura, cada uno de los cuales coopera con su zona correspondiente en una memoria intermedia asociada con cada dispositivo de muestreo y codificador, teniendo lugar el almacenamiento de dichos bitios binarios en las respectivas memorias intermedias en paralelo con el almacenamiento en las otras memorias intermedias e independientemente de dicho almacenamiento, mientras que la lectura tiene lugar en paralelo y está coordinada de tal modo que tiene lugar simultáneamente desde todas las zonas correspondientes entre sí a grupos terminales correspondientes a las zonas y sucesivamente para dichos grupos terminales.

19-11-74

-42-



27 NOV. 1974

9ª.- Perfeccionamientos introducidos en una central de tránsito para la transmisión de señales de datos asíncronas.

5 Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de cuarenta y tres hojas escritas a máquina por una sola cara.

10

Madrid,

P.A.

27 NOV. 1974

Fernando de Elizaburu  
Por Poder

19-11-74

LFG/.

-43-



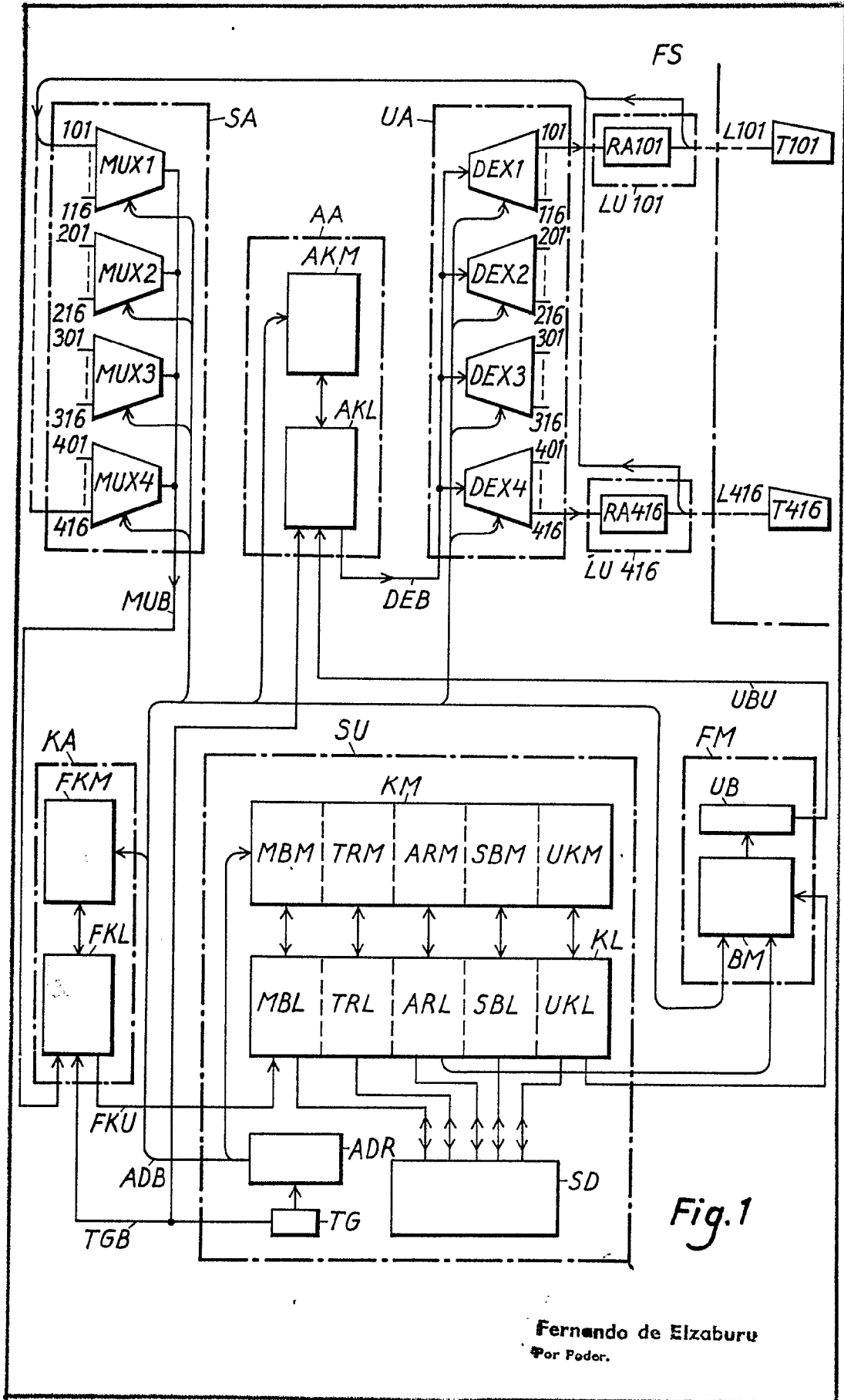
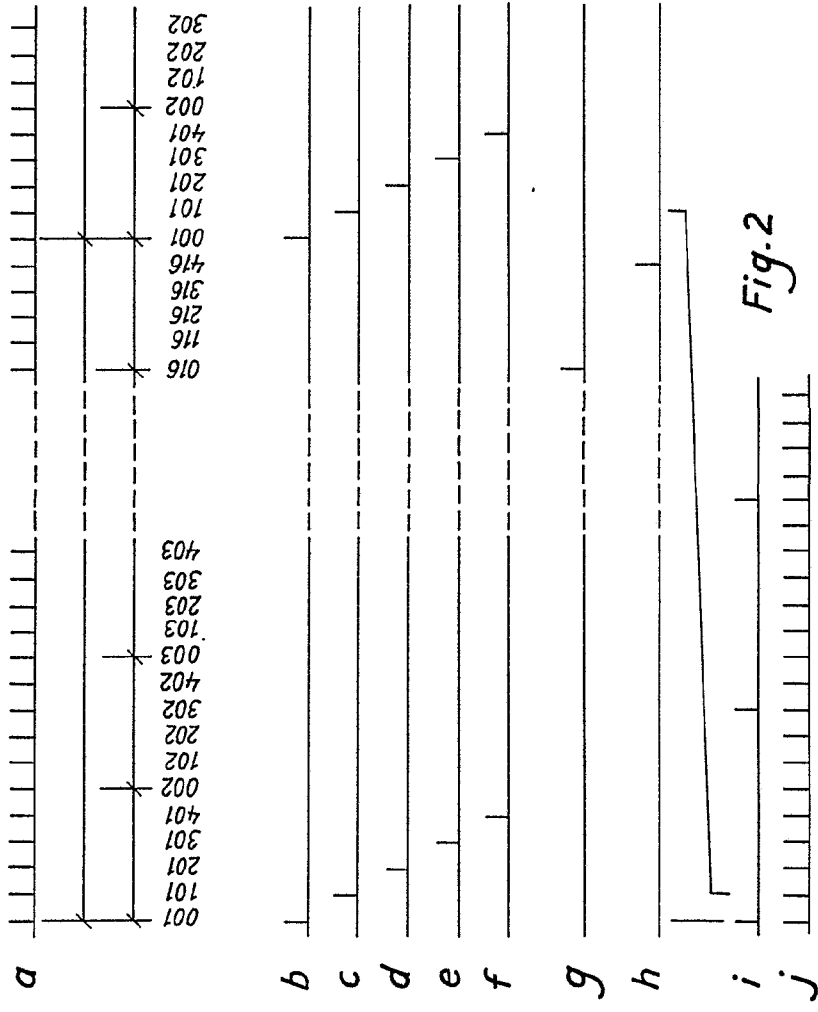
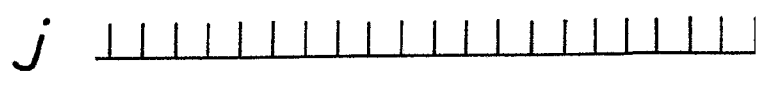
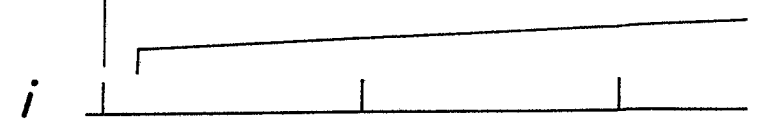
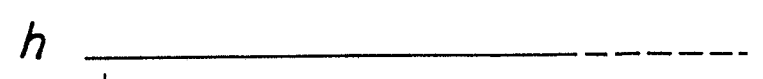
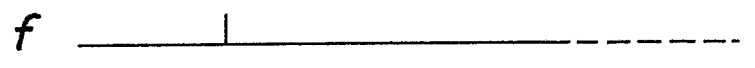
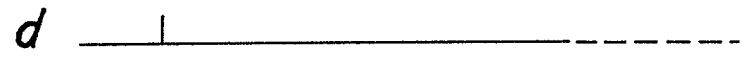
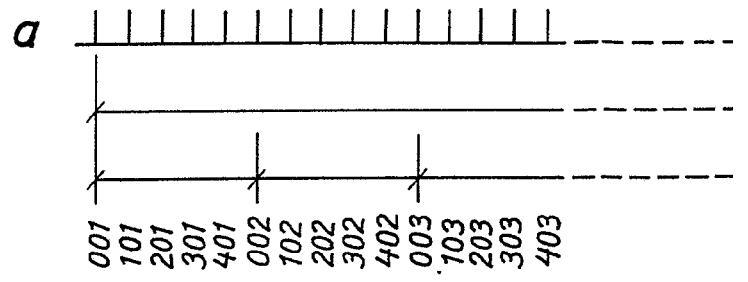


Fig. 1

Fernando de Elizaburu  
 Por Poder.



Fernando de Elizabert  
Por Poder



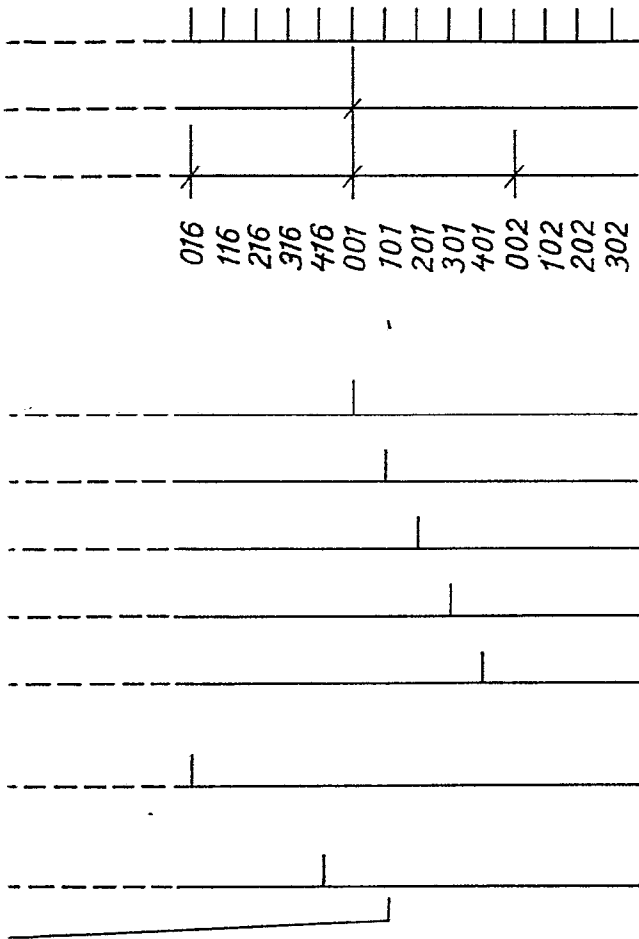
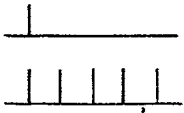
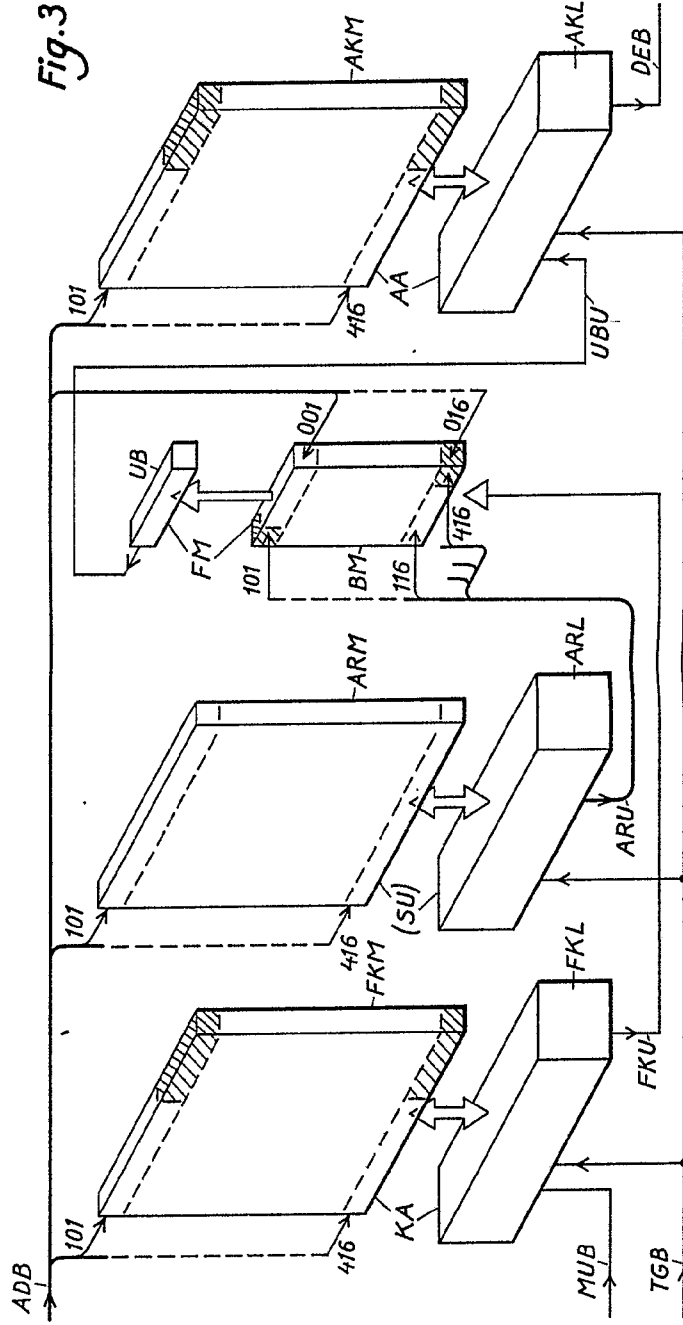


Fig.2



Fernando de Elizabert  
Por Poder:



Fernando de Elizaburu  
Per. Podest

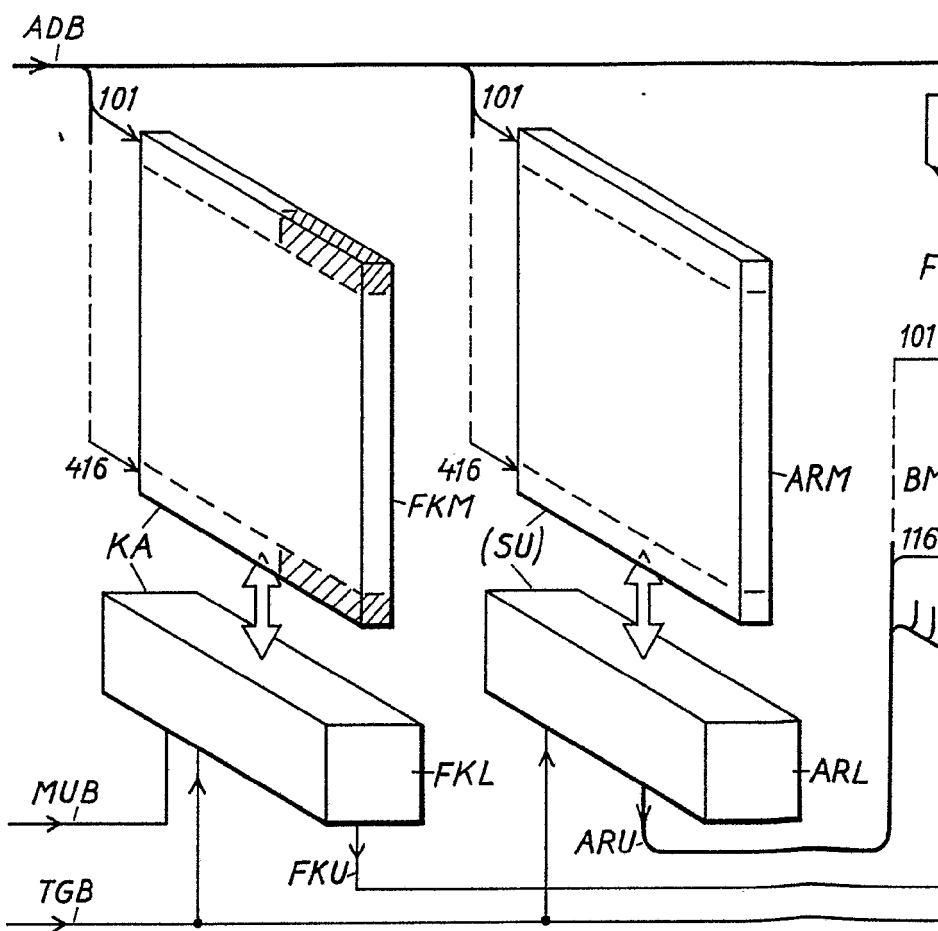
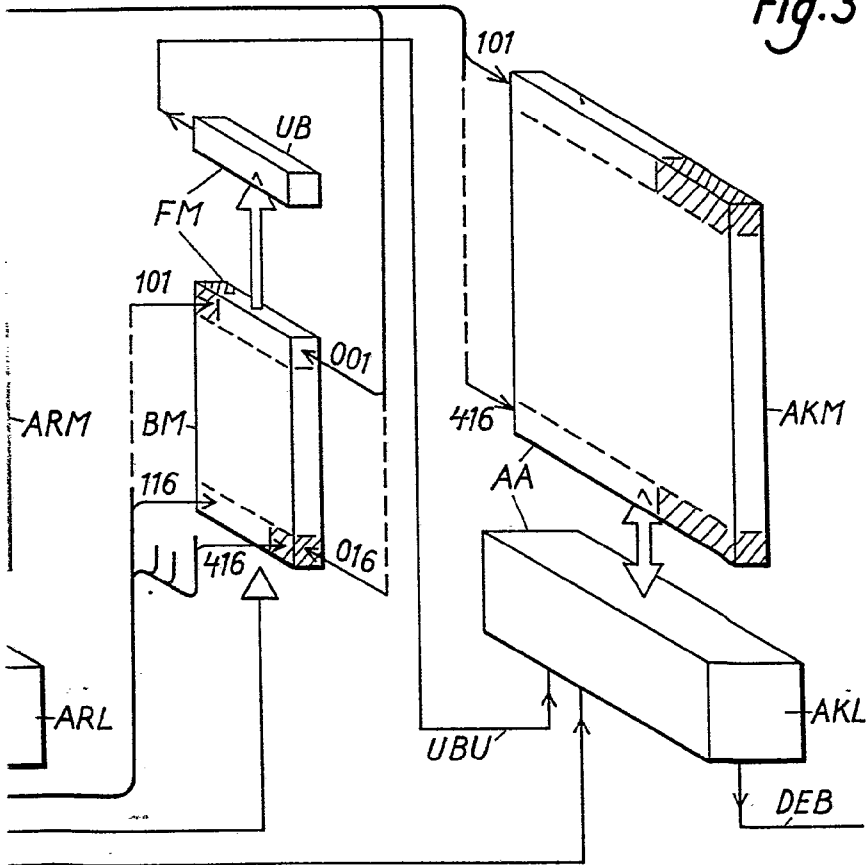
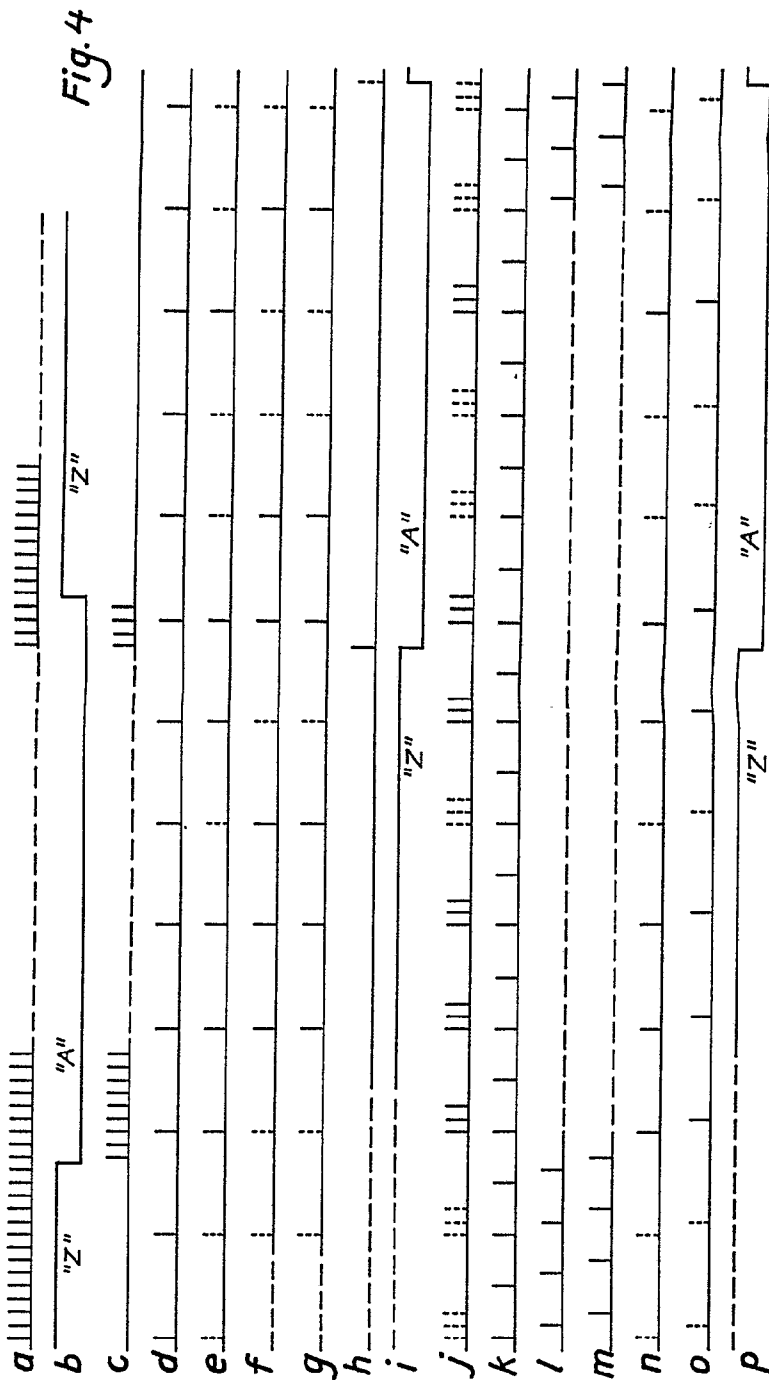


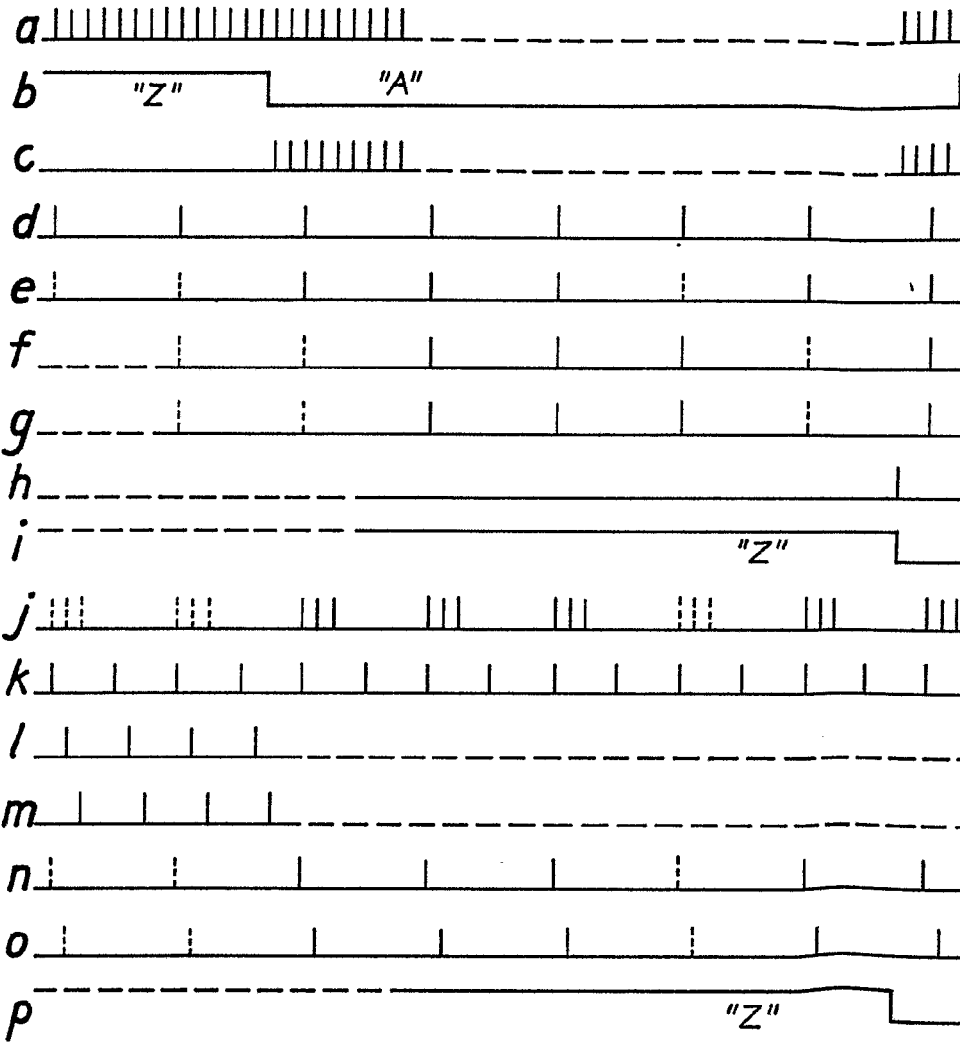
Fig.3



Fernando de Elizaburo  
Por Poder



  
 Fernando de Elizaburu  
 Por Poder



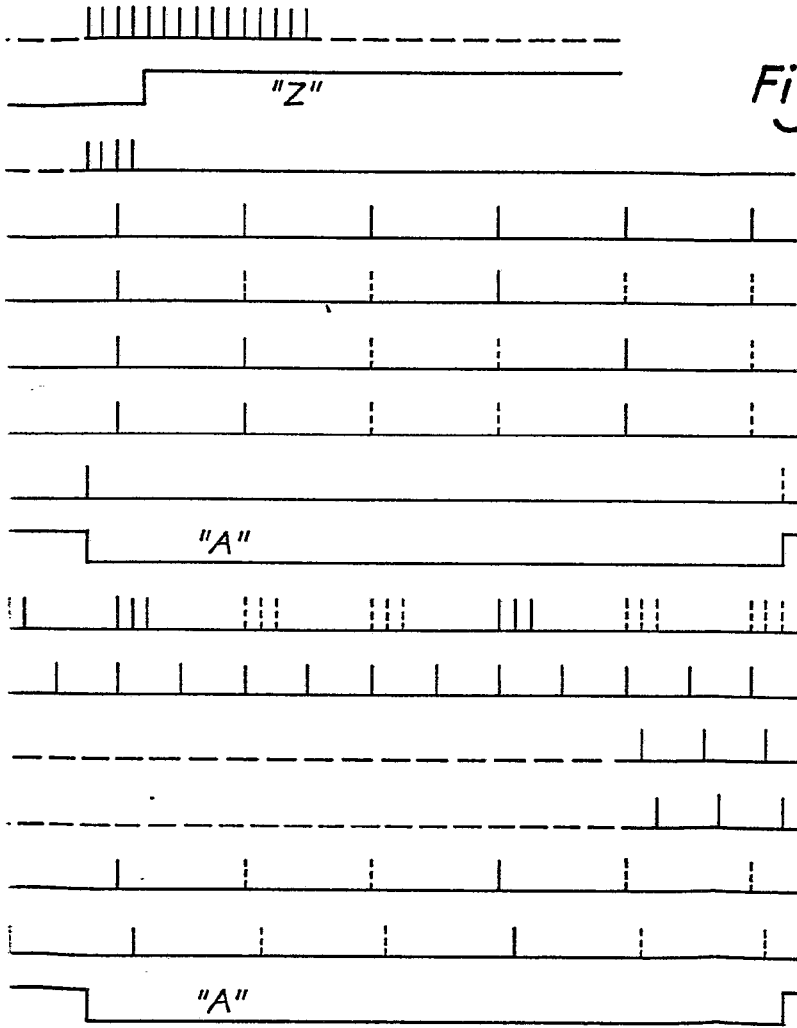


Fig. 4

Fernando de Elizabert  
Por Poder.

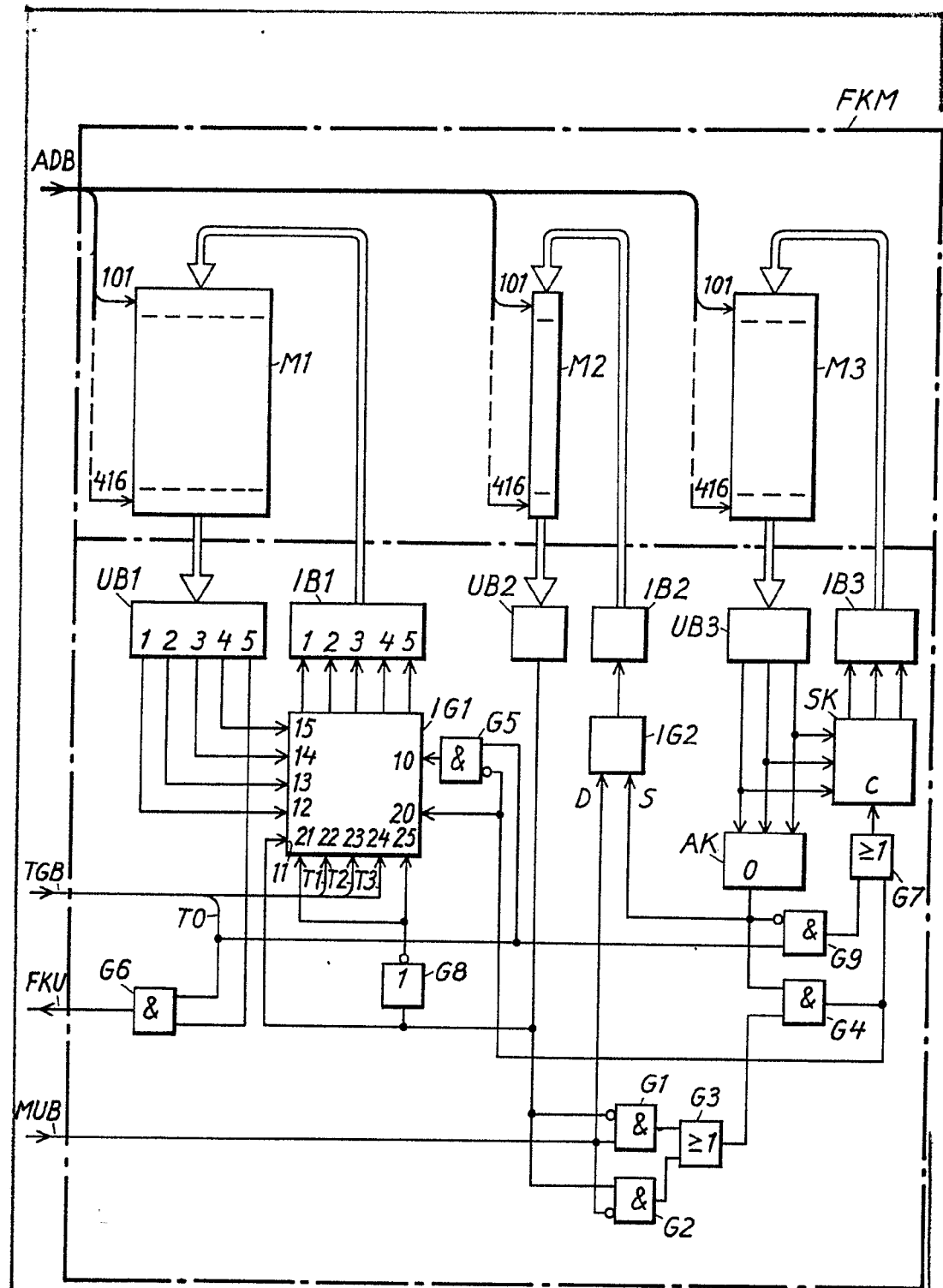


Fig. 5

Fernando de Elizaburu  
 Ingeniero en Ciencias Exactas

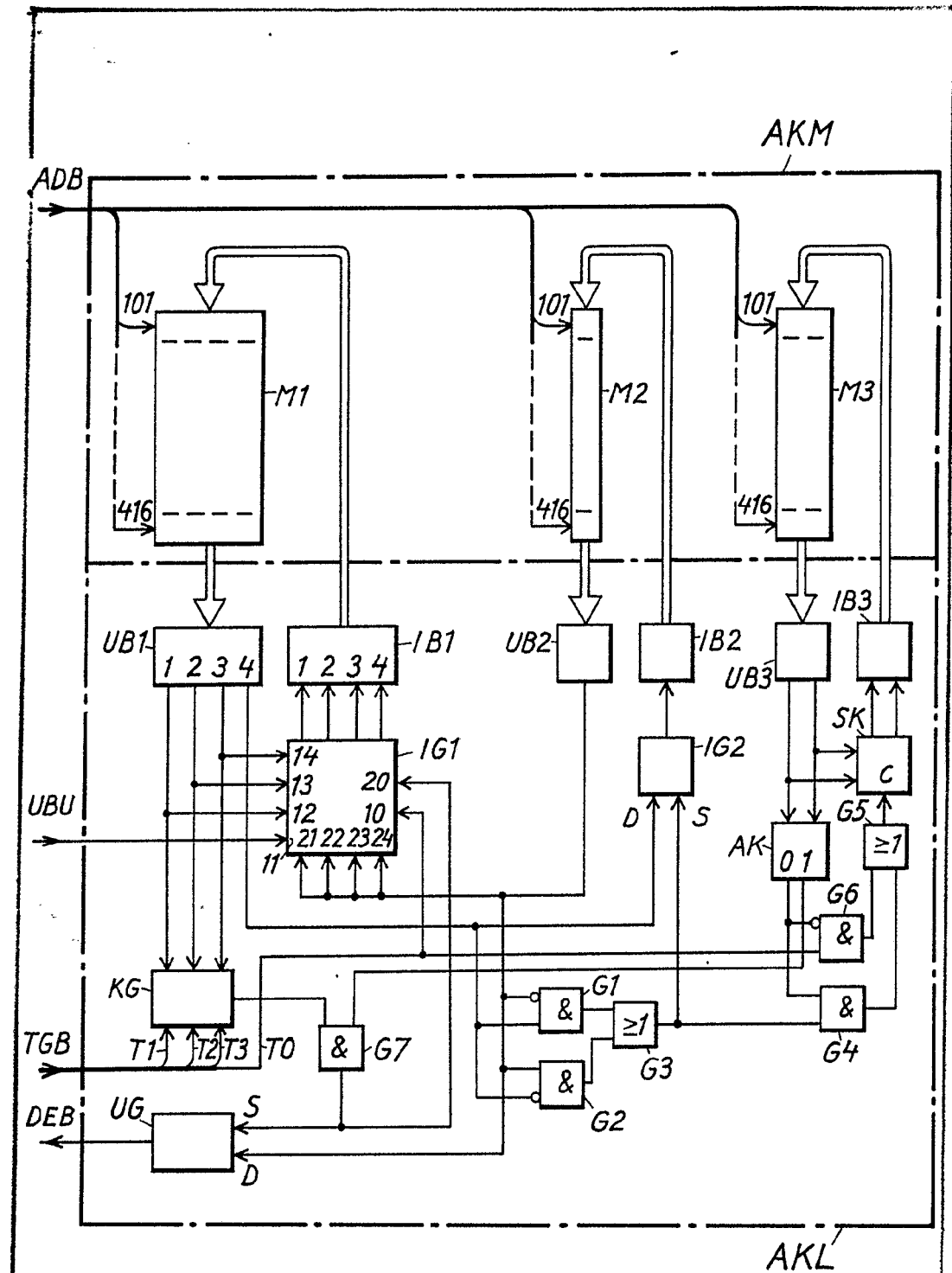


Fig. 6

Fernando de Elizaburu  
 Por Poder

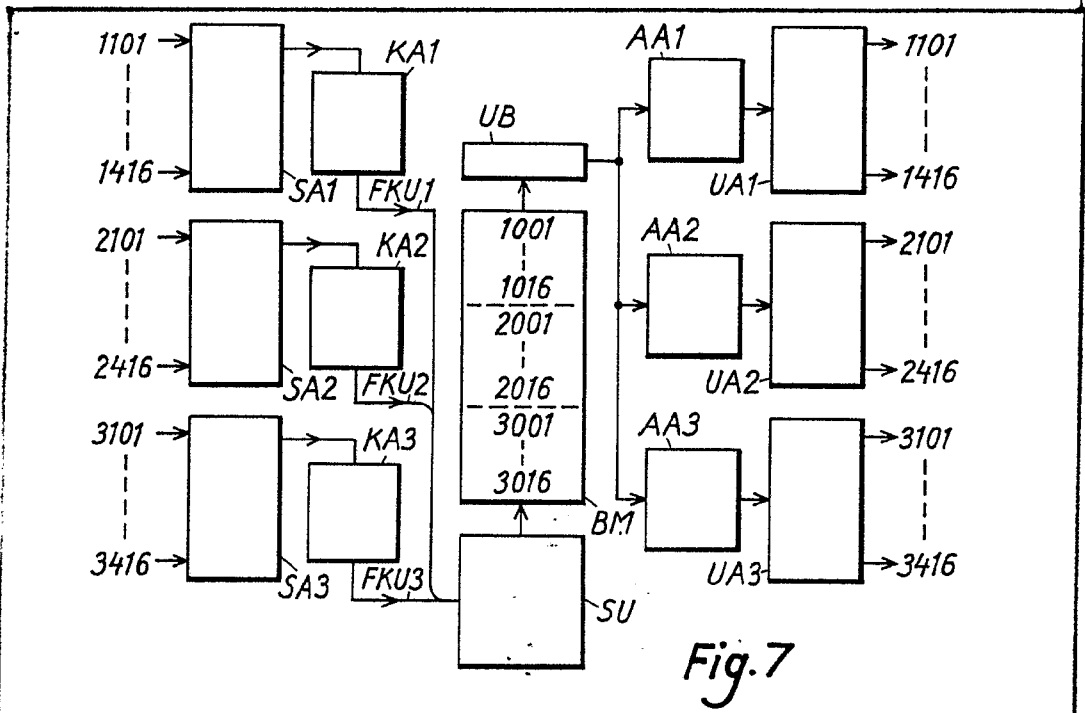


Fig. 7

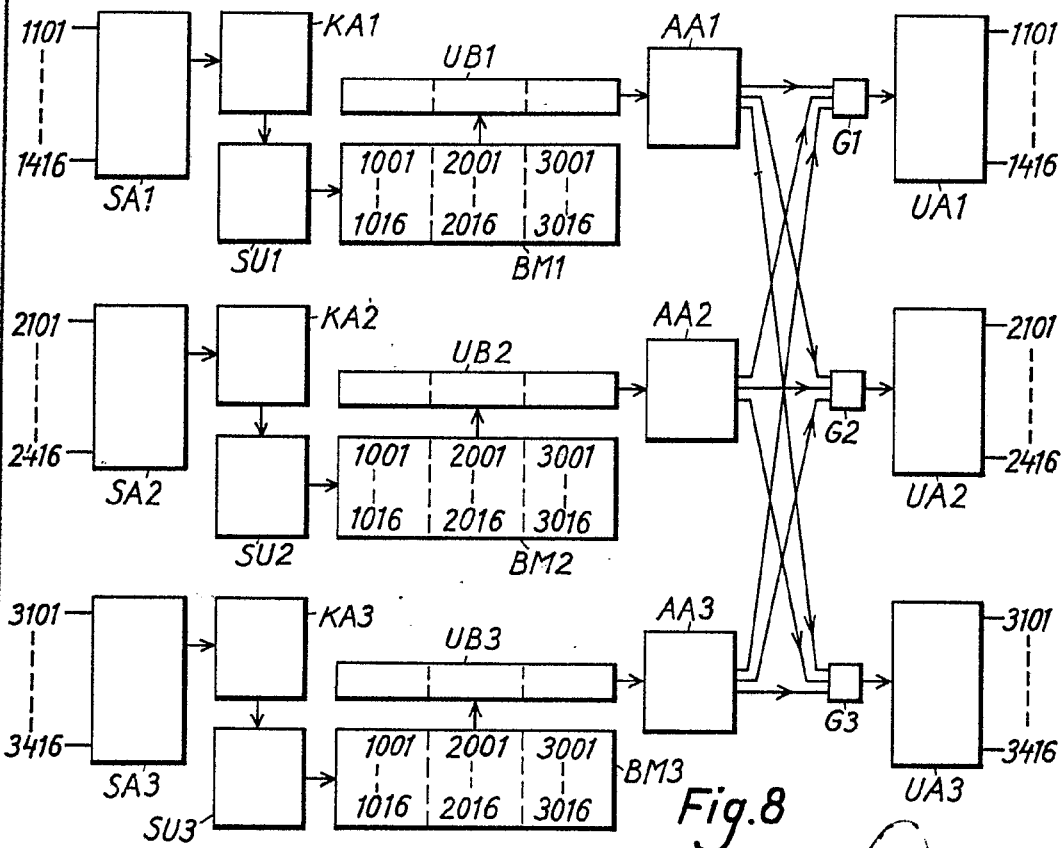


Fig. 8

Fernando de Elzo