

429 112

25.10.74



P.- 58.288

Dtp/BWL/741943/
LM3635-3716

H04L

MEMORIA DESCRIPTIVA

para solicitar

PATENTE DE INVENCION

en ESPAÑA

por VEINTE años

À nombre de TELEFONAKTIEBOLAGET L M ERICSSON

entidad sueca

establecida 126 25 Estocolmo, Suecia

por: "DISPOSITIVO DE ANALISIS PARA USO EN UNA CENTRAL
DE TRANSITO PARA LA TRANSMISION DE SEÑALES DE DATOS
ASINCRONAS"

(Clase Internacional H041)

17-11-74

- 1 -



25 NOV 1974

El invento se refiere a un dispositivo de análisis para utilización en una central de tránsito para la transmisión de señales de datos asíncronas con estructura de carácter conocida y frecuencia nominal de transmisión de señales conocida, que son muestreadas en la central en sincronismo con un impulso de sincronismo varias veces por impulso de datos, para el establecimiento del contenido de información binaria de las señales de datos.

Pueden ponerse en ejecución de modos diferentes dispositivos de análisis del mencionado tipo. Una solución es utilizar un registro de desplazamiento que puede ser incrementado hacia adelante por un oscilador de señales de tiempo, el cual, al recibir un impulso de iniciación que forma parte del carácter recibido, comienza a funcionar y genera impulsos para muestrear los valores de punto medio de los siguientes elementos de carácter. La desventaja de este tipo de dispositivo es que es también sensible a perturbaciones breves por cuanto, si la perturbación se produce en el momento del muestreo, se distorsiona el contenido de información completo del elemento de carácter.

Otra posibilidad es muestrear las señales de datos varias veces por elemento de carácter, siendo desplazados sucesivamente los valores de muestreo a una memoria, usualmente en un computador, de modo que el análisis del carácter en conjunto puede tener lugar tan pronto como existen



en posiciones de memoria específicas los impulsos de iniciación y parada asociados con el carácter. Por consiguiente, es típico de este tipo de dispositivo que los caracteres recibidos pueden ser entregados sucesivamente por el
5 dispositivo de análisis solamente después que existan en su integridad en una memoria. Esta circunstancia no es particularmente molesta en un sistema de tratamiento de datos pero tiene grandes desventajas si el dispositivo de análisis se utiliza en centrales de tránsito, por ejemplo en una
10 red de telex. El tiempo de transmisión sobre una conexión que comprende varios puntos de tránsito será en tal caso considerable y puede ser del orden de segundos.

La finalidad del invento es crear un dispositivo de análisis que no posee los inconvenientes antes mencionados. Esto se consigue por el hecho de que el establecimiento del valor binario está basado en un número de muestras dentro de una parte limitada de cada elemento de carácter recibido y está determinado por decisión de mayoría, y por el hecho de que el dispositivo de análisis lleva a cabo
15 la determinación, elemento por elemento, y da curso a los elementos de carácter tan pronto como se ha realizado la determinación.
20

De acuerdo con un desarrollo adicional del invento se hace un análisis independiente de la fase inicial de los impulsos de iniciación con el fin de establecer que
25

25 NOV 1974

se ha recibido la condición de iniciación en el circuito de transmisión durante una parte importante de la fase inicial antes de que se realice un análisis adicional del valor binario como se ha establecido anteriormente. Las características del invento se pondrán de manifiesto por las reivindicaciones.

El invento se explica a continuación con la ayuda de una realización con referencia al dibujo anexo, en el cual

La figura 1 representa una central de tránsito para la conmutación de señales de telex en la cual puede ser utilizado adecuadamente un dispositivo de análisis de acuerdo con el invento,

La figura 2 representa varios diagramas de tiempos que ilustran el modo de funcionamiento de la central de tránsito.

La figura 3 es un diagrama de circuito del dispositivo de acuerdo con el invento con encuadre de los circuitos a los que, de acuerdo con dicho desarrollo adicional, puede darse una forma diferente.

La figura 4 representa varios diagramas de tiempos para ilustración de la función del dispositivo.

La figura 5 representa un diagrama de bloques de la ejecución práctica del dispositivo de análisis de acuerdo con la figura 1.

25 17-11-74

La figura 6 representa la forma de la porción encuadrada en la figura 3 de acuerdo con el desarrollo adicional, y

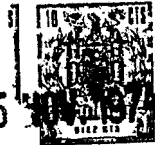
5 La figura 7 representa varios diagramas de tiempos que ilustran la función del dispositivo de acuerdo con el desarrollo adicional.

10 La figura 1 representa una central FS de tránsito a la cual están conectados 4.16 = 64 equipos T 101, T 416 terminales sobre sus respectivos circuitos L 101-L 416 y equipos LU 101-LU 416 de línea asociada. Se supone que todos los equipos terminales funcionan a la frecuencia de modulación asíncrona de 50 baudios y utilizan una estructura de carácter y esquema de transmisión de señales de acuerdo con la norma internacional de telex. Esto implica que cada
15 señal de carácter comprende 7 elementos de carácter binarios, de los cuales el primero constituye el elemento de iniciación y el último el elemento de parada, y los cinco elementos intermedios son elementos de datos portadores de información. La estructura normalizada implica también que la
20 longitud nominal de cada uno de los primeros seis elementos corresponde a un intervalo unidad de 20 ms, mientras que el elemento de parada está prolongado normalmente a 1,5 intervalos unidad = 30 ms. Por consiguiente, la velocidad nominal de carácter resultante es de $50/7,5 = 6,67$ caracteres/s.
25 Con transmisión manual desde un terminal, sin embargo, la

25 NOV 1974

5 velocidad media de carácter será inferior, lo cual es apreciable a través del hecho de que los elementos de parada se prolongarán adicionalmente a veces. Es típico del método asíncrono de transmisión, por consiguiente, que la posición de fase de un elemento de carácter está correlacionada solamente con la posición de fase de los otros elementos dentro del mismo carácter y que el receptor debe deducir la fase de elemento de cada elemento de iniciación y cambiar a un estado de espera durante cada elemento de
10 parada.

15 Cada uno de los 16 equipos de línea, por ejemplo LU 101-LU 116, está conectado a una unidad combinadora de transmisión simultánea, por ejemplo MUX 1, y a una unidad separadora de transmisión simultánea, por ejemplo DEX 1, cuya finalidad es, en intervalos de identificación seleccionados, conectar un circuito a una línea MUB general de entrada y a una línea DEB general de salida. Las unidades MUX 1-4 combinadoras de transmisión simultánea constituyen juntas un dispositivo SA de muestreo para los
20 valores de las señales entrantes y las unidades DEX 1-4 separadoras de transmisión simultánea constituyen en conjunto un dispositivo UA de lectura para la transmisión de valores de indicación relativos a los valores de las señales de salida a un dispositivo RA de regeneración en cada
25 equipo de línea, como se describirá con mayor detalle. Adi-



cionalmente al dispositivo de regeneración, los equipos de línea contienen circuitos de tipo convencional para traducción entre las representaciones de señal utilizadas del lado de la línea y del lado de la central, respectivamente.

5

Sobre las líneas MUB y DEB generales son transmitidos los elementos de carácter, que fueron recibidos y enviados, respectivamente, por intermedio de las unidades LU, en la forma de valores de muestreo e indicación respectivamente, en una secuencia de tiempo determinada por un contador ADR de dirección y con una densidad determinada por un generador TG de señales de tiempo, por ejemplo 15 por elemento unidad y línea. Véase el diagrama de tiempos de la figura 2, líneas a), c), i) y j). La interconexión de un equipo terminal que está llamando, el abonado A, con el otro equipo terminal deseado, el abonado B, tiene lugar en un equipo de conmutación central que comprende un equipo SU de control con una unidad SD de tratamiento de control. El equipo de conmutación comprende también una memoria BM intermedia conectada a una memoria UB intermedia de salida, que forma parte de una memoria FM intermedia, y una memoria KM de conmutación, en la cual son almacenados transitoriamente los elementos de carácter recibidos mientras son tratados por un equipo KL lógico. El equipo lógico comprende las subunidades MBL, TRL, ARL, SBL y UKL, que

10

15

20

25

25 NOV 1974

están interconectadas con sus respectivos campos de memoria asociados en KM (a saber, MBM, TRM, ARM, SBM, UKM) como se describirá con mayor detalle. La central de tránsito contiene también un dispositivo AA detector que, sobre
5 la base de los valores de muestreo, establece el contenido de información de las señales recibidas y, dependiendo del valor establecido, produce una señal binaria de indicación.

El dispositivo comprende una memoria AKM descodificadora y un circuito AKL lógico descodificador, como
10 se describirá con mayor detalle.

Cada campo de memoria en la memoria de conmutación, como también en la memoria descodificadora y en la memoria intermedia, tiene 64 posiciones de memoria correspondientes a cada uno de los 64 equipos de línea, y estas
15 posiciones son direccionadas al mismo tiempo que el respectivo equipo de línea obtiene acceso a las líneas MUB y DEB generales para la escritura en la memoria descodificadora y la lectura de la memoria intermedia de salida de los valores de muestreo e indicación asociados, respectivamente.
20 El direccionamiento tiene lugar cíclicamente y cada ciclo de direccionamiento, con el fin de facilitar la lectura de la memoria intermedia al dispositivo de lectura, está dividido en 16 secuencias de cinco pasos cada una. Durante el
25 primero de los cinco pasos son transmitidos cuatro valores



de indicación desde la memoria BM intermedia de la memoria UB intermedia de salida, cada uno de los cuales está relacionado con un equipo de línea en su respectivo grupo de 100 líneas, por ejemplo LU 101, LU 201, LU 301 y LU 401.

5 Durante los otros cuatro pasos en la misma secuencia tiene lugar el direccionamiento de estos equipos de línea, siendo transmitidos los valores de muestreo e indicación desde ellos y a ellos, respectivamente, por intermedio de las líneas MUB y DEB generales, respectivamente. Esto se verá
10 por la figura 2, líneas b)-f).

 Cuando el terminal del abonado A, por ejemplo T 101, está en su posición de reposo, los valores de muestreo que se producen durante el paso Nº 101 de direccionamiento sobre la línea MUB general representan un cero ("0")
15 binario. Al recibirse una llamada, el estado cambia a uno ("1") binario, después de lo cual se activa el circuito AKL lógico descodificador y almacena información concerniente al incidente en la posición correspondiente de la memoria AKM descodificadora. Después que se han registrado
20 quince valores de muestreo, que corresponden a un intervalo unidad, se evalúa el contenido de información del elemento. Si se encuentra que es un "1", es transferido por intermedio de la unidad MBL lógica a la posición de memoria del abonado A en la memoria MBM intermedia de recepción,
25 después de lo cual se explora el siguiente interva-

25 NOV 1974

lo unidad, y así sucesivamente. En la memoria 7 intermedia
de recepción son almacenados elementos de señal correspon-
dientes a la longitud de un carácter de telex, y si son
5 todos valores binarios "1", es transferida una indicación
de llamada a la unidad TRL lógica para actualización de
la posición de memoria del abonado A en el registro TRM
de estado, al mismo tiempo que es escrita la dirección del
abonado A en la correspondiente posición de la memoria ARM
de registro de direcciones. Se realiza también un recono-
10 cimiento de la llamada, independientemente de la unidad
de tratamiento de control, de tal modo que los datos de
salida al abonado A cambian de "0" a "1" por escritura en
la memoria BM intermedia del modo que se describe poste-
riormente.

15 La indicación de llamada es también transferi-
da a la unidad SD de tratamiento de control, la cual iden-
tifica el abonado A por medio de la información contenida
en el registro de direcciones. Si la unidad de tratamiento
de control está preparada para recibir información de selec-
20 ción del abonado A, el carácter "G" de telex es escrito en
primer lugar en la posición del abonado A en la memoria SBM
intermedia de envío, de la cual es extraído, elemento por
elemento, por el circuito UKL lógico codificador, y es al-
macenado en la memoria UKM asociada. Desde allí son trans-
25 feridos impulsos de indicación, cuyos valores representan

25
10 23 113
DIEZ NÚM
25 11 74

los respectivos elementos de carácter, a la posición del abonado A en la memoria BM intermedia, desde la cual son alimentados, por intermedio de la memoria UB intermedia de salida, sobre la línea DEB general y, en el intervalo de identificación del abonado A, son dirigidos a través del separador DEX 1 de transmisión simultánea al equipo LU 101 de línea. Aquí, con la ayuda del dispositivo RA 101 de regeneración, son combinados los valores de indicación en elementos de carácter que son transmitidos sobre la línea L 101. Cuando se ha recogido el carácter "G" completo de la memoria intermedia de envío, la unidad de tratamiento de control escribe el carácter "A", segundo carácter en la señal "GA" (Go Ahead), que es también enviado al abonado A. La unidad de tratamiento de control marca en el registro de estado que se ha completado esta fase del procedimiento.

Se espera ahora que el abonado A envíe información de selección en la forma de un número específico de caracteres de telex, que identifican un abonado B (o un servicio especial), dentro de un período de tiempo especificado. Si esta transmisión no tiene lugar, la unidad de tratamiento de control inicia la liberación del abonado A restaurando los datos de salida a "O" y restaurando la palabra de memoria del abonado A en la memoria de conmutación. Por otra parte, si llega la información de selección, los caracteres son analizados elemento por elemento por el cir-

25 NOV 1974

5 'cuito lógico descodificador y son combinados en la memoria
intermedia de recepción como se ha descrito anteriormente,
de la cual los caracteres son extraídos uno cada vez por
la unidad de tratamiento de control. Cuando se ha recibi-
do el número necesario de caracteres para identificación
del abonado B, la unidad de tratamiento de control ingresa
10 la posición correspondiente en el registro de estados e in-
vestiga si está accesible el abonado. Si no, esto es noti-
ficado al abonado A en la forma de un número de caracte-
res, una llamada señal de servicio, después de lo cual es
dejado libre el abonado A. Si el abonado B está accesible,
la unidad de tratamiento de control escribe el estado de
llamada en el registro de estado, después de lo cual son
15 cambiados de "0" a "1" los datos de salida en la posición
de memoria del abonado B en la memoria BM intermedia, lo
que implica una señal de llamada al terminal del abonado
B, por ejemplo el T 416. Durante el primer paso de direc-
cionamiento en la secuencia en el cual es direccionado el
equipo LU 416 de línea, es decir durante el paso 016, son
20 transferidos valores de indicación de la señal de llamada
a la memoria UB intermedia de salida, desde donde, durante
el paso 416 de direccionamiento, son transmitidos por in-
termedio de la línea DEB general y el separador DEX 4 de
transmisión simultánea al equipo LU 416 de línea para com-
25 binación en una señal continua en el dispositivo RA 416 de

25



regeneración.

Al contestar, el terminal T 416 ejecuta un desplazamiento de "0" a "1" en la dirección hacia la central de tránsito, el cual, después de descodificación, es notificado a la unidad de tratamiento de control a través de la memoria intermedia de recepción. La unidad de tratamiento de control escribe un mensaje "CT" de conexión de tránsito en las posiciones de la memoria intermedia de envío de ambos abonados y cuando se ha transmitido esta señal, el hecho es marcado en el registro de estados y al mismo tiempo es cambiada la información en el registro de direcciones. Hasta ahora la posición de memoria de cada abonado en el registro de direcciones ha direccionado su propio equipo de línea pero, al producirse la conexión de tránsito, estas direcciones son invertidas. Además la conexión de tránsito tiene el resultado de que los elementos de carácter que son descodificados en el descodificador son transmitidos directamente al codificador para almacenamiento en la memoria codificadora. La memoria intermedia de recepción, sin embargo, continúa recibiendo todos los elementos con el fin de poder detectar una señal de abonado libre de cualquiera de los abonados A y B. La inversión de las direcciones en el registro de direcciones tiene el resultado de que los valores de indicación leídos de la memoria codificadora en la posición de memoria del abonado A pueden ser

25 NOV 1974



5 descritos en la posición de memoria del abonado B en la memoria intermedia, y viceversa. La conexión de tránsito tiene así lugar por cambio del intervalo de identificación en la transmisión desde la memoria de conmutación a la memoria intermedia.

10 La solicitud de estado libre consiste en la transmisión continua de "0" por cualquiera de los terminales. Cuando la memoria intermedia de recepción encuentra un carácter únicamente con elementos "0", esto es marcado en el registro de estados, mientras que la unidad de tratamiento de control identifica las direcciones asociadas. Ambos terminales son entonces dejados libres y las posiciones de memoria asociadas en el registro de direcciones son puestas a cero.

15 El proceso anteriormente descrito de conexión y liberación no constituye en sí mismo un objeto del invento pero se describe aquí únicamente con el fin de presentar una imagen más completa del modo de funcionamiento de las centrales de tránsito. El computador puede ser un computador de funcionamiento en tiempo real de cualquier tipo conocido utilizado en telecomunicaciones.

20 El principio básico del invento se explica más simplemente por descripción de un dispositivo para análisis de caracteres de telex que llegan desde una única línea de abonado, estando alimentado el dispositivo de análisis con

25



elementos de carácter por intermedio de un dispositivo de muestreo de tipo conocido.

La figura 3 representa un dispositivo de análisis compuesto por elementos lógicos simples y circuitos lógicos compuestos. Los últimos consisten en contadores binarios y descodificadores, que pueden ser realizados por medio de circuitos IC disponibles generalmente de tipo normalizado, por ejemplo los circuitos SN 74161 y SN 74154, respectivamente.

El dispositivo consiste en un contador KR de impulsos de sincronismo, que comprende un circuito SK 1 de suma de cuatro bitios y un descodificador AK 1 con circuitos KL lógicos de control asociados y en un acumulador AC que comprende un circuito SK 2 de suma de tres bitios y un descodificador AK 2 con circuitos AL lógicos de control asociados, y en un contador ER de elemento, que comprende un circuito SK 3 de suma de tres bitios y un descodificador AK 3 con circuitos EL lógicos de control asociados. El dispositivo de la figura 3 contiene también una puerta IL de lectura y una puerta RL de restauración.

Los tres contadores son incrementados por impulsos de sincronismo que llegan sobre la línea KP desde el generador TG de señales de tiempo representado en la figura 1 y son aplicados a la entrada C del respectivo circuito de suma. El proceso de incremento tiene lugar en de-

25 NOV 1974

pendencia de los estados de control sobre las otras dos entradas, marcadas S y R, de tal modo que el estado "1" binario sobre la entrada S hace que el circuito de suma añada el valor 1 a su contenido, mientras que el estado "1" sobre la entrada R hace que el circuito de suma sea puesto a cero. El estado "0" binario sobre las respectivas entradas impide que los impulsos de sincronismo activen el circuito. Con la ayuda de los respectivos descodificadores es leído el número binario registrado en el respectivo circuito de suma. Los valores indicados por las salidas de descodificador cuando toman el estado "1" binario están representados por números de décadas en la figura 3.

Los elementos lógicos simples del dispositivo consisten en puertas "Y" y puertas "O", cada una de las cuales tiene de dos a cuatro entradas, de las cuales una o dos pueden ser inversoras. La inversión está marcada por un pequeño anillo e implica que el estado de activación sobre la entrada es "0". El circuito de puerta formado por las puertas tiene conexión tanto a la entrada MUB como a la salida ACU. Sobre la entrada MUB llegan impulsos de muestreo que representan el valor binario de los elementos de carácter recibidos sobre la línea de abonado, simultáneamente con los impulsos de sincronismo sobre la línea KP, y son entregadas sobre la salida ACU señales de indicación relativas a los valores analizados de los respectivos elementos de



carácter.

Se describirá la función del dispositivo con referencia a los diagramas de tiempos de la figura 4 donde están representados sobre la línea a) los impulsos de sincronismo presentes en la línea KP, en la línea b) un carácter de telex como llega de la línea de abonado, y en la línea c) los impulsos de muestreo obtenidos sobre la línea MUB . Como se vé, los estados "A" sobre la línea b) están reproducidos por impulsos de excursión positiva que representan el valor binario "1" sobre la línea c), que coinciden en el tiempo con los impulsos presentes sobre la línea a). La frecuencia de repetición para los impulsos es de 750 Hz, es decir 15 veces por elemento unidad de los caracteres de telex. Se supone en el ejemplo que el elemento de iniciación, que sigue después de la primera conmutación del estado "Z" al estado "A", ha sido recibido en forma distorsionada teniendo el elemento un error de polaridad durante parte de su extensión, y tiene también una duración más corta que la normal, como se indica por líneas discontinuas.

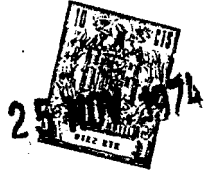
La posición de iniciación es que todos los circuitos de suma están puestos a cero y este estado persiste mientras el estado sobre la entrada MUB es "0". De este modo las puertas "Y" K 1 y A 1 en los circuitos KL y AL lógicos, respectivamente, están bloqueadas directamente por el

25 NOV 1974

estado "0" sobre la entrada MUB, de modo que las entradas S a los circuitos SK 1 y SK 2 de suma tendrán el estado "0". El contador ER es activado en dependencia de los contadores KR y AC, como se pondrá de manifiesto posteriormente.

5 De acuerdo con el cómputo precedente, el estado cero de los respectivos circuitos de suma está representado por el estado "1" sobre la salida marcada O de los decodificadores asociados. La puerta "Y" K 1 en el circuito KL tiene por consiguiente dos de sus entradas activadas, mientras que la puerta "0" K 2 subsiguiente está por ahora
10 inhibida, y de este modo también la puerta "Y" K 3.

Tan pronto como aparece el primer impulso "1" sobre la entrada MUB de acuerdo con la línea c) de la figura 4, se satisfarán las condiciones de activación necesarias para el circuito KL, de modo que la entrada S al circuito SK 1 de suma tendrá el estado "1". El impulso de sincronismo que aparece simultáneamente sobre la entrada C origina el incremento de SK 1 a la posición 1, como se representa sobre la línea d), lo que da lugar al desplazamiento de la salida O del circuito AK 1 al estado "0",
15 mientras que la salida 1 tendrá el estado "1". El estado "0" de la salida O provoca la activación de la puerta "0" K 2 al mismo tiempo que se bloquea la puerta "Y" K 1. La entrada S al circuito SK 1 de suma tendrá de este modo el
20 estado "1", independientemente del estado presente sobre
25



la entrada MUB, de modo que, de acuerdo con la línea d) de la figura 4, SK 1 será incrementado simultáneamente con los impulsos de sincronismo.

5 Mientras el circuito SK 1 de suma está en la posición 0 o 1, la puerta "Y" A 1 en el circuito AL está bloqueada puesto que el estado "1" está suministrado por intermedio de la puerta "O" A 2 a una de sus entradas inversoras, como se representa sobre la línea e) en la figura 4. La otra entrada inversora está activada por el estado "0" de la salida marcada 6 del descodificador AK 2. La
10 entrada no inversora en A 1 está activada por los impulsos "1" sobre la entrada MUB y, cuando desaparece la condición de inhibición al alcanzar SK 1 la posición 2, la entrada S al circuito SK 2 de suma tendrá el estado "1" de modo que, de acuerdo con la línea f), SK 2 es incrementado a la posición 1. Durante los tres intervalos de impulso de sincronismo subsiguientes, no habrá impulsos "1" sobre la entrada MUB, de modo que no es incrementado el circuito SK 2 de suma, pero SK 1 es incrementado y alcanza de este modo la
15 posición 6. A partir del siguiente impulso de sincronismo hay nuevamente impulsos "1" sobre la entrada MUB, de modo que son incrementados sucesivamente ambos circuitos de suma. Después de cinco pasos, sin embargo, se obtiene el estado "1" sobre la salida 6 del descodificador AK 2, que
20 bloquea la puerta "Y" A 1 de modo que SK 2 permanece en es-
25

25 NOV 1974

ta posición mientras el circuito SK 1 de suma es incremen-
tado hacia adelante. Cuando ha alcanzado la posición 13,
reaparece la condición de inhibición para A 1, como se re-
presenta sobre la línea e) en la figura 4. En la posición
5 14 el estado presente sobre la salida 6 es dejado pasar
desde el descodificador AK 2, en este caso el estado "1",
a través de la puerta "Y" IL a la salida ACU, como se re-
presenta sobre la línea g) en la figura 4. Se obtiene tam-
bién el estado "1" sobre las entradas R a los circuitos SK
10 1 y SK 2 de suma, simultáneamente con la inhibición de las
entradas S, de modo que los circuitos son puestos a cero
por el siguiente impulso de sincronismo. Además el circui-
to SK 3 de suma es incrementado hacia adelante puesto que
está suministrado el estado "1" a la puerta "O" E 1 en el
15 circuito EL desde la salida 6 en el descodificador AK 2 al
mismo tiempo que la puerta "Y" E 2 tiene el estado "0" so-
bre su entrada inversora procedente de la salida 6 del des-
codificador AK 3 y el estado "1" sobre una entrada no in-
versora procedente de la salida 14 del descodificador AK 1.
20 Con el incremento de SK 3, el estado sobre la salida 0 de
AK 3 se desplaza de "1" a "0", como se representa sobre la
línea h) en la figura 4.

Por consiguiente, la situación ahora es que
los circuitos SK 1 y SK 2 de suma están puestos a cero
25 nuevamente pero, puesto que el circuito SK 3 de suma ha de-

25 NOV 1974

5
10
15
20
25

ujado su posición cero, la entrada S al circuito SK 1 tendrá ahora el estado "1" mediante una condición de activación sobre una de las entradas inversoras a la puerta "O" K 2, de modo que SK 1 puede ser incrementado con independencia del estado presente en la salida cero del descodificador AK 1 o de la entrada MUB. El proceso descrito anteriormente se repetirá por consiguiente de un modo cíclico, comprendiendo cada ciclo 15 impulsos de sincronismo mientras es "0" el estado presente sobre la salida 0 del circuito AK 3.

15
20
25

Quando se han completado seis ciclos, el circuito SK 3 de suma es incrementado hasta la posición 6, la cual marca el comienzo del elemento de detención. La salida 6 del descodificador AK 3 tendrá entonces el estado "1", como se representa por el nivel más alto sobre la línea i) en la figura 4, después de lo cual es bloqueada la puerta "Y" E 2 en el circuito EL y el circuito RL de restauración tendrá satisfecha una de sus condiciones de activación. Cuando el circuito SK 1 de suma alcanza a continuación la posición 14, por consiguiente, la entrada S al circuito SK 3 de suma no tendrá el estado "1". En cambio la entrada R a SK 3 tendrá el estado "1" como se representa sobre la línea j), puesto que RL estará ahora activado, de modo que SK 3 es puesto a cero por el siguiente impulso de sincronismo simultáneamente con SK 1 y SK 2. De acuerdo con las líneas

25 NOV 1974

h) e i) en la figura 4, el estado de las salidas del des-
codificador AK 3 cambia de modo que la salida 0 va al es-
tado "1" y la salida 6 al estado "0". El dispositivo de
análisis ha sido retornado de este modo a su estado origi-
5 nal y está preparado para recibir el elemento de inicia-
ción del siguiente carácter. En la parte más a la derecha
en la figura 4 está representado el comienzo de tal elemen-
to y el comienzo de un nuevo ciclo de análisis.

En el caso descrito anteriormente se ha supues-
10 to que se obtuvo una indicación positiva del elemento de
iniciación. Sin embargo, si la distorsión del elemento hu-
biera sido considerablemente mayor o si el estado "A" reci-
bido no hubiera representado un elemento de iniciación en
absoluto sino que hubiera consistido en una breve interfe-
15 rencia, el acumulador AC no habría sido capaz de contar un
número suficiente de impulsos "1" durante el intervalo de
suma, definido por el nivel inferior sobre la línea e) en
la figura 4, con el fin de alcanzar la posición 6. Cuando
el contador KR de impulsos de sincronismo alcanza la posi-
20 ción 14, por consiguiente, no se activará la puerta "Y" E
2 en el circuito EL, de modo que el contador ER de elemen-
tos no es incrementado. El resultado será que el disposi-
tivo de análisis retorna a su posición de iniciación.

Un dispositivo de análisis de acuerdo con el
25 invento es especialmente adecuado como equipo centraliza-

25



do en una central de tránsito para atender un gran número de líneas de abonado entrantes según el principio de división de tiempo. En la figura 5 está representado un ejemplo de tal disposición, en la cual el dispositivo de análisis comprende una memoria AKM descodificadora, en la cual son almacenados datos relativos a las respectivas líneas entrantes mientras el análisis está en curso, y un circuito AKL lógico descodificador con el cual se realiza el análisis por tratamiento de los datos almacenados en AKM.

Como se pone de manifiesto por la figura 5, la memoria descodificadora está dividida en cinco partes, KRM, ACM, ERM, EVM y FBM, cada una de las cuales tiene una posición de memoria para cada una de las líneas entrantes. Las posiciones de memoria son direccionadas cíclicamente, y simultáneamente con la llegada sobre la línea MUB de los valores de muestreo que se derivan de las respectivas líneas de abonado por medio de información de dirección sobre la línea ADB. Las cinco partes de la memoria corresponden a otras tantas partes KRL, ACL, ERL, EVL y FBL lógicas las cuales durante cada paso de direccionamiento leen datos de la posición de memoria direccionada en cada parte de la memoria, llevan a cabo el tratamiento y escriben nuevamente los datos en la misma posición de memoria. La combinación KRM/KRL corresponde al contador KR de impulsos de sincro-

25 NOV 1974

nismo con el circuito KL lógico de control de la figura 3, ACM/ACL corresponde al acumulador AC con el circuito AL lógico de control, y ERM/ERL corresponde al contador ER de elementos con el circuito EL lógico de control y el circuito RL lógico de restauración. De las otras partes representadas en la figura 5, la combinación EVM/EVL forma un registro de valor de elemento y FBM/FBL un registro de bitio indicador. El primero es utilizado para almacenamiento del valor de los respectivos elementos de carácter después de cada ciclo de análisis, y el segundo para indicación de que se ha completado un ciclo de análisis, implicando que está almacenado un valor de elemento. Cada registro tiene su propia salida, a las que se ha dado en la figura 5 la designación común AKU, y sobre estas salidas la información concerniente al elemento de carácter analizado es transferida al equipo SU de control representado en la figura 1, en el cual, por medio de la unidad MBL lógica de la memoria intermedia de recepción, la información es almacenada en la memoria MBM en la posición de memoria asociada con la respectiva línea de abonado entrante como se describió anteriormente.

De acuerdo con lo anterior, cada una de las cinco partes de la memoria descodificadora tiene una posición de memoria para cada una de las líneas entrantes. En conjunto estas cinco posiciones de memoria constituyen una

25 NOV 1974



palabra de memoria, en la cual han sido asignados cuatro
bitios a la parte KRM, tres bitios a cada una de las par-
tes ACM y ERM, y un bitio a cada una de las partes EVM y
FBM. Las unidades KRL, ACL, ERL lógicas pueden estar com-
5 puestas por los mismos componentes que el dispositivo re-
presentado en la figura 3, con la ligera diferencia de que
los circuitos SK 1, SK 2, SK 3 de suma deben estar provis-
tos de entradas para lectura en paralelo de los respecti-
vos bitios contenidos en la antes mencionada palabra de
10 memoria. Las salidas en paralelo ya representadas son uti-
lizadas para volver a escribir los datos tratados en la me-
moria. El circuito EVL lógico de valor de elemento contie-
ne una puerta, correspondiente a la puerta IL en la figura
3, para la escritura en la memoria EVM de valor de elemen-
15 to del valor binario del elemento analizado, y un multivi-
brador biestable al cual son leídos de la memoria los valo-
res de elemento al mismo tiempo de producirse el direccio-
namiento de las respectivas palabras de memoria. Para in-
formar al equipo SU de control de que ha tenido lugar una
20 escritura en EVM, el valor "1" binario es escrito simultá-
neamente en una memoria FBM de bitio indicador a través de
una conexión directa a la entrada de escritura de la memo-
ria procedente de la salida 14 del descodificador AK 1. Pa-
ra la lectura de este bitio indicador, el circuito FBL ló-
25 gico de bitio indicador contiene un multivibrador biesta-

25 NOV 1974

ble que funciona en sincronismo con el multivibrador contenido en EVL.

La figura 6 representa una solución mejorada de los circuitos especialmente encuadrados en la figura 3. Las diferencias con relación al dispositivo como se ha descrito anteriormente consisten principalmente en la adición de los circuitos CL y DL lógicos. Otras diferencias constituyen esencialmente adaptaciones del diseño a las condiciones ocasionadas por dichos circuitos. El descodificador AK 1, por ejemplo, ha sido suplementado por un número adicional de salidas para números descodificados y el circuito SK 1 de suma ha sido provisto de una puerta "0" OG antes de la entrada de restauración para permitir también la restauración desde el nuevo circuito CL. En el nuevo diseño el descodificador AK 2 tiene entradas para los números 0 y 3 decimales, de modo que ha sido posible al mismo tiempo reducir el circuito SK 2 de suma en un paso. Además, el circuito SK 2 ha sido provisto de una nueva entrada D de control, que sirve como alternativa a la entrada S y lleva consigo la inversión del circuito de suma. De este modo tiene lugar una adición de impulsos KP de sincronismo cuando la entrada S tiene nivel alto mientras D tiene nivel bajo, pero una substracción en el caso inverso. El circuito AL lógico de control realiza en principio la misma función que se ha descrito anteriormente pero le ha sido dada una nueva



25 NOV 1974

forma por cuanto la puerta "O" A2 tiene ahora seis entradas y ha sido añadida la puerta "O" A3.

5 El circuito CL lógico de supervisión consiste en una puerta "Y" con la cual puede ser restaurado el contador KR de impulsos de sincronismo después de una fase de análisis inicial. El circuito DL lógico de control, que
10 consiste en una puerta "Y" D1 y una puerta "O" D2, tiene la función de invertir el acumulador AC cuando ha de realizarse una substracción en el acumulador AC durante dicha fase de análisis inicial.

La función se explica mejor por medio del diagrama de tiempos de la figura 7 donde, sobre la línea a), están representados los impulsos de sincronismo que llegan sobre la línea KP y que son tomados para la entrada C de
15 los tres circuitos de suma. Sobre la línea b) está representado un ejemplo de una señal que, por ejemplo, llega sobre una línea de abonado a una central de tránsito de telex y sobre la línea c) impulsos de muestreo positivos que representan el valor "1" binario, que son sincrónicos con
20 los impulsos de sincronismo y se producen en el estado "A" de la señal de telex. Estos impulsos de muestreo son suministrados al dispositivo de análisis por intermedio de la línea MUB y son allí conducidos hasta una entrada de cada una de las puertas "Y" K1, A1 y D1. En contraste con
25 las primeras dos entradas, la entrada de D1 es inversora,



lo que implica que los impulsos "1" bloquean esta puerta con independencia del estado de las otras entradas, por cuya razón la salida toma el estado binario "0". Consecuentemente, la entrada D de control al circuito SK 2 de suma
5 no se activa cuando se producen impulsos "1" sobre la línea MUB. Por otra parte, la entrada S de control puede ser activada si al mismo tiempo se suministra el estado binario "0" a las dos entradas inversoras de la puerta A1.

En posición de reposo todos los circuitos de
10 suma están puestos a cero, de modo que los descodificadores tienen un nivel alto o estado "1" binario sobre sus salidas 0 y un nivel bajo o estado "0" binario sobre las otras salidas. Todas las entradas de la puerta "0" A2 tienen así un estado "0", que proporciona el estado "0" a la entrada
15 de la izquierda de A1. La entrada de la derecha tendrá el estado "0" directamente del descodificador AK 2. Del mismo modo, la entrada S está activada sobre el circuito SK 1 de suma desde KL (por intermedio de la línea KS en la figura 3) por un impulso de muestreo positivo del modo descrito
20 anteriormente. Sobre la línea d) está representado el estado del contador de impulsos de sincronismo después de cada impulso de sincronismo, y, como se ve, el primer impulso sobre la línea c) inicia el cómputo en KR. Ninguna de las salidas 0-3 de AK 1 está conectada a la puerta A2 de modo
25 que, como se representa sobre la línea e), la puerta A1 re-

25 NOV 1974

cibe el estado "0" sobre su entrada de la izquierda durante los primeros cuatro intervalos de impulso de sincronismo y de este modo son dejados pasar impulsos "1" desde la entrada MUB a la entrada S del circuito SK 2. Esto está representado sobre la línea f) en la figura 7. Simultáneamente con el primer impulso de muestreo, el circuito SK 2 es excitado por impulsos de sincronismo desde KP y avanza hasta el valor numérico 1 de acuerdo con la línea g). La puerta D2 tiene conexión a las salidas 1-3 de AK 1 de modo que la puerta D1 tendrá satisfecha una de sus condiciones de apertura durante los intervalos 1-3 de impulso de sincronismo, como se representa sobre la línea h). Puesto que, de acuerdo con el estado de iniciación, el contador de elementos está puesto a cero, de modo que, de acuerdo con la línea i), se recibe el estado binario "1" de la salida 0 de AK 3 (línea ED en la figura 3) y como, de acuerdo con lo anterior, el acumulador ha dejado la posición 0 de modo que se recibe un nivel bajo procedente de la salida 0 de AK 2, se satisfarán dos condiciones adicionales de apertura para D1. En el siguiente impulso de sincronismo de KP, sin embargo, se produce un impulso de muestreo positivo, de modo que se bloquea D1 durante el tiempo de impulso. Esto está representado sobre la línea j) en la figura 7, de acuerdo con la cual, por consiguiente, la entrada D de control al circuito SK 2 de suma tendrá un estado

25



"1" durante los intervalos 1, 2 y 3 de impulso de sincronismo pero tomará brevemente el estado "0" durante el impulso "2" de sincronismo. Al mismo tiempo, como se representa sobre la línea f); se recibe un impulso "1" desde Al a la entrada S de control de modo que, como se pone de manifiesto por la línea g), el acumulador es avanzado al valor 2 numérico, mientras que el contador de impulsos de sincronismo, de acuerdo con la línea d), es también avanzado hasta el valor 2 numérico.

De acuerdo con la línea b) en la figura 7, la señal binaria retorna al estado "Z" durante el intervalo 2 de impulso de sincronismo y permanece en ese estado en las siguientes seis ocasiones de muestreo. Como se pone de manifiesto por la línea c), los impulsos de muestreo positivos están ahora ausentes, lo que implica que los impulsos de activación procedentes de la puerta A 1 están ausentes al mismo tiempo. Véase la línea f). En cambio, de acuerdo con la línea j), la puerta D1 proporciona ahora estado de activación, de modo que el circuito SK 2 de suma es incrementado en retorno a cero durante el tiempo en el cual SK 1 avanza hasta la posición 4. Véanse las líneas d) y g). En esta situación es recibido el estado "1" de la salida 4 de AK 1 por intermedio de la puerta A2 a una de las entradas inversoras de la puerta A1, con el resultado de que la última bloquea cualquier impulso "1" que se produzca en la si-



5 guiente ocasión de muestreo. Como ya se ha observado, el
circuito DL está activado solamente durante los intervalos
1, 2 y 3 de impulso de sincronismo de modo que, como se
representa sobre la línea j), la señal de activación a la
5 entrada D del circuito SK 2 tiene también el estado "0".
La salida 4 de AK 1 está también conectada a una entrada de
cada una de las puertas CL y A1. La puerta "Y" CL tiene es-
tado "1" también en las otras entradas, puesto que el con-
tador de elementos está aún en la posición 0 y el acumula-
10 dor ha acabado de tomar la posición 0, de modo que la sali-
da de CL, y por tanto la entrada R de SK 1, tendrán estado
"1" como se representa en las líneas k) y l), respectiva-
mente. El circuito A1 es una puerta "0", de modo que la se-
ñal pasa simplemente a la entrada R del circuito SK 2 como
15 se representa sobre la línea m). Como resultado de esto,
tanto KR como AC son puestos a cero por el siguiente impul-
so de sincronismo de modo que, de acuerdo con la figura 7,
el dispositivo de análisis vuelve a la posición de reposo.

20 Después de un número de intervalos de impulso
de sincronismo se producen impulsos positivos de muestreo
nuevamente, de acuerdo con la línea c), sobre la entrada
MUB al dispositivo de análisis, correspondientes a un nue-
vo estado "A" de la señal como sobre la línea b). Esta con-
mutación al estado "A" marca el comienzo de un elemento de
25 iniciación asociado con un carácter de telex que llega so-

25 NOV 1974

bre la línea de abonado. En esta ocasión tiene lugar también un retorno al estado "Z" después de un par de impulsos de muestreo pero solamente durante un tiempo corto, de modo que el contenido del acumulador no es 0 cuando el contador de impulsos de sincronismo alcanza la posición 4. De acuerdo con la línea g), el valor numérico es 2. Mientras la puerta A3 de acuerdo con la línea m) deja pasar nuevamente una señal de restauración al circuito SK 2 de suma, la puerta CL está ahora bloqueada de modo que, de acuerdo con la línea k) y la línea l), no llega señal de restauración a SK 1. A partir del intervalo 5 de impulso de sincronismo, por consiguiente, el acumulador vuelve a empezar desde cero.

Durante el intervalo 5-9, se obtiene el estado "0" de acuerdo con la línea e) de la puerta A2, de modo que pueden ser sumados por SK 2 impulsos de muestreo positivos. Cuando el último ha alcanzado el valor numérico 3, sin embargo, se interrumpe el cómputo debido al hecho de que la entrada de la derecha a A1 tiene un nivel alto y de este modo permanece en nivel bajo la señal de activación de acuerdo con la línea f). Esto se alcanza ya en el intervalo 8, puesto que el incremento ha proseguido sin interrupción. Como máximo pueden dejar de aparecer dos impulsos de muestreo durante el intervalo 5-9 indicado sin afectar al resultado. Durante los intervalos 10-14 restantes



de impulsos de sincronismo, el acumulador está bloqueado puesto que llega un estado "1" a la puerta A2 procedente de una de las salidas 10-14 del descodificador AK 1.

5 En la posición 14, como se pone de manifiesto por las líneas l) y m) en la figura 7, se reciben señales de activación por las entradas R de los circuitos SK 1 y SK 2 de suma. Al mismo tiempo se transmiten señales de activación a la puerta IL de lectura y al contador ER de elementos. Del modo descrito anteriormente, los circuitos KR
10 y AC son puestos a cero y al mismo tiempo es leído el estado del acumulador y el contador de elementos es incrementado a 1. El estado presente sobre la línea EO será ahora "0", de acuerdo con la línea i), de modo que las puertas D1 y CL estarán bloqueadas después de ello. El acumulador no puede
15 así ser invertido y el contador de impulsos de sincronismo no puede ser puesto a cero en la posición 4.

Está representado sobre la línea b) que el elemento de datos con polaridad "Z" siguiente al elemento de
20 iniciación ha sido tan fuertemente distorsionado que el acumulador ha sido capaz de avanzar en primer lugar hasta 3 antes de ser restaurado a cero por el impulso 5 de sincronismo y después de ello ha avanzado hasta 2 nuevamente durante el intervalo 5-9 de suma. Puesto que, de acuerdo con la cuenta precedente, el acumulador debe alcanzar el valor numérico
25 3 para el estado "A" a ser indicado en la lectura en la po-

25 NOV 1974

sición 14, el impulso "Z", por consiguiente, será interpretado correctamente en este caso.

La presente solicitud que corresponde a la presentada en Suecia, el 10 de Agosto de 1.973, bajo el núm. 73.109688, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

- REIVINDICACIONES -

10

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

15

1ª.- Dispositivo de análisis para uso en una central de tránsito para la transmisión de señales de datos asíncronas con estructura de carácter conocida y frecuencia de transmisión de señales nominal conocida, que son muestreadas en la central en sincronismo con un impulso de sincronismo varias veces por impulso de datos, para el establecimiento del contenido de información binaria de las señales de datos, caracterizado por que comprende, en primer lugar, un contador (KR) de impulsos de sincronismo con un primer circuito (SK 1) de suma para la suma de impulsos

20

25

17-11-74

- 34 -



de sincronismo que se producen durante un impulso de datos,
y con un primer descodificador (AK 1) que suministra seña-
les de indicación en posiciones específicas del circuito
de suma, y en segundo lugar un acumulador (AC) con un se-
5 gundo circuito (SK 2) de suma para contar el número de im-
pulsos de muestreo con un valor ("1") binario dado durante
un intervalo determinado por señales de indicación proce-
dentes del primer descodificador (AK 1), existiendo un cir-
cuito (AL) lógico de control que permite la eliminación de
10 los impulsos de muestreo que coinciden con impulsos de sin-
cronismo durante las fases inicial y final de un impulso de
datos en la suma, y con un segundo descodificador (AK 2)
que suministra una señal de indicación cuando el segundo
circuito de suma ha alcanzado una posición de cómputo espe-
15 cífica, conteniendo el dispositivo de análisis un primer
circuito (IL) lógico que, dependiendo de si el segundo cir-
cuito (SK 2) de suma ha alcanzado o no la mencionada posi-
ción de cómputo específica cuando el primer circuito (SK 1)
de suma ha alcanzado una posición correspondiente a la fase
20 final del impulso de datos, suministra una señal binaria
para indicación del valor binario del impulso de datos.

2ª.- Un dispositivo de análisis de acuerdo con
la reivindicación 1ª, caracterizado porque contiene un se-
gundo circuito (KL, ER, EL) lógico que, al recibir un im-
25 pulso de muestreo con el valor ("1") binario, inicia el in-

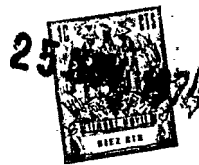


25 NOV. 1974

cremento del contador (KR) de impulsos de sincronismo y, dependiendo de si ha sido indicado un impulso de datos con el valor binario ("1") por dicho primer circuito lógico, implicando que ha sido recibido un impulso de iniciación, permite el funcionamiento continuado del contador de impulsos de sincronismo con el fin de permitir, en la fase determinada por el primer impulso de muestreo del impulso de iniciación, la indicación del valor binario de los impulsos de datos que siguen al impulso de iniciación.

3a.- Un dispositivo de análisis de acuerdo con la reivindicación 2a, caracterizado porque dicho segundo circuito lógico contiene un contador (ER) para el número de impulsos de datos recibidos con un tercer circuito (SK 3) de suma para la suma del número de impulsos de datos que llegan después de un impulso de iniciación, y un tercer descodificador (AK 3) que suministra señales de indicación en posiciones específicas del circuito de suma, estando dispuesto un circuito (EL) lógico para iniciar el incremento del contador cuando ha sido indicado en la primera ocasión un valor binario ("1") por dicho primer circuito lógico, después de lo cual el contador es incrementado cada vez que el contador de impulsos de sincronismo ha realizado un ciclo, de modo que en una fase específica suministra una señal final, lo que implica que todos los impulsos de datos asociados con un carácter han sido recibidos.





dos y que todos los circuitos en el dispositivo de análisis han de ser restaurados a la posición de iniciación.

5 4a.- Un dispositivo de análisis de acuerdo con la reivindicación 1a, caracterizado porque comprende un circuito (DL) lógico de control adicional que está dispuesto de tal modo que después de la recepción de un primer impulso de muestreo con dicho valor ("1") dado se inicia un procedimiento de ponderación entre un número determinado por dicho contador (KR) de impulsos de sincronismo,
10 de los impulsos de muestreo de dicho valor dado y de valor opuesto por adición y substracción de estos valores en dicho acumulador (AC), y un circuito (CL) lógico de supervisión el cual, dependiendo del resultado de dicha ponderación, se dispone para la restauración de dicho contador
15 de impulsos de sincronismo, con lo cual el dispositivo de análisis es retornado a su estado de reposo cuando han sido recibidas señales de iniciación falsas.

20 5a.- Dispositivo de análisis para uso en una central de tránsito para la transmisión de señales de datos asíncronas.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

25





25 NOV. 1974

Esta Memoria consta de treinta y ocho hojas escritas a máquina por una sola cara.

5

Madrid,

P.A. 25 NOV. 1974

Fernando de Elizaburu
Por Poderes

10

15

20

25

17-11-74
IGF.



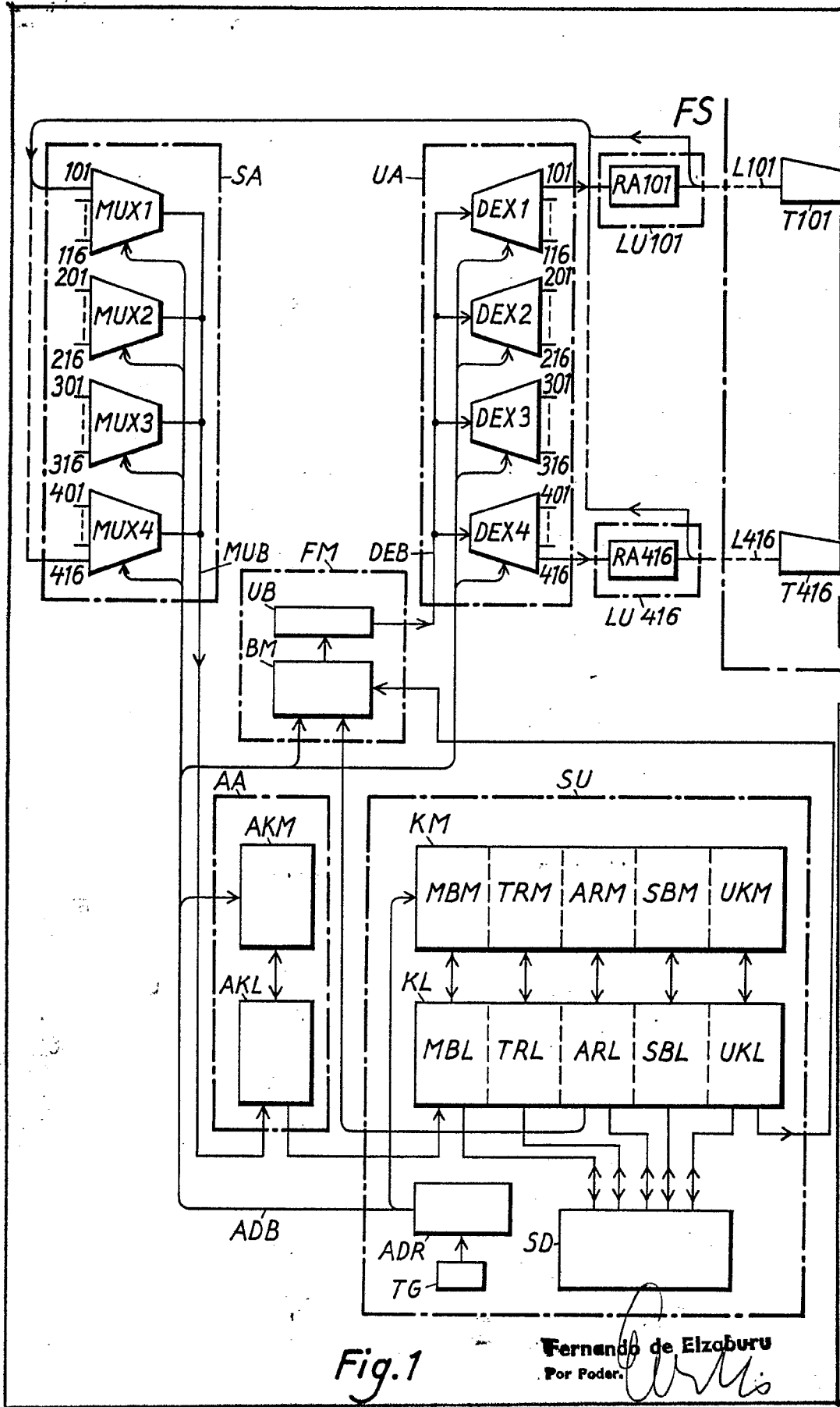
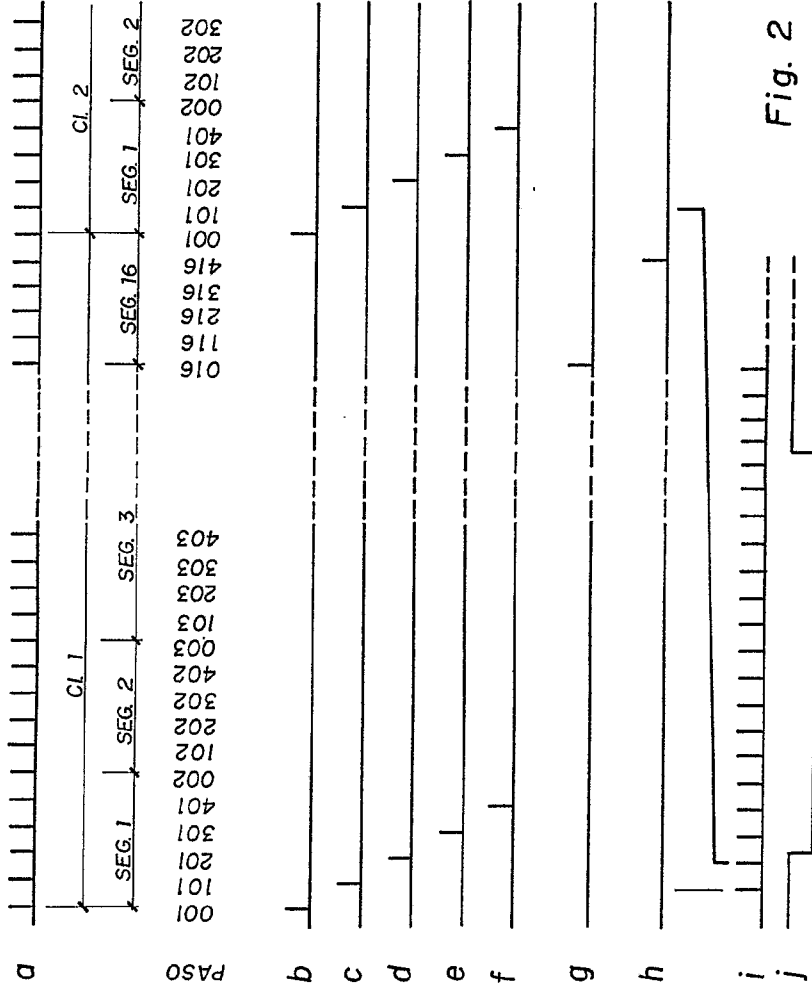
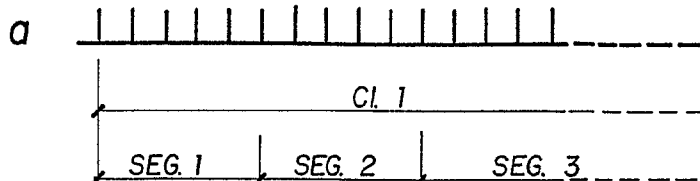


Fig. 1

Fernando de Elizaburu
Por Poder.

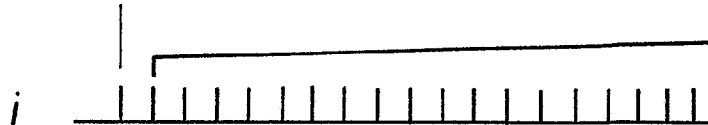
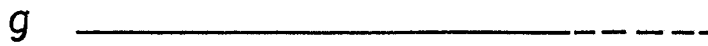
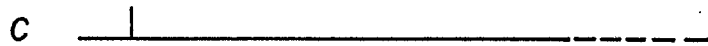


Vertical text on the right edge of the page, possibly a page number or reference.



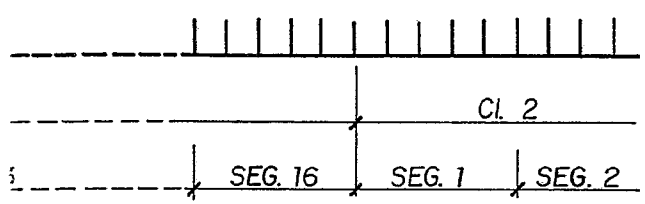
PASO

001	101	201	301	401	002	102	202	302	402	003	103	203	303	403
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----





24 JI'



016
116
216
316
416
001
101
201
301
401
002
102
202
302

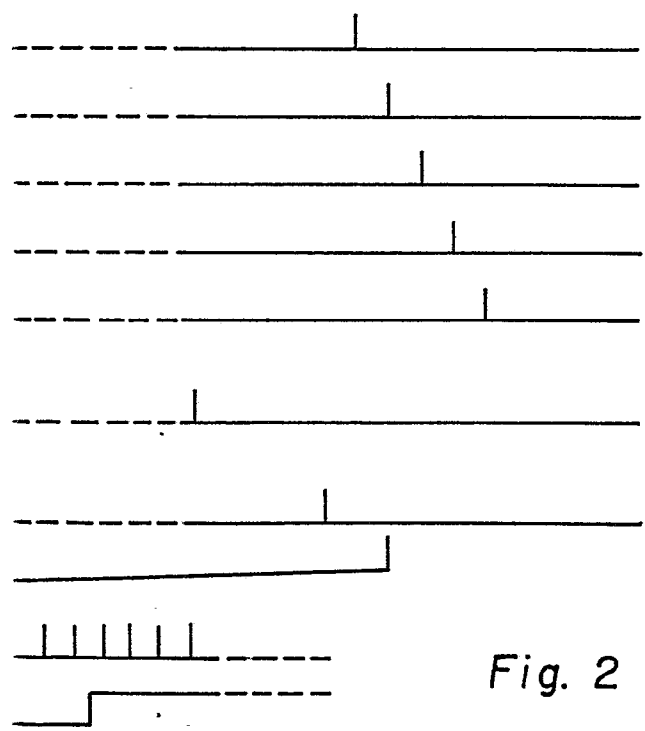
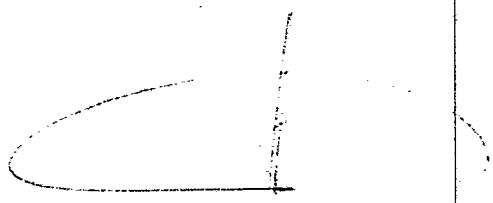


Fig. 2



Federación de Elzaburg
Por Poder.

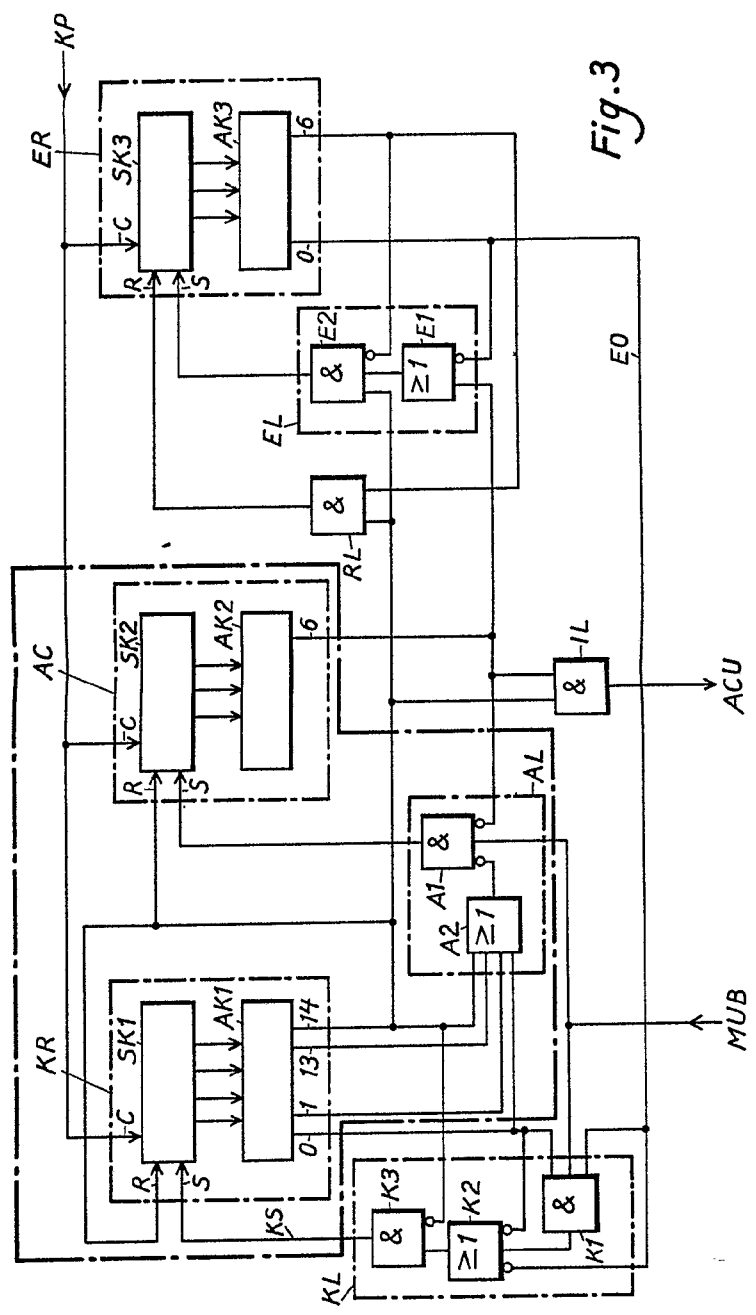
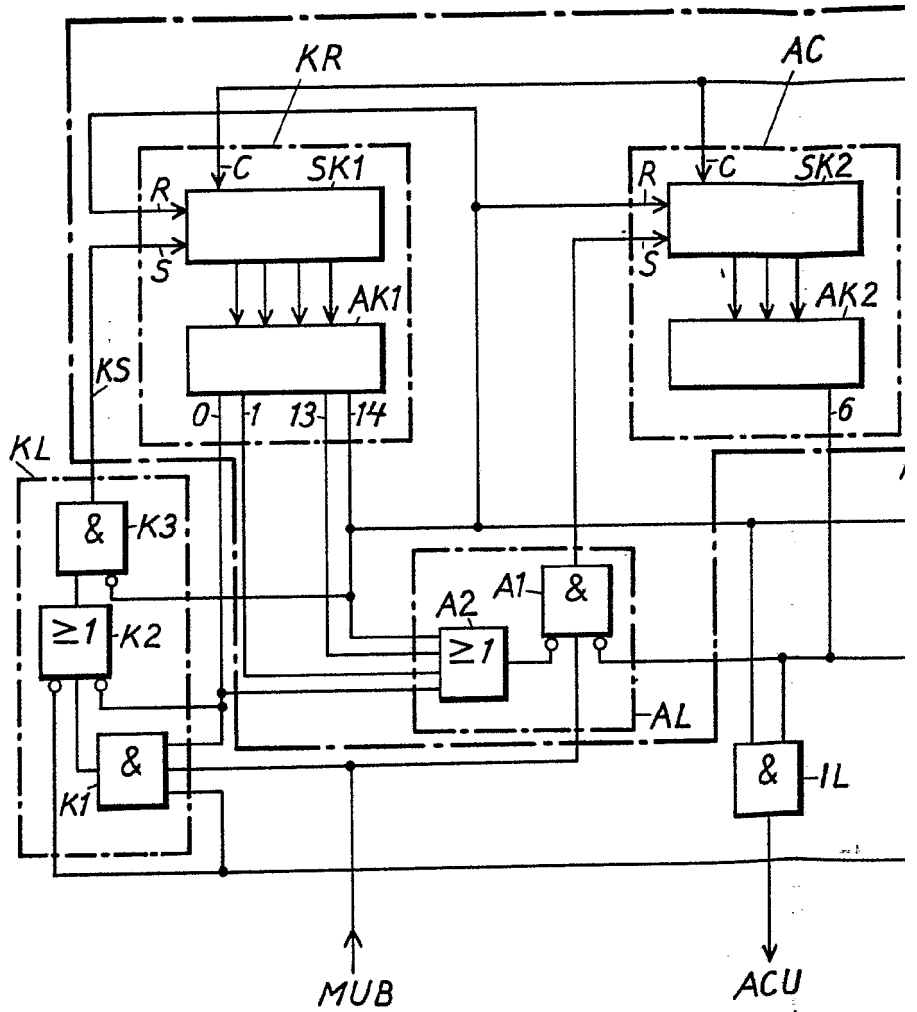


Fig. 3

Fernando de Elizaberts
Por Poder.



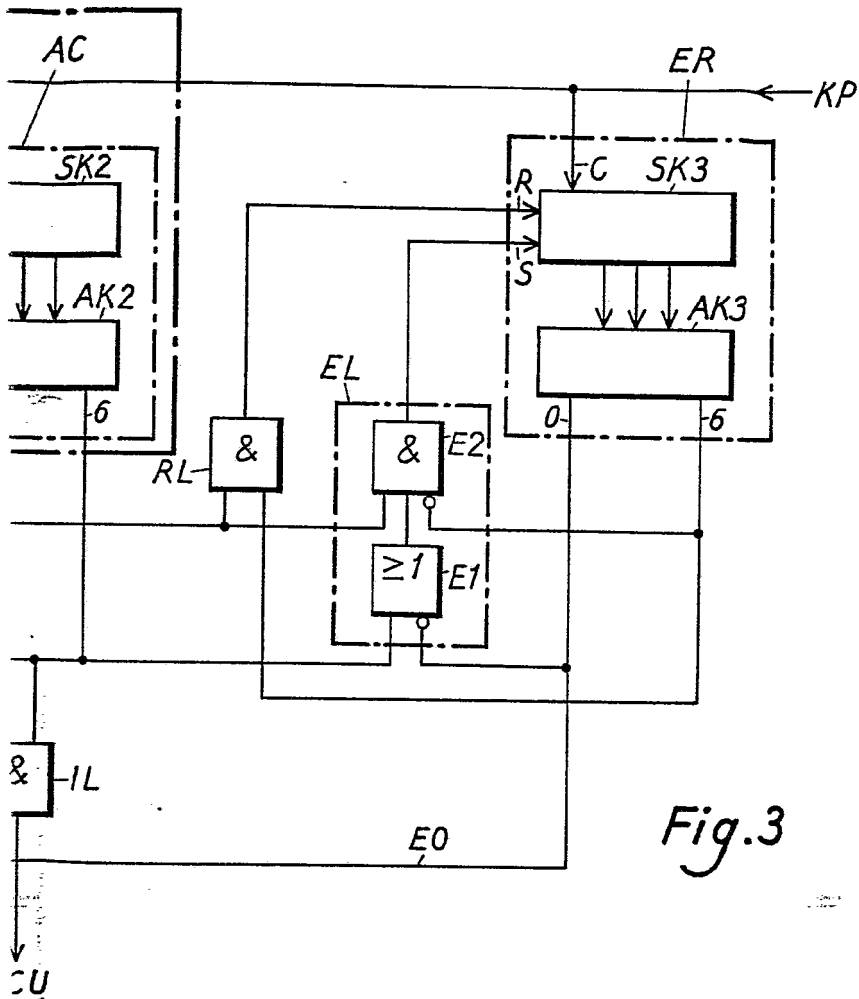
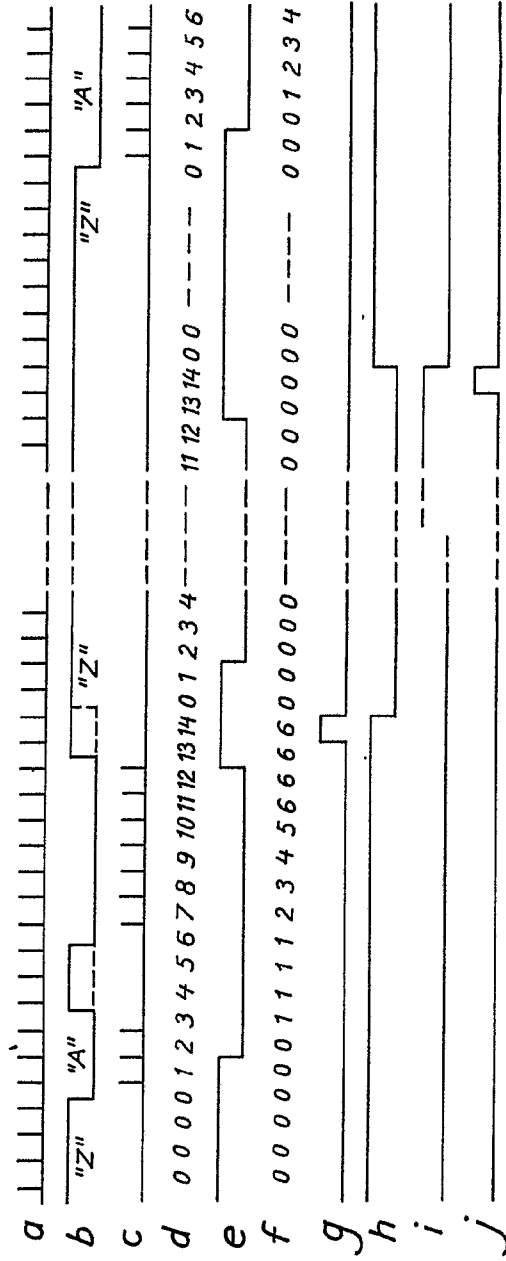


Fig.3

Fernando de Elizaburo
Por Poder.

Fig. 4



Fernando de Ekabury
 Por Poder



Fig. 4

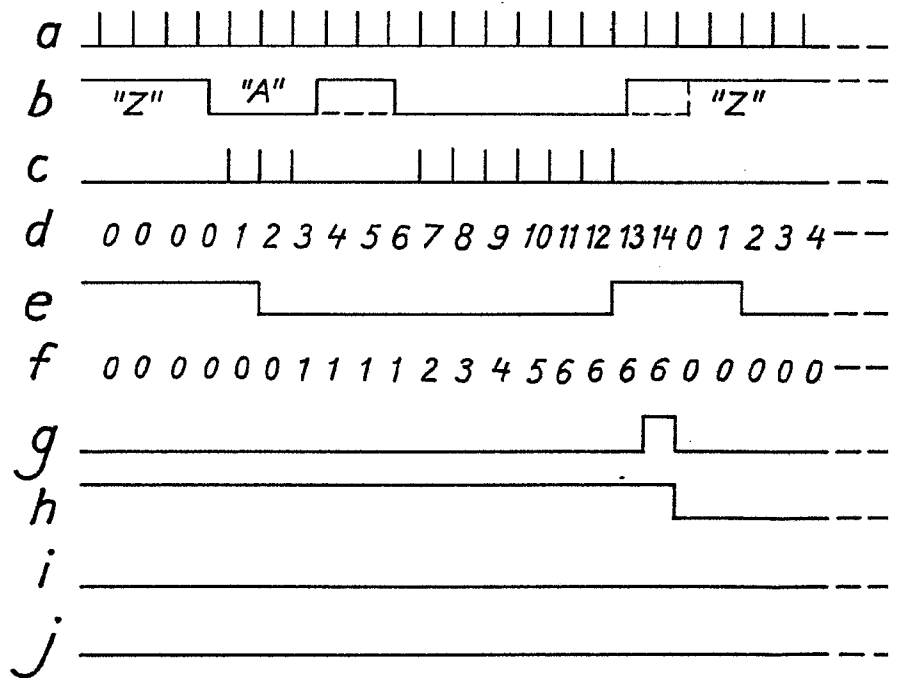
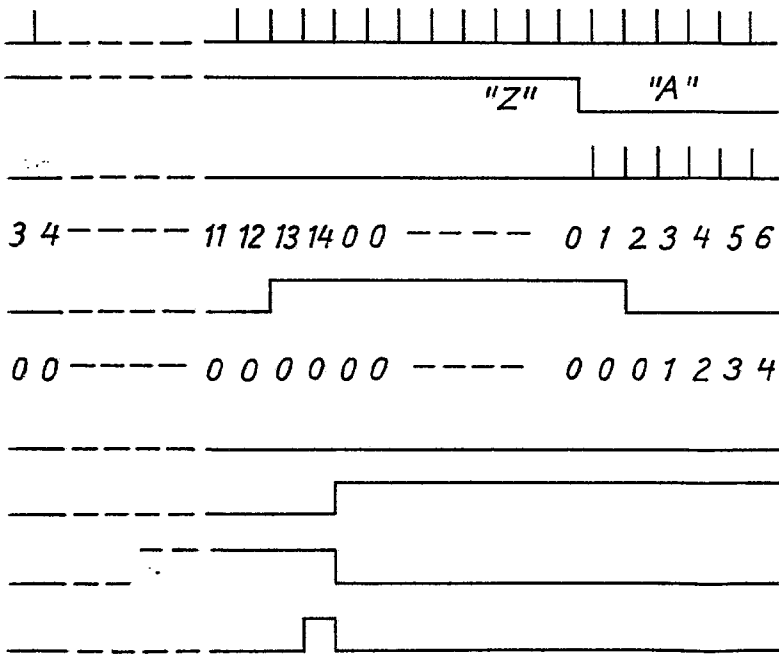
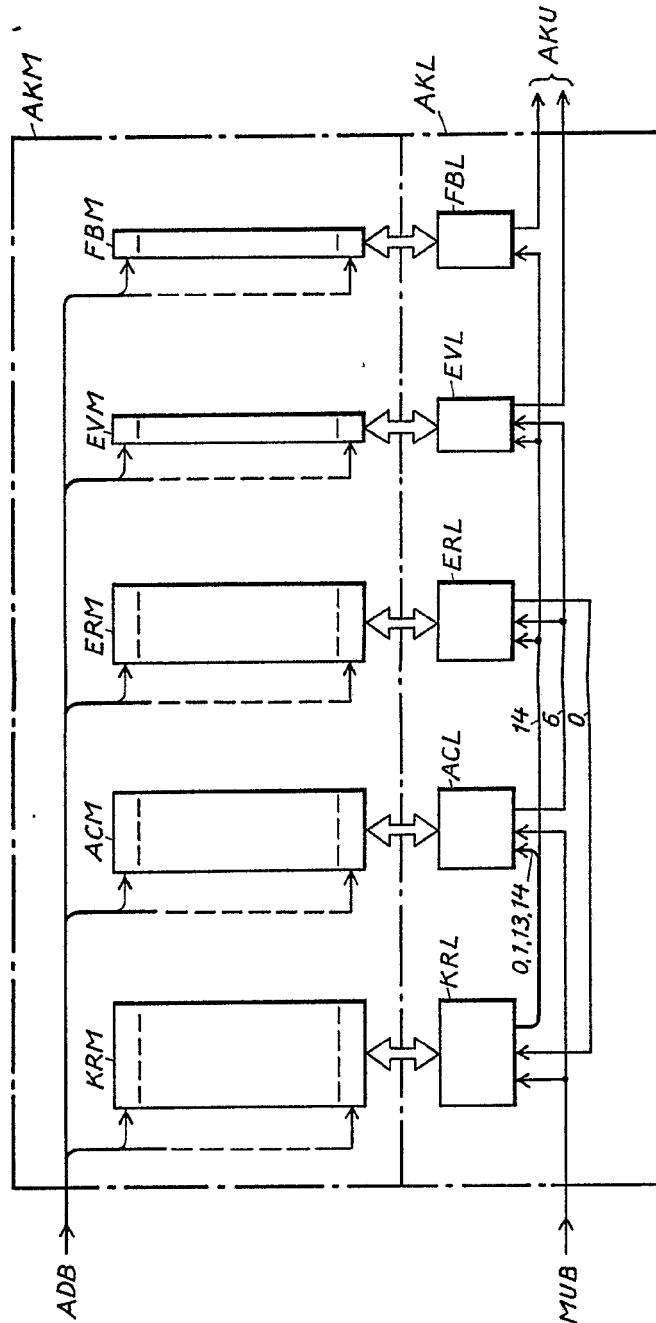


Fig. 4



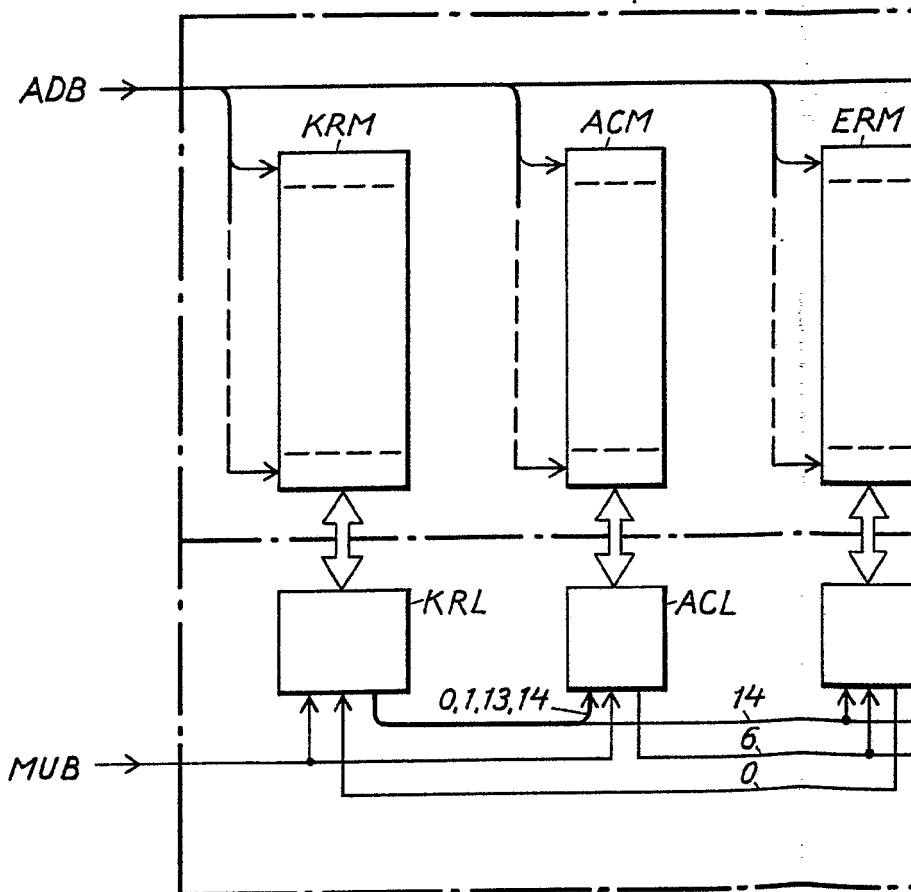
Fernando de Elizaburu
Por Poder.

Fig.5

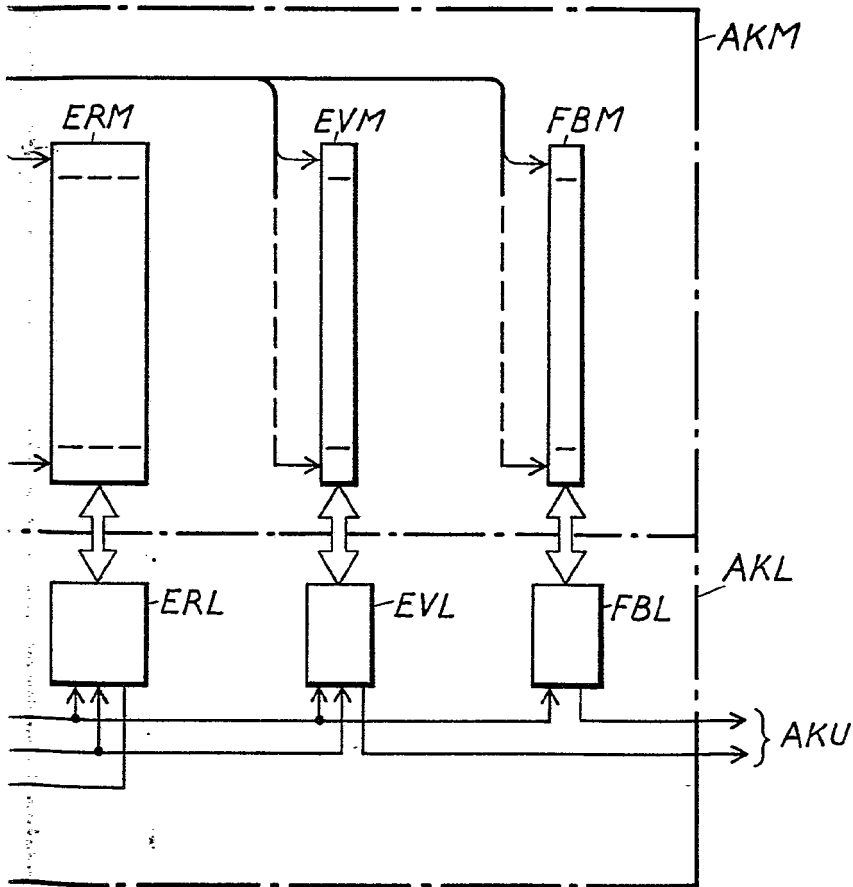


Fernand de Elzaburu
 Por Poder
[Signature]

Fig.5



q.5



Fernando de Elizaburu
Por Poder

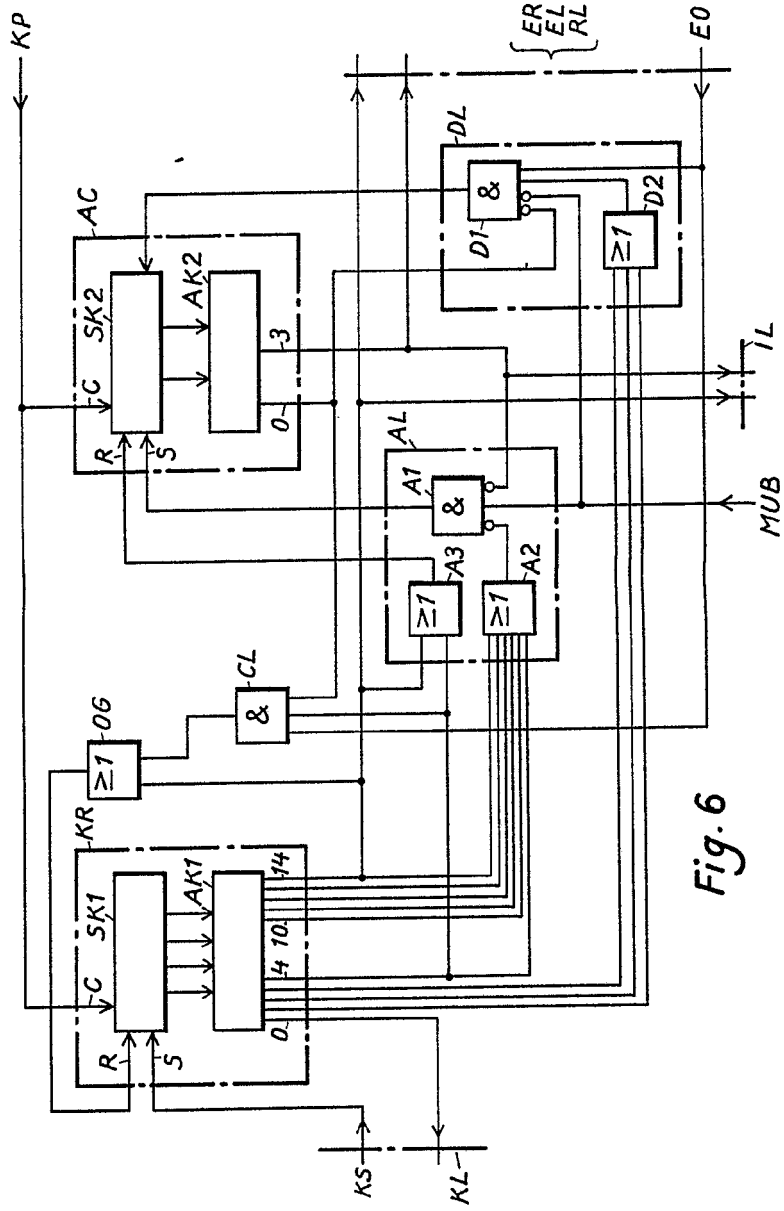


Fig. 6


 Fernando de Elizaburuf
 Por Pob...

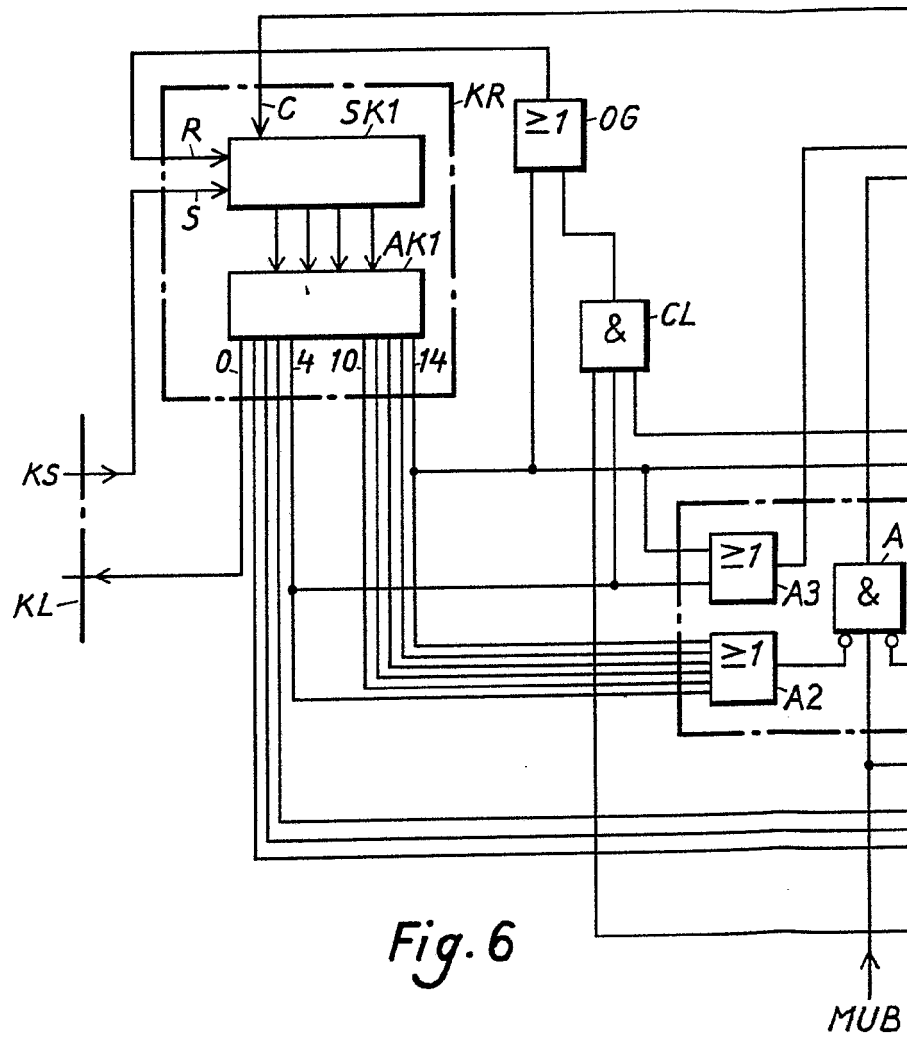
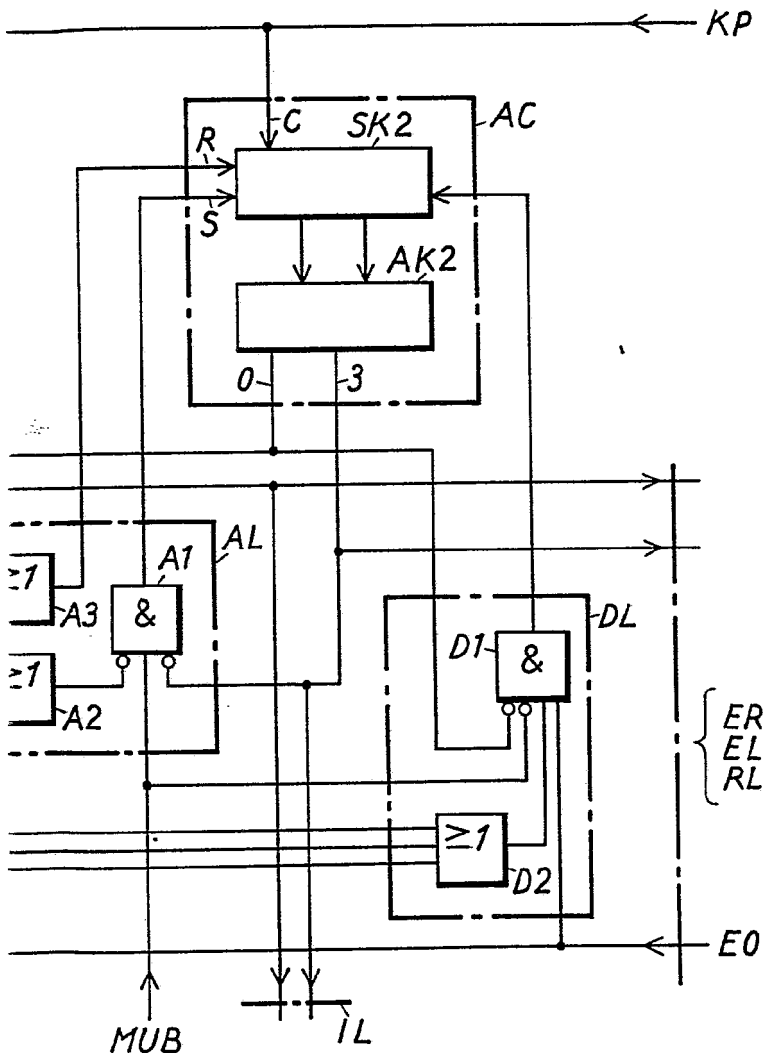
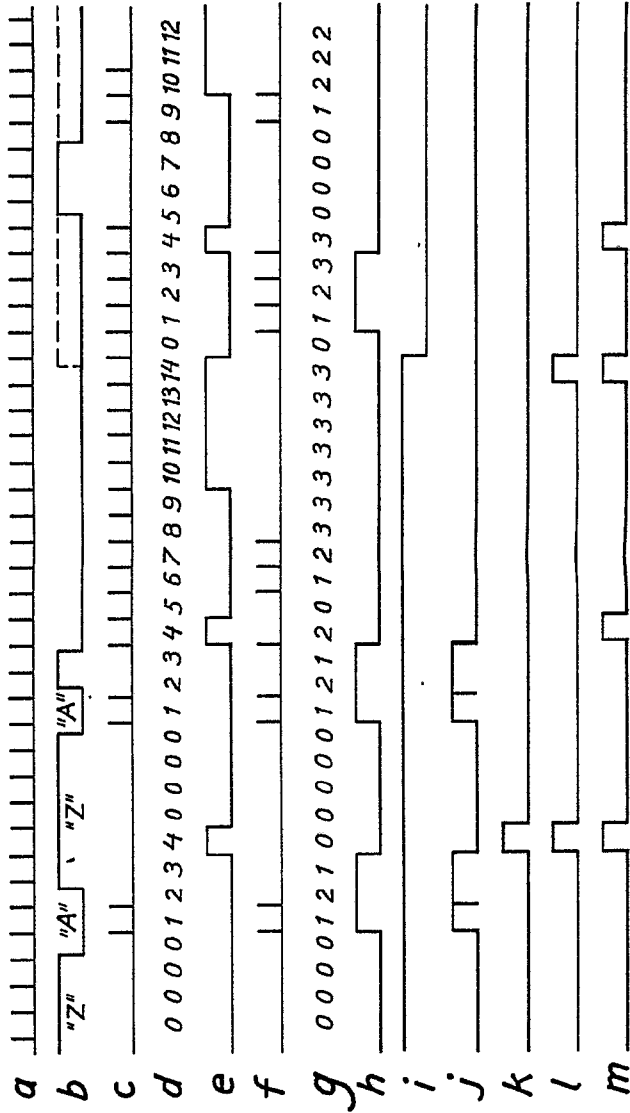


Fig. 6



Fernando de Elizaburu
Por Poder

Fig. 7



Ferruccio de Elizabuzza
 Por Ruben

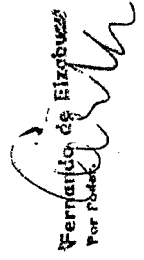


Fig. 7

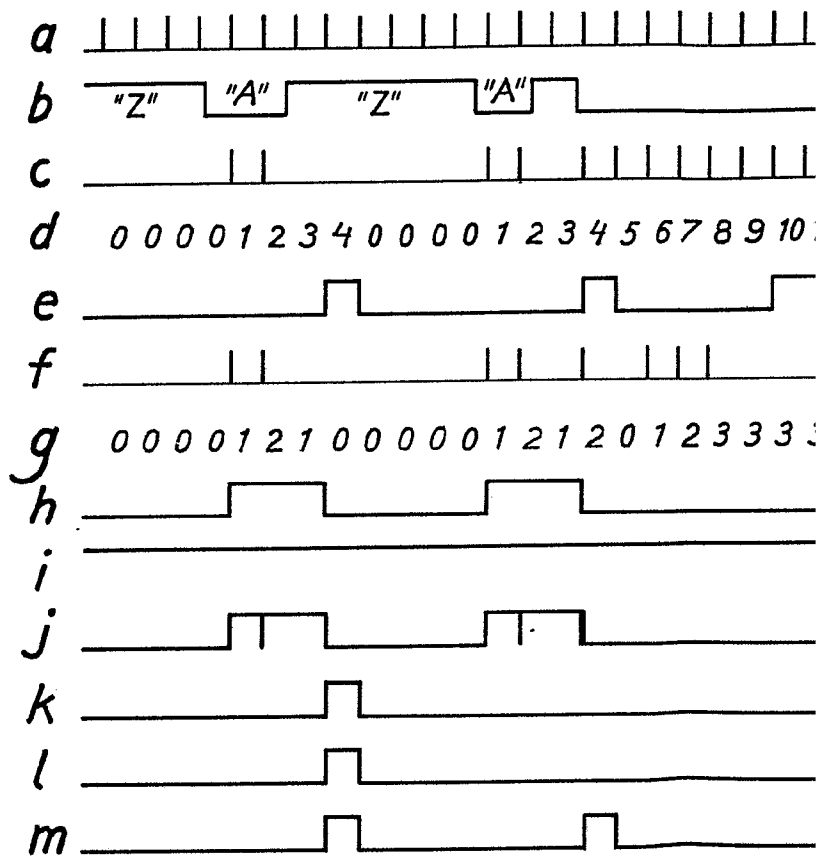


Fig. 7



Fernando de Elizabuz
Por Poder