



12 MAY

J. RIJCKAERT 1

Int. Cl.² G06 F 15/16

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION
EN ESPAÑA POR: "UN CONJUNTO DE CONTROL PARA SINCRONIZAR
COMPUTADORES QUE CONTROLAN MALLAS DE CONMUTACION", A
NOMBRE DE STANDARD ELECTRICA, S.A., CON DOMICILIO EN
MADRID, CALLE DE RAMIREZ DE PRADO, Nº 5.

El presente invento se refiere a un conjunto de control para, por lo menos, dos sistemas, y que incluye, por lo menos, dos dispositivos de control, cada uno de ellos asociado con uno de los sistemas e incluyendo, cada uno, un generador local para generar primeras señales para controlar el sistema asociado, y segundas señales que se transmiten al otro(s) dispositivo(s) de control. Cada dispositivo de control incluye elementos lógicos que hacen posible que una segunda señal recibida intervenga en el control del sistema asociado.

Tal conjunto de control ya se conoce de la Patente española Nº 372.849. Allí, las primeras y segundas señales



de frecuencia se generan en un oscilador cuya frecuencia está controlada por la señal(es) segunda(s) recibida(s) para que sea igual al valor medio de las frecuencias de señal recibidas (si se reciben varias) por lo que, si se recibe, al menos, una segunda señal, la frecuencia natural del oscilador se modifica en función de la frecuencia de esta señal. En el caso de tres sistemas, en cada dispositivo de control del conjunto de control, se produce el valor medio por un modulador que proporciona la frecuencia suma de las dos segundas señales recibidas, que luego se dividen en un divisor de frecuencia para conseguir la suma media.

Este conjunto de control ya conocido está basado en elementos que modifican la frecuencia producida por cada dispositivo de control y, un objetivo general del presente invento es evitar tal modificación y, además, procesar las segundas señales recibidas desde el otro dispositivo(s) de control por elementos enteramente digitales.

Según el invento, este objetivo se consigue por el hecho de que los elementos lógicos de cada dispositivo de control hacen posible que una segunda señal recibida intervenga en el control del sistema asociado con dicho dispositivo de control, en lugar de una primera señal generada localmente, cuando dicha segunda señal se recibe dentro de un intervalo de tiempo predeterminado antes de que sea generada localmente dicha primera señal.

Como consecuencia, el control de cada sistema se realiza normalmente por las primeras señales generadas localmente en el dispositivo de control asociado al sistema, pero cuando se recibe una segunda señal en este dispositivo dentro del intervalo de tiempo predeterminado definido anterior



mente, el control se realiza por esta segunda señal.

Otra característica del presente invento está en que dicho control de un sistema consiste en la sincronización del mismo.

5 En el conjunto de control ya conocido anteriormente, la frecuencia del oscilador, en cada dispositivo de control, se ajusta continuamente, y otro objetivo del presente invento es evitar tal necesidad.

10 Según el invento, este objetivo se consigue porque el generador local de cada uno de los dispositivos de control incluye una fuente de señal que genera dichas primeras señales y segundos elementos lógicos que pueden, bien después de serles aplicados dicha primera señal o después de serles aplicados la segunda señal dentro de dicho intervalo de tiempo, primero reponer y luego arrancar la fuente de
15 señal que genera de nuevo dichas primeras señales.

20 Esto significa que cada vez que se recibe una segunda señal en un dispositivo de control dentro del intervalo de tiempo anterior, realiza el control del sistema asociado a este dispositivo y de la fuente de señal de las primeras se
ñales, que después toma a su cargo el control del sistema.

25 Otra característica del presente invento es que dichos segundos elementos lógicos están controlados por dicha fuen
te de señal y por dichos primeros elementos lógicos y pueden generar dichas segundas señales en respuesta a la aplicación a los mismos de las primeras señales, así como generar ter
ceras señales en respuesta a la aplicación a los mismos de las primeras y segundas señales. Estas terceras señales se utilizan como señales de sincronización para el sistema.

30 Todavía otra característica del presente invento está



en que en los segundos elementos lógicos de los dispositivos de control de uno y otro de los sistemas, las terceras señales se cambian en medio período, una respecto de la otra.

De acuerdo con la principal configuración del invento, el presente conjunto de control incluye dos dispositivos de control para sincronizar dos sistemas de computadores que controlan una malla de conmutación para telecomunicación. Cada dispositivo de control incluye una fuente de señal de primeras señales que tienen un período de 5 milisegundos, de segundas señales derivadas de las primeras con un período de 10 milisegundos y terceras señales, también derivadas de las primeras, con un período de 10 milisegundos. Cada primera señal controla normalmente el dispositivo de control asociado, mientras que cada tercera señal controla el comienzo de los programas del sistema computador asociado. Cada segunda señal se transmite al otro dispositivo de control y controla la fuente de señal del mismo, si se recibe dentro de un intervalo de tiempo predeterminado que precede a una primera señal generada localmente, la cual queda entonces ineficaz. Las terceras señales de un dispositivo de control se cambian en 5 milisegundos con respecto a las del otro dispositivo, de tal manera que la ejecución de los programas del computador en ambos sistemas se diferencian en 5 milisegundos, impidiendo que ocurran conflictos.

Los anteriores y otros objetivos y características del invento aparecerán más claramente, y el mismo invento se entenderá mejor, refiriéndonos a la descripción que sigue y a los dibujos que se acompañan, en los cuales:

- la Fig. 1 es una vista esquemática de un conjunto de sincronización o control, según el presente invento, adaptado



para sincronizar dos computadores C01 y C02 y que incluye los dispositivos de control o sincronización SD1 y SD2, respectivamente;

5 La Fig. 2 es una vista detallada de un dispositivo de sincronización SD1 (Fig. 1)
- las Figs. 3 a 7 son diagramas de los impulsos generados durante el funcionamiento del dispositivo de sincronización SD1 de la Fig. 2. De este modo, la Fig. 4 quedaría dispuesta debajo de la Fig. 3.

10 Refiriéndonos a la Fig. 1, el conjunto de sincronización mostrado incluye dos dispositivos de sincronización interconectados SD1 y SD2 para sincronizar los computadores C01 y C02, respectivamente, los cuales, por ejemplo, controlan una malla de conmutación para telecomunicación (no mostrada). El dispositivo de sincronización SD1 tiene los terminales de entrada CLR a SYNC'1, que están conectados al computador C01 y, a través de la conexión C1, al terminal de salida SYNC'1 del dispositivo de sincronización SD2, respectivamente. Además, el dispositivo de sincronización SD1 tiene
15 los terminales de salida SYNC2 y SYNC1, que están conectados al computador C01 y, a través de la conexión C'1, al terminal de entrada SYNC1 del dispositivo de sincronización SD2. De la misma manera, el dispositivo de sincronización SD2 tiene el terminal de entrada mencionado anteriormente SYNC1 y el terminal de salida SYNC'1 que están conectados a los
25 terminales del mismo nombre de SD1, así como el terminal de entrada CLR' y el de salida SYNC'2 que están ambos conectados al computador C02.

30 Refiriéndonos a la Fig. 2, el dispositivo de sincronización mostrado en ella SD1 comprende un primer circuito ló



gico LC1 que incluye un reloj a cristal CL, un contador CR, los dispositivos biestables BSD1 a BSD6 y los dispositivos monoestables MSD1 y MSD2, y un segundo circuito lógico LC2 adaptado para proporcionar las funciones de Boolean S12, S161, S6, S236cr, S23, S45cr, S4 y SYNC1. El primer circuito lógico LC1 tiene el terminal de salida mencionado anteriormente SYNC2, mientras que el segundo circuito lógico LC2 tiene los terminales de entrada mencionados anteriormente SYNC'1 y CLR, y el terminal de salida SYNC1.

El reloj a cristal CL puede generar, en sus terminales de salida MC y \overline{MC} , los impulsos cuadrados MC (Fig. 3) y \overline{MC} que tienen un período de 5 microsegundos y una duración de 2,5 microsegundos.

El contador CR, que puede contar 998 impulsos de reloj, tiene una entrada S236cr a la que se aplican los impulsos de reloj, como describiremos después, y dos salidas CK01 y CRO2 que se activan, esto es, están en la condición-1, después de haber sido contados 998 y 990 impulsos de reloj MC, respectivamente. El impulso de temporización CRO2 generado en la salida CRO2 empieza en el borde de delante del impulso de reloj 991 MC, y termina en el borde de delante del impulso de reloj MC 998, teniendo una duración de 40 microsegundos. El impulso de temporización CRO1, generado en la salida CRO1, empieza en el borde de detrás del impulso de reloj MC998 y termina en el borde de delante del impulso de reloj MC 999, teniendo una duración de un impulso de reloj.

Cada uno de los dispositivos biestables BSD1 a BSD6, del circuito lógico LC1 es un denominado flip-flop JK, del tipo SN 7473 fabricado por Texas Instruments y que tiene la siguiente tabla de la verdad:



Texas Instruments y tiene la siguiente tabla de la verdad:

t_n		t_{n+1}		
1	1	0	1	1
0	0	0	1	1
0	0	1	0	0
0	1	0	0	0
0	1	1	1	0
1	0	1	1	0
1	0	0	0	0

donde A es la entrada de la etapa-1, B es la entrada de reloj y Q es la salida de la etapa-1. Esta tabla de la verdad da la condición temporal de la entrada-Q en el momento t_{n+1} , cuando las entradas A y B cambian de la condición indicada en el momento t_n a la condición indicada en el momento t_{n+1} .

De esta tabla de la verdad se deduce que un dispositivo monoestable se dispara a su condición 1 en dos casos:

- cuando su entrada-A cambia de 1 a 0 y, simultáneamente, la entrada-B está en 1,

- cuando la entrada-B cambia de 0 a 1 y, simultáneamente, la entrada-A está en 0.

Ya que las entradas-A de los dispositivos monoestables MSD1 y MSD2 están continuamente en 0, pasan a la condición-1 cuando su entrada-B cambia de 0 a 1.

Las salidas Q y \bar{Q} , de los dispositivos monoestables MSD1, MSD2 están indicadas por MS1, MS2 y $\overline{MS1}$, $\overline{MS2}$, respectivamente.



tivamente. En la Fig. 2 solamente se muestra $\overline{MS1}$.

El circuito lógico LC1 tiene el terminal de salida SYNC2 que constituye la salida del dispositivo monoestable MS2, así como diversas salidas de control BS1, BS2, $\overline{BS3}$, BS4, BS5, $\overline{BS6}$, $\overline{MS1}$, CRO1, CRO2 y MC que constituyen las salidas de los dispositivos biestables BSD1 a BSD6, del dispositivo monoestable MSD1, del contador CR y del reloj CL, respectivamente. Las salidas de control BS1, BS2, $\overline{BS3}$, BS4, BS5, BS6, CRO1, CRO2 y MC están conectadas al circuito lógico LC2, mientras que el terminal de salida SYNC2 está conectado al computador C01.

El circuito lógico LC1 tiene también varias entradas de control S12, S161, $\overline{S6}$, S23cr, S6, S23, S45cr y S4, cuyos índices indican los dispositivos de LC1 a los que están conectados:

- la salida de control S12 está conectada a las entradas-J de los dispositivos biestables BSD1 y BSD2;
- la salida de control S161 está conectada a las entradas de liberación o reposición Cr de los dispositivos biestables BSD1 y BSD6 y a la entrada-B del dispositivo monoestable MSD1;
- las salidas de control $\overline{S6}$ y S6 están conectadas a la entrada-J y la entrada-K del dispositivo biestable BSD6, respectivamente;
- la salida de control S23cr está conectada a la entrada de reloj Cl de los dispositivos biestables BSD2, BSD3 y BSD6 y a las entradas designadas de la misma manera S236cr del contador CR;
- la salida de control S23 está conectada a las entradas de liberación o reposición Cr de los dispositivos biestables



BSD2 y BSD3;

- la salida de control S45cr está conectada a las salidas de liberación o reposición Cr de los dispositivos biestables BSD4 y BSD5 y del contador CR;

5 - la salida de control S4 está conectada a la entrada de reloj Cl del dispositivo biestable BSD4.

La salida \overline{MC} del reloj a cristal CL está conectada a la entrada de reloj Cl del dispositivo biestable BSD1.

10 La salida-Q BS2 del dispositivo biestable BSD2 está conectada a las entradas-J y -K del dispositivo biestable BSD3, la salida-Q BS3 de la cual está conectada a la entrada-B del dispositivo monoestable MSD2. La salida del contador CRO1 está conectada a la entrada de reloj Cl del dispositivo biestable BSD5.

15 El circuito lógico LC2 tiene los terminales de entrada SYNC'1 y CLR y el terminal de salida SYNC1 que constituyen los terminales de entrada y un terminal de salida del dispositivo de sincronización SD1. Como se ha mencionado anteriormente, los terminales SYNC1 y SYNC'1 están conectados
20 al dispositivo de sincronización SD2, mientras que el terminal CLR está conectado al computador C01. El circuito lógico LC2 tiene también varias entradas de control MC, BS1, BS2, BS3, BS4, BS5, $\overline{BS6}$, $\overline{MS1}$, CRO1 y CRO2, que están conectadas a las salidas similares del circuito lógico LC1, así como a
25 varias salidas de control S12, S161, $\overline{S6}$, S236cr, S6, S23, S45cr y S4, que están conectadas a las entradas de control designadas de la misma manera del circuito lógico LC1.

El circuito lógico LC2 está diseñado de tal manera que proporcione los impulsos de control S161, S23, S45cr, S4,
30 S12, S236 cr, S6 y $\overline{S6}$ en las salidas de control designadas



de la misma manera de LC2 y el impulso de control SYNC1 en la salida SYNC1 de LC2. Estos impulsos tienen las siguientes funciones Boolean.

$$\begin{aligned}
 S161 & \equiv \overline{CLR} \\
 5 \quad S23 & \equiv BS1 + \overline{MS1} \\
 S45cr & \equiv \overline{MC \cdot BS2 + CLR} \\
 S4 & \equiv \overline{BS6} \cdot SYNC'1 \\
 S12 & \equiv BS4 + BS5 \\
 S23cr & \equiv \overline{S23} + MC \\
 10 \quad S6 & \equiv \overline{BS3} \cdot CRO2 \\
 SYNC1 & \equiv CRO1 \cdot \overline{S12} \cdot \overline{BS3}
 \end{aligned}$$

en donde:

- BS1, BS2, $\overline{BS3}$, BS4, BS5, BS6 y $\overline{MS1}$ son impulsos que aparecen en las salidas designadas de la misma manera anteriormente de BSD1, BSD2, BSD3, BSD4, BSD5, BSD6 y MSD1, respectivamente;
- MC son los impulsos de reloj mencionados anteriormente;
- CRO1 y CRO2 son los impulsos de temporización mencionados anteriormente;
- 20 - CLR es un impulso de liberación de 1 microsegundo que puede ser aplicado por el computador C01 al terminal de entrada CLR de LC2;
- SYNC1 es un primer impulso de sincronización proporcionado en el terminal de salida SYNC1 de LC2;
- 25 - SYNC'1 es un primer impulso de sincronización recibido en el terminal de entrada SYNC1 de LC2 desde el dispositivo de sincronización SD2, en donde todos los terminales e impulsos se suponen designados por los mismos números que en SD1, pero con un acento.

30 La función de cada uno de los dispositivos mencionados



anteriormente y de los impulsos de control es la siguiente:

El contador CR se utiliza para generar un impulso de temporización CRO1 de 2,5 microsegundos cada 1000 impulsos de reloj, esto es, cada 5 milisegundos, y un impulso de temporización CRO2 de 40 microsegundos que termina junto con el impulso de temporización CRO1.

El contador CR está repuesto cuando la señal de control $S45cr=0$ y las condiciones de los impulsos de control $S6=BS3.CRO2$ y $SYNC1=CR01.SI2.BS3$.

El dispositivo biestable BSD5 se pone para registrar la desaparición de un impulso de temporización CRO1, ya que su entrada de reloj C1 está conectada a la salida del contador CRO1 y se repone cuando $S45cr=0$. En las condiciones BSD5, el impulso de control $S12=BS4 + BS5$.

El dispositivo biestable BSD4 se activa para registrar la desaparición de una primera señal de sincronización SYNC'1 en la salida de control S4, ya que su entrada de control C1 está conectada a S4. Debido a que $S4=BS6.SYNC'1$, el impulso SYNC'1 puede aparecer solamente en S4 cuando $BS6=1$. El dispositivo biestable BSD4 se repone cuando $S45cr=0$ y también las condiciones del impulso de control $S12=BS4 + BS5$.

El dispositivo biestable BSD2 se activa al final de un impulso de reloj MC que aparece a la salida S236cr para registrar el hecho de que ambos BSD4 y BSD5 han sido activados, ya que su entrada-J está conectada a la salida de control S12 a la que se aplica el impulso de control $S12=BS4 + BS5$. El dispositivo biestable BSD2 se repone al final de un impulso de reloj MC que sigue $S12=0$. Las condiciones BSD2, $S45cr=MC.BS2 + CLR$ para reponer BSD4, BSD5 y CR.



La condición del dispositivo biestable BSD3 se invier
te al final del impulso de reloj MC que aparece en la sali
da S236 cr, después de haberse activado el dispositivo bies
table BSD2, ya que sus entradas J y K están conectadas a la
5 salida de control BS2. Este dispositivo biestable BSD3 se
utiliza para delimitar los periodos de tiempo de 10 milise
gundos en donde, alternativamente, $\overline{BS3} = 0$ y $\overline{BS3} = 1$ y las
condiciones $S6 = \overline{BS3}$. $CR02$. $SYNC1 = CR01$. $S12 = \overline{BS3}$ y el dis
positivo monoestable MSD2.

10 El dispositivo biestable BSD6 se activa (repone) cuan
do $S6 = 1$ ($S6 = 0$) en el momento S236cr cambia de 1 a 0.
 $S6 = \overline{BS3} \cdot CR02 = 1$ cada vez que se genera un impulso de tem
porización CR02 durante el intervalo de tiempo de 10 milise
gundos en donde $\overline{BS3} = 1$ $S6 = 0$ cuando tanto $\overline{BS3} = 0$ ó $CR02 =$
15 0

$S236cr = \overline{S23} + MC = \overline{BS1} + \overline{MS1} + MC$ cambia de 1 a 0 cuando un
impulso de reloj MC cambia de 1 a 0 en el momento BS1 y/l
 $\overline{MS1}$ es 1. Como consecuencia el dispositivo biestable BSD6 se
utiliza para registrar la coincidencia de CR02 y $\overline{BS3}$ y las
20 condiciones $S4 = \overline{BS6} \cdot SYNC'1$, activando ($\overline{BS6} = 1$) o inhibiendo
($\overline{BS6} = 0$) la aparición de un impulso SYNC'1 en la salida de
control S4 de LC2.

El dispositivo biestable BSD1 está activado al final
de un impulso de reloj MC que aparece en la salida \overline{MC} de CL
25 para hacer posible que los impulsos de reloj MC aparezcan
en la salida de control S236cr de LC2, ya que $S236cr = \overline{BS1} +$
 $\overline{MS1} + MC = MC$ cuando $BS1 = 1$.

BSD1 se repone para inhibir, junto con el dispositivo monoes
table MSD1, la aparición de los impulsos de reloj en la sa
30 lida de control S236 cr.



El dispositivo monoestable MSD1 se dispara a su condi
ción inestable durante un intervalo de tiempo predeterminado
 en el momento en que el impulso de control S161 $\equiv \overline{\text{CLR}}$ cambia
 de 0 a 1. Ello impide entonces la aparición de los impulsos
 5 de reloj en la salida de control S236cr, ya que $\text{S236cr} \equiv$
 $\text{BS1} + \overline{\text{MS1}} + \text{MC} \equiv 1$, durante este intervalo de tiempo predeter
 minado.

El dispositivo monoestable MSD2 se dispara a su con-
 dición inestable, durante un periodo de tiempo predetermi-
 10 nado, en el momento en que BS3 cambia de 0 a 1. Genera en-
 tonces, en su salida MS2, un segundo impulso de sincroniza
 ción SYNC2 que tiene una duración igual a este periodo.

El impulso de control S23 $\equiv \text{BS1} + \overline{\text{MS1}}$ es, en realidad,
 un impulso de reposición para BSD2 y BSD3, cuando es 0, esto
 15 es, cuando $\text{BS1} \equiv 0$ y $\overline{\text{MS1}} \equiv 0$. También impide que los impul-
 sos de reloj aparezcan en la salida de control S236cr, ya
 que entonces $\text{S236cr} \equiv \overline{\text{S23}} + \text{MC} \equiv 1$. Cuando $\text{S23} \equiv 1$, los im
 pulsos de reloj aparecen en S236cr, ya que entonces S236cr
 $\equiv \text{MC}$.

El impulso de control S45cr $\equiv \overline{\text{MC} \cdot \text{BS2}} + \text{CLR}$ es, en rea
 20 lidad, un impulso de reposición para BSD4, BSD5 y CR, cuan-
 do es 0, esto es, cuando bien $\text{CLR} \equiv 1$ ó cuando, simultánea-
 mente, $\text{MC} \equiv \text{BS2} \equiv 1$.

El impulso de control S12 $\equiv \text{BS4} + \text{BS5}$ es, para BSD1
 25 y BSD2, un impulso de activación cuando es 1, y un impulso
 de reposición cuando es 0.

El impulso de control S6 $\equiv \overline{\text{BS3}} \cdot \text{CR02}$ es, en combinación
 con S236cr, un impulso de activación ($\text{S6} \equiv 1$) o de reposición
 (S6=0) para el dispositivo biestable BSD6 como ya se ha men
 30 cionado anteriormente.



El impulso de control $S236cr \equiv \overline{S23} + MC$ es efectivo, en combinación con $S6$, para activar o reponer el dispositivo biestable $BSD6$, como ya se ha mencionado anteriormente.

5 $S4 \equiv \overline{BS6} \cdot SYNC'1$ significa que un primer impulso de sincronización $SYNC'1$ recibido por el terminal de entrada $SYNC'1$ aparece en la salida de control $S4$ solamente cuando $\overline{BS6} \equiv 1$.

10 $SYNC1 \equiv CRO1 \cdot \overline{S12} \cdot \overline{BS3}$ significa que un primer impulso de sincronización $SYNC1$ se aplica al terminal de salida $SYNC1$ cuando $CRO1 \equiv \overline{S12} \equiv \overline{BS3} \equiv 1$.

En resumen, el funcionamiento del conjunto de sincronización descrito anteriormente es el siguiente.

En cada uno de los dispositivos de sincronización $SD1$ y $SD2$, el contador CR , incluido en el mismo, se alimenta
 15 por los impulsos de reloj MC generados por el reloj CL , y genera los impulsos de temporización $CRO1$ que tiene un período de 5 milisegundos (Fig. 5). Uno de cada par de tales impulsos de temporización $CRO1$ se utiliza como un primer impulso de sincronización $SYNC1$ que se aplica al terminal de
 20 salida $SYNC1$ del dispositivo, estos primeros impulsos de sincronización tienen un período de 10 milisegundos. Los primeros impulsos de sincronización $SYNC1$ y $SYNC'1$ generados en los dispositivos de sincronización $SD1$ y $SD2$ coinciden en tiempo cuando ambos dispositivos funcionan en perfecto
 25 sincronismo. En el dispositivo de sincronización $SD1$, el impulso mencionado anteriormente, del par de ellos de temporización sucesivos, $CRO1$, da lugar también a un segundo impulso de sincronización $SYNC2$ que aparece en el terminal de salida $SYNC2$ y controla el funcionamiento del computador $CO1$,
 30 mientras que en el dispositivo de sincronización $SD2$, el



otro par de impulsos de temporización, da lugar a un segundo impulso de sincronización SYNC'2 y controla las operaciones del computador CO2. Como consecuencia, los segundos impulsos de sincronización tienen un período de 10 milisegundos y se generan en SD1, esto es, SYNC2, están cambiados en tiempo 5 microsegundos respecto a los generados en SD2, esto es, SYNC'2.

Para poner un computador operativo, por ejemplo el computador CO1, se aplica un impulso de liberación CLR (Fig. 3,4) a la entrada de control CLR del circuito lógico LC2 del dispositivo de sincronización SD1. Consecuentemente, los diferentes dispositivos biestables BSD1 a BSD6 del mismo, se reponen a sus condiciones-0, mientras que el dispositivo monoestable MSD1 se dispara a su condición inestable, en donde permanece durante un período de tiempo predeterminado. Durante este período de tiempo puede recibirse o no un primer impulso de sincronización SYNC'1 por el terminal de entrada SYNC'1 desde el dispositivo de sincronización SD2.

En el caso de que no se reciba tal primer impulso de sincronización SYNC'1 (Fig. 3, 4) por el terminal de entrada SYNC'1 durante este período de tiempo, el dispositivo de sincronización SD1 no puede ser sincronizado con el dispositivo de sincronización SD2 y, por lo tanto, debe funcionar independientemente. Después de que haya pasado este período de tiempo, el contador CR de SD1 arranca automáticamente debido a lo cual los impulsos de temporización y los impulsos de sincronización primero y segundo se generan de la manera mencionada anteriormente.

Por el contrario, en el caso de que se reciba un primer impulso de sincronización SYNC'1 (Fig. 6) durante el



período de tiempo anterior por el terminal de entrada SYNC'1 del dispositivo de sincronización SD1 desde el dispositivo de sincronización SD2, este primer impulso de sincronización SYNC'1 arranca el contador CR de SD1 y juega el papel de un impulso de temporización de contador CRO1. Debido a esto, se genera en SD1 un segundo impulso de sincronización SYNC2; sin embargo, no se genera ningún primer impulso de sincronización local SYNC1. Más tarde, esto es, después de unos 10 milisegundos, los impulsos de temporización del contador CRO1 controla la generación de los impulsos de sincronización primero y segundo, del modo usual. Ambos dispositivos de sincronización SD1 y SD2 y, por lo tanto ambos computadores C01 y C02 están, así, perfectamente sincronizados.

Si por cualquier razón los dispositivos de sincronización SD1 y SD2 de los dos computadores C01 y C02 ya no han de funcionar en sincronismo, uno de ellos, por ejemplo el SD1 (SD2), recibirá (Fig. 6) por su terminal de entrada SYNC'1 (SYNC1) un primer impulso de sincronización SYNC'1 (SYNC1) desde (SD1) antes de que se genere en el mismo, un impulso de temporización CRO1 (CRO'1).

Si este primer impulso de sincronización se recibe durante un intervalo de tiempo predeterminado que precede a un tal impulso de sincronización CRO1 (CRO'1) el primer impulso de sincronización recibido jugará el papel de este impulso de sincronización CRO1 y, por lo tanto, dará lugar a la generación de un segundo impulso de sincronización SYNC2 (SYNC'2) para controlar el computador C01 (C02) y repondrá el contador CR, de tal manera que no se transmitirá a SD2 (SD1) ningún impulso de sincronización local. Como consecuencia, el computador C01 (C02) será controlado entonces, por



el dispositivo de sincronización SD2 (SD1).

Si el primer impulso de sincronización mencionado an
teriormente SYNC'1 (SYNC1) se recibe por el terminal de en
trada SYNC'1 (SYNC1) de SD1 (SD2) antes del comienzo del
5 intervalo de tiempo mencionado anteriormente que precede al
impulso de temporización del contador generado localmente
CRO1 (CRO'1) no tiene lugar la sincronización.

De lo anterior se deduce que de los dos dispositivos
de sincronización SD1 y SD2, el más rápido controla ambos
10 computadores C01 y C02, con la condición de que no sea de
masiado rápido.

El funcionamiento del conjunto de sincronización, y
más concretamente del dispositivo de sincronización SD1 se
describe después con más detalle, haciendo referencias a
15 las Figs. 2 a 7.

Nos referiremos primeramente a las Figs. 2 a 5.

Al comienzo, los dispositivos biestables BSD1 a BSD6
y el contador CR estan en cualquier condición arbitraria,
mientras que los dispositivos monoestables MSD1 y MSD2 están
20 en su condición estable.

Para reponer el dispositivo de sincronización SD1, se
aplica un impulso de 1 microsegundo CLR a la entrada de con
trol del mismo nombre CLR del circuito lógico LC2, por medio
del computador C01. Durante este intervalo de tiempo de 1
25 microsegundo, la función Boolean $CLR \equiv 1$, de tal manera que
también las funciones Boolean $S45cr \equiv 0$ y $S16l \equiv 0$. Esto
significa que las salidas de control denominadas de la mis
ma manera S45cr y S16l estan ambas desactivadas, como con-
secuencia de lo cual los dispositivos biestables BSD4 y BSD6
30 estan liberados o repuestos. Ya que las salidas BS1, BS4,



BS5 de los dispositivos biestables BSD1, BSD4, BSD5 y CRO1, CRO2 del contador CR estan entonces desactivadas, mientras que la salida $\overline{BS6}$ del dispositivo biestable BSD6 y la salida $\overline{MS1}$ del dispositivo monoestable MSD1. estan desactivadas, y las funciones de Boolean $BS1 \equiv BS4 \equiv BS5 \equiv CRO1 \equiv CRO2 \equiv 0$, mientras que $\overline{BS6} \equiv \overline{MS1} \equiv 1$ de tal modo que las funciones de Boolean $S4 \equiv SYNC'1$, $S23 \equiv 1$, $S236cr \equiv MC$ y $S45cr \equiv S161 \equiv S12 \equiv S6 \equiv SYNC1 \equiv 0$.

La función de Boolean $S4 \equiv SYNC'1$ significa que si se aplica un primer impulso de sincronización SYNC'1 al terminal de entrada SYNC'1 desde el dispositivo de sincronización SD2, aparece en la salida de control S4 y, por lo tanto, también en la entrada de reloj C1 del dispositivo biestable BSD4. La función de Boolean $S236cr \equiv MC$ significa que los impulsos de reloj MC aparecen en la salida de control S236cr y, por lo tanto, también en las entradas de reloj de los dispositivos biestables BSD2, BSD3, BSD6 y en la entrada S236cr del contador CR. Sin embargo, un primer impulso de sincronización recibido SYNC'1 puede no tener influencia, ya que el dispositivo biestable BSD4 controlado por la salida de control S4 se mantiene en la condición de reposo debido a que la salida de control S45cr está desactivada. Asimismo, los impulsos de reloj pueden no tener influencia sobre el dispositivo biestable BSD6 y el contador CR, ya que los últimos se mantienen en sus condiciones de reposo debido a que las salidas de control S161 y S45cr estan desactivadas. La función de Boolean $S23 \equiv 1$ significa que la salida de control del mismo nombre S23 está activada, pero no tiene efecto sobre la condición de los dispositivos biestables BSD2 y BSD3 aunque se apliquen los impulsos de reloj



MC a las entradas de reloj Cl del mismo, ya que sus entradas-
J están en 0. Por supuesto que $S12 \equiv 0$ y $BS2 \equiv 0$.

El efecto de las otras funciones de Boolean que son 0
es el mismo.

5 En el momento en que termina el impulso de liberación
de 1 microsegundo, se desactiva la entrada de control CLR,
de tal manera que la función de Boolean del mismo nombre
CLR $\equiv 0$, como consecuencia de lo cual, la función de Boolean
S161 $\equiv 1$ y S45cr $\equiv 1$. S45cr $\equiv 1$ y S161 $\equiv 1$ significa que las
10 salidas del control del mismo nombre S45cr y S161 están
desactivadas, debido a lo cual la condición de los dispositi-
tivos biestables BSD1, BSD4, BSD5 y del contador CR puede
cambiarse. Además, debido a que la salida de control S161
cambia de 0 (desactivada) a 1 (activada), el dispositivo mo-
15 noestable MSD1 se dispara a su condición inestable, en don-
de permanece durante un intervalo de tiempo $T1 = 100$ mili-
segundos. Consecuentemente, la salida- \overline{Q} $\overline{MS1}$ de este disposi-
tivo monoestable MSD1 se activa durante un período $T1$ de
tal manera que la función de Boolean $\overline{MS1} \equiv 0$ durante el mismo
20 período de tiempo, debido a lo cual la función de Boolean
S23 cambia de 1 a 0, mientras que la función de Boolean S236
cr se hace igual a 1.

 La función de Boolean S23 $\equiv 0$ significa que la salida
de control del mismo nombre S23 está desactivada, debido a
25 lo cual los dispositivos biestables BSD2 y BSD3 se reponen
a la condición-0. La función de Boolean S236cr $\equiv 1$ significa
que la salida de control del mismo nombre S236cr está acti-
vada, de tal manera que los impulsos de reloj MC ya no apa-
recen en esta salida.

30 De lo anterior se deduce que después de que haya sido



5 aplicado un impulso de reposición a la entrada de control CLR del dispositivo de sincronización SD1 todos los dispositivos biestables del mismo están en su condición-0 de reposo, mientras que el dispositivo monoestable MSD1 está en su condición inestable durante un período de $T1 = 110$ milisegundos, durante el cual se inhibe el funcionamiento del contador CR y la señal de sincronización que pueda aplicarse al terminal de entrada SYNC'1 puede aparecer en la salida de control S4.

10 Supongamos ahora en primer lugar que durante el período de tiempo $T1 = 110$ milisegundos, el dispositivo de sincronización SD2 no transmite un primer impulso de sincronización SYNC'1 al dispositivo de sincronización SD1. En este caso, el dispositivo de sincronización SD1 no puede estar
15 sincronizado con el dispositivo de sincronización SD2 y, por lo tanto, la operación del contador CR de SD1 comienza después de que haya pasado el período de tiempo de 110 milisegundos. En ese momento, la salida $\overline{MS1}$ del dispositivo monoestable MSD1 se activa nuevamente de tal modo que la función
20 de Boolean $\overline{MS1} = 1$. Como consecuencia, la función de Boolean S23 cambia de 0 a 1, mientras que la S236cr se hace igual a MC, $S236cr = MC$. Esto significa que los impulsos de reloj MC se aplican nuevamente a la entrada de reloj C1 de los dispositivos biestables BSD2, BSD3 y BSD6 y al contador CR.
25 Los dispositivos biestables BSD2 y BSD3 permanecen en su condición-0, mientras que se detiene el contador CR, cada vez por el borde delantero del impulso de reloj. En el momento en que S236cr se hace 0, al final del anterior período de 110 ms., el dispositivo biestable BSD6 pasa a la condición-1, en donde $\overline{BS6} = 0$ ya que sus entradas J y K son 1 y 0
30



respectivamente. Estas entradas están conectadas a las salidas de control $\overline{S6}$ y $S6$ que están activadas y desactivadas, respectivamente, debido a las funciones de Boolean $\overline{S6} \equiv 1$ y $S6 \equiv 0$ (ya que $CR02 \equiv 0$). Durante el tiempo $\overline{BS6} \equiv 0$ no pueden aparecer primeros impulsos de sincronización recibidos desde SD2 en la salida de control $S4$, ya que la función de Boolean $S4 \equiv 0$.

Después de haber contado 990 impulsos de reloj MC y, más concretamente, al comienzo del impulso de reloj 991, la salida CR02 del contador CR está desactivada de tal manera que la función de Boolean $CR01 \equiv 1$.

Como consecuencia, la función de Boolean $S6$ cambia de 0 a 1, esto es, $S6 \equiv 1$ y $\overline{S6} \equiv 0$. Esto significa que la salida de control $S6$ del circuito lógico LC2 está activada debido a lo cual las entradas J y K del dispositivo biestable BSD6 están desactivadas y activadas, respectivamente. Al final del impulso de reloj 991, el dispositivo biestable BSD6 se dispara a su condición de activado, en donde su salida $\overline{BS6}$ está activada, esto es, $\overline{BS6} \equiv 1$. Consecuentemente, la función de Boolean $S4$ cambia de 0 a $S4 \equiv SYNC\ 1$, lo cual significa que un primer impulso de sincronización posiblemente aplicado al terminal de entrada SYNC'1 desde el dispositivo de sincronización SD2, también aparece en la salida de control $S4$. Ya que habíamos supuesto que el último dispositivo de sincronización SD2 no aplica un primer impulso de sincronización SYNC'1 al terminal de entrada SYNC'1, no cambia nada en el dispositivo de sincronización SD1.

Al final del impulso de reloj MC 998, se activa la salida del contador CR01, pero se desactiva tan pronto como la entrada del contador $S236cr$ pasa de nuevo a 1, esto es,



cuando el borde delantero del siguiente impulso de reloj, o 999, se aplica al contador CR y a la entrada de reloj C1 del dispositivo biestable BSD6. Mediante este borde delantero, se repone el contador CR, de tal manera que $CR01 \equiv 0$ y $CR02 \equiv 0$ y, como consecuencia, $S6 \equiv 0$ y $\overline{S6} \equiv 1$. El contador CR permanece en su condición de reposo hasta que se aplican los impulsos de reloj 1000 a su entrada S236cr, desde el final de período de los 110 milisegundos.

De lo anterior se deduce que aparece un impulso de temporización CR01 de 2,5 microsegundos en la salida del mismo nombre CR01 del contador CR, entre los impulsos de reloj 998 y 999, mientras que aparece un impulso de temporización CR02 de 40 microsegundos en la salida CR02 del contador Cr y que termina junto con el impulso de temporización CR01. También aparece en la salida SYNC1 del circuito lógico LC2, un primer impulso de sincronización de 2,5 microsegundos SYNC1, en sincronismo con el impulso de temporización CR01, ya que $CR01 \equiv \overline{S12} \equiv \overline{BS3} \equiv 1$. Este primer impulso de sincronización SD2 del computador C02.

Durante el tiempo en que la función de Boolean $\equiv CR01 \equiv 1$, la entrada de reloj C1 del dispositivo biestable BSD5 se activa. Esto no tiene efecto sobre el dispositivo biestable BSD5, pero cuando la función de Boolean CR01 se hace de nuevo 0, se dispara el dispositivo biestable BSD5 a su condición 1, en donde se activa su salida BS5. En ese momento, la función de Boolean BS5 $\equiv 1$, de tal manera que la función de Boolean S12 cambia de 0 a 1 como consecuencia de lo cual la salida de control del mismo nombre S12 y las entradas de los dispositivos biestables BSD1 y BSD2 se activan.

Al final del impulso de reloj 999 mencionado anterior



mente, se invierte la condición del dispositivo biestable BSD2, de tal manera que pasa a su condición-1. Debido a que la salida BS2 de BSD2 está activada, esto es, $BS2 \equiv 1$, las entradas J y K del dispositivo biestable BSD3 están activadas. También se dispara el dispositivo biestable BSD6 al final del impulso de reloj 999 a su condición-1, en donde $\overline{BSD6} \equiv 0$ debido a que $\overline{S6} \equiv 0$ y $\overline{S6} \equiv 1$. Como consecuencia $S4 \equiv 0$, de tal manera que, desde este momento, un impulso primero de sincronización posiblemente recibido desde el otro dispositivo de sincronización SD2, por el terminal de entrada IN1, no aparece en la salida de control S4.

De lo anterior se deduce que $S4 \equiv SYNC'1$ desde el final del impulso de reloj 991 al final del impulso de reloj 999, esto es, durante 8 impulsos de reloj ó 40 microsegundos. Durante este período de 40 microsegundos, un primer impulso de sincronización SYNC'1 recibido desde el dispositivo de sincronización SD2 se le permite aparecer en la salida de control S4 de SD1 y sincronizar el computador C01, como describiremos más tarde.

Debido a que la salida de control BS2 de BSD2 está activada, esto es, $BS2 \equiv 1$, las entradas J y K del dispositivo biestable BSD3 están también activadas al final del impulso de reloj 999. Al comienzo del impulso de reloj 1000, el dispositivo biestable BSD1 está en su condición-1, ya que su entrada-J está en 1 ($S12 \equiv 1$), mientras que su entrada de reloj cambia de 1 a 0. Debido a que $BS2 \equiv 1$, la función de Boolean $S45cr$ se hace igual a \overline{MC} , de tal manera que, $S45cr \equiv 0$ durante el impulso de reloj número 1000. Como consecuencia, los dispositivos biestables BSD4 y BSD5, así como el contador CR, se reponen al comienzo de este impulso,



esto es, $BS4 \equiv 0$ (que estaba ya en 0), y $BS5 \equiv 0$. Debido a esto, la función de Boolean $S12 \equiv 0$, de tal manera que la salida de control del mismo nombre $S12$ del circuito lógico LC2 y las entradas-J de los dispositivos biestables BSD1 y BSD2 se desactivan.

Al final del impulso de reloj número 1000, el dispositivo biestable BSD3 pasa a su condición-1, en donde $BS3 \equiv 1$, mientras que el dispositivo biestable BSD2 se repone a su condición-0, en donde $BS2 \equiv 0$, y así $S45cr \equiv 1$. Este permanece sin efecto. Debido a que $BS3 \equiv 1$, el dispositivo monoestable MSD2 pasa a su condición 1 durante 0,5 microsegundos, debido a lo cual un impulso de 0,5 microsegundos aparece en la salida SYNC2 de este dispositivo. Este impulso es el segundo impulso de sincronización mencionado anteriormente SYNC2, que controla las operaciones programadas del computador local C01. Se genera 10 microsegundos después del SYNC1.

El impulso de temporización CR01 da lugar también a un primer impulso de sincronización SYNC1, cuando $\overline{S12} \equiv \overline{BS3} \equiv 1$. Así como a un segundo impulso de sincronización SYNC2 cuando $BS3$ cambia de 0 a 1.

De lo anterior se deduce que, al final del impulso de reloj número 1000, esto es, después de que hayan pasado 5 milisegundos, el dispositivo de sincronización SD1 está en la misma condición que al final del impulso de reposición, excepto que el dispositivo biestable BSD3 está ahora en su condición-1, en donde $BS3 \equiv 1$. Para los siguientes 1000 impulsos de reloj indicados por 1', 2', etc., es como se ha descrito anteriormente, pero ahora, no se generará ni un primero ni un segundo impulso de sincronización, ya que



$\overline{BS3} \equiv 0$ en el momento en que se genera un impulso de temporización de contador CRO1. Cuando se genera el siguiente impulso de temporización del contador CRO1 (no mostrado), $\overline{BS3} \equiv 1$, de tal manera que nuevamente se generarán un primero y un segundo impulso de sincronización.

En otras palabras, en el dispositivo de sincronización SD1, se generan un primero y un segundo impulsos de sincronización cada 10 milisegundos.

Nótese que el otro dispositivo de sincronización SD2 es idéntico al SD1, excepto por el hecho de que la salida $\overline{BS3}$, en lugar de la BS3 del dispositivo biestable BSD3, está conectada a la entrada-B del dispositivo monoestable MSD2. Debido a esto, en el dispositivo de sincronización SD1, se generan los segundos impulsos de sincronización SYNC'2, cada unos 5 milisegundos después de haberse generado en el mismo un primer impulso de sincronización SYNC'1. Si los primeros impulsos de sincronización de los dispositivos de sincronización SD1 y SD2 están completamente sincronizados, esto es, si sus primeros impulsos de sincronización SYNC1 y SYNC'1 coinciden en tiempo, como muestra la Fig. 5, se deduce de lo anterior que los segundos impulsos de sincronización SYNC2 y SYNC'2, de estos dispositivos de sincronización SD1 y SD2, están cambiados en 5 milisegundos. Como consecuencia, los mismos programas en los computadores C01 y C02 comienzan con una diferencia de tiempo de 5 milisegundos, a fin de impedir situaciones conflictivas entre dichos computadores.

Refiriéndonos a las Figs. 6 y 5, se supone que durante el período de tiempo mencionado anteriormente T1 de 110 milisegundos, mostrado en la Fig. 3, se recibe un primer impulso de sincronización SYNC'1 por el terminal de entrada SYNC'1

5 OCT
27.



del dispositivo de sincronización SD1 desde el dispositivo de sincronización SD2. En ese momento, $S12 \equiv S6 \equiv S23 \equiv \text{SYNC}1 \equiv 0$, mientras que $S45cr \equiv S236cr \equiv S161 \equiv 1$ y $S4 \equiv \text{SYNC}'1$, debido a que $\overline{BS6} \equiv 1$.

5 Ya que $S4 \equiv \text{SYNC}'1$, este primer impulso de sincronización SYNC'1 aparece en la salida de control $S4$ del circuito lógico LC2 de SD1, y se aplica a la entrada de reloj C1 del dispositivo biestable BSD4, mientras que, debido a que $S236cr \equiv 1$, no aparecen impulsos de reloj en la salida de control del mismo nombre S236cr de LC2.

10 Al final del primer impulso de sincronización SYNC'1 se dispara el dispositivo biestable BSD4 a su condición-1, en donde $BS4 \equiv 1$, de tal modo que $S12 \equiv 1$, debido a lo cual se prepara la activación de los dispositivos biestables BSD1 y BSD2. La activación de BSD3 se inhibe debido a que $S23 \equiv 0$, pero al comienzo del primer impulso de reloj MC (o al final del primer impulso de reloj \overline{MC}) aplicado a la entrada de reloj C1 del dispositivo biestable BSD1, después de que $S12$ se haya hecho igual a 1, este dispositivo biestable BSD1 se dispara a su condición en donde $BS1 \equiv 1$. Debido a que $BS1 \equiv 1$, $S23 \equiv 1$ y $S236cr \equiv MC$, como consecuencia de lo cual los impulsos de reloj aparecen en la salida de control S236cr de LC2 y se aplican a los dispositivos biestables BSD2, BSD3, BSD6 y al contador CR. Tan pronto como $S23 \equiv 1$, se dispara el dispositivo biestable BSO2 a su condición-1. Al final del primer impulso de reloj $1'$ aplicado al contador, ya que este está en reposo, el dispositivo biestable BSD6 se dispara a su condición-1, en donde $\overline{BS6} \equiv 1$ y $\overline{BS6} \equiv 0$, debido a lo cual $S6 \equiv 1$ y $S6 \equiv 0$. Como consecuencia $S4 \equiv 0$.

20
25
30 Al comienzo del segundo impulso de reloj $2'$ aplicado



después de que $S_{12} \equiv 1$, $S_{45cr} \equiv 0$, debido a lo cual el dispositivo biestable BSD_4 así como el contador CR se reponen a sus condiciones-0. Como consecuencia $BS_4 \equiv 0$ y $S_{12} \equiv 0$. Al final de este impulso de reloj 2', se dispara otra vez el dispositivo biestable BSD_2 a su condición de reposo donde $BS_2 \equiv 0$, mientras que se invierte la condición del dispositivo biestable BSD_3 a su condición de activado, donde $BS_3 \equiv 1$ y $\overline{BS_3} \equiv 0$. Consecuentemente el dispositivo monoestable MSD_2 se dispara a su condición inestable en donde se genera un segundo impulso de sincronización SYNC2 en la salida SYNC2 de LC1.

El contador CR se detiene en su primera posición por el borde delantero del siguiente impulso de reloj que está indicado por 1. Los impulsos siguientes se indican por 2, etc.

Como se ha descrito anteriormente, al comienzo del impulso de reloj 991 aplicado al contador CR, ya que éste está en reposo, la salida del contador CRO2 se activa, debido a lo cual, $CRO_2 \equiv 1$. Esto no tiene efecto en la condición del dispositivo biestable BSD_6 , ya que S_6 permanece cero debido a $BS \equiv 0$. De la manera descrita anteriormente, la salida del contador CRO1 se activa entre los impulsos de reloj 998 y 999, de tal manera que $CRO_1 \equiv 1$. Pero $SYNC_1 \equiv 0$, ya que $BS_3 \equiv 0$, de tal manera que no aparece primer impulso de sincronización en el terminal de salida $SYNC_1$. El efecto de los impulsos 999 y 1000 ya se han descrito en relación con las Figs. 3 y 4.

Cerca del final de la siguiente serie de 100 impulsos de reloj (no mostrados) se generan consecutivamente un primer y un segundo impulso de sincronización.



De lo anterior se deduce que cuando, durante el período T1 de 110 milisegundos, después del final de un impulso de reposición CLR, se recibe un primer impulso de sincronización SYNC'1 desde el dispositivo de sincronización SD2, en el dispositivo de sincronización SD1, este primer impulso de sincronización juega el papel de un impulso de temporización generado localmente CR01, debido a lo cual, arranca el contador CR y se genera un segundo impulso de sincronización CR01 en el último dispositivo. Sin embargo, no se genera en el mismo ningún primer impulso de sincronización; debido a que el contador ha arrancado, esto ocurre unos 10 milisegundos después de tener lugar el impulso de temporización CR01, ya que $\overline{BS3} \equiv 1$ en ese momento.

Lo mismo ocurre si se recibe un impulso SYNC1 en el dispositivo de sincronización SD2, pero allí se genera un segundo impulso de sincronización SYNC22 solamente unos 5 milisegundos después de la recepción de un impulso SYNC1 desde SD1 ya que solamente entonces $\overline{BS3} \equiv 1$.

Refiriéndonos a la Fig. 7, supongamos ahora que durante el intervalo de tiempo de 40 microsegundos en donde $\overline{BS6} \equiv 1$, mostrado en la Fig. 3, se recibe un primer impulso de sincronización SYNC1 en el terminal de entrada SYNC'1 del dispositivo de sincronización SD1 desde el dispositivo de sincronización SD2. Más concretamente, se supone que el comienzo de este impulso SYNC'1 tiene lugar durante el impulso de reloj 993. En ese momento, $S12 \equiv S6 \equiv SYNC1 \equiv 0$, mientras que, $S45cr \equiv S161 \equiv S23 \equiv 1$, $S236cr \equiv MC$ y $S4 \equiv SYNC'1$.

Ya que $S236cr \equiv MC$, el contador CR está detenido.

Ya que $S4 \equiv SYNC'1$, este primer impulso de sincronización SYNC1 aparece en la salida de control S4 del circuito



lógico LC2 de SD1 y se aplica a la entrada de reloj C1 del dispositivo biestable BSD4.

Al final del primer impulso de sincronización SYNC'1, se dispara el dispositivo biestable BSD4 a su condición-1, en donde $BS4 \equiv 1$ y $S12 \equiv 1$, debido a lo cual se prepara la activación de los dispositivos biestables BSD1 y BSD2. Al final del impulso de reloj 994 aplicado a la entrada de reloj C1 del dispositivo biestable BSD2, este dispositivo se dispara a su condición en donde $BS2 \equiv 1$, debido a lo cual $S45cr \equiv \overline{MC}$.

Al comienzo del impulso de reloj 995, $S45cr \equiv 0$, debido a lo cual, el dispositivo biestable BSD4 así como el contador CR se reponen a su condición-0. Consecuentemente, $CR02 \equiv BS4 \equiv S12 \equiv S6 \equiv 0$.

Al final de este impulso de reloj 995, se vuelve a disparar el dispositivo biestable BSD2 a su condición de reposo, en donde $BS2 \equiv 0$, de tal manera que se invierte la condición del dispositivo del dispositivo biestable BSD3 a la condición de activado en donde $BS3 \equiv 1$ y $\overline{BS3} \equiv 0$. Consecuentemente, el dispositivo monoestable MSD2 se dispara a su condición inestable en donde se genera un segundo impulso de sincronización SYNC2 en el terminal de salida SYNC2 de LC1. El dispositivo biestable BSD6 se dispara a su condición-0, en donde $BS6 \equiv 1$ y $\overline{BS6} \equiv 0$, debido a que $\overline{S6} \equiv 1$ y $S6 \equiv 0$. Como consecuencia, $S4 \equiv 0$.

El contador CR se detienen en su primera posición por el borde delantero del impulso de reloj 996 que se indica también por 1'. Los siguientes impulsos se indican por 2' etc.

El efecto de los otros impulsos es el descrito con re



lación a la Fig. 6.

De lo anterior se deduce que cuando durante el período de 40 microsegundos en donde $\overline{BS6} \equiv 1$, se recibe un primer impulso de sincronización SYNC'1 desde el dispositivo de sincronización SD2, en el dispositivo de sincronización SD1, este primer impulso de sincronización juega el papel de un impulso de temporización CRO1 generado localmente, debido a lo cual, se genera un segundo impulso de sincronización SYNC2 en el último dispositivo. También se repone el contador CR, de tal manera que no se genera ningún primer impulso de sincronización y recomienza después, debido a lo cual un tal impulso se genera 10 milisegundos después de tener lugar un impulso de temporización CRO1, ya que $\overline{BS3} \equiv 1$ en ese momento.

Lo mismo ocurre si se recibe un impulso SYNC1 en el dispositivo de sincronización SD2, pero allí se genera un segundo impulso de sincronización SYNC'2 solamente unos 5 milisegundos después de la recepción de un impulso SYNC1, ya que solamente entonces $\overline{BS3} \equiv 1$.

Nótese que en las reivindicaciones:

- los primeros elementos lógicos están constituidos por el dispositivo biestable BSD6 y el multicircuito asociado;
- los segundos elementos lógicos están constituidos por los otros dispositivos monoestables y biestables y el multicircuito asociado;
- el generador local incluye CL y CR y dichos segundos elementos lógicos,
- las señales primera, segunda, tercera y cuarta son CRO1, SYNC1, SYNC2 y CRO2, respectivamente.

Ha de quedar entendido que la anterior descripción de



una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

Este invento corresponde a una solicitud de Patente formulada en Holanda, el día 13 de Julio de 1973, señalada con le N^o 73 09770, y se acoge, por lo tanto a los benefi-
5 cios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de la presente patente de veinte años,
10 son:

1.- Un conjunto de control para sincronizar computadores que controlan mallas de conmutación para, por lo menos, dos sistemas, que incluye, por lo menos, dos dispositivos de control, cada uno de ellos asociado con uno de los sistemas y,
15 cada uno de ellos, incluyendo un generador local para generar primeras señales que controlan el sistema asociado y segundas señales que se transmiten al otro dispositivo(s) de control. Cada dispositivo de control incluye elementos lógicos que, al recibir una segunda señal, se interviene en
20 el control del sistema asociado. Caracterizado porque los elementos lógicos de cada dispositivo de control hacen posible que al recibir una segunda señal (SYNC'1) se intervenga en el control del sistema asociado con dicho sistema de control, en lugar de una primera señal generada localmente
25 (CRO1), cuando dicha segunda señal (SYNC'1) se recibe dentro de un intervalo de tiempo predeterminado antes que una primera señal (CRO1) sea generada localmente.

2.- Un conjunto de control, según el punto 1, caracterizado porque al recibir la segunda señal de entrada dentro de dicho intervalo de tiempo predeterminado en un dispositivo de control, existen elementos para impedir la gene

BB
30



ración y transmisión de una segunda señal hacia el otro sistema.

3.- Un conjunto de control, según el punto 1, caracterizado porque dicho control de un sistema consiste en la sincronización del mismo.

4.- Un conjunto de control, según el punto 1, caracterizado porque el generador local de cada uno de dichos dispositivos de control incluye una fuente de señal (CL, CR) que genera dichas primeras señales (CR01) y los segundos elementos lógicos (BSD1-BSD5; MSD1, MSD2) que hacen posible que, bien después de haber sido aplicada a los mismos dicha primera señal (CR01) o bien después de haber sido aplicada a los mismos dicha segunda señal (SYNC'1) dentro de dicho intervalo de tiempo, para reponer primero y luego para re-arrancar dicho generador de señal (CL, CR) que genera de nuevo dichas primeras señales (CR01).

5.- Un conjunto de control, según los puntos 2, 3 y 4, caracterizados porque dichos segundos elementos lógicos están controlados por dicha fuente de señal (CL, CR) y por dichos primeros elementos lógicos (BSD6) y pueden generar dichas segundas señales (SYNC1) en respuesta a las primeras señales (CR01) aplicadas al mismo, así como generar terceras señales (SYNC2) en respuesta a las primeras (CR01) o segundas (SYNC'1) señales aplicadas al mismo. Dichas terceras señales se utilizan como señales de sincronización para dicho sistema.

6.- Un conjunto de control, según el punto 5, caracterizado porque en los segundos elementos lógicos de los dispositivos de control de ambos sistemas, las terceras señales se cambian en medio período, una respecto de la otra.



7.- Un conjunto de control, según el punto 5, caracterizado porque los segundos elementos lógicos pueden generar una segunda señal (SYNC1) por cada par de primeras señales (CRO1) aplicadas a los mismos.

5 8.- Un conjunto de control, según el punto 5, caracterizado porque dichos segundos elementos de control pueden generar una dicha tercera señal (SYNC2) por cada par de primeras (CRO1) y/o segundas (SYNC'1) señales aplicadas a los mismos.

10 9.- Un conjunto de control, según el punto 5, caracterizado porque dichos segundos elementos lógicos proporcionan una primera señal de control ($\overline{BS3}$) cuya polaridad cambia después de haber sido aplicada una primera señal (CRO1) o una segunda señal recibida (SYNC'1), a dichos segundos elementos lógicos. Dicha primera señal de control ($\overline{BS3}$) controla la generación de dicha segunda señal (SYNC1) y de dicha tercera señal (SYNC2).

20 10.- Un conjunto de control, según el punto 9, caracterizado porque dichos segundos elementos lógicos también proporcionan una segunda señal de control (S12) después de haber sido aplicada una primera señal (CRO1) o una segunda señal recibida (SYNC'1) a dichos segundos elementos lógicos. Dicha segunda señal de control también controla la generación de dicha segunda señal (SYNC1).

25 11.- Un conjunto de control, según el punto 9, caracterizado porque, en los segundos elementos lógicos de dichos dos sistemas, la generación de dichas segundas señales (SYNC1) está controlada por las primeras señales de control ($\overline{BS3}$) de la misma polaridad.

30 12.- Un conjunto de control, según los puntos 6 y 9,

Rg

5 OCT. 1954
35.



caracterizado porque, en los segundos elementos lógicos de ambos sistemas, la generación de dichas terceras señales (SYNC2) está controlada por las primeras señales de control (BS3, $\overline{BS3}$) de polaridad opuesta.

5 13.- Un conjunto de control, según el punto 9, caracterizado porque, dichos segundos elementos de control incluyen un primer dispositivo biestado (BSD3) y elementos que hacen posible invertir la condición de dicho primer dispositivo biestado (BSD3) después de haber sido aplicada a
10 dichos segundos elementos lógicos una primera señal (CR01) o una segunda señal recibida (SYNC'1). Dicho primer dispositivo biestado (BSD3) proporciona dicha primera señal de control ($\overline{BS3}$) en una de sus salidas.

15 14.- Un conjunto de control, según el punto 10, caracterizado porque los elementos lógicos mencionados incluyen también un segundo (BSD5) y un tercero (BSD4) dispositivos biestado, elementos para activar dichos segundo (BSD5) o tercer (BSD4) dispositivo biestado, después de haber sido aplicada a dichos segundos elementos lógicos una primera señal
20 (CR01) o una segunda señal recibida (SYNC'1), respectivamente, elementos (S45cr) para reponer el segundo o tercer dispositivo biestado después de un tiempo predeterminado de haber sido activados, y elementos que proporcionan dicha segunda señal de control (S12) que impide que sea generada
25 una segunda señal (SYNC1) en tanto uno, por lo menos, de los dispositivos biestado segundo (BSD5) y tercero (BSD4) permanezca en su condición de activado.

30 15.- Un conjunto de control, según los puntos 13 y 14, caracterizado porque dichos segundos elementos lógicos incluyen un cuarto dispositivo biestado (BSD2) y elementos con

5 OCT. 1956.



trolados por dicha segunda señal de control (S12) para acti
var dicho cuarto dispositivo biestado (BSD2) después de que,
al menos uno, de los dispositivos biestado segundo (BSD5) y
tercero (BSD4) hayan sido activados y reponer dicho cuarto
5 elemento biestado (BSD2) cierto tiempo después. La activa-
ción de dicho cuarto dispositivo biestado (BSD2), que forma
parte de dichos elementos de reposición, da lugar a la gene-
ración de una tercera señal de control (S45cr) para reponer
dichos dispositivos biestado segundo (BSD5) y tercero (BSD4)
10 y dicha fuente de señal (CL, CR), y provocar la inversión
de la condición de dicho primer dispositivo biestado (BSD3).

16.- Un conjunto de control, según el punto 9, carac-
terizado porque la fuente de señal (CL, CR) también genera
regularmente cuartas señales (CRO2) que tiene cada una una
15 duración igual a un período de tiempo predeterminado, y
porque dichos primeros elementos lógicos pueden registrar
la coincidencia de una cuarta señal (CRO2) y la primera señal
de control ($\overline{BS3}$) en un quinto dispositivo biestado (BSD6),
que entonces proporciona una cuarta señal de control ($\overline{BS6}$)
20 en una de sus salidas. Esta cuarta señal de control ($\overline{BS6}$),
tiene una duración igual a dicho intervalo de tiempo prede-
terminado y controla la aplicación de una segunda señal re-
cibida (SYNC'1) a dichos segundos elementos lógicos.

17.- Un conjunto de control, según el punto 14, carac
25 terizado porque los segundos elementos lógicos de control
incluyen además un sexto dispositivo biestado (BSD1), elemen-
tos controlados por la segunda señal de control (S12) para
activar dicho sexto dispositivo biestado (BSD1) después de
que, al menos uno, de los dispositivos biestado segundo
30 (BSD5) y tercero (BSD4) haya sido activado y controlado por

12 MAY
37.



una señal de desconexión (CLR) para reponer dicho sexto dispositivo biestado (BSD1). Este sexto dispositivo biestado (BSD1), en su condición de activado, provoca el funcionamiento de la fuente de señal (CL, CR).

5 18.- Un conjunto de control, según el punto 17, caracterizado porque los segundos elementos lógicos incluyen también un dispositivo monoestable (MSD1), elementos controlados por una señal (CLR) para disparar dicho dispositivo monoestable (MSD1) a su condición inestable, en donde impide
10 el funcionamiento de la fuente de señal, a menos que el sexto dispositivo biestado (BSD1) esté en su condición de activado.

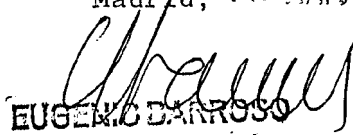
15 19.- Un conjunto de control, según el punto 16, caracterizado porque el quinto dispositivo biestado (BSD6) también proporciona dicha cuarta señal de control (BS6) cuando se aplica una señal de desconexión al mismo.

20 20.- Un conjunto de control para sincronizar computadores que controlan mallas de conmutación.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de 37 hojas escritas por una sola cara.

Madrid, 12 MAYO 1976


EUGENIO CARRASCO
Secretario General





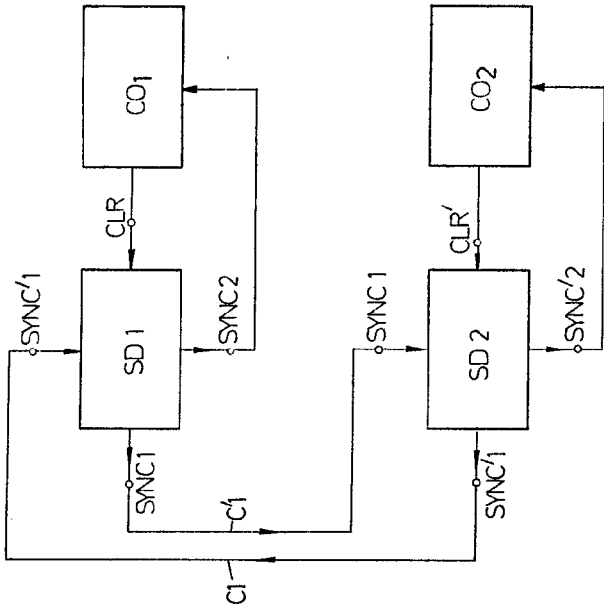


FIG. 1.

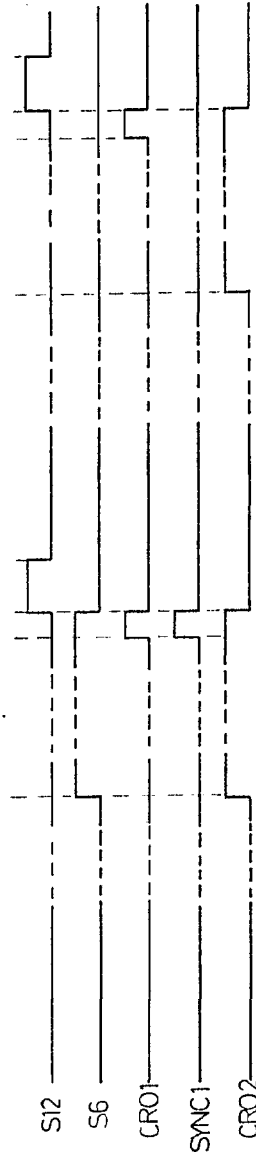


FIG. 4.

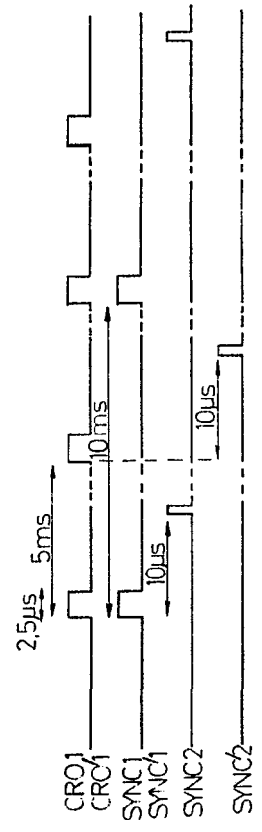


FIG. 5.

5 OCT. 1974



Eugenio Barroso
EUGENIO BARROSO
 Secretario General

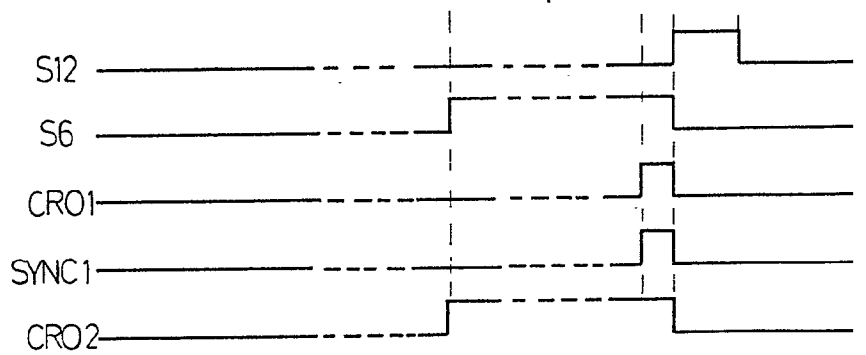
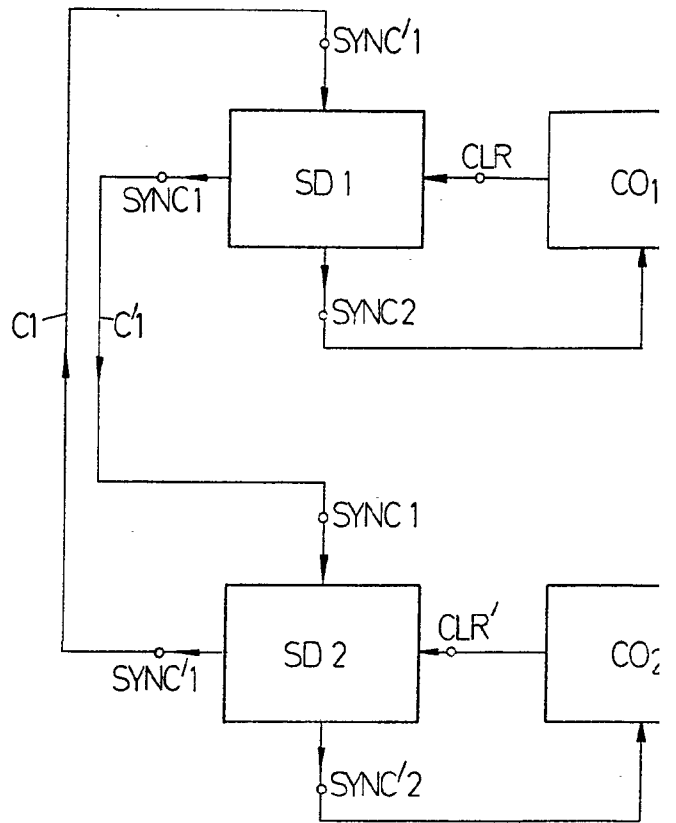
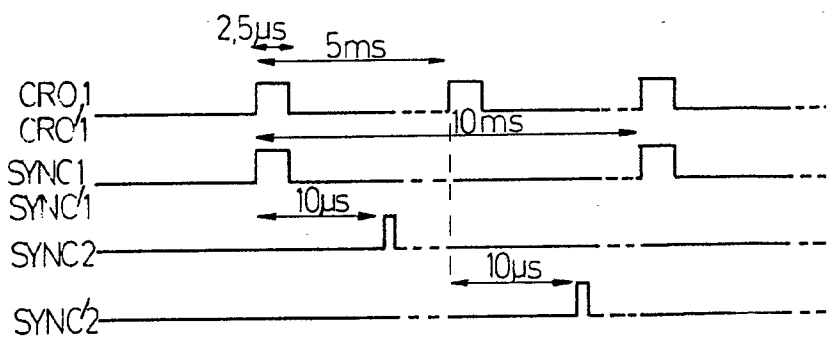


FIG. 4.



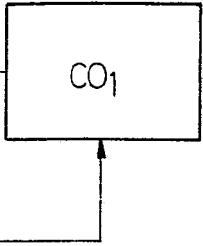
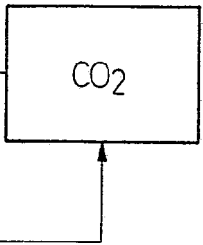


FIG. 1.



5 OCT. 1974

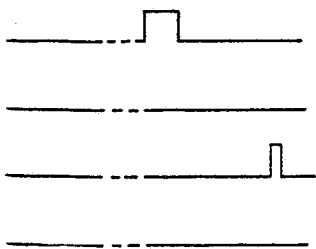
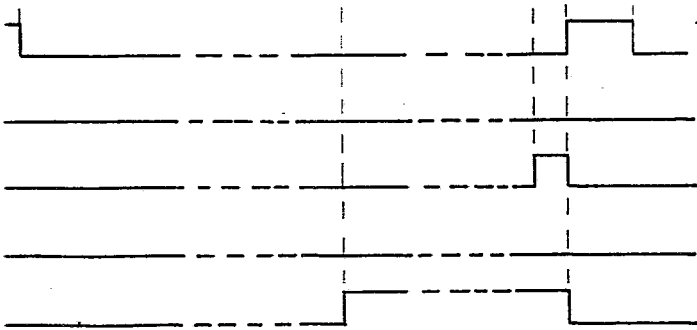
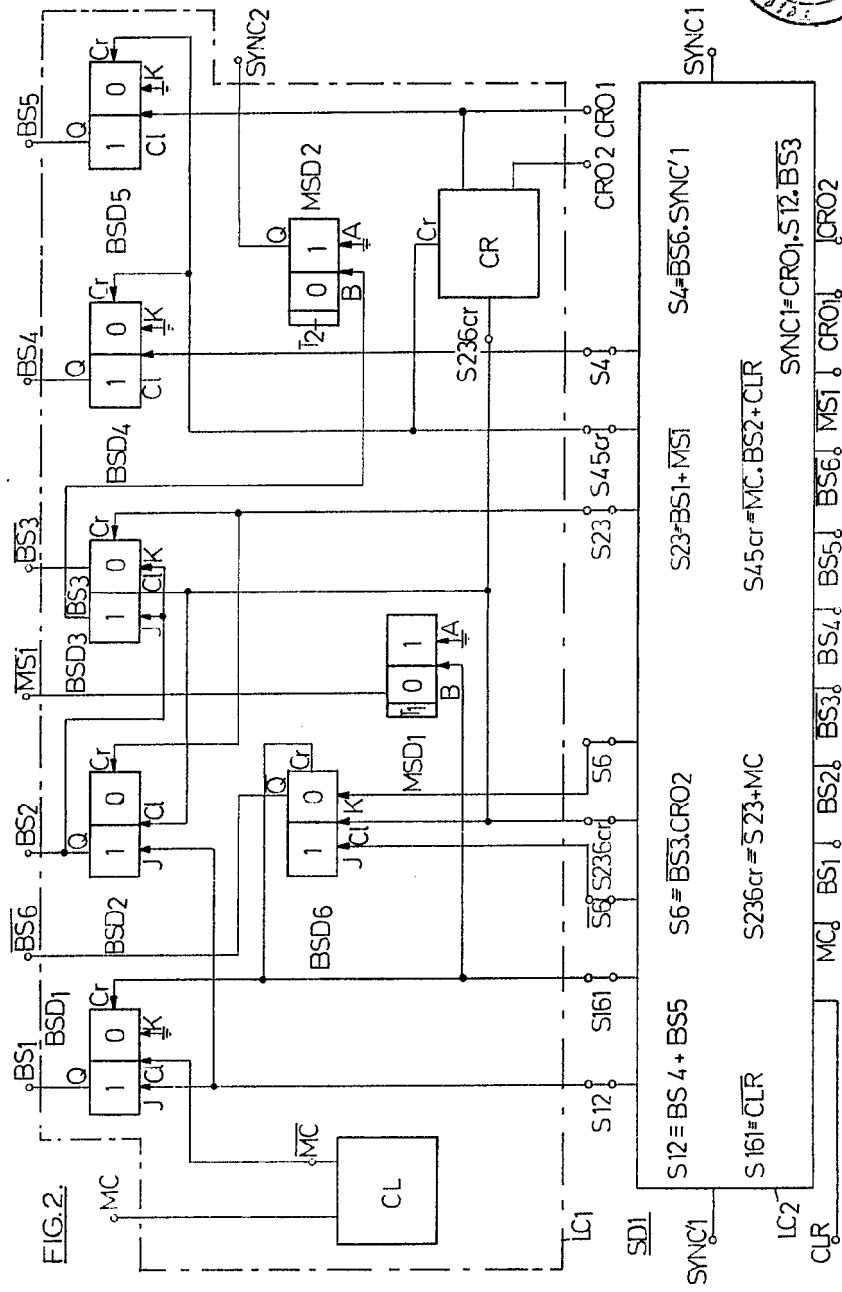


FIG. 5.

Eugenio Barroso
EUGENIO BARROSO
Secretario General

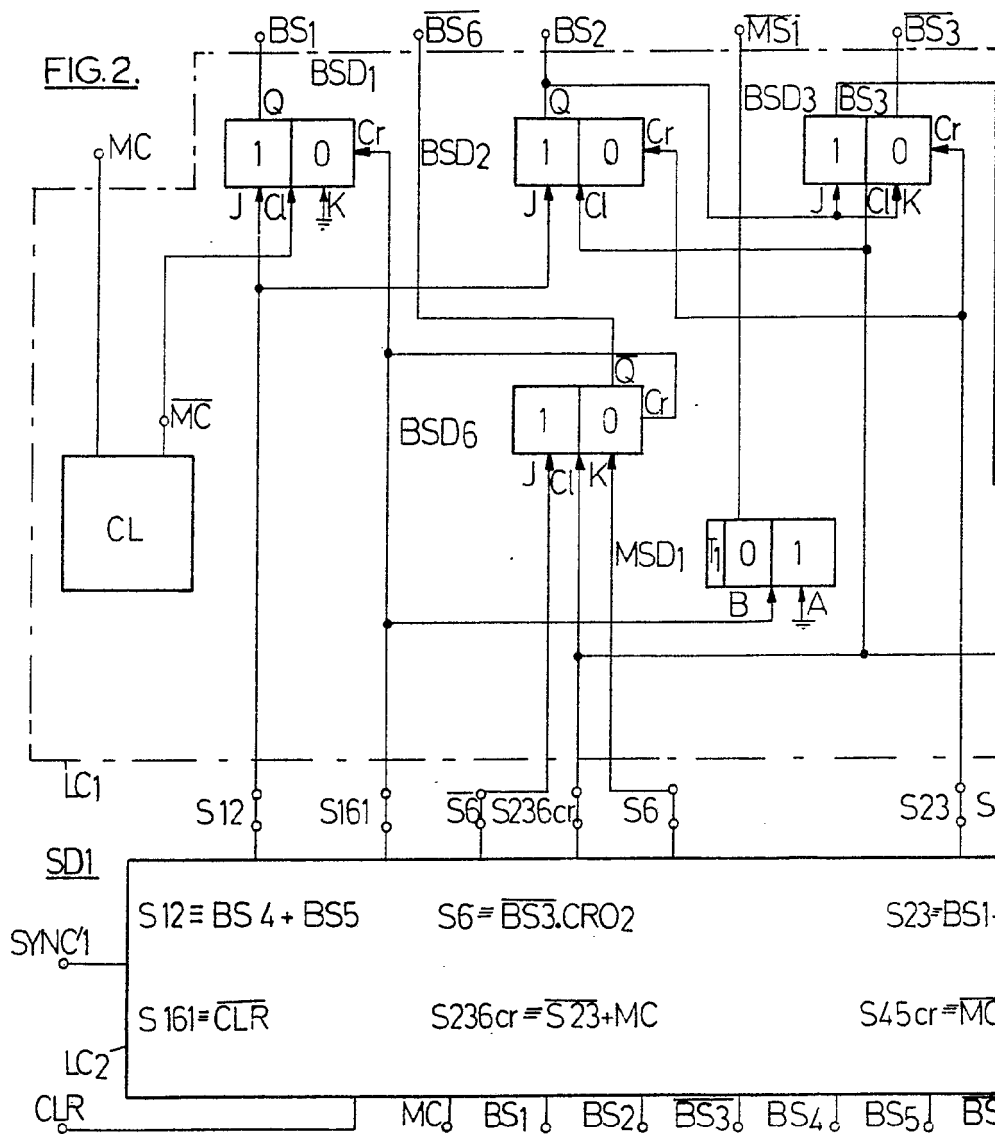


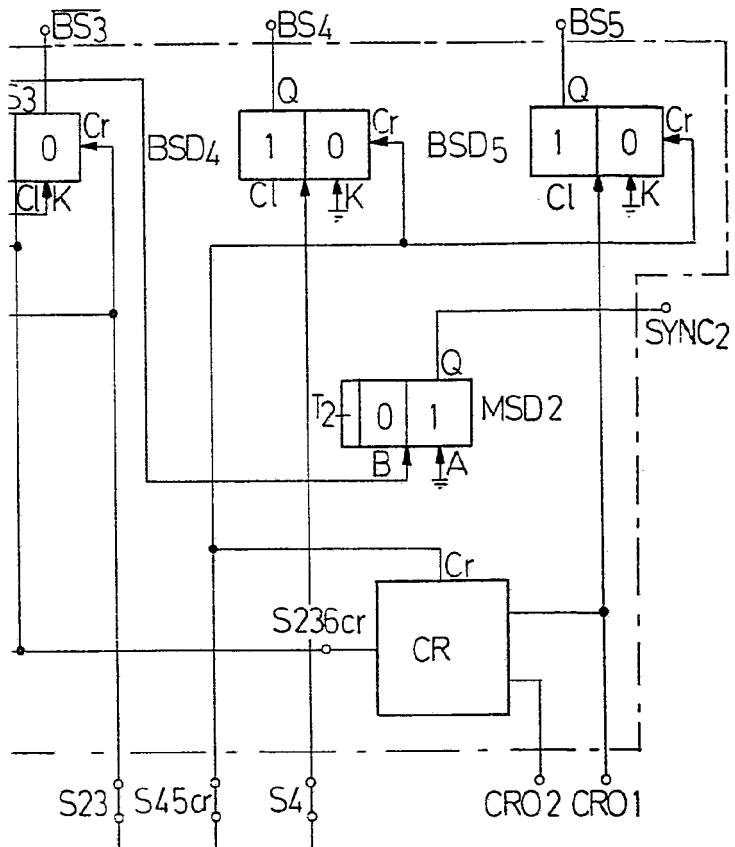
5 OCT. 1974



Eugenio Barroso
EDGENIO BARROSO
 Secretario General

FIG. 2.





5 OCT. 1974

$$S23 = BS1 + MS1$$

$$S45cr = MC \cdot BS2 + CLR$$

$$S4 = BS6 \cdot SYNC'1$$

$$SYNC1 = CRO1 \cdot S12 \cdot BS3$$

BS5, BS6, MS1, CRO1, CRO2



Eugenio Barroso
EUGENIO BARROSO
 Secretario General

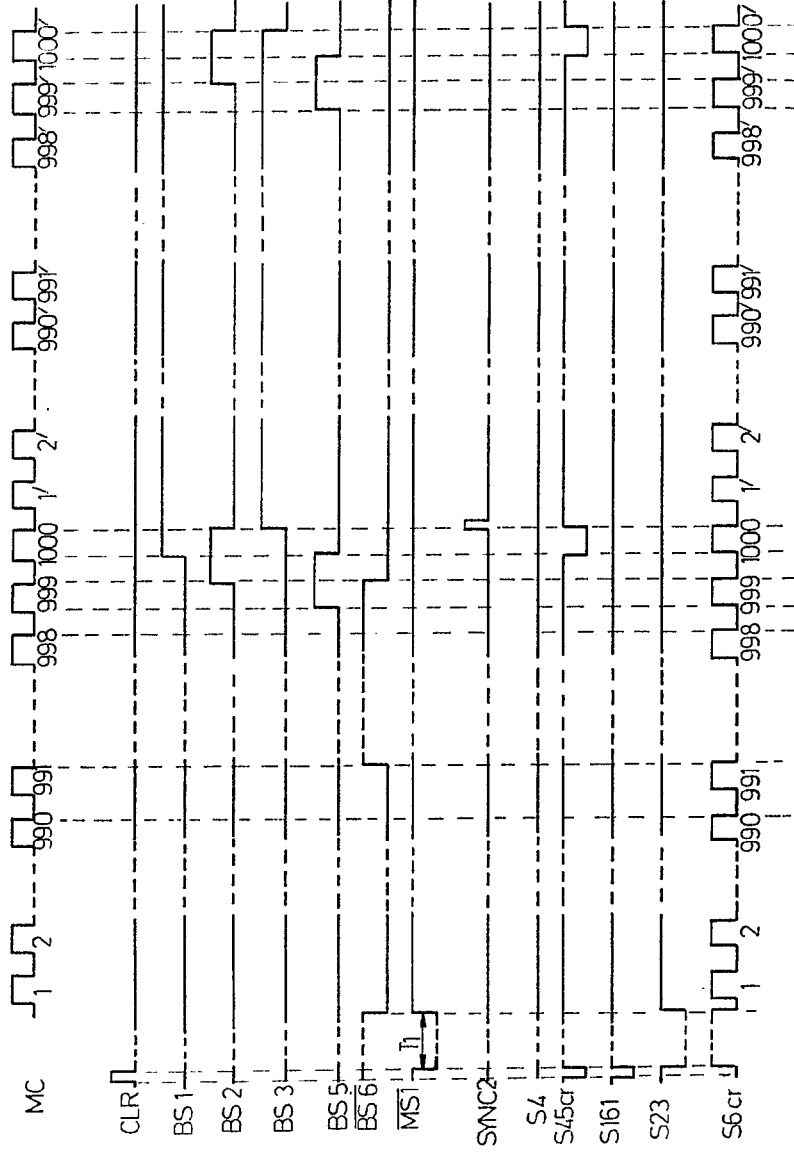
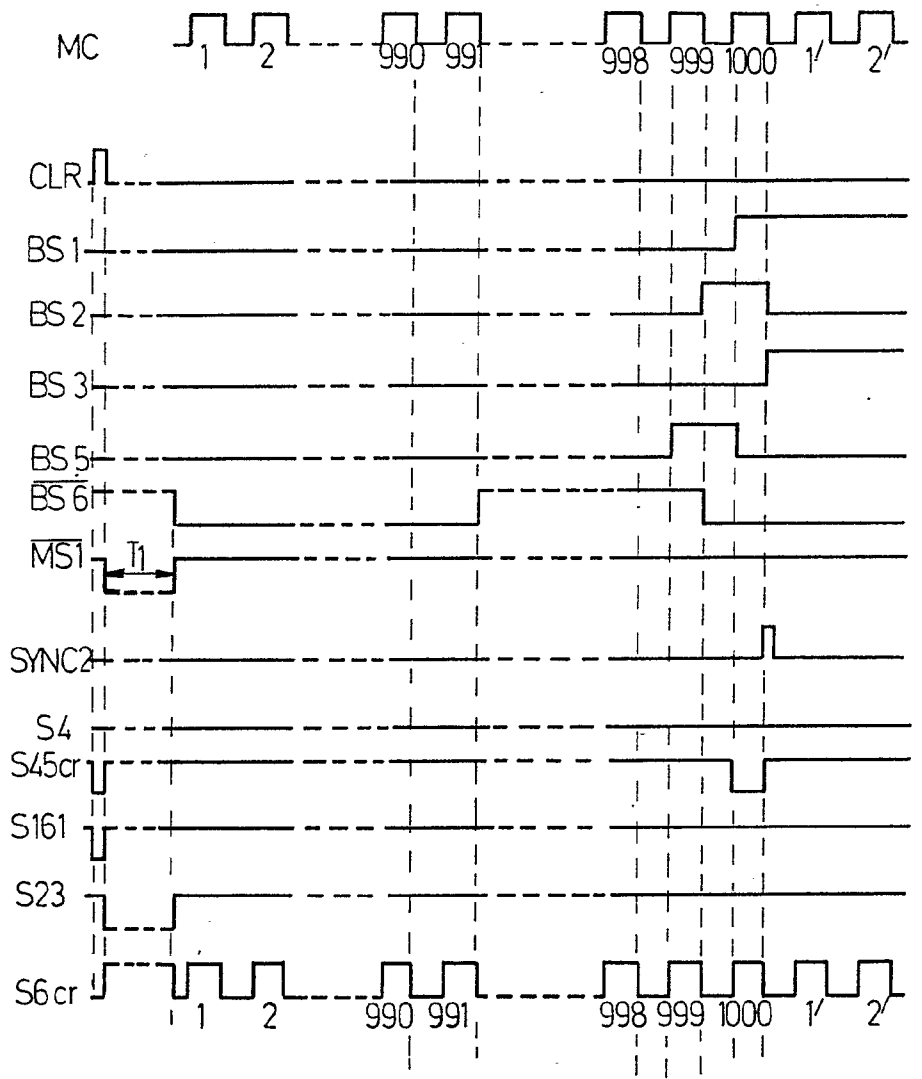


FIG. 3.

5 OCT. 1974



E. Barroso
EDGENIO BARROSO
 Secretario General



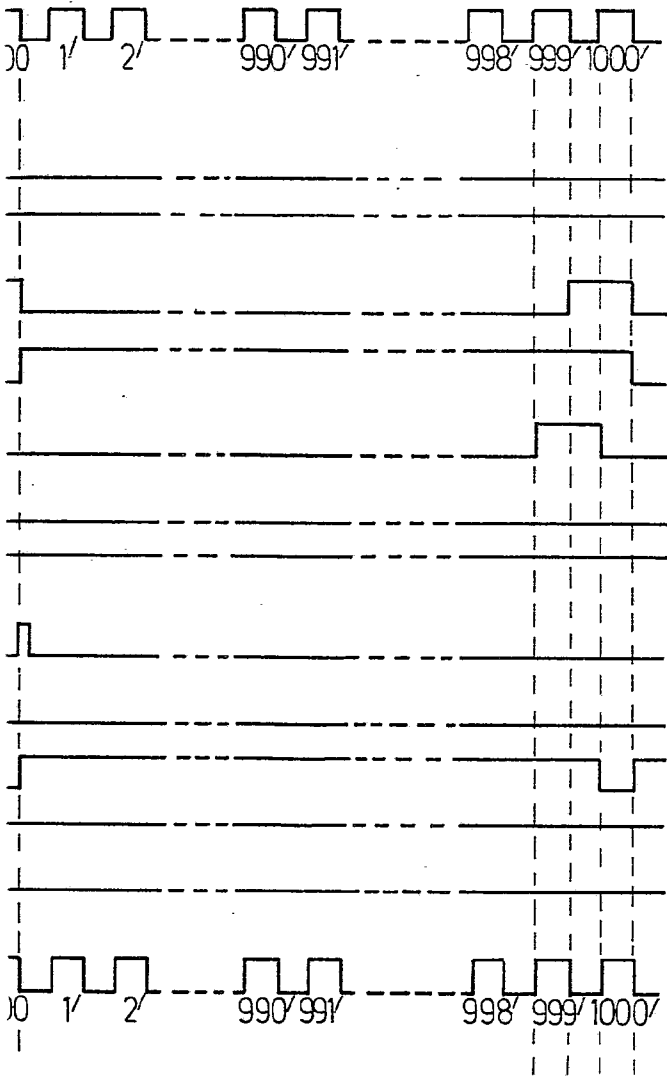


FIG. 3.

5 OCT. 1974



Eugenio Barroso
EUGENIO BARROSO
Secretario General



FIG. 6.

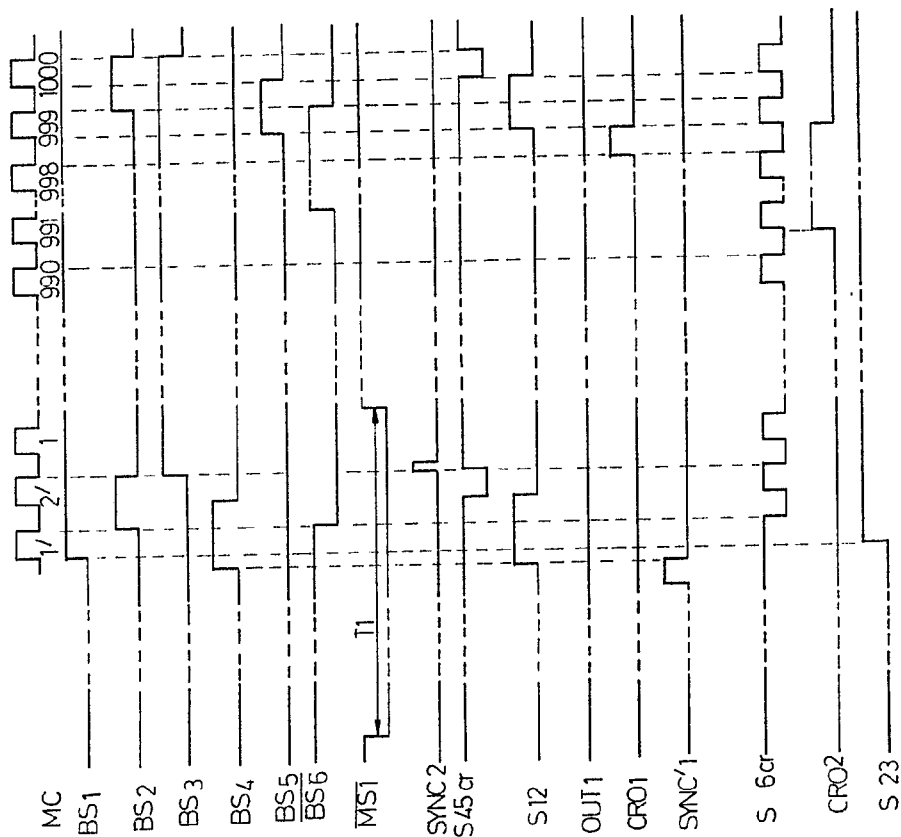
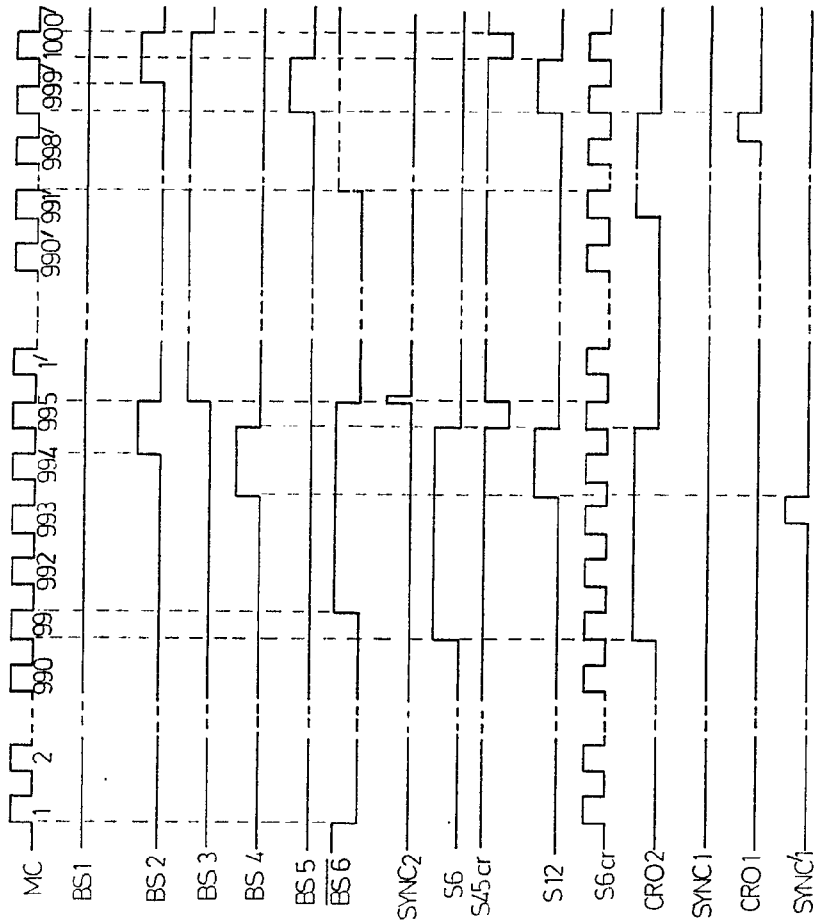


FIG. 7.

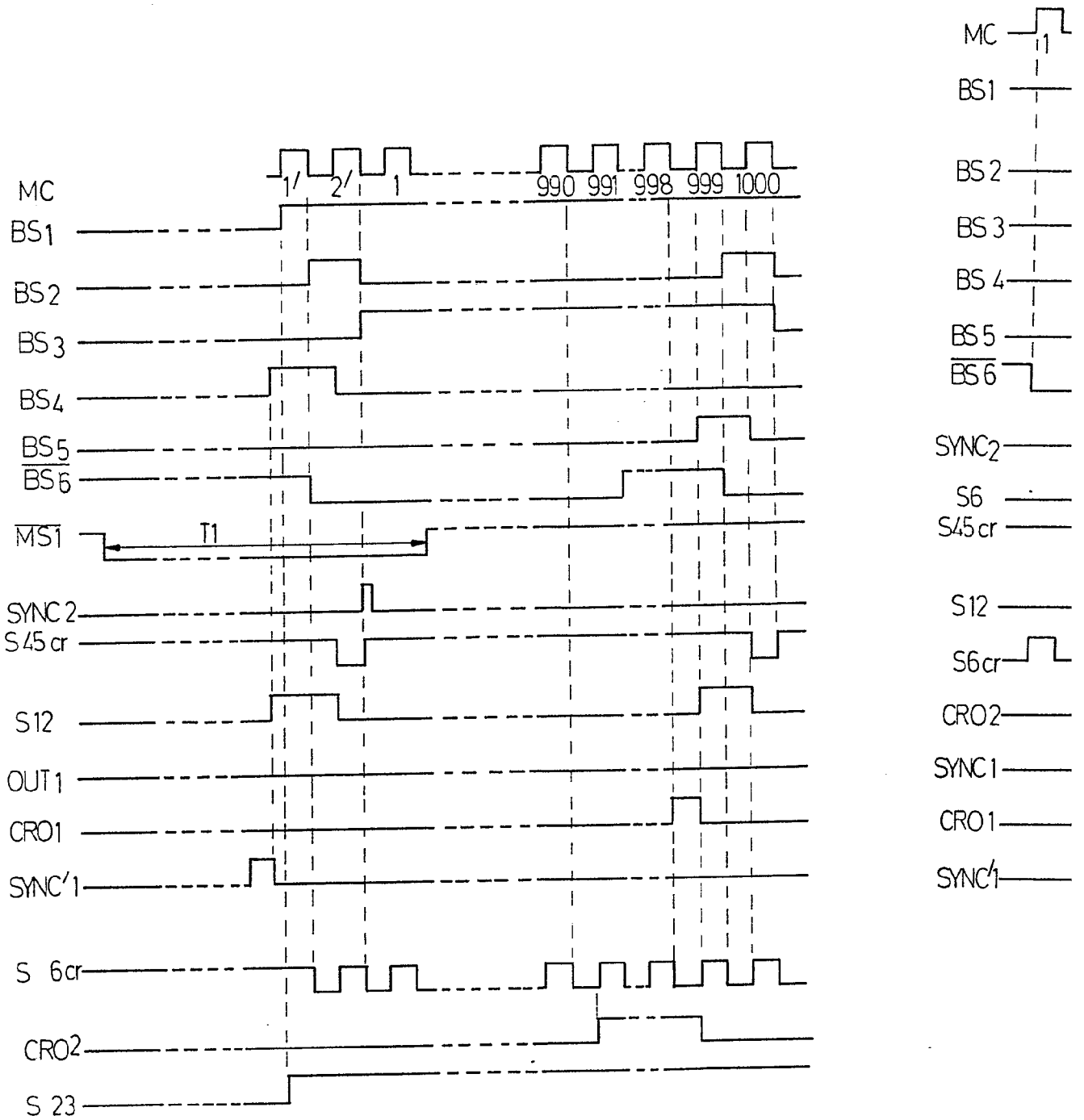


5 OCT. 1974

Eugenio Barroso

EUGENIO BARROSO
Secretario General

FIG. 6.



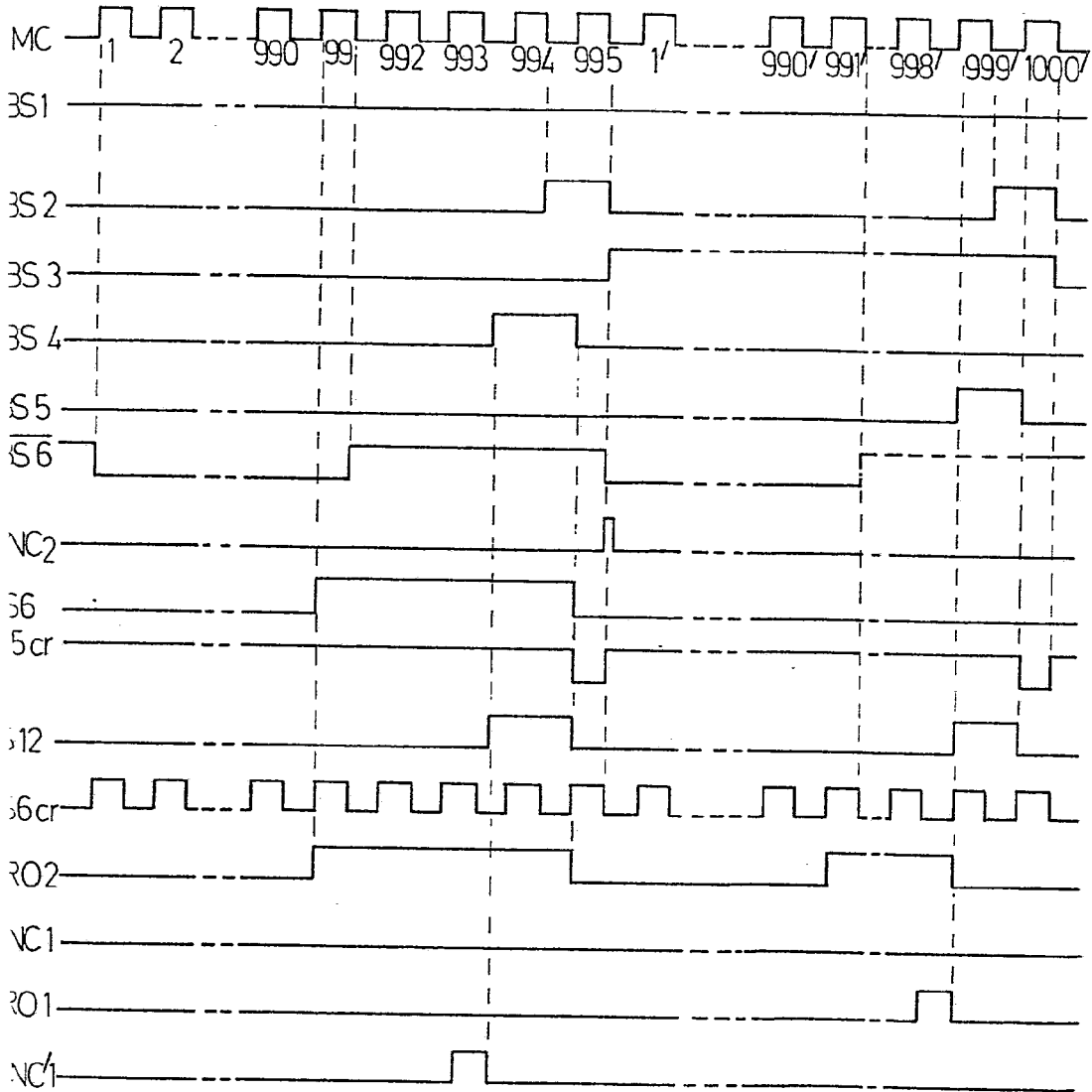


FIG. 7.



5 OCT. 1974

Eugenio Barroso
EUGENIO BARROSO
Secretario General