

11 JUL



FACE - B.R. SOLBERG 252.1

Int. Cl. H03K

428167

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR: "UN SISTEMA DE DETECCION DE FALLOS PARA DISPO-
SITIVOS QUE UTILIZAN CONVERTIDORES DIGITALES PARALELO A SE-
RIE", A NOMBRE DE STANDARD ELECTRICA, S.A., CON DOMICILIO
EN MADRID, CALLE DE RAMIREZ DE PRADO Nº 5.

El presente invento se refiere a un sistema de detección de fallos para dispositivos que utilizan convertidores digitales paralelo a serie.

Pueden utilizarse diferentes métodos para convertir
5 señales digitales paralelo en señales serie. En las Figs.1(a),
1 (b) y 1 (c) se muestran algunos ejemplos de convertidores
paralelo-a-serie.

La Fig. 1 (a) muestra un dispositivo muy sencillo,
que requiere que las señales de entrada $S_1, S_2 \dots S_n$ estén
10 en una relación síncrona e isíncrona con la señal de salida
SU. Por lo tanto, no existe almacenaje.

La Fig. 1 (b) muestra un caso más general en el que

12 JUL



las señales de entrada S_1, S_2, \dots, S_n se almacenan en un almacenaje intermedio 5, 6 y 7 antes de que sean puestas en serie. Las señales de entrada S_1, S_2, \dots, S_n , deben tener una cierta relación en cuanto a fase y frecuencia, pero no tienen que ser isócronas. La Fig. 1 (c) muestra el caso en el que las señales S_1, S_2, \dots, S_n se ponen en serie por medio de un registro de conversión de n etapas.

La Fig. 2 muestra un ejemplo de posibles formas de onda que tienen lugar cuando una o más señales de entrada tienen un valor constante igual al lógico "0" ó "1". La Fig. 2 muestra, más específicamente, el caso cuando el canal número "2" tiene el valor lógico "0". Resultados similares ocurren en la mayoría de los casos cuando tiene lugar un fallo de un dispositivo asociado a uno de los "n" canales. El multicircuito que interviene en la serialización puede producir formas de onda similares a la salida, si ocurriera un fallo en cualquiera de estos dispositivos (por ejemplo, las puertas-AND 1, 2, 3, en el ejemplo de la Fig. 1 (a), los flip-flops 5, 6, 7 y las puertas-AND 8, 9, 10 mostradas en la Fig. 1 (b), las etapas 12, 13, 14 y 15 del registro de conversión mostrado en la Fig. 1 (c).

Más concretamente, teniendo en cuenta que la mayoría de los fallos (modos anormales) son de tal naturaleza que simulan un lógico constante "0" ó "1" a la salida del circuito respectivo, el resultado más probable de un fallo en un elemento circuito será que una o más de las "n" posiciones de la señal de salida permanecerá en un lógico fijo "0" ó "1".

Un modo de detectar los fallos que tienen lugar en las señales de entrada o en el multicircuito necesario para la serialización, es la existencia de un detector para detectar las

señales transitorias a la salida del último elemento de circui
 to asociado con cada señal de entrada. Este método es factible
 cuando se conocen las características de la señal de entrada.
 El método implica un multicircuito apropiado asociado con cada
 5 señal de entrada, lo que hace al sistema antieconómico y no
 fiable, especialmente cuando el número de señales de salida
 ("n") es alto.

Otra aproximación es detectar las periodicidades de
 los estados lógicos "0" ó "1", que tienen lugar en las señales
 10 de salida, cuando un circuito tiene un fallo. Esto puede hacer
 se filtrando apropiadamente las señales serializadas. Ya que
 una falta en cualquier canal dará una periodicidad de la señal
 de salida con una frecuencia fundamental de f_0/n , donde f_0 es
 la cadencia de dígito de la frecuencia de salida y "n" es el
 15 número de las señales de entrada, un filtro con una frecuencia
 central de f_0/n y una anchura de banda apropiada, es capaz de
 detectar tales periodicidades. Un tal sistema se describe en
 la solicitud de Patente No. 23704-A/73, presentada el 4 de Ma-
 yo de 1973 (caso Face-C.G. Fantozzi 250-2). La desventaja de
 20 tal sistema está en que su construcción práctica requeriría
 mucho circuito analógico, alguna parte del cual puede ser crí-
 tico.

El presente invento se refiere a un nuevo sistema
 para detectar condiciones anormales en los convertidores pa-
 25 ralelo-a-serie.

El invento puede emplearse en los siguientes casos:

- dispositivos de serialización síncronos;
- dispositivos de serialización asíncronos;
- dispositivos de sincronización de los denominados de relleno

30 de impulso;

11 JUL 1970
4.



- dispositivos de de-sincronización de los denominados de relleno de impulso;
- dispositivos anti-inestabilidad (antijetting) (para eliminar variaciones de fase);
- 5 - dispositivos de multiplexión;
- cualquier dispositivo que utiliza convertidores paralelo-a-serie.

Describiremos el invento refiriéndonos a las Figs. 3, 4 y 5, en las cuales:

- 10 - la Fig. 3 ilustra, mediante un diagrama bloque, el principio sobre el que se basa el invento
- la Fig. 4 ilustra, mediante formas de onda, el principio sobre el que se basa el invento
- la Fig. 5 ilustra una configuración particular del invento.

15 Nos referiremos ahora a la Fig. 3. La existencia de modos (anormales), del tipo mencionado anteriormente, hace que la señal de salida contenga periodicidades con período n/f_0 , donde f_0 es la cadencia de dígito a la salida del convertidor paralelo-a-serie, y n es el número de señales de entrada, que es
20 igual al número de canales y al número de almacenajes intermedios empleados en la operación de conversión. Un tal modo se detecta como sigue.

La señal de salida del convertidor alimenta a un dispositivo de almacenamiento 17, (por ejemplo un flip-flop), en donde se lee la información en los momentos determinados por las
25 señales de reloj K. Estas señales nominalmente leen cada información en n/f_0 segundos (o generalmente, $X \frac{n}{f_0}$, donde X es un entero). Después de haber leído N bits a esta cadencia, el intervalo de tiempo entre dos impulsos cambia a $\frac{n+k}{f_0}$, donde
30 k es un entero apropiado, positivo o negativo.



El intervalo de tiempo entre los N impulsos siguientes es nuevamente $-\frac{n}{f_0}$ -segundos. La generación de la señal de reloj K, que tiene las propiedades anteriores, tiene lugar en 18, que tiene como señales de entrada I, que pueden ser simplemente se
5 ñales de reloj a la cadencia f_0 , e I que es un diagrama de impulso que determina la violación de cadencia (esto es, cuando la señal de reloj K está rompiendo su cadencia nominal). Las violaciones pueden o no ocurrir periódicamente.

El efecto de estas formas de señales de reloj K es que
10 las señales L a la salida del dispositivo de almacenaje 17, durante el tiempo T, serán réplicas de las señales equivalentes justo antes de la serialización en uno de los n canales, donde T es la cadencia de violación. La salida será una répli
ca de un nuevo canal cada vez que haya ocurrido una violación.
15 Si uno de los canales, o una de las señales de entrada falla, se notará por un lógico continuo "0" ó "1", que dura T segundos, a la salida de 17. Esta señal será repetitiva durante un período de nT (suponiendo que la violación tiene lugar periódicamente).

20 19 es un detector que detecta la presencia de un lógico "0" ó "1" que dura más de un cierto valor de umbral.

En la Fig. 4 se muestran, como un ejemplo, las formas de onda hipotéticas. En la Fig. 4(a) se muestra la cadencia de reloj f_0 . En 4(b) muestra el instante de K en que la violación
25 hace que el período entre los dos impulsos de violación es más largo que el período nominal, y la Fig. 4(d) muestra los instantes de reloj correspondientes cuando el período entre los dos impulsos de violación es más corto que el período nominal. La Fig. 4 (e) muestra una posible salida de 17. Entre t_1 y t_2
30 las señales son replicas de una de las n señales de entrada,

21 JUL
6.



digamos Si. Supongamos que el instante de reloj es $4(c)$. En t_2 existe una violación, y entre t_2 y t_3 las señales a la salida son réplicas de las señales equivalentes en el canal $i+1$. Si la entrada S_{i+1} es constante, o uno de los circuitos en este canal falla, la salida será constante entre t_2 y t_3 . Esto viene ilustrado como un lógico "1" en la Fig. 4(e). En t_3 la salida empezará a ser réplicas de las señales en el canal $i+2$, que, en nuestro ejemplo, suponemos que funciona correctamente.

Una condición obvia para el sistema es que el tiempo T se toma tan largo como sea necesario para que la probabilidad de tener las señales $S_1, S_2 \dots S_n$ a un nivel lógico constante, durante el período, sea suficientemente pequeña.

Refiriéndonos ahora a la Fig. 5, en ella se ilustra una configuración particular del presente invento, que ha sido descrito anteriormente con caracter general. Dicha configuración se aplica a un dispositivo de reducción de jitter (inestabilidad) que comprende el divisor de frecuencia 20, los flip-flops 21-27, el divisor de frecuencia 25, las puertas-AND 26-29 y la puerta OR 30. La señal de entrada y el reloj de escritura relativa a la frecuencia de dígito f_1 se aplican a la entrada de los flip-flops 21-24 y al divisor 20, respectivamente, el último de los cuales genera impulsos que controlan la operación de escritura de las señales en los flip-flops 21-24. La operación de lectura de los flip-flops se realiza por medio de divisores controlados por el reloj de lectura a la frecuencia f_0 . La cadencia de dígito de la señal de salida es f_0 . La puerta-OR 31 se utiliza para añadir al reloj de cadencia f_0 los impulsos de violación cortos a frecuencia $1/T$. La salida de la puerta 31 se usa para temporizar el contador 32 que divide por 4. Las salidas de 32 se usa para temporizar la información en el flip-flop 33.

19 JUL 7.



El condensador 34 y la resistencia 35 forman un circuito diferenciador que suministra impulsos positivos cortos a la entrada de la puerta-OR 36 cuando la salida de 26 pasa de bajo a alto nivel. El impulso de violación corto se aplica a la otra entrada de 36, asegurando que la salida contendrá, por lo menos, un impulso cada T segundos, aunque exista un nivel lógico permanente a la salida del flip-flop 35. La salida de la puerta-OR 36 se usa para disparar el multivibrador monoestable 37. La constante de tiempo de éste se elige lo suficientemente grande para que el multivibrador siempre se redispere antes de que vuelva a su estado de reposo cuando el circuito está en su operación normal. La constante de tiempo es menor que T, de tal manera que cuando tiene lugar un modo anormal del tipo mencionado anteriormente, volverá a su estado de reposo. En funcionamiento normal, la salida del multivibrador 37 es una tensión baja permanente, pero para el modo anormal, la salida consistirá de impulsos positivos con período 4T, 2T ó T. Estos impulsos se utilizan para disparar otro multivibrador monoestable 38, que tiene una constante de tiempo mayor que 4T. Si el sistema está funcionando en su modo normal 38, permanecerá sin disparar y la salida será el lógico "0".

Cuando ocurre un modo anormal estará siempre disparado y aparecerá un lógico permanente "1". Esto se toma como señal de alarma.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo, y no debe considerarse como limitación de su alcance.

Este invento corresponde a una solicitud de Patente formulada en Italia el día 11 de Julio de 1973, señalada con el No. 26438-A/73 y se acoge, por lo tanto, a los beneficios que



otorgan los convenios internacionales vigentes.

----- NOTA -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de la presente patente de veinte años, son:

5 1.- Un sistema de detección de fallos para dispositivos que utilizan convertidores digitales paralelo-a-serie, caracterizado porque un dispositivo de almacenaje digital 17 está conectado a la salida del convertidor paralelo-a-serie, a fin de detectar fallos del mismo por fallo de un componente del sistema, un lógico de nivel constante, por un período mayor que un
10 cierto umbral de tiempo aparece repetidamente a la salida de dicho dispositivo de almacenaje.

 2.- Un sistema, según el punto 1, caracterizado porque dicho dispositivo de almacenaje está temporizado con impulsos que tienen un período nominal de $X.n/f_0$, en donde n es el número de canales de entrada paralelo, f_0 es la cadencia de dígito de los datos serializados y X es cualquier entero positivo; el período de tiempo entre dos impulsos sucesivos se cambia instantáneamente a $Xn/f_0 + k/f_0$, donde k es un número positivo
15 o negativo. El tiempo entre dichos cambios puede ser periódico o no-periódico, mientras que el tiempo entre dichos cambios sea mayor que un cierto valor mínimo.

 3.- Un sistema, según los puntos 1 y 2, caracterizado porque dichas condiciones anormales en uno o más de los canales paralelos de los convertidores paralelo-a-serie, hacen que la salida de dicho almacenaje permanezca a un nivel lógico constante durante un tiempo que corresponde al tiempo entre dicho cambio en el período de reloj de dicho almacenaje; dicho nivel lógico constante tiene lugar repetidamente a la salida; estando la cadencia de repetición determinada por el tiempo
25
30

30



real entre dicho cambio en el periodo de reloj del almacenaje.

4.- Un sistema, según los puntos 1, 2 y 3, caracterizado porque dicho nivel lógico dura más que un tiempo de umbral y al tener lugar repetidamente genera una señal de alarma a través del detector 19, que detecta que los niveles lógicos están durando más que un cierto tiempo de umbral.

5.- Un sistema de detección de fallos para dispositivos que utilizan convertidores digitales paralelo a serie.

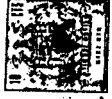
Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta Memoria consta de nueve hojas escritas por una sola cara.

Madrid, 11 JUL. 1974

Eugenio Barroso
EUGENIO BARROSO
Secretario General





2/1

STANDARD ELECTRICA, S.A.

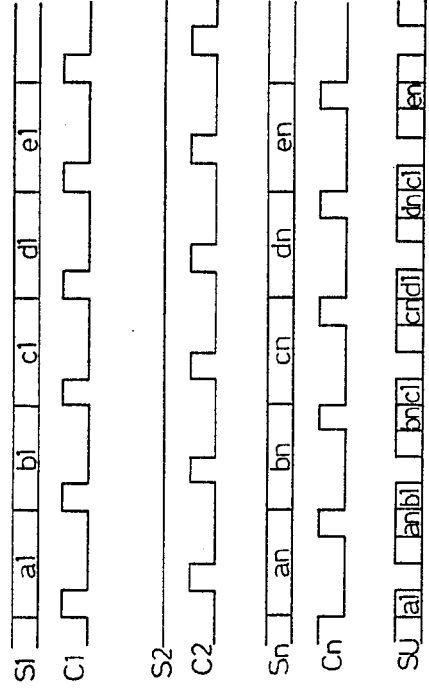


Fig. 2.

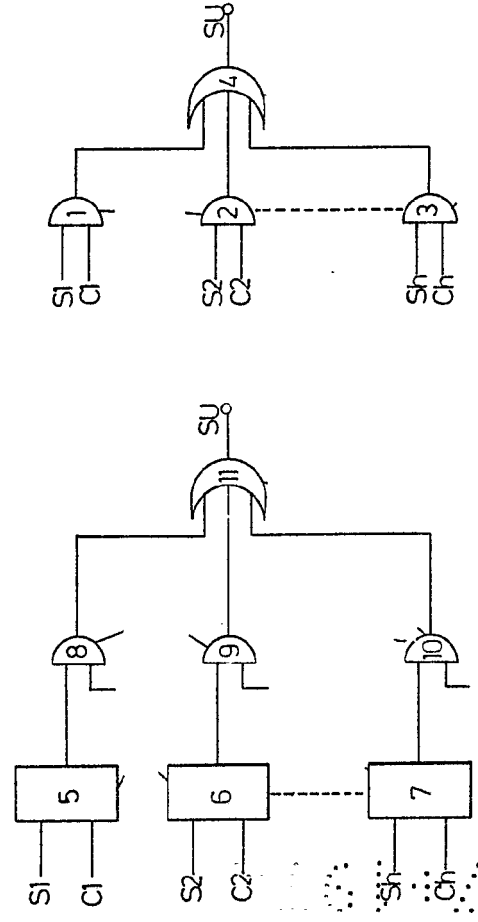


Fig. 1(a).

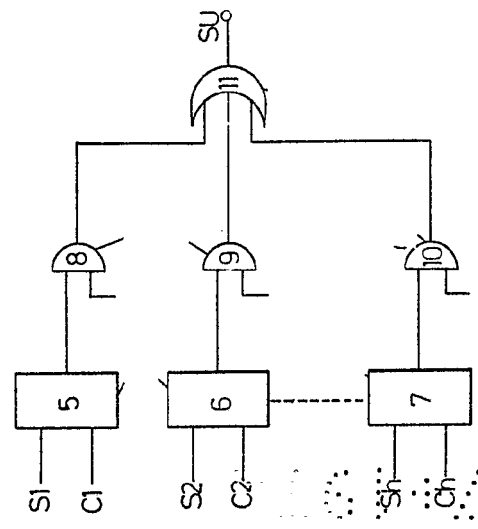


Fig. 1(b).

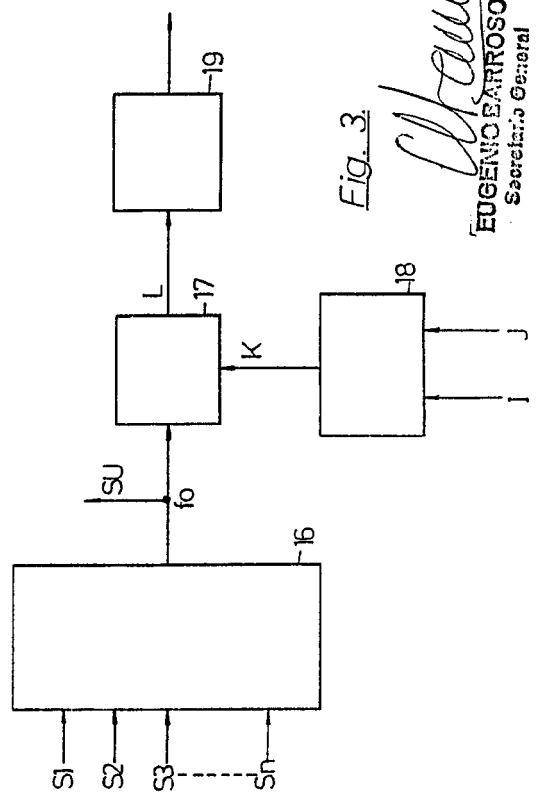


Fig. 3.

15 JUL. 1974

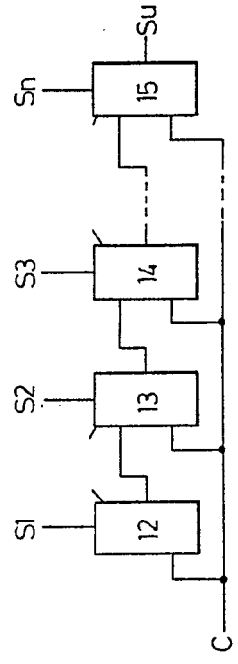


Fig. 1(c).



Eugenio Barroso
 EUGENIO BARROSO
 Secretario General

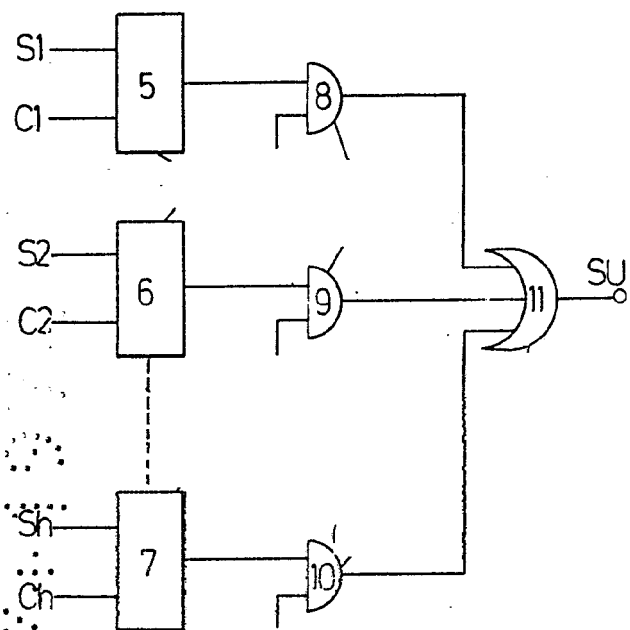


Fig.1(b).

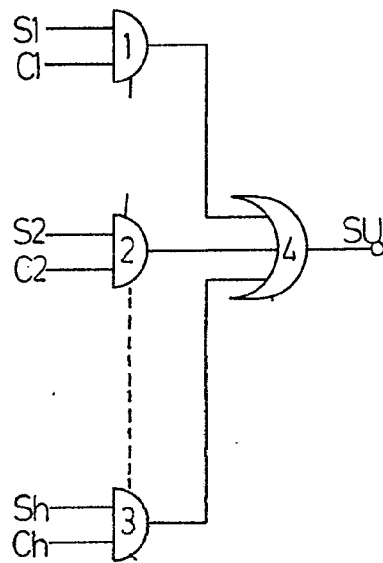


Fig.1(a).

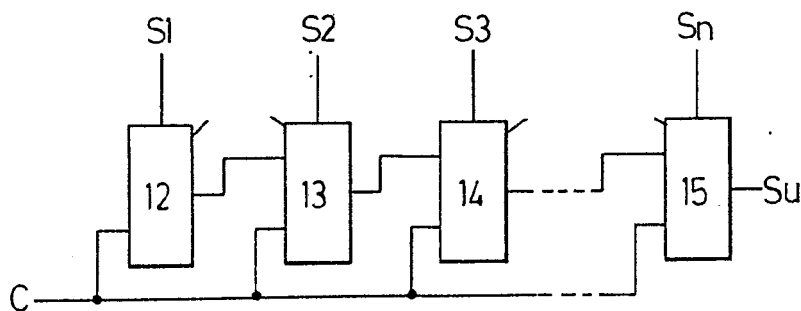
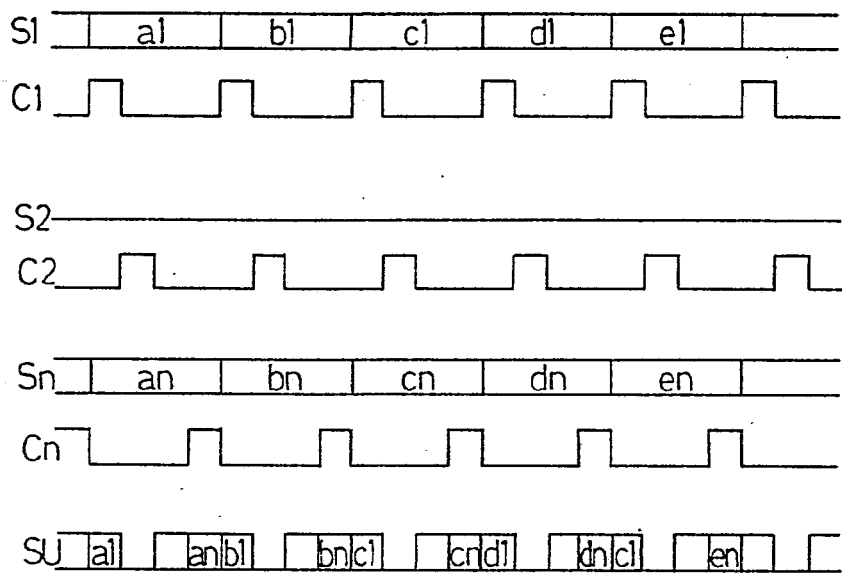
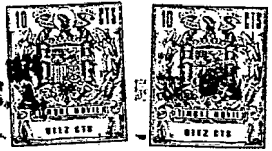


Fig.1(c).





SU

Fig. 2.

15 JUL 1974

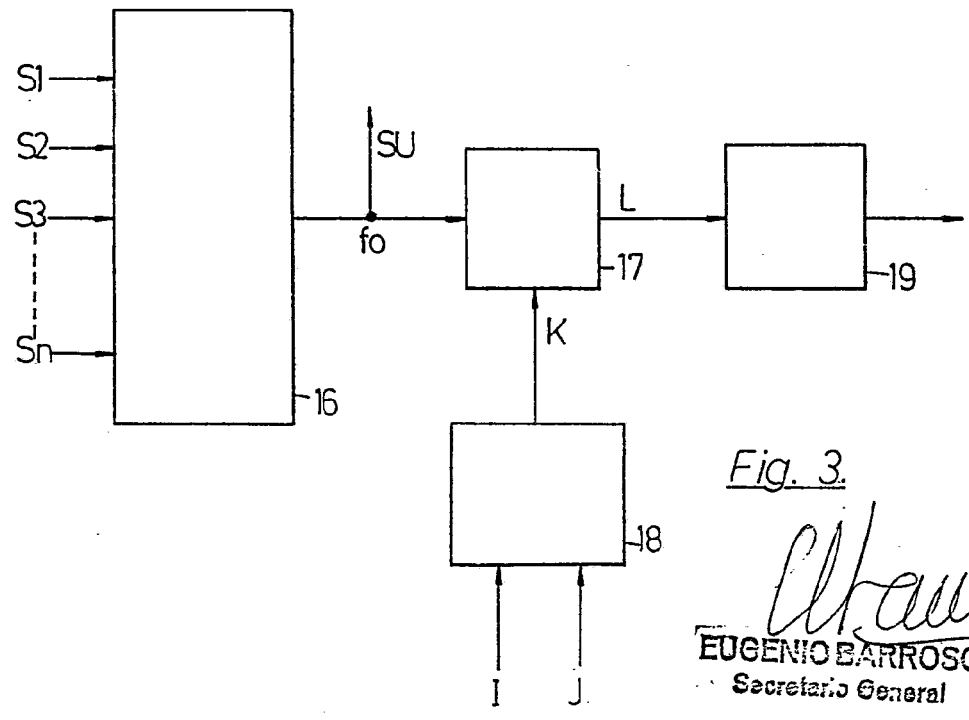


Fig. 3.

Eugenio Barroso
EUGENIO BARROSO
Secretario General

1/2

STANDARD ELECTRONIC

15 JUL 1954

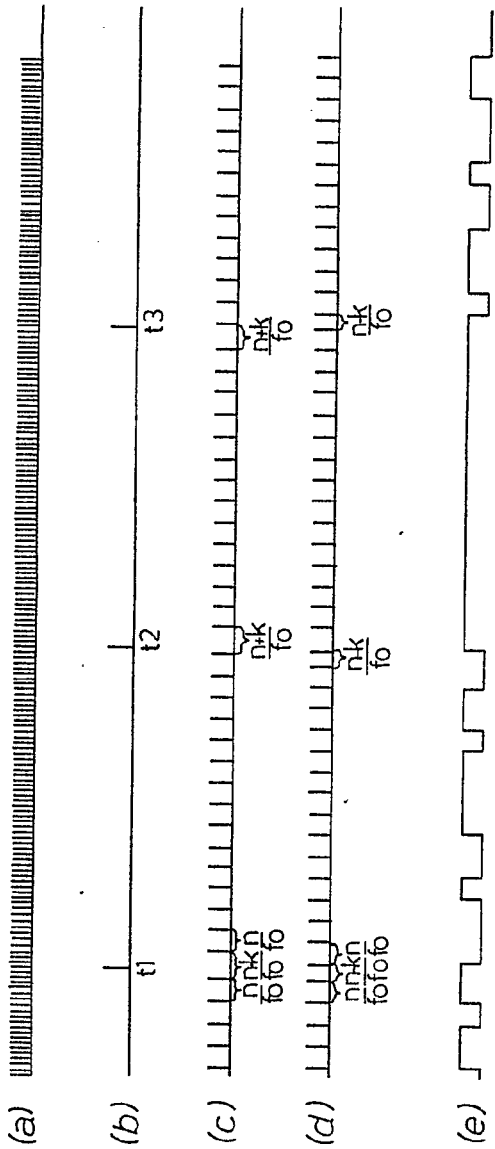
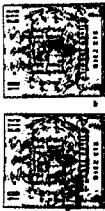


Fig. 4.

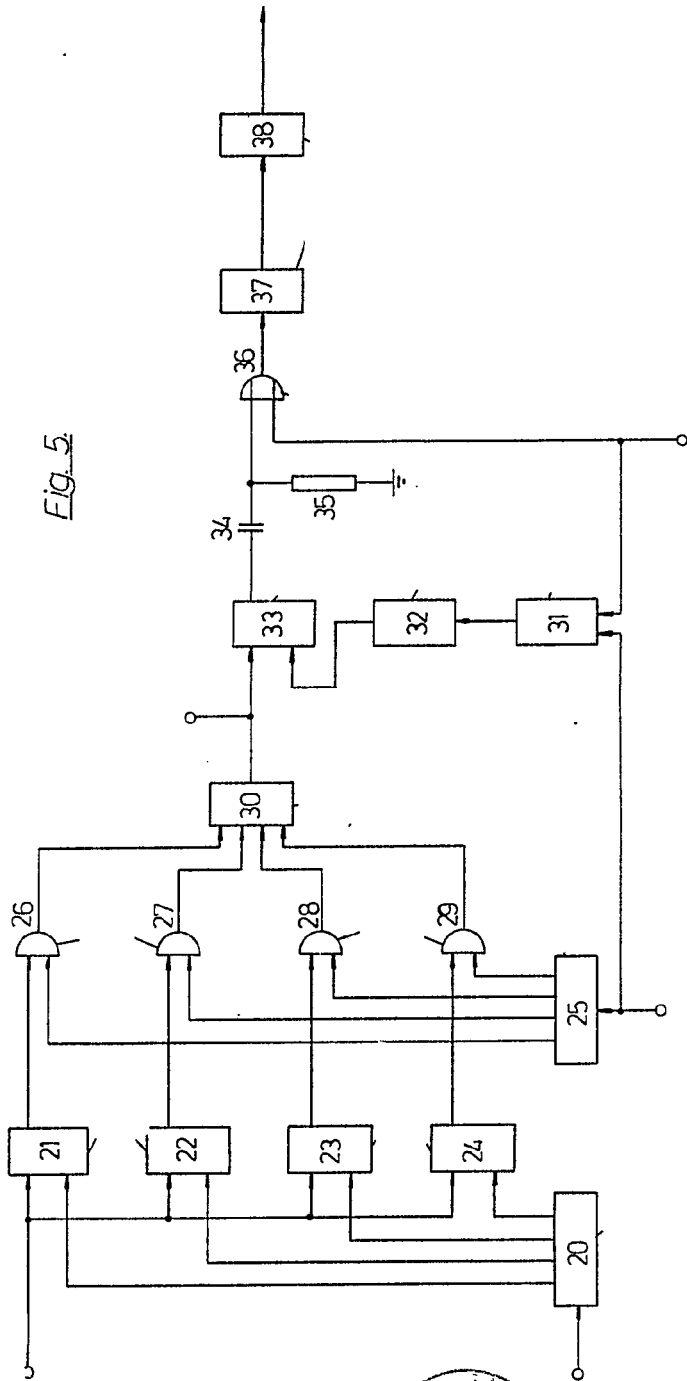


Fig. 5.

15 JUL 1954



Eugenio Barroso
 EUGENIO BARROSO
 Secretario General

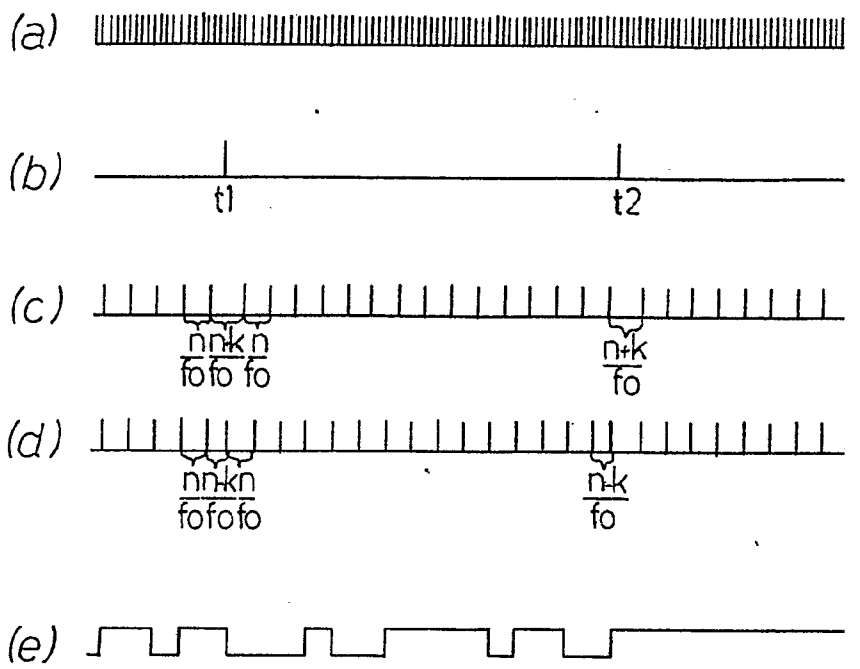
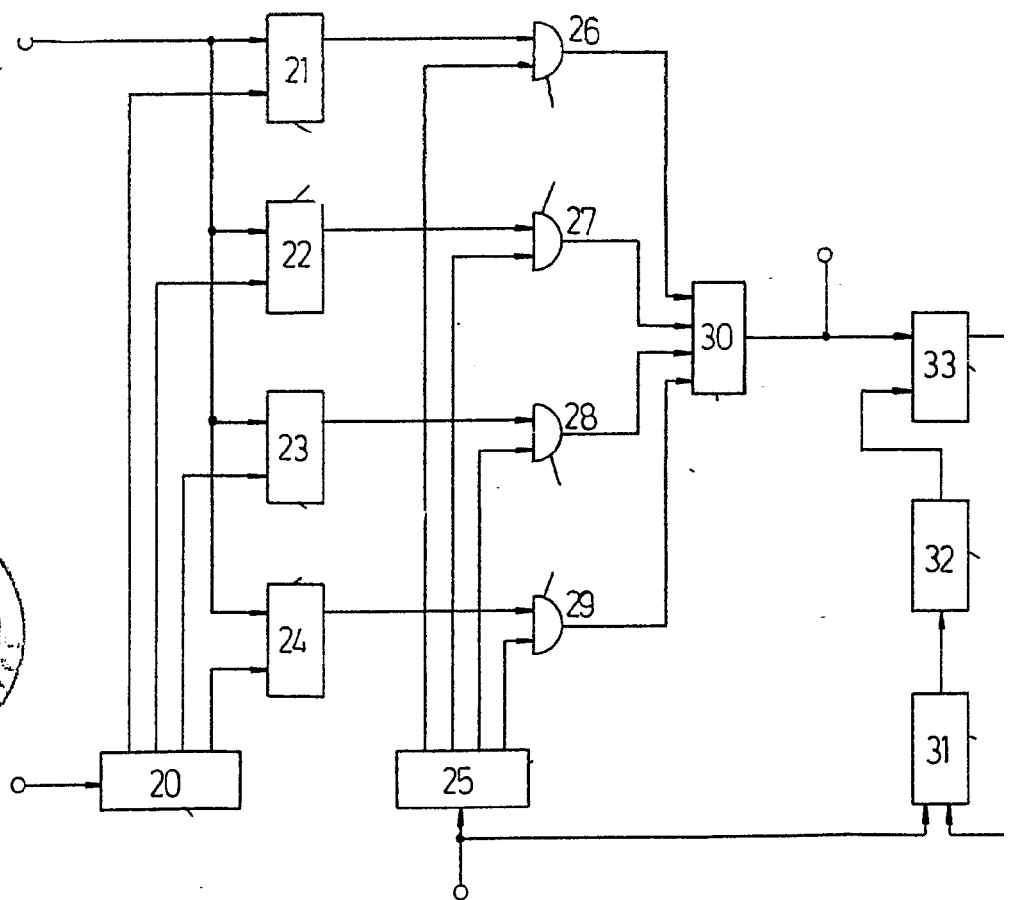


Fig. 4.



2/2

STANDARD ELECTRICAL

15 JUL

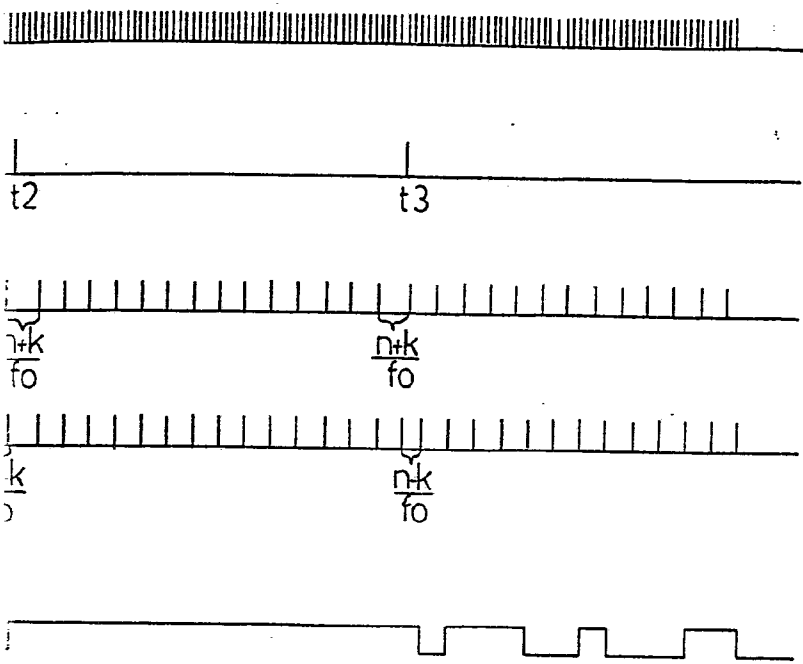
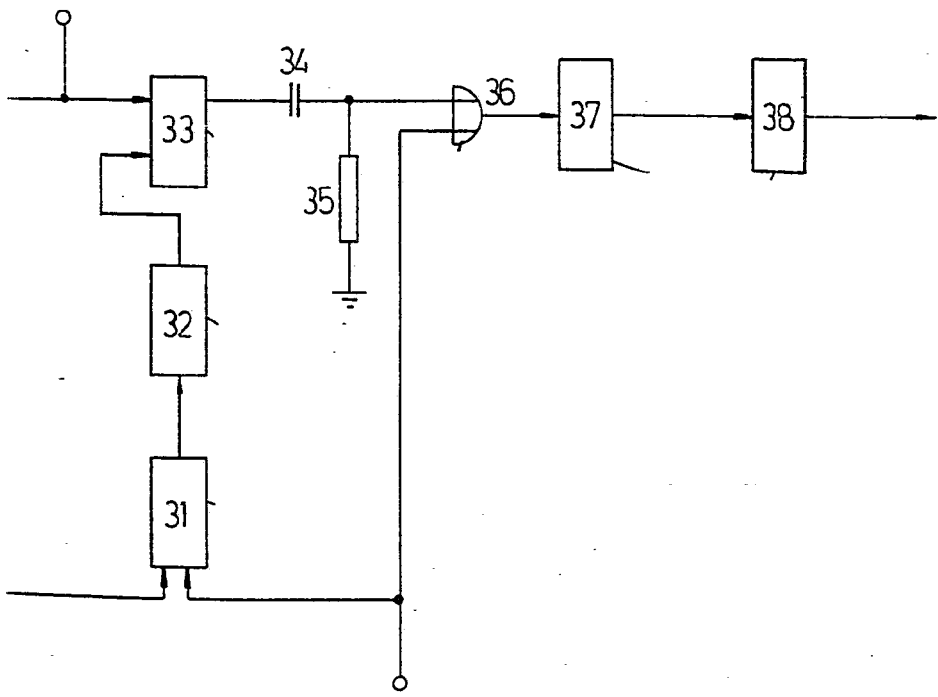


Fig. 4.

Fig. 5.



15 JUL 1974

Eugenio Barroso
EUGENIO BARROSO
Secretario General