

423725 29



J.N.L. KRAIT 4.4.3.2

606 F

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR: "UN DISPOSITIVO DE RECONFIGURACION PARA UN GRU-
PO DE MODULOS DE MEMORIA", A NOMBRE DE STANDARD ELECTRICA,
S.A., CON DOMICILIO EN MADRID, CALLE DE RAMIREZ DE PRADO,
Nº 5.

El presente invento se refiere a un dispositivo de re-
configuración para un grupo de módulos de memoria, en un sis-
tema de varios computadores, actuando libre la dirección y
estado de activación de las entradas de un control de memoria
asociado con un módulo de memoria a ser modificado.

Un sistema de proceso de datos está constituido, en ge-
neral, por una o más unidades de proceso, uno o más módulos
de memoria, a fin de registrar los programas y datos, y cierto
número de unidades periféricas. En general, las unidades cen-
trales están conectadas a los módulos de memoria por medio de
controles de memoria. Los controles de memoria pueden estar
conectados también a los canales, que son unidades especiali-
zadas que hacen posible que tenga lugar el intercambio direc-
to entre los periféricos y los módulos de memoria. Por lo tan



to el control de memoria constituye un adaptador entre el módulo de memoria, por una parte, y las unidades centrales y canales por otra, y comprende tantas entradas como unidades a las que está conectado. Cada control de memoria asociado a un módulo de memoria posee una dirección, y cada entrada de un control de memoria puede o no estar activado según se desee o no que el módulo de memoria esté disponible para la unidad que corresponde a esta entrada. La dirección y estado de activación de las entradas de un control de memoria se establecen, por ejemplo, mediante llaves colocadas en una posición determinada. Es fácilmente comprensible que, en el supuesto de que falle un control de memoria o una unidad a la que está conectada, la manipulación de estas llaves a fin de desactivar una o más entradas del control de memoria, implica una considerable pérdida de tiempo. Además cuando todas las entradas de un control de memoria están desactivados, los datos transmitidos desde cualquier unidad a esta memoria permanecen sin contestación y, con mayor razón, no son aceptados. El resultado será una pérdida de tiempo para la unidad en cuestión; igual al tiempo requerido para enviar sus datos a otro control de memoria disponible.

Un objetivo del invento se refiere, por lo tanto, a un dispositivo que hace posible la reconfiguración de un grupo de módulos de memoria en un sistema de proceso de datos con varios computadores, con una mínima pérdida de tiempo.

Según el presente invento, se trata de un dispositivo para reconfigurar un grupo de módulos de memoria para un sistema que comprende varios computadores conectados a los módulos de memoria a través de los controles de memoria. Dicho dispositivo incluye circuitos de reconfiguración cada uno de ellos



conectado, por una parte, a un control de memoria asociado con un módulo de memoria y, por otra parte, a los computadores del sistema. Caracterizado porque cada circuito de reconfiguración incluye elementos para modificar, bajo una orden desde uno de los computadores, la dirección y estado de las entradas al control de memoria al que está asociado dicho circuito de reconfiguración y, además, elementos para hacer posible que dichos computadores tengan conocimiento de la dirección y estado de activación de las entradas de dichos controles de memoria.

En la descripción que sigue se describirá con más detalle el invento, en unión de los dibujos que se acompañan, en los cuales:

- la Fig. 1 es un diagrama simplificado de un sistema de proceso de datos con dos computadores, sus módulos de memoria y los dispositivos asociados con estos módulos;
- la Fig. 2 representa un diagrama de un dispositivo de reconfiguración según el presente invento.

A lo largo de la siguiente descripción, solamente consideraremos el caso de un sistema con dos computadores, cada uno de los cuales puede modificar la dirección y estado de activación de las entradas al control de memoria, sin que esto sea una limitación del alcance del invento.

El diagrama representado en la Fig. 1 define las interconexiones, por una parte, entre los computadores y, por otra parte, entre los controles de memoria y los circuitos de reconfiguración, según el presente invento.

El sistema de proceso comprende dos computadores 1A y 1B, cada uno conectado a los módulos de memoria 4A, 4B y 4C a través de los controles de memoria 2A, 2B y 2C. Un circuito de reconfiguración 3 (3A, 3B y 3C) conectado él mismo a cada



computador 1 (1A y 1B) está asociado a cada control de memoria
2 (2A, 2B ó 2C). El control de memoria 2C, el módulo de memo-
ria 4C y el circuito de reconfiguración 3C asociado con dicho
control de memoria puede, por ejemplo, ser utilizado solamente
5 en el supuesto de un fallo de un módulo de memoria 4A ó 4B o
los dispositivos asociados con los mismos, a fin de sustituir
al dispositivo averiado. Las conexiones entre los computadores
1 y los controles de memoria 2 o entre los computadores 1 y
los circuitos de reconfiguración 3 son conexiones del tipo
10 bus (múltiples), constituidas, por ejemplo, por n líneas de
dos hilos que hacen posible que el mismo número de dígitos
binarios se transfieran en paralelo como impulsos. El sistema
puede incluir cierto número de unidades periféricas con o sin
acceso al control de memoria, pero no conectadas al circuito
15 de reconfiguración. Estas unidades no están representadas por
razones de simplicidad, dado que no juegan un papel importan-
te en el funcionamiento del dispositivo de reconfiguración
del presente invento.

Cada unidad conectada a los controles de memoria (compu-
20 tadores 1A y 1B, por ejemplo) envía a un control de memoria,
a través del bus, instrucciones características que requieren
bien el almacenamiento de los datos presentes en el bus de
conexión, o la lectura de los datos en el módulo de memoria
asociado con el control de memoria. Estas instrucciones se.
25 transmiten como señales de impulsos que incluyen señales de di-
rección, que hacen posible definir el control de memoria y la
palabra de memoria referidas por la instrucción, señales apro-
piadas para realizar la instrucción y, si es necesario, seña-
les de datos. Una instrucción se acepta solamente si la direc-
30 ción enviada sobre el bus de conexión por una unidad conectada

28
5.



al control de memoria, coincide con la dirección apropiada del control de memoria, y la salida del control de memoria correspondiente a esta unidad está activada. Esta dirección apropiada, así como el estado de activación de las entradas del control de memoria, pueden ser modificadas por el circuito de reconfiguración objeto del presente invento, al recibir una orden de los computadores. El otro computador puede conocer la nueva dirección y estados de activación de las entradas del control de memoria por medio de una instrucción de lectura característica enviada a dicho circuito de reconfiguración.

La Fig. 2 representa un diagrama del circuito de reconfiguración 3A, según el invento, conectado al control de memoria correspondiente 2A, así como a los computadores 1A y 1B del sistema, tal como se describe anteriormente (Fig. 1).

Cada computador que requiere el circuito de reconfiguración 3A, bien para una modificación o para la lectura de la dirección o estado de activación de la entrada del control de memoria 2A envía, por el bus que lo conecta al dispositivo, las señales de dirección (E) AD [AD para el computador 1A y EAD para el computador 1B]. Estas señales (E) AD se emplean con las señales (E) WM como señales de modo de función, una señal de requisición (E) IRQ y señales de datos (E) DI en el caso de modificación de la dirección o estado de activación de las entradas del control de memoria 2A. Las señales de dirección se transmiten al circuito comparador 6 que compara la dirección recibida con la dirección cableada del circuito de reconfiguración suministrada por el circuito 5. El resultado de la comparación se transmite al circuito de prioridad 7, que recibe también las señales (E) IRQ. Si las direcciones recibidas por el circuito comparador 6 son idénticas, el circuito



de prioridad 7 genera la señal SEL ó ESEL según recibe la se-
ñal IRQ ó EIRQ en el caso en que un sólo computador (1A ó 1B)
requiera el circuito de reconfiguración 3A. Si ambos computado-
res 1A y 1B requieren simultáneamente el circuito de reconfi-
5 guración 3A y si es cierta la identidad para las señales de di-
rección AD y EAD respectivamente, el circuito de prioridad 7
genera solamente una señal que corresponde al computador que
tenga prioridad (la señal SEL que corresponde al computador
1A por ejemplo). Esta señal SEL (en el caso en que sea el com-
10 putador 1A el seleccionado) se aplica a los circuitos 8, 9 y
11. El circuito 9 recibe también las señales de modo de fun-
ción WM y ADO que determina si la función requerida es una mo-
dificación o una lectura y si se refiere a la dirección o al
estado de activación de las entradas del control de memoria.
15 Estas señales WM y ADO junto con la señal SEL provocan la ge-
neración de una señal de sincronización CP y registran las se-
ñales de selección, si es requerida una modificación (CPAD pa-
ra una modificación de la dirección del control de memoria y
CPARM para una modificación del estado de activación de las
20 entradas de dicho control de memoria). El circuito de multi-
plexión 11, controlado por las señales SEL y ESEL, multiplexa
los datos transmitidos por el computador 1A (DI), el computa-
dor 1B (EDI) o circuito 12 que incluye un grupo de llaves pre-
situadas y, por ejemplo, hace posible la iniciación de los
25 registros de estado de activación de la entrada y dirección
del control de memoria. Los datos seleccionados por el circui-
to de multiplexión 11 se envían a las puertas "AND" (puertas
Y) P1 a Pn y P'1 a P'o. Las puertas P1 a Pn están controladas
por la señal CPAD generada por el circuito 9 y hace posible
30 que los datos, desde el circuito de multiplexión 11, se regis-



tren en el registro de dirección R1. De la misma manera, la señal CPARM actúa el registro de datos desde el circuito de multiplexión, en el registro de estado R2, a través de las puertas P'1 a P'p.

5 De este modo, los datos transmitidos por el circuito de multiplexión 11 pueden constituir bien una nueva dirección, o nuevos estados de activación para las entradas del control de memoria que deben registrarse, y la señal (E) WM y (E) ADO determina el registro correspondiente determinado por estos da-
10 tos. El circuito 13 envía también al registro de estado R2 la información de estado generada desde las señales no representadas aquí y que pueden ser, por ejemplo, las señales que indican una paridad incorrecta detectada en las señales de dirección (E) AD o las señales de datos (E) DL, señales que in-
15 dican los errores detectados en el control de memoria, etc,...

Si un computador 1 necesita leer el contenido de uno de los registros, las señales (E) ADO ó $\overline{(E) ADO}$ (obtenida por el inversor 10) determina que uno de los registros R1 ó R2, respectivamente, sean conectados al bus que interconecta el dispositivo 3A con los computadores 1, a través de las puertas
20 "AND" Q1 a Qn (en el caso del registro R1) ó Q'1 a Q'n (en el caso del registro R2), las puertas "OR" (puertas O) T1 a Tn, y el circuito selector 14 que define, bajo el control de las señales (E) SEL, el computador (1A ó 1B) indicado por los
25 datos transmitidos.

En los dos casos en los que el contenido de los registros R1 y R2 se modifican o se leen, el circuito de reconfiguración envía al computador 1, que ha requerido esta modificación o esta lectura, una señal de respuesta (E) IARQ y unos códigos
30 de condición (E) CC generados en la señal CP, informando de



esta manera al computador que la instrucción requerida ha sido aceptada y ejecutada. En particular, cuando un computador envía una instrucción de registro o lectura al circuito de reconfiguración ya ocupado por una instrucción desde el segundo
 5 computador, el dispositivo genera los códigos de condición que informan al primer computador que su instrucción no ha sido aceptada y vuelve a dicho computador una señal IARQ validando dichos códigos de condición. El computador debe renovar su requisición hasta que el circuito de reconfiguración este disponible.
 10

Los datos que constituyen la dirección y el estado de activación de las entradas del control de memoria contenidos en el registro de estado y dirección del circuito de reconfiguración, se transmiten al control de memoria 2A.

15 Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo, y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de Patente formulada en Francia el día 29 de Mayo de 1973, señalada
 20 con el Nº 73 19443 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

- - - - - NOTA - - - - -

Los puntos de invención propia y nueva que se presentan para que sean objeto de la presente patente por veinte años
 25 son:

- 1.- Un dispositivo de reconfiguración para un grupo de módulos de memoria, para un sistema que comprende varios computadores conectados a los módulos de memoria a través de los controles de memoria. Al menos un control de memoria y su módulo de memoria asociado están en reserva. Dicho dispositivo
 30

ME



incluye circuitos de reconfiguración cada uno de los cuales
esta conectado, por una parte, a un control de memoria asocia
do con un módulo de memoria y, por otra parte, a los computa
dores del sistema. Caracterizado dicho dispositivo en que cada
5 circuito de reconfiguración incluye elementos para modificar,
a la recepción de una orden desde uno de los computadores, la
dirección y/o el estado de activación de las entradas del con
trol de memoria al que esta asociado dicho circuito de recon
figuración, a fin de hacer posible la reconfiguración del grupo
10 de módulos de memoria con, si fuera necesario, la sustitución
del control de memoria defectuoso y su módulo de memoria, por
un control de memoria y su módulo de memoria de reserva. In
cluye también elementos para hacer posible que los computado
res conozcan la dirección y el estado de activación de las en
15 tradas a dicho control de memoria.

2.- Un dispositivo de reconfiguración, según el punto 1,
caracterizado porque cada circuito de reconfiguración compren
de:

- un circuito comparador de dirección que compara la dirección
20 enviada por uno de los computadores conectados a dicho dispo
sitivo con la dirección propia de dicho circuito de reconfi
guración;
- un circuito de prioridad que, en el caso de requisiciones
simultáneas para dicho circuito de reconfiguración por varios
25 computadores, establece un sistema de prioridad para el tra
tamiento de dichas requisiciones por el circuito de reconfi
guración;
- un circuito de multiplexión que multiplexa, bajo el control
del circuito de prioridad, los datos transmitidos bien por
30 uno de los conmutadores conectados al dispositivo de reconfi-

ME



guración o desde un grupo de llaves situadas de una manera pre determinada;

- un registro de dirección que hace posible el registro de los datos que, transmitidos por el circuito multiplexor, deben constituir la dirección del control de memoria asociado con el dispositivo de reconfiguración;

- un registro de estado que registra los datos que, transmitidos por el circuito multiplexor, deben constituir el estado de activación de las entradas a dicho control de memoria asociado con el dispositivo de reconfiguración;

- elementos para transferir el contenido bien del registro de dirección o del estado al control de memoria y, si fuera necesario, el computador definido por el circuito de prioridad. El control de memoria y el computador están conectados a dicho circuito de reconfiguración.

3.- Un dispositivo de reconfiguración para un grupo de módulos de memoria.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

La presente memoria consta de diez hojas escritas por una sola cara.

Madrid, 29 MAYO 1974



Eugenio Barroso
EUGENIO BARROSO
Secretario General

ME

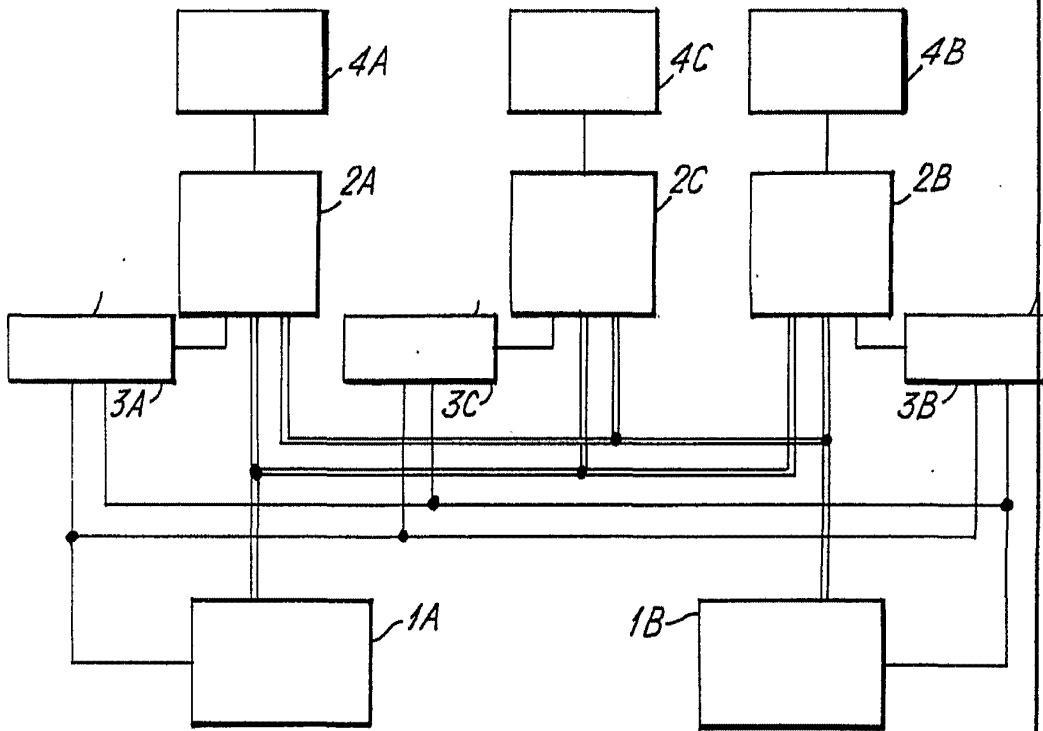
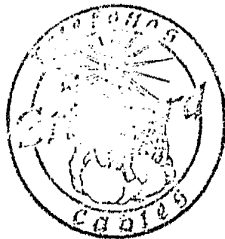


Fig. 1.

29 MAYO 1974



Eugenio Barroso
EUGENIO BARROSO
Secretario General

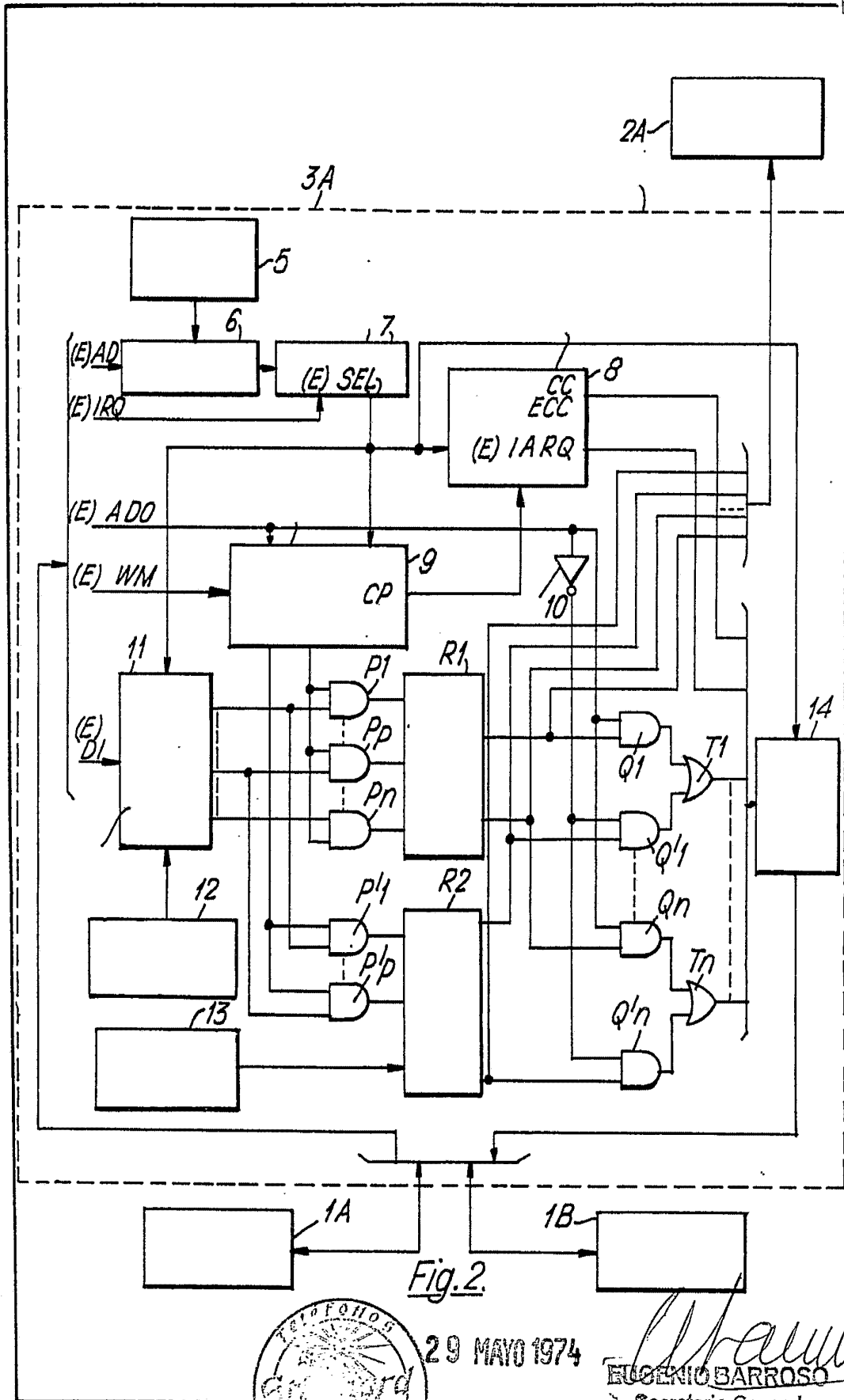
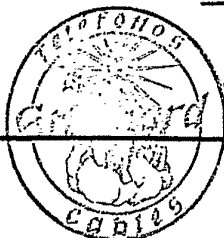


Fig. 2.

29 MAYO 1974



Eugenio Barroso
EUGENIO BARROSO
Secretario General