

R.H. HEEREN

CASE 9-Spain

ANULADO
LA EXISTENCIA DE LA COPIA
CIRCULACION DE COPIAS
CIRCULACIONES.



INVENTOR: G11C

P A T E N T E
D E
I N V E N C I O N

26347

por "PERFECCIONAMIENTOS EN UN SISTEMA DE MEMORIA", a favor de la firma estadounidense TELETYPE CORPORATION, residente en 555 Touhy Avenue, Skokie, Illinois (EE.UU.).

= . =

MEMORIA DESCRIPTIVA

Este invento se refiere a sistemas de memoria.

- Se conocen memorias MOSFET de acceso al azar que utilizan cargas incrementales para almacenar información en un ordenamiento de células de memoria, incluyendo cada célula un dispositivo MOSFET y un dispositivo de capacitancia.
5. Cada fila del ordenamiento de células de memoria puede incluir un amplificador de detección-refresco para detectar la presencia de una carga que comporta información sobre una célula de memoria dirigida que se encuentra dentro de
 10. dicha fila. Cada amplificador de detección-refresco refresca



también periódicamente la información almacenada como carga en las células de memoria que se encuentran dentro de dicha fila. Este refresco periódico de la carga en las células de memoria se contrapone a la tendencia de la carga de disiparse gradualmente del dispositivo de capacitancia alojado en dicha célula.

5. Cada circuito amplificador de detección-refresco requiere, típicamente, una fuente de señales de reloj multifásico para llevar a cabo, en forma adecuada, las funciones de detección y refresco en sincronismo con el resto de la memoria. En la práctica, estas señales se proporcionan acoplando cada amplificador a una serie de circuitos de reloj.

10. Cada uno de estos circuitos de reloj requiere un área adicional sobre la superficie de una micropastilla de silicona y consume energía eléctrica adicional. El área superficial afecta a estos circuitos de reloj reduce el área disponible para las células de memoria. La energía eléctrica disipada por los circuitos de reloj genera un calor indeseable y precisa mayores suministros de energía de los que precisaría una memoria que precisara únicamente un circuito de reloj monofásico.

15. El dispositivo de capacitancia dispuesto en cada célula de memoria debe acoplarse a un potencial de masa de referencia. Por lo general, en las memorias MOSFET el potencial de masa de referencia se proporciona conectando cada uno de estos dispositivos de capacitancia a una barra de masa. Alternativamente, la referencia de masa se establece acoplando cada dispositivo de capacitancia al substrato sobre el cual se forma, con lo que se establece una masa de substrato.

20.

25.



5. Cualquiera de estos dos medios de establecer la masa de referencia es indeseable debido a que aumenta significativamente el área superficial requerida por cada célula de memoria. En caso de proporcionarse barras de masa, el área adicional sobre la superficie de la micropastilla de silicón debe ser de modo que acomode, por lo menos, una barra de masa para cada dos columnas de las células de memoria. De modo análogo, en caso de que se utilice una masa de substrato, cada dispositivo de capacitancia requiere un área aumentada sobre la superficie de la micropastilla para acoplar efectivamente el dispositivo de capacitancia a la masa de substrato.

15. Asi pues, los métodos conocidos para establecer una masa de referencia dan por resultado un consumo ineficaz y costoso del área superficial de la micropastilla. El área superficial requerida para las barras de masa o para acoplar cada dispositivo de capacitancia a la masa de substrato limita substancialmente el número de células de memoria que pueden disponerse sobre una micropastilla de un área dada. Por 15. el contrario, una memoria de una capacidad dada requerirá más micropastillas y/o mayores que el número óptimo como resultado del área que debe aplicarse a la masa de referencia. Resulta claro pues que los métodos conocidos para proporcionar la masa de referencia presentan mayores desventajas con respecto a la utilización eficaz del área superficial de la 25. brizna, el coste de fabricación y una complejidad indeseable del circuito de la memoria.

Según un aspecto del invento, un sistema de memoria incluye una célula de memoria dotada de capacitancia para



- almacénar carga representativa de datos binarios y medios para refrescar dichos datos incluyendo un primer y segundo terminal, conectándose dicho primer y segundo terminal respectivamente a una primera y segunda capacitancia de valor
5. sustancialmente igual, preveyéndose dichos medios de refresco para proporcionar en dichos terminales un potencial inicial y un segundo potencial de mayor magnitud que dicho potencial inicial en respuesta, con el funcionamiento, a una señal de reloj que tiene un primer y segundo valor respectivamente,
10. siendo conectable en paralelo dicha capacitancia de memoria a una de dichas primera y segunda capacitancias, cargándose dicha combinación paralela de dicha capacitancia de memoria y de dicha capacitancia, en respuesta a dicha señal de reloj de segundo valor hacia dicho segundo potencial con
15. una velocidad mas lenta o mas rápida que la velocidad de carga de la otra capacitancia referida dependiendo del estado inicial de dicha capacitancia de memoria y siendo aptos dichos medios de refresco para devolver a dicha capacitancia de memoria el estado inicial referido en respuesta a la velocidad de carga diferencial entre dicha primera y segunda
20. capacitancia.

Estos medios de refresco pueden incluir un primer y un segundo dispositivo de puerta, comprendiendo cada uno dos electrodos controlados y un electrodo de control, conectándose el electrodo de control de cada uno de dichos dispositivos a un terminal respectivo de dichos terminales y a uno de los electrodos controlados del otro de los dispositivos citados, y conectándose entre sí el otro de dichos electrodos controlados de cada uno de dichos dispositivos, sien-

25.



do aptos dicho primer y segundo dispositivo de puerta para responder a dicho coeficiente de carga diferencial entre dichas primera y segunda capacitancias para devolver el estado inicial referido a dicha capacitancia de memoria.

5. Estos medios de refresco pueden incluir medios para recibir dicha señal de reloj y un par de medios de resistencia, para conectar cada uno de dichos medios de recepción a un terminal respectivo para proporcionar en este punto dicho inicial y segundo potencial.

10. Estos medios de refresco pueden incluir un par de medios de resistencia para conectar, cada uno, un potencial constante a un terminal respectivo de dichos terminales primero y segundo, y un tercer y cuarto dispositivo de puerta comprendiendo cada uno dos electrodos controlados y un electrodo de control, acoplándose cada uno de dichos electrodos controlados de dichos tercer y cuarto dispositivos de puerta a un respectivo electrodo controlado citado de dichos primero y segundo dispositivos de puerta y acoplándose entre sí sus electrodos de control y siendo aptos para recibir dicha señal de reloj, adaptándose dicho par de medios de resistencia y dichos tercer y cuarto dispositivos de puerta para cooperar con el fin de proporcionar dicho inicial y dicho segundo potencial en dicho primer terminal y en dicho segundo terminal.

15. Estos medios de refresco pueden incluir un par de medios de resistencia para conectar cada uno un potencial constante a un terminal respectivo de dichos primero y segundo terminales y un tercer dispositivo de puerta conectado entre dicho primer y segundo terminal, siendo aptos para cooperar dicho par de medios de resistencia y dicho tercer dispositivo

20. Estos medios de refresco pueden incluir un par de medios de resistencia para conectar cada uno un potencial constante a un terminal respectivo de dichos primero y segundo terminales y un tercer dispositivo de puerta conectado entre dicho primer y segundo terminal, siendo aptos para cooperar dicho par de medios de resistencia y dicho tercer dispositivo

25. Estos medios de refresco pueden incluir un par de medios de resistencia para conectar cada uno un potencial constante a un terminal respectivo de dichos primero y segundo terminales y un tercer dispositivo de puerta conectado entre dicho primer y segundo terminal, siendo aptos para cooperar dicho par de medios de resistencia y dicho tercer dispositivo

16



de puerta con el fin de proporcionar dicho inicial y dicho segundo potencial en dicho primer terminal y en dicho segundo terminal.

- Cada uno de dichos medios de resistencia puede comprender un dispositivo de puerta.
- 5.

- La célula de memoria citada puede comprender un dispositivo de puerta con dos electrodos controlados y un electrodo de control, conectándose dicho electrodo de control a una barra de dirección para habilitar dicho dispositivo de
10. puerta con el fin de que conecte dicha capacitancia de memoria en paralelo con la capacitancia referida, conectándose uno de dichos electrodos controlado a uno de dichos terminales primero y segundo, comprendiendo el otro electrodo controlado dicha capacitancia de memoria y conectándose a una barra de
15. dirección para habilitar una célula de memoria adyacente.

- Según otro aspecto del invento, un sistema de memoria incluye una primera y una segunda pluralidad de células de memoria, presentando cada una de dichas células capacidad para almacenar carga representativa de datos binarios, medios para la lectura y/o escritura de datos binarios sobre una célula de memoria seleccionada referida, incluyendo dichos medios de lectura y/o escritura medios para invertir señales de datos que tienen primero y segundo terminales, un primer conductor para conectar dicha primera pluralidad de células de memoria a dicho primer terminal, conectándose un extremo
20. de dicho primer conductor a dicho primer terminal y dejándose sin conectar su otro extremo para cualquier circuito externo, un segundo conductor para conectar dicha segunda pluralidad de células de memoria a dicho segundo terminal, conectándose
- 25.



- un extremo de dicho segundo conductor a dicho segundo terminal y utilizándose su otro extremo para recibir señales de lectura o escritura, y medios para dirigir selectivamente dicha primera y segunda pluralidad de células de memoria para
5. conectar una de dichas células de memoria seleccionada a dicho primer o dicho segundo conductor, siendo el sistema de modo que, con el funcionamiento, en el caso de datos escritos en dicha célula de memoria seleccionada de dicha primera pluralidad se aplica una señal de datos de entrada, a través de
10. dicho segundo conductor, a dicho segundo terminal, se invierte por dichos medios inversores y se transmite, a través de dicho primer terminal, a la célula de memoria seleccionada de dicha primera pluralidad, en donde se almacena en forma inversa sobre su capacitancia de memoria, o en caso de datos
15. de lectura procedentes de una célula de memoria seleccionada de dicha primera pluralidad referida, se aplica la señal almacenada en la célula de memoria de la primera pluralidad a dicho primer terminal, se invierte por dichos medios inversores y se aplica, a través de dicho segundo terminal, a dicho
20. segundo conductor en su forma normal, escribiéndose y/o leyéndose en forma normal sobre una célula de memoria seleccionada de dicha segunda pluralidad.

- Los conductores primero y segundo citados pueden comprender una primera y segunda capacitancia respectivamente de valor sustancialmente igual, preveyéndose dichos medios inversores para proporcionar en dicha primera y segunda capacitancia un potencial inicial y un segundo potencial de mayor magnitud que dicho potencial inicial en respuesta, con el funcionamiento, a una señal de reloj que tiene un primer y un se-
- 25.



10-10-1977

- gundo valor respectivamente, conectándose en paralelo la capacitancia de memoria de una de dichas células seleccionada de dicha primera pluralidad de células a dicha primera capacitancia, cargándose dicha combinación paralela de dicha capacitancia de memoria y dicha primera capacitancia, en respuesta a dicho segundo valor de la señal de reloj, hacia dicho segundo potencial con una velocidad mas lenta o más rápida que la velocidad de carga de dicha segunda capacitancia dependiendo del estado inicial de dicha capacitancia de memoria y siendo aptos dichos medios inversores para invertir los datos de entrada que han de escribirse sobre dicha célula de memoria seleccionada de la primera pluralidad referida en respuesta a la velocidad de carga diferencial entre dicha primera y segunda capacitancias.

15. Los medios de dirección citados pueden comprender una pluralidad de barras de dirección, cada una de dichas células de memoria puede comprender un dispositivo de puerta con dos electrodos controlados y un electrodo de control, conectándose dicho electrodo de control a una de dichas barras de dirección para habilitar dicho dispositivo de puerta con el fin de conectar su capacitancia de memoria a dichos medios inversores, conectándose uno de dichos electrodos controlado a uno de dichos primero y segundo terminales, comprendiendo el otro electrodo controlado dicha capacitancia de memoria y conectándose a una barra de dirección adyacente de las citadas para habilitar una célula de memoria adyacente de las citadas.

Según un aspecto ulterior del presente invento, un



- sistema de memoria incluye una pluralidad de células de memoria, medios para la lectura y/o escritura de señales de datos en dichas células de memoria y una pluralidad de barras de dirección para habilitar cada una de ellas una célula de memoria respectiva citada con el fin de conectarla a dichos medios de lectura y/o escritura, incluyendo cada una de dichas células de memoria un dispositivo de puerta dorada de dos electrodos controlados y un electrodo de control, conectándose sus electrodos de control a una barra de dirección respectiva citada, conectándose uno de los electrodos controlados a dichos medios de lectura y/o escritura y comprendiendo su otro electrodo controlado capacidad para almacenar carga representativa de dichos datos y conectándose a una barra de dirección para habilitar una de dichas células de memoria adyacente.
- 5.
- 10.
- 15.

- Según un aspecto adicional del invento se proporciona un método para refrescar datos binarios sobre una célula de memoria dotada de capacidad para almacenar carga representativa de dichos datos, cuyo método incluye proporcionar un potencial inicial a una primera y segunda capacitancia de un valor sustancialmente igual en respuesta a una señal de reloj de primer valor, proporcionar un segundo potencial de mayor magnitud que dicho potencial inicial a dicha primera y segunda capacitancia en respuesta a una señal de reloj de segundo valor y conectar dicha capacitancia de memoria en paralelo con una de dichas capacitancias de modo que la combinación paralela de dicha capacitancia de memoria y dicha capacitancia se carguen, en respuesta a dicha señal de reloj de segundo valor, hacia dicho segundo potencial con una veloci-
- 20.
- 25.



dad mas lenta o mas rápida que la velocidad de carga de la otra de dichas capacitancias según sea el estado inicial de dicha capacitancia de memoria y refrescando dicha célula de memoria para devolver dicho estado inicial en respuesta a la velocidad de carga diferencial entre dichas capacitancias.

El, presente invento se describirá ahora a título de ejemplo con referencia a los dibujos que se acompañan, en los que:

La figura 1 es un diagrama en bloque de una porción de una organización de memoria de conformidad con el invento.

La figura 2 es una representación gráfica de las formas de onda que aparecen en diversos puntos del diagrama de la figura 1.

La figura 3 es un diagrama esquemático de un amplificador de detección-refresco.

La figura 4 es un diagrama esquemático de una segunda realización de un amplificador de detección-refresco.

La figura 5 ilustra una topografía preferida de dos de las células de memoria de la figura 3.

La figura 6 es un diagrama esquemático de una tercera realización de un amplificador de detección-refresco.

La figura 7 es un diagrama de tiempo para la tercera realización.

Haciendo referencia a la figura 1, se ilustra un diagrama de bloque de una porción de una organización general de una memoria 11 que incluye una pluralidad de células de memoria 12 dispuestas en forma ortogonal. Cada célula de memoria 12 representa una capacidad de la memoria 11 para almacenar un bitio de información en forma de un "1" o "0" binario.



La disposición de las células de memoria 12 se organiza de modo que formen una pluralidad de filas y columnas. Las células de memoria 12 se acoplan en el interior de cada columna por medio de una barra de dirección Y, por ejemplo Y_1 . Cada columna puede identificarse con una dirección Y específica haciendo referencia a una de una pluralidad de barras de dirección, Y, Y_1 a Y_j .

- 5.
- 10.
- 15.
- Además, la memoria 11 se divide en un banco o mitad derecha 13 y un banco o mitad izquierda 14, comprendiendo cada banco un número igual de células 12. Las barras de dirección Y, Y_1 a Y_k , se disponen en la izquierda y las barras de dirección Y, Y_{k+1} a Y_j en la derecha. Debido a que $j=2k$, el número de columnas en cada lateral es idéntico. Las dos mitades 13 y 14 de la memoria 11 están separadas por una pluralidad de amplificadores de detección-refresco 16_1 a 16_i .

- 20.
- 25.
- Las células de memoria 12 de cada fila se acoplan entre sí por medio de una barra de entrada-salida, por ejemplo la barra de entrada-salida (I/O) X_1 . Cada fila puede identificarse con una dirección X específica con referencia a una barra I/O, X_1 a X_i , de una pluralidad de éstas. Cada barra I/O se divide en una mitad derecha y otra izquierda, tal como la mitad derecha 17 y la mitad izquierda 18 de la barra I/O X_1 . Ambas mitades de cada una de las barras I/O X_1 a X_i se acoplan a un amplificador de detección-refresco 16_1 a 16_i de una pluralidad de éstos. Por ejemplo, ambas mitades 17 y 18 de la barra I/O X_1 se acoplan al amplificador de detección-refresco 16_1 . Un terminal de entrada de señal de reloj 19 se acopla a cada uno de la pluralidad de amplificadores de detección-refresco 16_1 a 16_i .



- Cada una de la pluralidad de barras I/O X_1 a X_i se acopla a un transistor de una pluralidad de transistores 21_1 a 21_i que se acoplan a circuitos decodificadores (no representados). Cada una de la pluralidad de barras de dirección Y, Y_1 a Y_j , se acoplan, asimismo, a circuitos decodificadores adicionales (no representados). Los circuitos decodificadores accionan selectivamente las barras de dirección Y y la pluralidad de transistores 21_1 a 21_i para dirigir cada una de la pluralidad de células de memoria 12. Las funciones escritas para todas las filas son proporcionadas por un primer amplificador 22 que tiene una entrada de escritura 23, una entrada de datos 24 y un terminal de salida 26. El terminal de salida 26 se acopla selectivamente a través de cada uno de los transistores 21_1 a 21_i a cada una de las barras I/O, X_1 a X_i , por medio de los circuitos decodificadores. De modo análogo, la salida de lectura es proporcionada para cada una de las barras I/O, X_1 a X_i , por un segundo amplificador 27 que tiene una entrada de lectura 28, una entrada de datos 29 procedente de las barras I/O y un terminal de salida 31.
- 5.
 - 10.
 - 15.
 - 20.

Asociada con cada una de las mitades 17 y 18 de la barra I/O X_1 se encuentra una capacitancia distribuida que resulta de la capacidad inherente de la barra I/O X_1 . Estas capacitancias distribuidas de las mitades 17 y 18 pueden tratarse como capacitadores discretos, como viene indicado por los capacitadores de carga 33 y 34 representados en la figura 3. Significativamente, el valor del capacitador de carga 33 asociado con la mitad derecha 17 de la barra I/O X_1 es igual al valor del capacitador de carga 34 asociado con la mitad iz-

- 25.



quiera 18. El efecto de los transistores 21_1 a 21_i de la capacitancia distribuida de la mitad derecha 17 se equilibrará por medio de un circuito compensador (no representado) acoplado al extremo de la mitad izquierda de cada una de las barras I/O X_1 a X_i .

Haciendo referencia a la figura 2, se representa una serie de formas de onda tal como aparecen en diversos puntos de la memoria 11 de la figura 1. Se representan dos ciclos del funcionamiento de la memoria 11. El primer ciclo incluye el intervalo de tiempo que vá de $t=t_0$ a $t=t'_0$ y el segundo ciclo incluye el intervalo que vá de $t=t'_0$ a $t=t''_0$. Durante estos dos ciclos solo se dirigen las primeras dos barras de dirección Y, Y_1 e Y_2 . Un ciclo de trabajo completo de la memoria 11 requiere numerosos ciclos adicionales de las barras de dirección Y. Sin embargo, los dos ciclos que implican únicamente las barras de dirección Y, Y_1 e Y_2 , son suficientes para ilustrar el funcionamiento de la memoria 11.

La figura 2A representa un reloj monofásico o señal de tiempo ϕ que se aplica a cada uno de los amplificadores de refresco de percepción 16_1 a 16_i (figura 1) por el terminal de entrada de reloj 19 (figura 1). Durante los intervalos de tiempo de t_0 a t_1 y de t'_0 a t'_1 , ϕ se encuentra a un potencial de 0 voltios. Cuando $\phi = 0$ voltios, el amplificador de detección-refresco 16_1 descarga los capacitadores de carga 33 y 34 (figura 3) al potencial de masa.

Durante los intervalos de tiempo de t_1 a t'_0 y de t'_1 a t''_0 ϕ se encuentra a un potencial de $-V$. Cuando se aplica simultáneamente una señal escrita a la entrada de escritura 23 durante estos intervalos de tiempo, el amplificador de de-



tección-refresco 16_1 ajusta una célula de memoria dirigida 12 al nivel de almacenamiento de información deseada ("0" o "1").

En caso de que no sea aplicable una señal escrita, el amplificador de detección-refresco 16_1 refresca la célula de memoria

5. 12 para mantener su nivel de almacenamiento de información corriente durante estos intervalos de tiempo. El funcionamiento interno del amplificador de detección-refresco 16_1 se explicará mas mayor detalle a continuación.

Con referencia a la figura 2B, se considera que la barra

10. de dirección Y, Y_1 , (figura 1) ha sido dirigida por los circuitos decodificadores (no representados) durante el primer ciclo en el tiempo $t=t_1$. En caso que se desee escribir información

en la célula de memoria 12 asociada con la barra I/O X_1 (figura 1) durante el primer ciclo, se aplica un potencial $-V$ para ac-

15. tivar el transistor 21_1 en el tiempo $t=t_0$, tal como se representa en la figura 2E. En el mismo tiempo se aplicará una señal escrita y el dato que debe penetrar en la célula de memoria 12 a la entrada de escritura 23 (figura 1) y a la entrada de datos 24 (figura 1). Una señal de escritura en la entrada de escritura 23

20. hace que el amplificador 22 envíe la señal de datos a los transistores 21. Debido a que la señal de escritura está presente en la barra I/O X_1 al mismo tiempo que el amplificador de detección-refresco 16_1 regula la célula de memoria dirigida 12, la señal de datos procedente de la entrada de datos 24 se establecerá en

25. la célula de memoria, tal como se expone mas adelante.

Haciendo ahora referencia a la figura 2C, durante el segundo ciclo, en el tiempo $t=t'_1$, se considera que la barra de dirección Y, Y_2 , (figura 1) ha sido dirigida por los circuitos decodificadores (no representados). En caso que se desee la lec-



tura de información de la célula de memoria 12 de la barra I/O X_1 (figura 1) durante el segundo ciclo, se aplica un potencial $-V$ para activar el transistor 21_1 en el tiempo $t=t'_2$, tal como se representa en la figura 2D. Al propio tiempo se aplica una señal de lectura a la entrada de lectura 28 (figura 1), lo que habilita el segundo amplificador 27, y la información que ha de leerse de la célula de memoria dirigida 12 aparece en el terminal de salida 31 (figura 1). El potencial $-V$ se aplica al transistor 21_1 en el tiempo $t=t'_2$, a continuación del refresco de la información almacenada en la célula de memoria dirigida 12. El sistema de lectura se expondrá con detalle mas adelante.

Con referencia a la figura 3, en ésta se representa un diagrama esquemático del amplificador de detección-refresco 16_1 de la figura 1. El amplificador de detección-refresco 16_1 es típico de cada uno de los otros amplificadores 16_1 a 16_i representados en la figura 1. Con fines de claridad únicamente se representan cuatro células de memoria 12 acopladas al amplificador de detección-refresco de percepción 16_1 .

Las células de memoria 12, asociadas con las barras de dirección Y , Y_1 e Y_2 , y con la mitad izquierda 18 de la barra I/O X_1 se acoplan al nodo 1, en un lateral del amplificador de detección-refresco 16_1 . Las células de memoria 12, asociadas con las barras de dirección Y , Y_{k+1} e Y_{k+2} y con la mitad derecha 17 de la barra I/O X_1 , se acoplan al nodo 2 del lateral opuesto del amplificador de detección-refresco 16_1 .

Cada una de las células de memoria 12 incluye un



transistor, como los transistores 36, 37, 38 y 39, y un capacitador de almacenamiento, como son los capacitadores de almacenamiento 41, 42, 43 y 44.

5. Los transistores 36, 37, 38 y 39 son de preferencia dispositivos MOSFET, presentando cada uno un electrodo de control, o puerta, y un primer y segundo electrodo controlado, o fuente y consumo. Por ejemplo, el transistor 36 presenta una puerta 46 acoplada a la barra de dirección Y , Y_1 , un primer electrodo controlado 47 acoplado a la mitad izquierda 18 de la barra I/O X_1 y un segundo electrodo controlado 48 acoplado a un primer electrodo del capacitador de almacenamiento 41. De la figura 3 se desprenderá que los transistores restantes 37, 38, y 39 se acoplan a sus respectivas barras de dirección Y , Y_2 , Y_{k+2} e Y_{k+1} , a la barra I/O X_1 y a sus respectivos capacitadores de almacenamiento 42, 43 y 44, en forma idéntica.
- 10.
- 15.

- Un segundo electrodo del capacitador de almacenamiento 41, asociado con la barra de dirección Y , Y_1 , se acopla por medio del conductor 51 a la barra de dirección adyacente Y , Y_2 . De modo análogo, el segundo electrodo del capacitador de almacenamiento 42, asociado con la barra de dirección Y , Y_2 , se acopla, por medio del conductor 52, a la barra de dirección adyacente Y , Y_1 .
- 20.

- Así pues, resultará aparente que los capacitadores de almacenamiento incluidos en cada célula de memoria 12 tienen sus segundos electrodos acoplados a una barra de dirección adyacente Y de las barras de dirección Y_1 a Y_j .
- 25.

Según se ha descrito antes, en cualquier tiempo seleccionado, solo una de las barras de dirección Y , Y_1 a Y_j ,



- es dirigida por los circuitos decodificadores (no representados). El resto de las barras de dirección Y no dirigidas de las barras Y_1 a Y_j se encuentran en potencial de masa. De aquí que cuando la barra de dirección Y_1 es dirigida, la
5. barra de dirección Y, Y_2 , adyacente se encontrará en un potencial de masa. Debido a que el capacitador de almacenamiento 41 se acopla a la barra de dirección Y, Y_2 , por medio del conductor 51, el potencial de masa presente en la barra de dirección Y, Y_2 , proporciona la masa de referencia requerida
10. para el capacitador de almacenamiento 41 cuando la barra de dirección Y, Y_1 , es dirigida. De forma idéntica, el capacitador de almacenamiento de cada una de las células de memoria 12 tiene su segundo electrodo acoplado a una barra de dirección Y adyacente de las barras de dirección Y_1 a Y_j , con lo que se proporciona a cada uno de los capacitadores de almacenamiento una masa de referencia.
- 15.

- Con la provisión de la masa de referencia para cada célula de memoria 12 en la forma antes descrita, se lleva a cabo un ahorro sustancial del área del substrato cuando
20. las células de memoria 12 se producen en forma de circuito integrado. Según se representa en la figura 3, las células de memoria 12 pueden formarse inmediatamente adyacentes entre sí sin la interposición de una barra de masa convencional entre barras de dirección adyacentes Y de las barras Y_1 a Y_j .
25. Así pues, utilizando una barra de dirección Y adyacente para proporcionar la masa de referencia para las células de memoria 12 en cualquier barra de dirección Y dirigida y seleccionada, puede eliminarse una barra de masa para cada par de barras de dirección Y. Resultará evidente que este ahorro



de área superficial resultante de la eliminación de las barras de masa convencionales permite una reducción sustancial del tamaño de una ordenación de memoria de circuito integrado o un aumento sustancial en el número de células de memoria que pueden formarse en una ordenación de un tamaño particular.

En la figura 5 se representan las diversas capas de metal óxido y material semiconductor en la forma que éstas aparecerían actualmente sobre un substrato semiconductor constitutivo de dos células de memoria adyacentes 12 de la figura 3.

La mitad izquierda 18 de la barra I/O X_1 se representa por una porción de una zona de difusión de tipo "p" 54. Las zonas de difusión de tipo "p" representadas en la figura 5 se forman en una superficie de un substrato de tipo "n" que se encuentra debajo de la totalidad del circuito de la figura 5. Adyacente a la zona de difusión 54 se representa una zona de difusión de tipo "p" 56. Una delgada zona de óxido 57 se extiende entre las zonas de difusión 54 y 56 y forma el transistor 36 de la figura 3. Se entenderá que todas las zonas de la figura 5 las cuales no se ha indicado de forma expresa que comprenden delgadas zonas de óxido están cubiertas por un grueso revestimiento de óxido. Este grueso revestimiento de óxido separa el material semiconductor de todos los conductores metálicos y puede estar formado, por ejemplo, con dióxido de silicón.

De modo análogo, junto a la zona de difusión 54 se representa otra zona de difusión de tipo "p" 58. Entre las zonas de difusión 54 y 58 se extiende una delgada zona de



óxido 59 y constituye el transistor 37 de la figura 3.

- La barra de dirección Y, Y_1 , se representa por un primer conductor metálico 61 (representado con líneas de trazos) que se encuentra sobre la delgada zona de óxido 57. La
5. barra de dirección Y, Y_2 , se representa, de modo análogo, por un segundo conductor de metal 62 (representado con líneas de trazos) que se encuentra sobre la zona de óxido delgada 59. Según se representa en la figura 5 ambas zonas de difusión de tipo "p" 56 y 58 se extienden entre el primer y segundo
10. conductor metálico 61 y 62.

- Entre la zona de difusión 56 y el segundo conductor metálico 62 sobreyacente se forma una delgada zona de óxido 63. El acoplamiento capacitativo a través de la delgada zona de óxido 63 representa el capacitador de almacenamiento 41.
15. El acoplamiento a través de la delgada capa de óxido 57 representa el acople de la barra de dirección Y, Y_1 , al electrodo de puerta 46 del transistor 36.

- Entre la zona de difusión 58 y el primer conductor metálico 61 sobreyacente se forma otra zona delgada de óxido
20. 64. El acoplamiento capacitativo a través de la delgada zona de óxido 64 representa el capacitador de almacenamiento 42 (figura 3).

- El valor de capacitancia de los capacitadores de almacenamiento 41 y 42 se determina por el grosor y el área superficial de las delgadas zonas de óxido 63 y 64, respectivamente.
- 25.

Las zonas de difusión 56 y 58 y las delgadas zonas de óxido 63 y 64, respectivamente, sirven para acoplar los transistores 36 y 37 y los capacitadores de almacenamiento



41 y 42, respectivamente, a sus barras de dirección Y adyacentes, Y_2 e Y_1 , tal como se representa en la figura 3.

5. Según se ha descrito anteriormente, este acoplamiento a las barras de dirección Y adyacentes proporciona una masa de referencia apropiada para las células de memoria, al tiempo que se requiere un área superficial mínima.

10. Así pues, la topografía de la figura 5 representa una realización para las células de memoria 12 de la figura 3, en donde la masa de referencia para cada célula de memoria se proporciona acoplando cada uno de los capacitadores de almacenamiento a una barra de dirección Y adyacente de las barras de dirección Y_1 a Y_j . Con la obtención, de este modo, de la masa de referencia se producen ahorros sustanciales de área superficial por célula de memoria.

15. Con referencia, de nuevo a la figura 3, el amplificador de detección-refresco 16_1 incluye un primer transistor 66 y un segundo transistor 67 que se acoplan transversalmente en una configuración de circuito flip-flop.

20. El primer transistor 66 tiene una puerta o electrodo de control 68 que se acopla transversalmente a un primer electrodo controlado 69 del segundo transistor 67 y se acopla también a la mitad izquierda 18 de la barra I/O X_1 en el nodo 1.

25. De modo análogo, el segundo transistor 67 tiene una puerta o electrodo de control 71 que se acopla transversalmente a un primer electrodo controlado 72 del primer transistor 66 y se acopla, asimismo, a la mitad derecha 17 de la barra I/O X_1 en el nodo 2.

Los segundos electrodos controlados 73 y 74 del pri-



mer y segundo transistor 66 y 67, respectivamente se acoplan entre sí y se acoplan a un conductor de masa 76. El conductor de masa 76 puede ser común a todos los amplificadores de refresco de percepción 16_1 a 16_i .

5. Por medio del tercer y cuarto transistor (carga) 77 y 78, respectivamente, que poseen segundos electrodos controlados 81 y 82 que se acoplan a los nodos 2 y 1 respectivamente, se proporcionan voltajes de polarización para el primer y segundo transistor 66 y 67. El tercer y cuarto transistor 77 y 78 presentan puertas 84 y 83, respectivamente, que se acoplan ambos a un terminal 86. De preferencia se aplica un voltaje de cc al terminal 86 para polarizar, de forma continua, los transistores de carga 77 y 78 en el estado conectado. Así pues, los transistores 77 y 78 funcionan como resistencias de carga para el amplificador de detección-refresco 16_1 .
- 10.
- 15.

- Los primeros electrodos controlados 87 y 88 de los transistores de carga 77 y 78, respectivamente, se acoplan ambos al terminal de entrada de señal de reloj 19. Las señales de reloj, tal como las representadas por la señal de reloj monofásico ϕ representado en la figura 2A se aplican, ventajosamente, al terminal de entrada de señal de reloj 19 para controlar el funcionamiento y cronometración del amplificador de detección-refresco 16_1 .
- 20.

25. Con referencia a la figura 4, en ésta se representa una realización alternativa de un amplificador de detección-refresco $16'_1$ que puede utilizarse en la memoria 11 de la figura 1. El amplificador de detección-refresco $16'_1$ incluye primero y segundo transistores 91 y 92 que se acoplan

16 MAYO 1971

transversalmente a los nodos 1' y 2' de forma idéntica a la descrita para el amplificador de detección-refresco 16₁ de la figura 3.

- Los transistores tercero y cuarto 93 y 94, o de
5. carga, se acoplan también a los nodos 1' y 2' y a los terminales 96 y 97, de igual modo al descrito para los transistores de carga 77 y 78 y los terminales 86 y 19 de la figura 3. Al terminal 96 se aplica ventajosamente un primer voltaje de CC constante para polarizar los transistores de carga 93
 10. y 94 en el estado conectado. Al terminal 97 se aplica, ventajosamente, un segundo voltaje de CC constante, que puede ser igual al primer voltaje de CC constante, para aplicar un voltaje de polarización, a través de los transistores de carga 93 y 94, al primer y segundo transistor 91 y 92. En caso
 15. de que el primer y segundo voltaje de CC constantes sean iguales, los terminales 97 y 96 pueden ser el mismo terminal.

- Las señales de reloj o de cronometración se acoplan al primer y segundo transistor 91 y 92 a través del quinto y sexto transistor 98 y 99, respectivamente. Las puertas 101 y
20. 102 del quinto y sexto transistor 98 y 99 se acoplan, ambas a un terminal de entrada de señal de reloj 19'.

- Según se representa en la figura 4, el primer y segundo electrodo controlado 103 y 104 del quinto transistor 98 se acoplan, respectivamente, al primer y segundo electrodo controlado 106 y 107 del tercer transistor 91. De modo análogo,
25. el primer y segundo electrodo controlado 108 y 109 del sexto transistor 99 se acoplan respectivamente al primer y segundo transistor controlados 111 y 112 del cuarto transistor 92. Los segundos electrodos controlados 104 y 107, y 109 y 112



se acoplan todos ellos a un conductor de masa 113.

El funcionamiento del amplificador de detección-refresco $16'_1$ es idéntico al del amplificador de detección-refresco 16_1 (figura 3). Sin embargo, la señal de reloj aplicada al terminal de entrada de señal de reloj $19'$ debe ser inversa a la señal de reloj aplicada al terminal de entrada de señal de reloj 19 (figura 3). Así pues, la señal de reloj representada en la figura 2A debe invertirse antes de aplicarse al terminal de entrada de señal de reloj $19'$.

5.

10.

Por otra parte, las amplitudes de corriente de la señal de reloj (figura 2A) aplicadas al terminal $19'$ deben ser notablemente inferiores a las amplitudes de corriente de la señal de reloj \emptyset requeridas en el terminal 19 (figura 3).

15.

Debido a que la señal de reloj acciona las puertas 101 y 102 del quinto y sexto transistor 98 y 99, se requiere una potencia menor de señal de reloj que en el amplificador de detección-refresco 16_1 en donde la señal de reloj acciona los primeros electrodos controlados 87 y 88 del tercer y cuarto transistor 77 y 78.

20.

Haciendo de nuevo referencia a la figura 3, con el funcionamiento, cada ciclo de refresco del amplificador de detección-refresco se inicia aplicando la señal de reloj \emptyset (figura 2A) al terminal de entrada de señal de reloj 19 en el tiempo $t=t_0$. En el tiempo $t=t_0$, la señal de reloj se encuentra

25.

en el potencial de masa, ó 0 voltios. Este potencial de voltaje 0 se aplica a través del tercer y cuarto transistor 77 y 78, o de carga, a los nodos 1 y 2.

Los capacitadores de carga 33 y 34 que se acoplan, respectivamente, a las mitades derecha e izquierda 17 y 18



de la barra I/O X_1 y a las puertas 68 y 71 del primer y segundo transistor 66 y 67, se descargan a través de los nodos 1 y 2 mediante el potencial de masa aplicado al terminal de entrada de señal de reloj 19.

5. Después que los capacitadores de carga 33 y 34 han tenido suficiente tiempo para descargar el potencial de masa, la señal de reloj ϕ (figura 2A) vuelve en el tiempo $t=t_1$ a un potencial de $-V$ voltios, por ejemplo -12 voltios. Cuando la señal de reloj ϕ vuelve a $-V$ voltios los capacitadores de carga 33 y 34 empiezan a cargar a través de los transistores de carga 77 y 78, respectivamente.

- Al propio tiempo, $t=t_1$, una de las barras de dirección, Y, Y_1 a Y_j , es dirigida por los circuitos decodificadores (no representados). Por ejemplo, en el tiempo $t=t_1$, la barra de dirección Y, Y_1 , puede ser dirigida aplicandole un potencial de $-V$ voltios (figura 2B). Debido a que la puerta 46 del transistor 36 de la célula de memoria 12 se acopla a la barra de dirección Y, Y_1 , la aplicación del potencial, $-V$ a la barra de dirección Y, Y_1 , conecta el transistor 36. De modo análogo, todos los transistores de las células de memoria 12, que tienen sus puertas acopladas a la barra de dirección Y, Y_1 , se conmutarán de modo que todas las células 12 de la columna seleccionada Y serán refrescadas al mismo tiempo que corresponde al tiempo t_1 a t_2 en la figura 2.

25. Cuando se conmuta el transistor 36, el capacitador de almacenamiento o de memoria 41 se acopla a través del transistor 36 a la mitad izquierda 18 de la barra I/O X_1 , que es, en efecto, un circuito aislado, y así al nodo 1. Por consiguiente, el capacitador de almacenamiento 41 se acopla en paralelo



con el capacitador de carga 34.

- En caso de que el capacitador de almacenamiento, como el 41 en el banco o lateral izquierdo del circuito se encuentre con un potencial sustancialmente de masa en el tiempo t_1 , ello representa el almacenamiento previo de un "1" binario. En este caso, en el tiempo t_1 , el capacitador de carga 34 empezará a cargar hacia el potencial $-V$ del impulso de reloj negativo \emptyset , pero la carga se efectuará a una velocidad mas lenta que la del capacitador de carga 33, debido a la capacitancia combinada del capacitador de almacenamiento 41 y siendo mayor el capacitador de carga 34 que la capacitancia de solo el capacitador de carga 33.
- 5.
- 10.

- Debido a que el capacitador de carga 33 efectúa la carga a una velocidad más rápida que el capacitador de carga 34, la puerta 71 del segundo transistor 71 alcanzará primero su voltaje límite (el voltaje requerido para conmutar el transistor). Después de conmutado el segundo transistor 67, la realimentación asociada con el circuito de tipo flip-flop del amplificador de detección-refresco 16_1 mantiene desconectado el primer transistor 66. En particular, el capacitador de carga 34 asociado con la célula de memoria 12 que se ha dirigido se descarga hasta potencial de masa a través del ahora conectado transistor 67, y el capacitador de almacenamiento seleccionado 41 vuelve, asimismo, al potencial de masa entre los tiempos t_1 y t_2 , "refrescando" de este modo la carga de voltaje 0 que se encuentra inicialmente en este capacitador. La carga del capacitador de carga 33 procedente del impulso de reloj \emptyset negativo continua hasta que se carga el capacitador de carga 33 hasta un potencial de $-V$ voltios, cuya carga se
- 15.
- 20.
- 25.



utiliza en la lectura, después del tiempo t_2 , en caso de que la célula seleccionada 12 se conecte al amplificador de lectura 27, tal como se explicará mas adelante.

- En el tiempo t'_0 , el impulso de reloj ϕ vuelve a masa y el capacitador de carga 33 se descarga a la masa del impulso de reloj, tal como se ha descrito anteriormente, durante la primera porción del ciclo siguiente, tal como t'_0 a t'_1 . Asimismo, en t'_0 , la barra de dirección Y previamente seleccionada, tal como la Y_1 , se desactiva, lo que desconecta el transistor seleccionado 36 y así aísla la carga (masa) en el capacitador de almacenamiento seleccionado 41 para utilizarse en un ciclo posterior.

- En caso de que el capacitador de almacenamiento 41 de la célula de memoria dirigida 12 se haya cargado previamente hasta un voltaje sustancialmente negativo (representando el almacenamiento de un "0" binario), el capacitador de carga 34 se cargará en este caso después del tiempo t_1 más rápido que el capacitador de carga 33, puesto que el capacitador de carga 34 se carga a partir del impulso de reloj ϕ a través del transistor de carga 78, y, asimismo, a partir del capacitador de almacenamiento cargado 41 después de la conexión del transistor 36 Y_1 seleccionado.

- Por consiguiente, el capacitador de carga 34 se cargará al voltaje límite del primer transistor 66 y conmutará el primer transistor antes de que el segundo transistor 67 alcance su voltaje límite. Con el primer transistor 66 conectado y el segundo transistor 67 desconectado, el capacitador de carga 34 y el capacitador de almacenamiento 41 continuarán cargándose a partir del impulso de reloj ϕ mientras que el



capacitador de carga opuesto 33 se descarga hasta el nivel de masa por medio del transistor ahora conectado 66.

5. Cuando se ha alcanzado un tiempo correspondiente a t_2 , el capacitador de almacenamiento 41 se ha cargado por completo o se ha recargado hasta un potencial, $-V_M$, representando una porción predeterminada del voltaje de reloj aplicado a través del transistor de carga 78 al capacitador 41 en paralelo con el capacitador de carga 34.

10. Esta carga $-V_M$ representa el nivel deseado para almacenar un "0" binario en una célula 12 del lateral izquierdo 18 del circuito. Esta recarga hasta $-V_M$ reestablece la carga de datos deseada en el capacitador, como el 41, durante cada ciclo de refresco, compensando así cualquier fuga de carga que pudiera haber ocurrido desde la penetración de la carga, 15. o datos, o bien desde un ciclo de refresco previo.

20. En el tiempo correspondiente a t'_0 , en el inicio del próximo ciclo, el impulso de reloj \emptyset vuelve a masa, conectando así a masa el capacitador de carga 34 y el conductor Y seleccionado, como el Y_1 , es desactivado, aislándose de este modo la carga de datos $-V_M$ en el capacitador 41 hasta un ciclo siguiente.

25. Durante los ciclos subsiguientes de la señal de reloj \emptyset , los datos almacenados en cada una de las células de memoria 12 de la memoria 11 se refrescan por medio de un amplificador de detección-refresco de la pluralidad de amplificadores 16₁ a 16_j, cuando su barra de dirección Y correspondiente Y_1 a Y_j se selecciona para la activación en un formato o ciclo de dirección deseado. Los capacitadores de almacenamiento, como los 43, 44 del lateral derecho 17 del circuito, se refres-



can exactamente igual cuando se selecciona el conductor Y correspondiente, Y_{k+1} a Y_j , excepto que en este lateral una carga $-V_M$ indica "1" binario y 0 voltios indica "0" binario.

- Considerando ahora con mas detalle los procedimientos de escritura, los decodificadores X- e Y- (no representados) seleccionan un punto de cruce particular en la matriz de memoria X-Y; por ejemplo, el transistor 36 y el capacitador 41 para la combinación de la barra X_1 I/O y la barra de dirección Y_1 . En el ejemplo ilustrado en la izquierda de la figura 2 (tiempo t_0 a t'_0), se requiere escribir un "1" en el punto de cruce X_1, Y_1 . En este caso, tal como se ha expuesto anteriormente, el decodificador X conecta el transistor de puerta de entrada $X_1 21_1$ en el tiempo t_0 y se aplica una entrada "de escritura" al terminal 23 del amplificador de escritura 22, conectando así la entrada de datos 24 a la barra X_1 y al nodo 2 del amplificador de detección-refresco 16₁. En caso de que deba almacenarse un "1" en el capacitador X_1, Y_1 41 del circuito ilustrado en la figura 3, se aplica una señal de entrada de datos $-V$ al terminal de entrada de datos 24 en el tiempo t_0 , excitando así la mitad derecha de la barra X_1 y nodo 2 negativo, tal como se representa en la porción izquierda de la figura 2E.
- 5.
- 10.
- 15.
- 20.

25. Esta entrada de datos negativa es gatillada, del tiempo t_0 al t_1 , a la masa del impulso de reloj ϕ a través del transistor de carga 77. En el tiempo t_1 , el impulso de reloj ϕ se vuelve negativo y la combinación de la señal de impulso de reloj y la señal de datos de entrada (ambos voltajes negativos) carga rápidamente el capacitador de carga 33 hasta un valor que excede el voltaje límite del transistor



67 para conectar este transistor.

5. En el tiempo t_1 , el transistor X_1, Y_1 36 es activado también para conectar el capacitador de almacenamiento o memoria 41 al nodo 1 y el impulso de reloj \emptyset a través del transistor de carga izquierdo 78, tal como se ha expuesto anteriormente en la descripción del circuito del amplificador de detección-refresco. Sin embargo, aún cuando el capacitador 41 ha almacenado una carga $-V$ procedente de ciclos de escritura y refresco precedentes, la combinación del capacitador 41 y el impulso de reloj \emptyset no carga el capacitador de carga izquierdo 34 con la rapidez que lo hace la combinación del impulso de reloj y la señal de datos de entrada para cargar el capacitador de carga derecho 33, por lo que el transistor izquierdo 67 se activa primero invariablemente cuando se aplica una señal de escritura negativa al terminal de entrada de datos 24, independientemente del estado previo del capacitador de memoria 41. De este modo, durante un ciclo de escritura una señal de entrada reciente de datos elimina, de forma efectiva, la carga de datos relativos del capacitador 41.
- 10.
- 15.
- 20.

25. Según se ha expuesto anteriormente, una vez que se activa el transistor izquierdo 67 (en vez del transistor derecho 66), no puede activarse el transistor 66 y los capacitadores 41 y 34 se descargan a masa 76 a través del transistor izquierdo 67. Así pues, al término de este ciclo de escritura (tiempo t'_0), el capacitador de memoria 41 está esencialmente descargado, el cual, en el ejemplo de la figura 3, representa el almacenamiento de un "1" binario en el punto de cruce X_1, Y_1 . Por consiguiente, se apreciará que el



- amplificador de refresco de percepción 16 invierte, de forma efectiva, la señal de datos de entrada almacenada en cualquier célula 12 hacia la izquierda del amplificador 16₁, de modo que se almacene una señal "1" binaria de entrada (-V) en los capacitadores del banco izquierdo, como es el 41, en 0 voltios.
5. Según se expondrá mas adelante, durante la lectura, el amplificador 16₁ invierte de nuevo la señal del capacitor 41, de modo que en el terminal de salida 31 aparece un voltaje negativo o "1".
10. Cuando debe almacenarse un "0" en un capacitor de banco izquierdo, como el 41, durante un ciclo de escritura, se aplica un "0" o potencial de masa al terminal de entrada de datos 24 y se conecta al nodo 2 a través del transistor 21₁ a partir de un tiempo correspondiente a t_0 para un ciclo completo de la señal de reloj ϕ . En este caso, en un tiempo correspondiente a t_1 , cuando el impulso de reloj tiende a negativo y se activa un transistor Y seleccionado, como el 36, se conecta a masa la señal de reloj ϕ en la derecha del amplificador 16₁ para la señal de datos de voltaje 0 en el terminal 24.
15. De este modo el capacitor de carga derecho 33 no carga lo suficiente para activar el transistor izquierdo 67 y el impulso de reloj carga los capacitadores 34 y 41 en paralelo hasta que se activa el transistor derecho 66, después de lo cual el capacitor de memoria 41 continua cargándose para el resto del ciclo hasta una fracción dada del voltaje de reloj, $-V_M$, que representa al almacenamiento de un binario "0" en cualquiera de las células de memoria del banco izquierdo 12. Así pues, el capacitor de memoria, como el 41, se carga por completo para almacenar un voltaje negativo independientemente de su
- 20.
- 25.



estado previo cuando se aplica una entrada 0 al terminal de entrada de escritura 24 durante un ciclo de escritura y se invierte, asimismo, la señal de datos de entrada 0 por el circuito amplificador 16_1 .

5. Cuando se almacenan señales de datos en los capacitadores del banco derecho, talés como el 43 y 44, se almacena una carga correspondiente a la señal de datos de entrada en vez del complemento. Por ejemplo, en caso que desee almacenar un "1" en el capacitador 44 en el punto de cruce X_1, Y_{k+1} ,
10. se aplica una entrada de datos $-V$ al nodo 2 en la forma que se ha descrito anteriormente. En un tiempo que corresponde a t_1 , ϕ tiende a negativo y la combinación del voltaje de reloj y la señal de datos negativa aplicada activa el transistor 67 antes de que el transistor derecho 66 pueda activarse, independientemente del estado previo del capacitador de memoria
15. 44. Así pues, el capacitador 44 queda libre para cargarse totalmente a través del transistor 39 durante el resto del ciclo, con el fin de almacenar un voltaje negativo que indique un "1" binario.
20. En caso de que deba almacenarse un "0" binario en el capacitador 44, se aplica una entrada de masa al nodo 2 y no puede activarse el transistor izquierdo 67. Por el contrario se selecciona el transistor derecho 66, que sirve adicionalmente para conectar a masa el capacitador 44 cuando se activa
25. el transistor Y 39 seleccionado, en un tiempo correspondiente a t_1 . Así pues, el capacitador 44 almacena esencialmente cero voltios o un "0" binario al término del ciclo de escritura, independientemente de su estado previo.



De este modo, los amplificadores de refresco de percepción, como es el 16₁, ajustan la célula de memoria dirigida 12 de conformidad con la entrada de datos 24 durante cada ciclo de escritura mediante la carga o descarga de los capacitadores de memoria, como el 41 a 44, independientemente de sus estados previos, mientras que se invierten los datos almacenados en la mitad izquierda 14 de la ordenación.

Para la lectura de los datos almacenados en un capacitador de memoria seleccionado, de los capacitadores como del 41 al 44, se muestrea de forma efectiva el estado del capacitador de carga 33 después que se ha completado la porción de refresco del ciclo, por ejemplo del tiempo t'_2 a t''_0 en el ejemplo previamente expuesto en conexión con las figuras 2C y 2D. En este ejemplo, se activa la barra de dirección Y_2 en el tiempo t'_1 (figura 2C) y se refresca, durante el tiempo t'_1 a t'_2 , en la forma previamente descrita, la carga almacenada en el capacitador de memoria 42 de la célula Y_2 , X_1 12 para almacenar una carga prefijada $-V_M$ procedente del impulso de reloj que representa un "0" binario, o bien para conectarse efectivamente a masa a través del transistor 67, representando el binario 1. En ambos casos, el capacitador de carga 33 almacena, en el tiempo t'_2 , un voltaje inverso al del capacitador de memoria 42, tal como se ha descrito en conexión con la operación de refresco.

Con la lectura, en el tiempo t'_2 , se activa el transistor de puerta X seleccionado 21, tal como el transistor 21₁ para la barra X_1 (figura 2D). Esto conecta la barra X_1 a la entrada 29 del amplificador de lectura 27, tal como se ha descrito previamente, y cuando se aplica, asimismo, una señal de



5. "lectura" al terminal 28 de dicho amplificador, la señal de salida en el terminal 31 representa la señal almacenada luego en el capacitador de carga 33 que, a su vez, representa el complemento de la señal almacenada en el capacitador de memoria de punto de cruce X_1, Y_2 42 seleccionado.

10. Asi pues, se reinvierte de forma efectiva por el amplificador 16 de refresco de percepción, con la lectura, una señal de datos invertida almacenada en un capacitador de banco izquierdo, tal como el 42, según se ha descrito en los apartados previos, por el hecho de que la señal sobre el nodo 2 (capacitador 33) al termino de la porción de refresco del ciclo es el complemento de la señal almacenada en el capacitador de memoria 42.

15. Cuando debe leerse una célula de memoria 12 de banco derecho, por ejemplo capacitador 44 asociado con el punto de cruce X_1, Y_{k+1} , la carga en el capacitador 44 al término de la porción de refresco del ciclo (correspondiente al tiempo t'_2) es del mismo sentido que la del capacitador de carga 33, tal como se ha descrito previamente. Es decir, ambos están conectados a masa de forma efectiva a través del transistor 66 cuando se ha almacenado un "0", o ambos se cargan negativamente a partir del impulso de reloj ϕ cuando se almacena un "1" (se activa el transistor 67 en lugar del transistor 66). En este caso, cuando se activa el transistor 21₁ en 20. un tiempo correspondiente a t'_2 para la lectura, la señal de salida en el terminal 31 representa la combinación de las cargas en el capacitador de carga 33 y el capacitador de memoria seleccionado 44, que como se ha expuesto anteriormente son 25. ambas de 0 voltios para "0" binario o un voltaje negativo



para "1" binario.

En todos los casos, después de la lectura, en el tiempo siguiente a t_0 , se desactiva el transistor de columna previamente seleccionado, como el 36-39, para aislar y conservar la señal almacenada en el capacitador de memoria correspondiente 41-44 y el impulso de reloj ϕ vuelve a masa de forma que descarge el impulso ϕ a masa cualquier capacitador de carga 33 o 34 cargado en el ciclo previo.

Durante cada ciclo de lectura, se refrescan todos los capacitadores de memoria en la columna seleccionada $Y_1 \dots Y_j$, si bien únicamente se lee el capacitador en el punto de cruce seleccionado X después de la porción de refresco del ciclo. Con la escritura se refrescan también todos los capacitadores de memoria en la columna seleccionada, exceptuando el que se encuentra en el punto de cruce X seleccionado, en donde entran los datos frescos tal como se ha descrito previamente.

En la figura 6, la estructura del amplificador de refresco de percepción es igual que en la figura 3, exceptuando la adición de un transistor de cortocircuito 200 que tiene su puerta conectada a una fuente distinta de impulsos de reloj, ϕ_A , y una fuente de voltaje constante externa de potencial de carga $-V_1$ conectada a los transistores de carga 77 y 78, tal como se representa. En la figura 7 se exponen los ciclos de cronometración y de carga/descarga para la figura 6.

Con el fin de explicar las diferencias por lo que respecta al funcionamiento, se considera primero el ejemplo previamente descrito en donde la barra de dirección Y_1 se selecciona y se activa en el tiempo t_1 para activar el transistor



de célula 36 con el fin de conectar el capacitador de memoria seleccionado 41 a la mitad izquierda 18 de la barra I/O X_1 , y por tanto al nodo izquierdo 1 del amplificador de detección-refresco 16_1 . Según se ha expuesto anteriormente, se

5. conecta de este modo el capacitador de memoria 41 entre la masa del conductor Y_2 adjunto desactivado y el nodo 1, en paralelo con la capacitancia de carga izquierda 34.

Sin embargo, antes de t_1 , se prepara el amplificador de detección-refresco 16_1 , representado en la figura 6, para que funcione de forma distinta a la descrita anteriormente. En esta modalidad, en el tiempo t_0 (figura 7), el impulso ϕ_A tiende a negativo, el cual activa el transistor de cortocircuito 200 y, por consiguiente, conecta los nodos 1 y 2 entre sí desde t_0 a t_1 . Considerando como un primer ejemplo el

10. caso en donde el nodo 1, o la capacitancia de carga izquierda 34, se ha encontrado en 0 voltios representando un "1" binario en el ciclo previo (se recuerda que los datos almacenados se invierten por el amplificador 16_1 en el lateral izquierdo del sistema), las cargas sobre las capacitancias de carga 34

15. y 33 en el tiempo t_0 , en este ejemplo, se exponen en las figuras 7B y C. En este ejemplo, la capacitancia de carga izquierda 34 se encuentra en un voltaje esencialmente de masa y la capacitancia de carga derecha 33 se encuentra en $-V_N$, representando la carga total de nodo procedente de la fuente

25. de carga $-V_1$ (en la figura 6) al término de un ciclo completo.

En un ejemplo típico, la fuente del potencial de carga $-V_1$ es de -12 voltios y $-V_N$ es del orden de -12 voltios. En este caso, la carga V_N se aplica desde la fuente de volta-



je constante $-V_1$ a través del transistor de carga derecha 77, que se encuentra constantemente activado, tal como se ha expuesto en conexión con el ejemplo precedente, a partir de una fuente de potencial $-V_2$, y como constituye un punto común $-V_2$ puede ser la misma fuente que $-V_1$. Al igual que en las modalidades precedentes, en este caso se ha activado el transistor 67 de flip-flop izquierdo y se descarga la capacitancia de carga izquierda 34 a través del transistor 67 a la masa del circuito 76. Como en el ejemplo precedente, los transistores 77 y 78 funcionan meramente como resistencias de carga que conectan la fuente de carga $-V_1$ a los nodos respectivos 2 y 1.

En la modalidad de la figura 6, en el tiempo t_0 , cuando el transistor de cortocircuito 200 es activado para conectar el nodo 1 al nodo 2, se igualiza rápidamente el potencial en los dos nodos por el hecho de que la capacitancia de carga derecha 33 comparte su carga con la capacitancia de carga izquierda 34. Esto se representa por medio de las formas de onda convergentes 201 y 202 de las figuras 7B y C, entre los tiempos t_0 y t_1 . (La operación inversa se produce, evidentemente, cuando la capacitancia de carga izquierda 34 es la que se carga previamente, de modo que al alcanzarse el tiempo t_1 , las cargas en las capacitancias 33 y 34 son iguales, independientemente de cual se cargó primero).

Cuando las cargas se igualizan de este modo entre t_0 y t_1 , los parámetros del circuito ($-V_1$, las características de los transistores 77, 78, 66 y 67 y las capacitancias 33, 34) se eligen, preferentemente, de modo que el transistor 66 previamente inactivo se active parcialmente y la conducción del transistor inicialmente activo 67 se reduzca de modo que resulte



- también parcialmente activo. Así pues, los transistores 66 y 67 se vuelven, en efecto, resistencias antes del tiempo t_1 , conduciendo una porción de la carga de la fuente desde $-V_1$ a masa 76, mientras que se establece una carga inicial de regulación previa $-V_X$ en ambas capacitancias de carga 33 y 34. En el ejemplo previamente expuesto, la carga inicial igualizada V_X es del orden de -3 voltios, la cual se regula para que sea ligeramente mas negativa que la tensión límite de los transistores 66 y 67, en cuyo caso éstos tienen mucha mas resistencia que con $-V_N$ en sus electrodos de puerta.
5. Debe hacerse constar que esta versión ofrece una importante ventaja de velocidad sobre las modalidades previas, en donde ambas capacitancias 33 y 34 se descargan a masa antes de iniciarse el ciclo de refresco, debido a que el capacitador 33 o 34, que se carga negativamente después del tiempo t_1 , tiene una menor diferencia de voltaje para que suponga obstáculo. Otra ventaja sobre la realización de la figura 4 estriba en que utiliza un transistor menos, de lo que resulta un circuito de menor tamaño y mayores rendimientos.
10. A partir de esta etapa (t_1) hacia delante, el ciclo es esencialmente igual a como se ha descrito previamente en conexión con las figuras 2 y 3. En t_1 , el reloj ϕ_A tiende a masa para el resto del ciclo, suprimiendo el cortocircuito entre los nodos 1 y 2 y reaislando, de este modo, las capacitancias de carga 33 y 34, tal como se ha descrito previamente.
15. En t_1 , la barra de dirección seleccionada Y (Y_1 en el ejemplo) se activa también (figura 7D), tal como se ha descrito anteriormente (figura 2B), para conectar el capacitador de memoria seleccionado 41 al nodo 1; Luego, al igual que anterior-
- 20.
- 25.



mente, la capacitancia combinada 41 + 34 dispara la capacitancia 33 para activar de forma mas completa un transistor seleccionado de los transistores 66 y 67, siendo la única diferencia que el disparo se inicia a partir del valor límite recién igualizado $-V_X$ en vez de a partir de 0 voltios.

5.

Ahora se describirá el procedimiento de refrescar un "1" en el capacitor 41. Concretamente, cuando el capacitor de memoria 41 comienza a 0 voltios en el tiempo t_1 , la fuente $-V_1$ carga adicionalmente la capacitancia derecha

10.

33 a una velocidad más rápida después de t_1 debido a que, en el lateral izquierdo, se comparte la carga con el capacitor de memoria seleccionado 41 que comienza en 0. En este caso, el transistor 67 izquierdo se activa por completo, lo cual hace que se conecten a masa las capacitancias 41 y 34 en el lateral izquierdo, y se desconecta por completo el transistor derecho 66, y, a continuación, se inhibe el funcionamiento de dicho transistor durante el resto del primero ciclo t_0 a t'_0 .

15.

Este ejemplo se ilustra en el ciclo I, en la parte izquierda de la figura 7 (formas de onda B y C), en donde las capacitancias 34 y 41 se descargan rápidamente hasta un potencial próximo a masa a través del transistor activo 67, tal como se indica mediante la curva de descarga 203 en la figura 7B, mientras que la capacitancia 33 queda libre para cargarse totalmente hasta $-V_N$, tal como se indica con la curva de carga 204 de la figura 7C. Cuando se alcanza el tiempo de ciclo t_2 se completa la operación de refresco, al igual que en el ejemplo precedente, y se obtiene una situación estable, en cuyo tiempo (t_2 a t'_0) puede llevarse a cabo la

20.

25.



operación de lectura exactamente tal como se ha descrito previamente.

- Se apreciará que cuando se selecciona por la barra Y_{k+1} o Y_{k+2} un capacitador de memoria de banco derecho y
5. cuando se encuentra previamente a 0 voltios (0 binario), éste se refrescará de forma exactamente igual, pero en forma inversa con el transistor derecho 66 activo y la capacitancia combinada de 33 y 43 o 44 selectivamente descargada a través del transistor 66 a masa.
 10. El procedimiento de escritura de un "0" sobre el capacitador 41, representado en el ciclo II de la figura 7, se explicará a continuación. En el tiempo t'_0 , se aplica un impulso de masa ("0" binario) al terminal de datos 24 del amplificador de escritura 22, que es habilitado por una señal de "escritura" en el terminal 23 para enviar la señal de datos de masa al nodo 2 a través del transistor de puerta 21₁, el cual se activa (figura 7E) para la totalidad del ciclo de escritura, tal como se ha descrito previamente. Así pues, en el tiempo t'_0 a t'_1 , la capacitancia de carga derecha 33 descarga a masa la señal de datos "0" (curva 210 de la figura 7C),
 20. en cuyo tiempo las capacitancias 33 y 34 se encuentran en masa y ambos transistores 66 y 67 están totalmente desactivados. Se apreciará que esta conexión a masa de ambas capacitancias de carga 33 y 34 tiene lugar únicamente en un ciclo de escritura cuando debe escribirse un cero y el nodo 2 ha sido cargado en el ciclo previo. En el tiempo t'_0 , el impulso de reloj ϕ_A activa el transistor de cortocircuito 200, impidiendo que el transistor de carga 78 recargue el nodo 1 negativamente durante t'_0 a t'_1 .
 - 25.



- En t'_1 , ϕ_A vuelve a masa para eliminar el cortocircuito entre los nodos 1 y 2 y el capacitador de memoria seleccionado 41 se conecta de nuevo al nodo 1 cuando el impulso Y_1 activa el transistor seleccionado 36. Inmediatamente después de t'_1 , la fuente $-V_1$ carga las capacitancias laterales izquierdas 41 y 34 en paralelo a través del transistor de carga 78 (curva 211, figura 7B) activando el transistor 66, mientras que la capacitancia de carga derecha 33 continua esencialmente a 0 voltios (curva 212, figura 7C) debido a que se conecta a la masa de entrada de datos en el terminal 24. Por consiguiente, la carga anterior, caso de existir, en el capacitador de célula seleccionado 41 es extralimitada por el impulso de escritura y se escribe un "0" de forma invertida (por el amplificador de refresco de percepción 16_1) en el capacitador 41, que se aísla luego en el tiempo t''_0 , tal como se ha descrito previamente, cuando la barra Y_1 seleccionada vuelve a masa y se desactiva el transistor de célula 36.
5. de t'_1 , la fuente $-V_1$ carga las capacitancias laterales izquierdas 41 y 34 en paralelo a través del transistor de carga 78 (curva 211, figura 7B) activando el transistor 66, mientras que la capacitancia de carga derecha 33 continua esencialmente a 0 voltios (curva 212, figura 7C) debido a que se conecta a la masa de entrada de datos en el terminal 24. Por consiguiente, la carga anterior, caso de existir, en el capacitador de célula seleccionado 41 es extralimitada por el impulso de escritura y se escribe un "0" de forma invertida (por el amplificador de refresco de percepción 16_1) en el capacitador
10. 41, que se aísla luego en el tiempo t''_0 , tal como se ha descrito previamente, cuando la barra Y_1 seleccionada vuelve a masa y se desactiva el transistor de célula 36.

- El procedimiento de refrescar un "0" en el capacitador 41 es esencialmente igual que el descrito en conexión con la figura 3, exceptuando el funcionamiento inicial del amplificador 16_1 . En el tiempo t''_0 , el impulso de reloj ϕ_A tiende a negativo para igualizar las cargas en los nodos 1 y 2 (capacitancias 33 y 34), de modo que ambas se muevan hacia $-V_X$ tal como se ha descrito anteriormente y como se indica por las curvas 221 y 222 de las figuras 7B y C. Se apreciará que las curvas 221 y 222 constituyen lo inverso de 201 y 202 en el ciclo I y que la carga $-V_X$ en el t''_1 corresponde exactamente al estado en el tiempo t_1 del ciclo I. Sin embargo, en este ejemplo, en el tiempo t''_1 cuando el ϕ_A de reloj vuelve
20. con la figura 3, exceptuando el funcionamiento inicial del amplificador 16_1 . En el tiempo t''_0 , el impulso de reloj ϕ_A tiende a negativo para igualizar las cargas en los nodos 1 y 2 (capacitancias 33 y 34), de modo que ambas se muevan hacia $-V_X$ tal como se ha descrito anteriormente y como se indica por las curvas 221 y 222 de las figuras 7B y C. Se apreciará que las curvas 221 y 222 constituyen lo inverso de 201 y 202 en el ciclo I y que la carga $-V_X$ en el t''_1 corresponde exactamente al estado en el tiempo t_1 del ciclo I. Sin embargo, en este ejemplo, en el tiempo t''_1 cuando el ϕ_A de reloj vuelve
25. que las curvas 221 y 222 constituyen lo inverso de 201 y 202 en el ciclo I y que la carga $-V_X$ en el t''_1 corresponde exactamente al estado en el tiempo t_1 del ciclo I. Sin embargo, en este ejemplo, en el tiempo t''_1 cuando el ϕ_A de reloj vuelve



a masa y el capacitador de memoria seleccionado 41 se conecta al nodo 1, el capacitador 41 almacena una carga $-V_M$. Esta carga, adicionada a la carga del capacitador 34 produce la condición de disparo para activar totalmente el transistor derecho 66 y desactivar por completo el transistor izquierdo 67.

5. De este modo se reestablece la carga completa $-V_M$ en el capacitador de memoria 41 a partir de la fuente $-V_1$ (curva 223) y se descarga la capacitancia 33 a masa (curva 224) a través del transistor 66.

10. Otra ventaja en el circuito representado en la figura 6, como en la modalidad de la figura 4, estriba en que el ϕ_A de reloj funciona únicamente para activar y desactivar un transistor único (200), con lo que éste casi no consume corriente. Debido a que los circuitos de accionamiento del reloj se fabrican comunmente en la micropastilla de circuito integrado,

15. resulta muy ventajoso reducir al mínimo la energía siempre que sea posible. Con fines comparativos se apreciará que en el ejemplo de la figura 3 el ϕ de reloj tiene que suministrar todas las corrientes de carga, mientras que en la figura 6 (y 4),

20. la energía de carga procede de una fuente fija, tal como la $-V_1$, que se dispone exteriormente a la micropastilla.

En vista de la descripción que precede del funcionamiento de tres realizaciones específicas del invento resultará evidente que se proporciona una memoria de acceso al azar de

25. actuación extremadamente rápida, que utiliza una capacitancia única (tal como la 41) y un transistor de acceso (como el 36) para cada célula de memoria 12, precisándose un mínimo de componentes de circuito y energía y siendo necesario tan solo un impulso único de un reloj monofásico requerido para el funcio-



namiento del sistema de memoria (aparte de las entradas de dirección).

- Una ventaja significativa, y ahorro en los conductores componentes del circuito y estado real del circuito integrado, radica en el empleo de la mitad derecha 17 de cada barra I/O, tal como X_1 , para todas las entradas y salidas externas a la memoria (amplificador de "escritura" 22 y amplificador de "lectura" 27), y el empleo de amplificadores de detección-refresco tal como 16_1 , como inversores para escribir en el banco izquierdo de las células y para establecer la reinversión, con la lectura, del banco izquierdo 18.

- Así pues, en esencia, la mitad izquierda 18 de cada barra I/O, tal como X_1 , sirve únicamente como un conductor o barra de entrada/salida para conectar cualquier célula de memoria seleccionada 12 del banco izquierdo al nodo 1 del amplificador 16_1 , pero no puede conectarse, por otra parte, o no es conectable a cualquier circuito externo por su extremo externo. Como contraste, la mitad derecha 17 de la barra I/O sirve como un conductor I/O para el banco derecho de células, conectado por su extremo interno al nodo 2 del inversor/amplificador 16_1 , pero es también conectable, por su extremo externo (a través de la puerta o transistor 21_1 de decodificador X) a los circuitos de lectura y escritura externa que constituyen las únicas entradas de datos para la memoria y las salidas de ésta.

Si bien se ha descrito el invento utilizando transistores de modo de aumento de canal "p", en donde se utilizan señales negativas de reloj y de datos para activar los transistores con el fin de manipular los datos, pueden utili-



- zarse otros tipos de transistores de efecto de campo que utilicen lo contrario que estas señales o que utilicen señales positivas y de masa para accionar los transistores, así como sistemas transistores complementarios que utilicen una mezcla de dispositivos de canal "p" y "n".
- 5.

En las solicitudes de patentes británicas n^os. 21771/70, 21772/70, 21773/70 y 49929/70 se describen detalles adicionales sobre la construcción y funcionamiento de estos circuitos de transistores de efecto de campo, así como ejemplos de circuitos decodificadores y puertas que pueden utilizarse en combinación con este invento.

10.

= . =

REIVINDICACIONES

- Descrito el objeto del presente invento, se declaran nuevas y de propia invención las siguientes reivindicaciones, con prioridad de la solicitud de patente U.S.A. n^o 361.377 del 17 de Mayo de 1973.
- 15.

1.- Perfeccionamientos en un sistema de memoria que incluye una célula de memoria dotada de capacidad para almacenar carga representativa de datos binarios y medios para refrescar dichos datos que comprenden un primer y segundo terminal, conectándose dicho primer y segundo terminal respectivamente a una primera y segunda capacitancia de valor sustancialmente igual, caracterizados porque dichos medios de refresco (16₁) se proveen para proporcionar en dichos terminales (nodo 1, nodo 2) un potencial inicial y un segundo potencial de mayor magnitud que dicho potencial inicial en respuesta, con el funcionamiento, a una señal de reloj que tiene un primer y segundo valor respectivamente, siendo conectable en paralelo di-

20.

25.

20



cha capacitancia de memoria (41) a una de dichas primera (34) y segunda (33) capacitancias, cargándose dicha combinación paralela de dicha capacitancia de memoria (41) y de dicha capacitancia (33 o 34), en respuesta a dicha señal de reloj de

5. segundo valor hacia dicho segundo potencial con una velocidad mas lenta o mas rápida que la velocidad de carga de la otra capacitancia referida (33 o 34) dependiendo del estado inicial de dicha capacitancia de memoria (41) y siendo aptos dichos medios de refresco (16₁) para devolver a dicha capacitancia

10. de memoria el estado inicial referido en respuesta a la velocidad de carga diferencial entre dicha primera (34) y segunda (33) capacitancia.

2.- Perfeccionamientos, de conformidad con la reivindicación 1, caracterizados porque dichos medios de refresco

15. incluyen un primer (figura 1,67, figura 3,92) y un segundo (figura 1,66, figura 3,91) dispositivo de puerta, comprendiendo cada uno dos electrodos controlados (figura 1,69,74 o 72,73) y un electrodo de control (figura 1,71 o 68), conectándose el electrodo de control (71,68) de cada uno de dichos dispositivos a un terminal respectivo de dichos terminales (nodo 2, nodo 1) y a uno de los electrodos controlados (72,69) del otro de los dispositivos citados, y conectándose entre sí el otro de dichos electrodos controlados (73,74) de cada uno de dichos dispositivos, siendo aptos dicho primer (67) y segundo (66)

20. dispositivo de puerta para responder a dicho coeficiente de carga diferencial entre dichas primera (34) y segunda (33) capacitancias para devolver el estado inicial referido a dicha capacitancia de memoria (41).

RO



3.- Perfeccionamientos, de conformidad con la reivindicación 1 o 2, caracterizados porque dichos medios de refresco incluyen medios para recibir dicha señal de reloj y un par (78, 77) de medios de resistencia, para conectar cada uno de dichos medios de recepción (19) a un terminal respectivos de dichos terminales (nodo 1, nodo 2) para proporcionar en este punto dicho inicial y segundo potencial.

4.- Perfeccionamientos, de conformidad con la reivindicación 2, caracterizados porque dichos medios de refresco (16'₁) incluyen un par (94,93) de medios de resistencia para conectar, cada uno, un potencial constante (en 97) a un terminal respectivo de dichos terminales primero (nodo 1) y segundo (nodo 2) y un tercer (99) y cuarto (98) dispositivo de puerta comprendiendo cada uno dos electrodos controlados (108, 109 o 106, 107) y un electrodo de control (102 o 101), acoplándose cada uno de dichos electrodos controlados de dichos tercer (99) y cuarto (98) dispositivos de puerta a un respectivo electrodo controlado citado de dichos primero (92) y segundo (91) dispositivos de puerta y acoplándose entre sí sus electrodos de control (102, 101) y siendo aptos para recibir dicha señal de reloj (en 19'), adaptándose dicho par (94, 93) de medios de resistencia y dichos tercer (99) y cuarto (98) dispositivos de puerta para cooperar con el fin de proporcionar dicho inicial y dicho segundo potencial en dicho primer terminal y en dicho segundo terminal.

5.- Perfeccionamientos, de conformidad con la reivindicación 2, caracterizados porque dichos medios de refresco (16'₁) incluyen un par de medios de resistencia (78, 77) para conectar cada uno un potencial constante ($-V_1$) a un terminal

16 MAYO 1974



respectivo de dichos primero (nodo 1) y segundo (nodo 2) terminales y un tercer dispositivo de puerta (200) conectado entre dicho primer y segundo terminal, siendo aptos para cooperar dicho par de medios de resistencia y dicho tercer dispositivo de puerta con el fin de proporcionar dicho inicial y dicho segundo potencial en dicho primer terminal y en dicho segundo terminal.

5. 6.- Perfeccionamientos, de conformidad con cualquiera de las reivindicaciones 3 a 5, caracterizados porque dichos medios de resistencia (78, 77) comprenden un dispositivo de puerta.

10. 7.- Perfeccionamientos, de conformidad con cualquiera de las reivindicaciones precedentes, caracterizados porque dicha célula de memoria (12) comprende un dispositivo de puerta (36) con dos electrodos controlados (47, 48) y un electrodo de control (46), conectándose dicho electrodo de control (46) a una barra de dirección (Y_1) para habilitar dicho dispositivo de puerta (36) con el fin de que conecte dicha capacitancia de memoria (41) en paralelo con la capacitancia referida, conectándose uno de dichos electrodos controlado (47) a uno de dichos terminales primero (nodo 1) y segundo (nodo 2), comprendiendo el otro electrodo controlado (48) dicha capacitancia de memoria (41) y conectándose a una barra de dirección (Y_2) para habilitar una célula de memoria adyacente.

15. 20. 25. 8.- Perfeccionamientos, de conformidad con las reivindicaciones precedentes en un sistema de memoria que incluye una primera y segunda pluralidad de células de memoria, presentando cada una de dichas células capacidad para almacenar carga representativa de datos binarios, medios para la





- lectura y/o escritura de datos binarios sobre una célula de memoria seleccionada referida, caracterizados porque dichos medios de lectura y/o escritura incluyen medios (16_1) para invertir señales de datos que tienen primero (nodo 1) y segundo (nodo 2) terminales, un primer conductor (18) para conectar dicha primera pluralidad (14) de células de memoria (12) a dicho primer terminal (nodo 1), conectándose un extremo de dicho primer conductor (18) a dicho primer terminal (nodo 1) y dejándose sin conectar su otro extremo para cualquier circuito externo, un segundo conductor (17) para conectar dicha segunda pluralidad (13) de células de memoria (12) a dicho segundo terminal (nodo 2), conectándose un extremo de dicho segundo conductor (17) a dicho segundo terminal (nodo 2) y utilizándose su otro extremo para recibir señales de lectura o escritura, y medios ($Y_1, Y_2 \dots Y_k$) para dirigir selectivamente dicha primera (14) y segunda (13) pluralidad de células de memoria para conectar una de dichas células de memoria seleccionada a dicho primer (18) o dicho segundo (17) conductor, siendo el sistema de modo que, con el funcionamiento, en el caso de datos escritos en dicha célula de memoria seleccionada de dicha primera pluralidad (14) se aplica una señal de datos de entrada, a través de dicho segundo conductor (17), a dicho segundo terminal (nodo 2), se invierte por dichos medios inversores (16_1) y se transmite, a través de dicho primer terminal (nodo 1), a la célula de memoria seleccionada de dicha primera pluralidad, en donde se almacena en forma inversa sobre su capacitancia de memoria (41), o en caso de datos de lectura procedentes de una célula de memoria seleccionada de dicha primera pluralidad (14) referida, se
- 5.
 - 10.
 - 15.
 - 20.
 - 25.

Ry



aplica la señal almacenada en la célula de memoria de la primera pluralidad a dicho primer terminal (nodo 1), se invierte por dichos medios inversores (16_1) y se aplica, a través de dicho segundo terminal (nodo 2), a dicho segundo conductor (17) en su forma normal, escribiéndose y/o leyéndose en forma normal sobre una célula de memoria seleccionada de dicha segunda pluralidad (13).

5.

9.- Perfeccionamientos, de conformidad con la reivindicación 8, caracterizados porque los conductores primero

10.

(18) y segundo (17) citados comprenden una primera (34) y segunda (33) capacitancia respectivamente de valor sustancialmente igual, preveyéndose dichos medios inversores (16_1) para proporcionar en dicha primer (34) y segunda (33) capacitancia un potencial inicial y un segundo potencial de mayor magnitud

15.

que dicho potencial inicial en respuesta, con el funcionamiento, a una señal de reloj que tiene un primer y un segundo valor respectivamente, conectándose en paralelo la capacitancia de memoria (41) de una de dichas células seleccionada de dicha primera pluralidad de células (14) a dicha primera capacitancia (34), cargándose dicha combinación paralela de dicha capacitancia de memoria (41) y dicha primera capacitancia (34), en respuesta a dicho segundo valor de la señal de reloj, hacia dicho segundo potencial con una velocidad mas lenta o

20.

mas rápida que la velocidad de carga de dicha segunda capacitancia (33) dependiendo del estado inicial de dicha capacitancia de memoria y siendo aptos dichos medios inversores (16_1) para invertir los datos de entrada que han de escribirse sobre dicha célula de memoria seleccionada (12) de la primera pluralidad referida (14) en respuesta a la velocidad de carga

25.

Roy



diferencial entre dicha primera (34) y segunda (33) capacitancias.

- 10.- Perfeccionamientos, de conformidad con la reivindicación 8 o 9, caracterizados porque los medios de dirección citados comprenden una pluralidad de barras de dirección, ($Y_1 \dots Y_k$), presentando cada una de dichas células de memoria (12) un dispositivo de puerta (36) con dos electrodos controlados y un electrodo de control (46), conectándose dicho electrodo de control (46) a una de dichas barras de dirección (Y_1) para habilitar dicho dispositivo de puerta (36) con el fin de conectar su capacitancia de memoria (41) a dichos medios inversores (16_1), conectándose uno de dichos electrodos controlado (47) a uno de dichos primero (nodo 1) y segundo (nodo 2) terminales, comprendiendo el otro electrodo controlado (48) dicha capacitancia de memoria (41) y conectándose a una barra de dirección adyacente (Y_2) de las citadas para habilitar una célula de memoria adyacente de las citadas.
5. 10. 15.

- 11.- Perfeccionamientos, de conformidad con las reivindicaciones precedentes, en un sistema de memoria que incluye una pluralidad de células de memoria, medios para la lectura y/o escritura de señales de datos en dichas células de memoria y una pluralidad de barras de dirección para habilitar cada una de ellas una célula de memoria respectiva citada con el fin de conectarla a dichos medios de lectura y/o escritura, incluyendo cada una de dichas células de memoria un dispositivo de puerta dotado de dos electrodos controlados y un electrodo de control, conectándose sus electrodos de control a una barra de dirección respectiva citada, conec-
20. 25.

Rg



tándose uno de los electrodos controlados a dichos medios de lectura y/o escritura y comprendiendo su otro electrodo controlado capacidad para almacenar carga representativa de dichos datos, caracterizados porque dicho otro electrodo controlado (48) se conecta a una barra de dirección (Y_2) para habilitar una de dichas células de memoria adyacente.

- 5.
- 12.- Perfeccionamientos, de conformidad con las reivindicaciones precedentes, para refrescar datos binarios sobre una célula de memoria dotada de capacidad para almacenar carga representativa de dichos datos, caracterizados porque incluyen proporcionar un potencial inicial a una primera (34) y segunda (33) capacitancia de un valor sustancialmente igual en respuesta a una señal de reloj de primer valor, proporcionar un segundo potencial de mayor magnitud que dicho potencial inicial a dicha primera (34) y segunda (33) capacitancia en respuesta a una señal de reloj de segundo valor y conectar dicha capacitancia de memoria (41) en paralelo con una de dichas capacitancias (34 o 33) de modo que la combinación paralela de dicha capacitancia de memoria (41) y dicha capacitancia se carguen, en respuesta a dicha señal de reloj de segundo valor, hacia dicho segundo potencial con una velocidad mas lenta o mas rápida que la velocidad de carga de la otra de dichas capacitancias según sea el estado inicial de dicha capacitancia de memoria (41) y refrescando dicha célula de memoria (12) para devolver dicho estado inicial en respuesta a la velocidad de carga diferencial entre dichas capacitancias.
- 10.
- 15.
- 20.
- 25.

13.- Perfeccionamientos en un sistema de memoria.

Según se describe y reivindica en la presente memo-



ria descriptiva que consta de 51 páginas foliadas y escritas a máquina por una sola de sus caras y acompañados de los dibujos reglamentarios.

Madrid, a 16 Mayo 1974

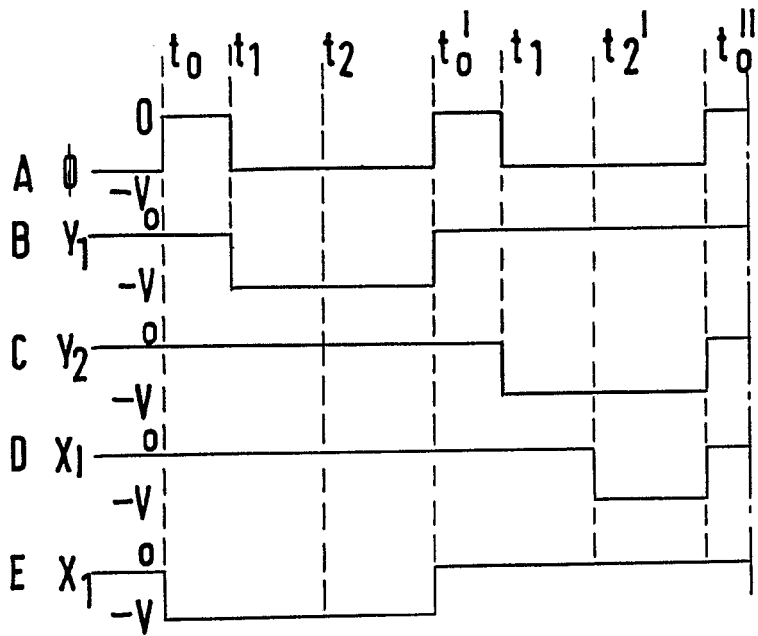
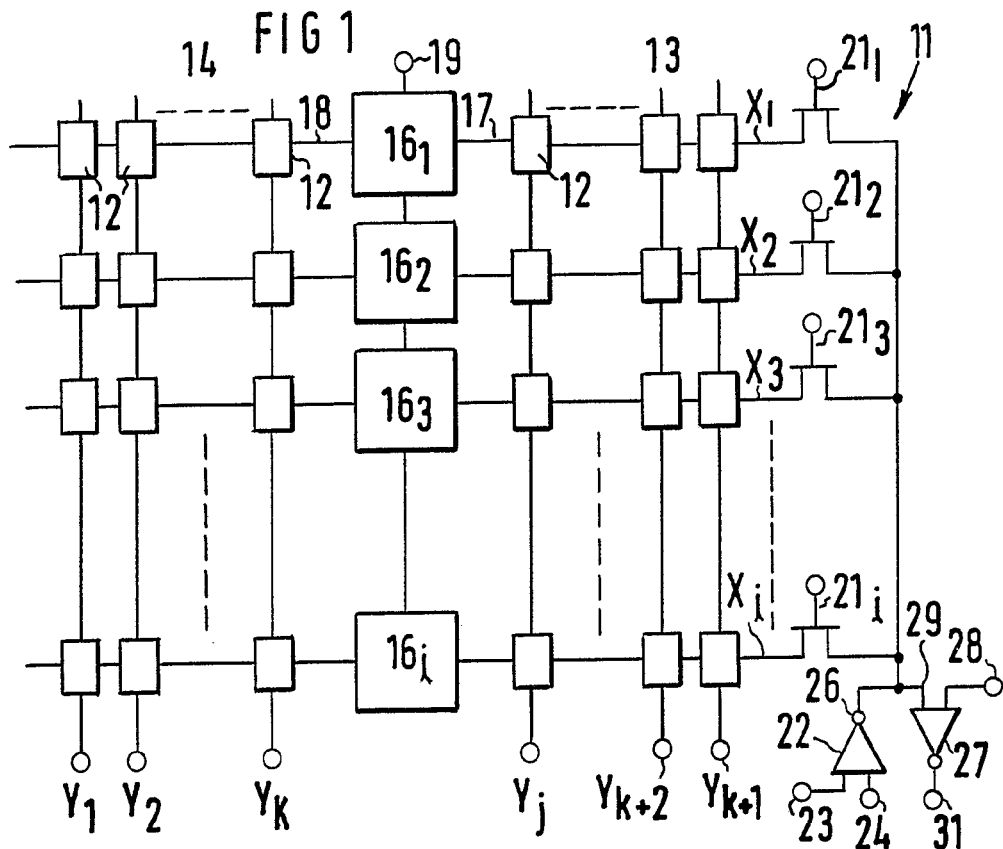
p.a. JAIMI IGERN
P. P.

A large, stylized handwritten signature in black ink, appearing to read "Felipe Prieto".

FELIPE PRIETO

mpc.

A handwritten signature in black ink, appearing to read "Apey".



Madrid, a 16 MAYO 1974

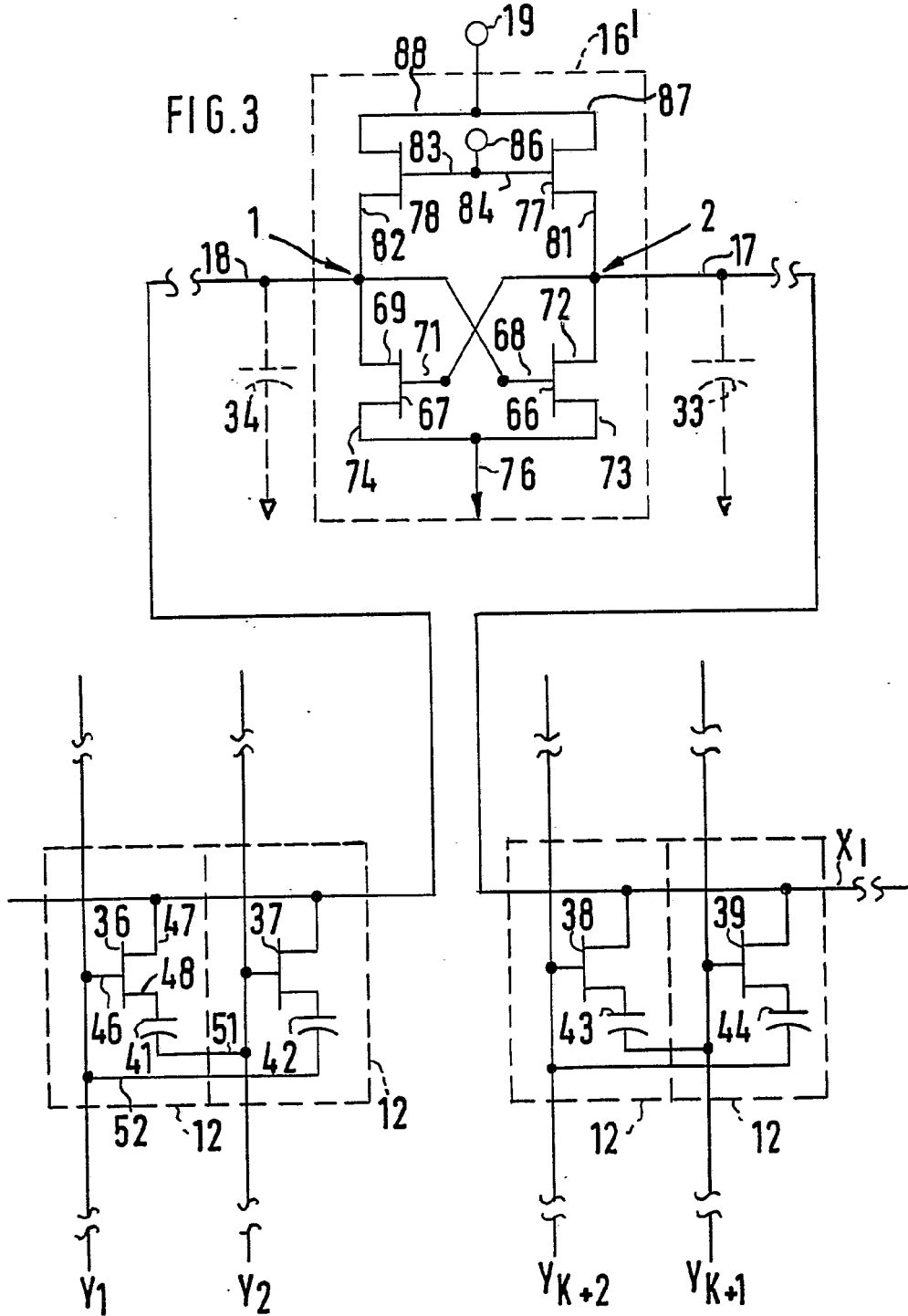
FELIPE ISERN

P. P.

FELIPE PRIETO



FIG. 3



Madrid, a 16 MAYO 1974

p.a.

JAIME ISERN

P.P.

J. Isern

FELIPE PRIETO

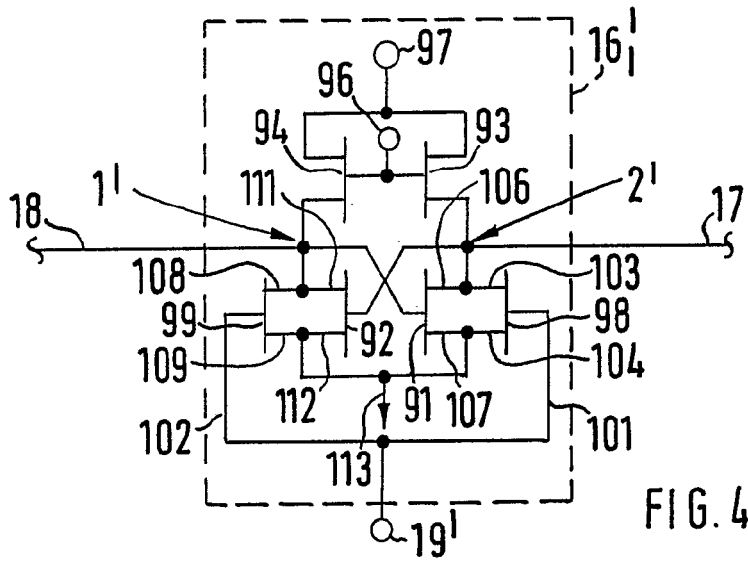


FIG. 4

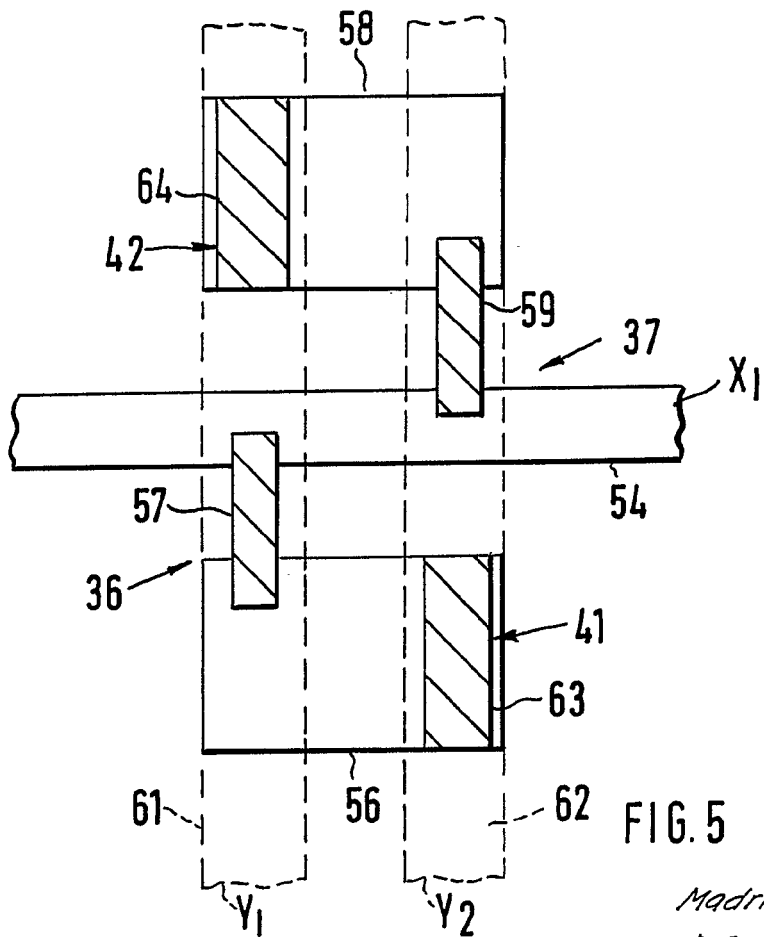
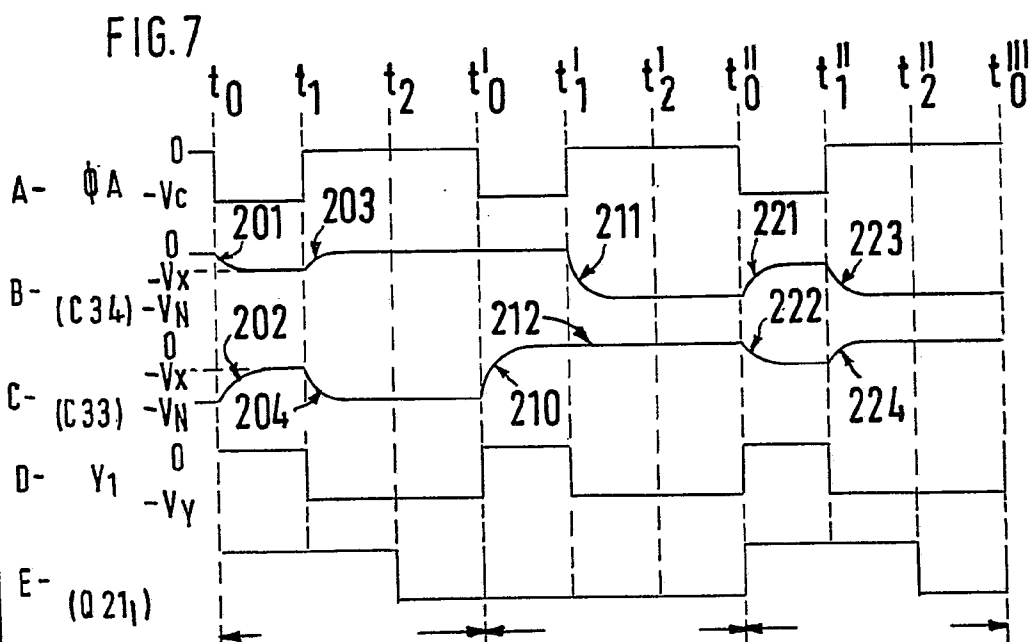
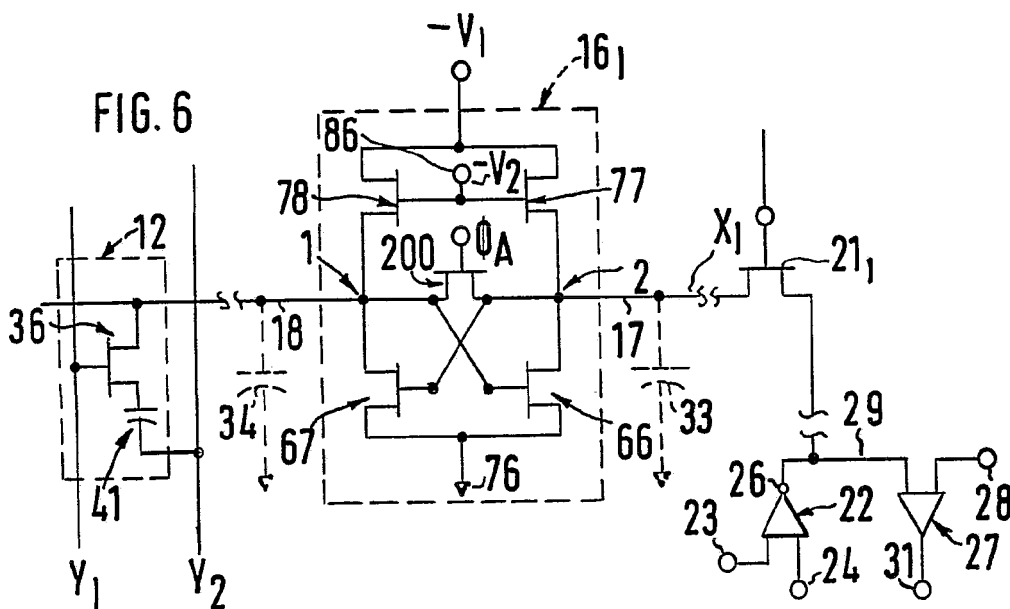


FIG. 5

Madrid, a 1-6 MAYO 1974

p.a.
JAIME ISERN
P. P.

Firmado: FELIPE PRIETO



Madrid, a 16 MAYO 1974

p. a.

JAIME ISERN

P. P.

Firmado: FELIPE PRIETO