



425145

F.C. 8-1-76

45

Int. Cl. H03K

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN  
ESPAÑA POR: "UN METODO PARA CONVERTIR UNA SEÑAL DE DATOS EN  
CODIGO BINARIO EN OTRA SEÑAL EN CODIGO DE DOS IMPULSOS CON  
LA MISMA POLARIDAD Y OTROS DOS CON POLARIDAD OPUESTA POR CA-  
DA BIT", A NOMBRE DE STANDARD ELECTRICA, S.A., CON DOMICILIO  
EN MADRID, CALLE DE RAMIREZ DE PRADO Nº 5.

5 El presente invento se refiere a un método para  
 convertir una señal de datos en código binario en una señal  
 en código de dos impulsos con la misma polaridad y otros dos  
 con polaridad opuesta por cada bit, en donde la frecuencia  
 es la de un reloj transmisor cuando la señal de datos es ba-  
 ja (alta), y la mitad de dicha frecuencia cuando la señal de  
 datos es alta (baja), y en donde siempre cambia de estado el  
 código cuando cambia el estado de la señal de datos.

10 Tal código y una señal en la que esta frecuencia  
 de código está dividida por dos no contienen componentes D.C. y  
 están consideradas como de una gran ventaja para la transmi-  
 sión de datos a través de cables en una red telefónica local.

425145

2. 8 AB



Expresándolo en otras palabras, el nuevo código es un código en donde se transmiten dos impulsos de línea con polaridad idéntica por cada bit de datos, el cual es binario "0" ("1"), y dos impulsos de línea con polaridad opuesta por cada bit de datos, el cual es binario "1" ("0"). Además, la polaridad de los impulsos de línea están cambiados en la transición entre cada dos bits de datos.

Sería posible obtener tal conversión simplemente puertando el reloj transmisor con la señal de datos, pero esto debe evitarse dado que se produzcan transitorios que habría que eliminar mediante filtros.

El objetivo del presente invento es proporcionar un convertidor de señal que esté libre de transitorios y que sea de funcionamiento sencillo.

La principal característica del invento está en que se obtiene la frecuencia de código más elevada combinando la señal de datos con la señal de reloj para producir dos señales de la mitad de la frecuencia de reloj, las cuales se aplican a una puerta de exclusión 0.

Otra característica del invento está en que, de la señal de frecuencia del reloj transmisor se derivan una primera señal con una frecuencia que es la mitad de la frecuencia del reloj transmisor y con una conmutación de nivel por cada borde de impulso negativo (positivo), y una segunda señal con una conmutación de nivel por cada borde de impulso positivo (negativo), pero en el cual el proceso de conmutación se realiza solamente cuando la señal en código binario es el lógico "1" (lógico "0"). Las señales primera y segunda así obtenidas se aplican a una puerta de exclusión 0, a cuya salida se obtiene la señal codificada según el nuevo código.

425145

3.



Otras características y objetivos del presente in  
vento aparecerán más claramente en la descripción que sigue  
de dos configuraciones del mismo, y de los dibujos que se acom  
pañan, en los cuales:

- 5 - la Fig. 1 muestra esquemáticamente una primera configuración  
del invento,
- la Fig. 2 es un diagrama de señal que muestra las principa-  
les señales que aparecen en la Fig. 1,
- la Fig. 3 muestra esquemáticamente otra configuración del in  
10 vento,
- la Fig. 4 es el diagrama de señal correspondiente.

En la Fig. 1 aparecen las señales de datos 1 como  
originadas en una fuente de datos 2, pero el origen de estas  
señales no tiene importancia para la materia del invento. Sin  
15 embargo, las señales 1 se conforman y temporizan en relación  
con la señal de impulso de reloj 3, como se ilustra en la Fig.  
2. Existe un generador de impulso de reloj 4 para la genera-  
ción de los impulsos de reloj 3.

Como se indica, la señal se aplica a las entradas  
20 de excitación de dos circuitos flip-flop 5 y 6, y la salida 7  
del flip-flop J-K 5 es simplemente una división por dos.

La señal de datos 1 se aplica a una puerta de ex  
clusión 0, 8, junto con la señal de salida Q del flip-flop  
de retardo 6. La señal de salida 9 tiene también la frecuencia  
25 del reloj transmisor dividida por dos, pero retrasada medio  
ciclo de reloj utilizando la otra fase de la frecuencia del  
reloj transmisor. Además, la conmutación de la señal 9 se inhi  
be cuando la señal de datos 1 es elevada. Cuando la señal de  
datos a la entrada de la puerta de exclusión 0 es baja, y la  
30 otra entrada ( $\bar{Q}$  del flip-flop 6) es baja, la salida 13 de la

425145

4.

9



puerta de exclusión 0, 8, es baja. El siguiente impulso de reloj 3 transferirá la salida 13 de la puerta 8 a la salida Q del flip-flop 5. La salida  $\bar{Q}$  del flip-flop 6 será alta, lo que hará que la salida 13 de la puerta 8 cambie de estado. De esta manera, la salida 9 del flip-flop 6 tiene una frecuencia que es la mitad de la frecuencia del reloj transmisor 3 en tanto que la señal de datos 1 sea baja. Cuando la señal de datos es alta, la salida 13 de la puerta 8 estará siempre en el mismo estado que la salida Q (señal 9) del flip-flop 6, y dicho flip-flop queda bloqueado en ese estado.

Las señales 7 y 9 se aplican a una puerta de exclusión 0, 10, para proporcionar el código P-FSK. Si se desea, este código puede dividirse por dos, cuando la línea requiera una frecuencia más baja. Esto puede realizarse mediante un flip-flop 11 como se indica.

La señal codificada en el nuevo código 6 1/2 del mismo se presenta a los circuitos de transmisión 12 a través de los cuales se transfiere la información a un receptor, en el otro extremo del cable, donde se decodifica mediante un decodificador especial. La Fig. 2 muestra casi todas las señales que aparecen en la Fig. 1.

En la Fig. 3 se muestra una configuración del invento ligeramente diferentes. A las señales y elementos de circuito idénticos a las señales y elementos de la Fig. 1, se les designa de la misma manera.

Las señales de reloj 3 se aplican al flip-flop 5 y también a un convertidor 15 que produce un corto impulso de pico 16 en cada borde positivo a su entrada. El flip-flop de retardo 6 de la Fig. 1 se ha sustituido por un flip-flop J-K, 17, al cual se aplica la señal de datos después de haberse in



invertido en el inversor 18. La señal de salida 9 es la misma en ambas configuraciones, y lo mismo sucede con los circuitos.

5 En la Fig. 3, se indica también como pueden reponerse los flip-flops. La Fig. 4 muestra casi todas las señales que aparecen en la Fig. 3.

Es claro que aparte de estas dos configuraciones, pueden aparecer otras cambiando las combinaciones de puerta y flip-flop.

10 Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo, y no debe considerarse como limitación de su alcance.

15 El presente invento corresponde a una solicitud de Patente formulada en Noruega, el día 13 de Abril de 1973, señalada con el Nº 1544/73 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

- - - - - NOTA - - - - -

20 Los puntos de invención propia y nueva que se presentan para que sean objeto de la presente patente por veinte años, son:

- 1.- Un método para convertir una señal de datos en código binario en otra señal en código de dos impulsos con la misma polaridad y otros dos con polaridad opuesta por cada bit, en donde la frecuencia es la del reloj transmisor cuando la señal de datos es baja (alta), y la mitad de dicha frecuencia cuando la señal de datos es alta (baja), y donde siempre cambia de estado el código cuando cambia de estado la señal de datos. Caracterizado porque se obtiene la frecuencia de código más elevada combinando la señal de datos con la señal de reloj, para producir dos señales de frecuencia la mitad de la del re-

425145

6. 9 ABR.



loj, las cuales se aplican a una puerta de exclusión 0.

2.- Un método, según el punto 1, caracterizado por que de la frecuencia del reloj transmisor (3) se derivan una primera señal (7) con una frecuencia que es la mitad de la frecuencia del reloj transmisor y con un nivel que cambia por cada borde de impulso negativo (positivo), y una segunda señal (9) con un nivel que cambia con cada borde de impulso positivo (negativo), pero donde este proceso de cambio se efectúa solamente cuando la señal codificada es el lógico "1" (lógico "0"), y porque la primera señal (7) y la segunda (9) así obtenidas, se aplican a una puerta de exclusión 0 (10) a cuya salida se obtiene la señal codificada en P-FSK.

3.- Un método para convertir una señal de datos en código binario en otra señal en código de dos impulsos con la misma polaridad y otros dos con polaridad opuesta por cada bit.

Tal y como se describe en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de seis hojas escritas por una sola cara.

Madrid,

9 ABR. 1974

  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL



