

424349

30



F.C. 3-12-75

P.- 57.054

424349

PHN 6821

Spain

HK/MC

Int. Cl.:

H01L

MEMORIA DESCRIPTIVA

para solicitar PATENTE DE INVENCION por 20 años

A nombre de N.V. PHILIPS'GLOEILAMPENFABRIEKEN

entidad holandesa

establecida en Emmasingel 29, Eindhoven, Holanda

por: "UN DISPOSITIVO DE TRANSFERENCIA DE CARGA"

(Clase Internacional H01L)

424349

30



El invento se refiere a un dispositivo de transferencia de carga, que comprende una serie de pasos, cada uno de los cuales incluye una primera y una segunda capacidades, que están interconectadas mediante el camino de corriente principal de al menos un transistor, constituyendo la segunda capacidad de cada uno de los pasos al mismo tiempo la primera capacidad del paso siguiente, incluyendo el circuito de electrodo de entrada del transistor la primera capacidad e incluyendo el circuito de electrodo de salida del transistor la segunda capacidad, mientras que puede estar conectada una fuente de tensión de conmutación entre el electrodo de control del transistor y el terminal de la primera capacidad que está alejado del circuito de electrodo de entrada. En un dispositivo conocido de este tipo, como se describe en "Digest of Technical Papers, I.E.E.E. Solid State Circuits Conference", de 1970, páginas 74, 75 y 185, el transistor es un transistor de efecto de campo. Los electrodos de control de los transistores de efecto de campo están interconectados en grupos formando así uniones a las cuales se aplican señales de conmutación, cuyo desfase aumenta en la secuencia de los números de orden de las uniones.

En este dispositivo conocido se encontró el

23.4.74

424349 30 A.D.R.



problema de que cuando es utilizado un gran número de pasos es perturbado el funcionamiento correcto debido al hecho de que en cada paso del dispositivo se degrada ligeramente la señal. Esto resulta evidente cuando se observa la respuesta a tensión de escalón del dispositivo conocido. Se pretende significar con esto que cuando la señal de entrada varía bruscamente de 0 voltios a V voltios, la señal de salida en la salida del dispositivo varía bruscamente desde 0 a $(V - \delta)$ voltios, siendo δ la tensión de error. Si el valor de la señal de entrada permanece subsiguientemente en V voltios, la señal de salida también tomará este valor. Dicho efecto influye de modo adverso en la respuesta de frecuencia del dispositivo. Dicha degradación de señal está originada, entre otras cosas, por el hecho de que la tensión de umbral de un transistor depende del valor ΔV de señal transferida. Cuando se utiliza un número relativamente pequeño de pasos, dicho efecto adverso será mínimo o nulo, pero cuando se utiliza un número relativamente grande de pasos, por ejemplo unos cuantos centenares, el efecto presentará problemas de mayor importancia. El efecto se produce especialmente cuando son utilizados como transistores los del tipo de efecto de campo. Esto es debido al hecho de que, por una parte, tiene lugar reacción electrostática desde



el electrodo de salida por intermedio del substrato hacia el canal entre el electrodo de entrada y el electrodo de salida del transistor de efecto de campo que es utilizado y porque, por otra parte, la longitud
5 del canal depende ligeramente de la tensión presente en el electrodo de salida. Para transistores de efecto de campo que tienen un substrato de alta resistividad es predominante la reacción electrostática, mientras que en transistores de efecto de campo que tienen un
10 substrato de baja resistividad el segundo efecto es predominante.

Un objeto del invento es proporcionar una solución al mencionado problema y el invento está caracterizado porque la primera y segunda capacidades, al
15 menos en un cierto número de pasos, son capacidades variables.

El invento está basado, entre otras cosas, en el reconocimiento de que la mencionada degradación de señal, también denominada error de señal de respuesta a escalón (SSRE) en la literatura técnica, durante
20 cada transferencia de carga entre la primera y segunda capacidades en cada paso depende también del cociente C_1/C_2 , donde C_1 es el valor de capacidad de la primera capacidad y C_2 es el valor de capacidad de la segunda
25 capacidad. En el dispositivo conocido anteriormente

424349



descrito este cociente es igual a la unidad por que
 $C_1 = C_2$. Si durante la transferencia de carga entre
una primera y una segunda capacidades se reduce el va-
lor de la primera capacidad y/o se aumenta el valor
de la segunda capacidad, resulta que $C_1/C_2 < 1$, de
modo que el mencionado error SSRE se reduce también en
este factor.

Se describirá el invento con referencia al
dibujo, en donde:

La figura 1 representa un dispositivo de
transferencia de carga,

La figura 2 representa las tensiones que
aparecen en diferentes puntos en el dispositivo cono-
cido en función del tiempo,

La figura 3 es un corte transversal de un
dispositivo de transferencia de carga integrado de
acuerdo con el invento,

La figura 4 es una vista en planta de un
dispositivo semiconductor integrado de acuerdo con el
invento,

La figura 5 es un diagrama de formas de onda
de las señales que han de aplicarse a las líneas de
señal de sincronismo en el dispositivo de acuerdo con
las figuras 3 y 4,

La figura 6 representa las capacidades de em-



424349 68 APR 1971

pobrecimiento utilizadas en el dispositivo de acuerdo con las figuras 3 y 4 en función de la carga contenida en ellas,

5 La figura 7 es un corte transversal de otra realización de circuito integrado del circuito de transferencia de carga de acuerdo con el invento,

La figura 8 es una vista en planta de la realización de la figura 7,

10 La figura 9 es un corte transversal esquemático de una modificación del dispositivo de acuerdo con las figuras 7 y 8,

La figura 10 es un corte transversal esquemático de una realización adicional,

15 La figura 11 es un corte transversal esquemático de una realización diferente,

La figura 12 es un corte transversal esquemático de aún otra realización,

20 La figura 13 es un corte transversal esquemático de una modificación del dispositivo de la figura 3.

25 En el dispositivo de acuerdo con la figura 1, los caminos de corriente principales de los transistores T_0, T_1, \dots, T_n de efecto de campo están conectados en serie. La capacidad C_0 está incluida entre el electrodo de salida y el electrodo de control del transis-

424349



tor T_0 . La capacidad C_1 está incluida entre el electrodo de salida y el electrodo de control del transistor T_1 . La capacidad C_n está interpuesta entre el electrodo de salida y el electrodo de control del transistor T_n .

5 El electrodo de control del transistor T_1 está conectado a la salida S_2 de la fuente S_0 de tensión de conmutación. Los electrodos de control de los transistores T_0 y T_n están conectados a la salida S_1 de la fuente S_0 de tensión de conmutación. Uno de los extremos del diodo D_n
10 está conectado al electrodo de salida del transistor T_n y el otro extremo está conectado a la salida S_2 de la fuente S_0 de tensión de conmutación. El electrodo de entrada del transistor T_0 está conectado a un punto de potencial constante por intermedio de la conexión en serie de la resistencia R_0 , la fuente V_1 de tensión de entrada y la fuente E_1 de tensión continua. Se describirá con referencia a la figura 2 el funcionamiento del
15 dispositivo conocido.

En las figuras 2a y 2b, respectivamente, están
20 representadas las tensiones que aparecen en las salidas S_2 y S_1 en función del tiempo. Son tensiones de sincronismo simétricas que tienen un máximo de 0 voltios y un mínimo de $-E$ voltios. Durante el tiempo en que la tensión en el punto S_1 es negativa con relación a masa, es transferida información concerniente a la magnitud de la señal
25

424349



V_i de entrada a la capacidad C_0 , es decir durante los intervalos τ_2 , τ_4 , τ_6 y τ_8 de tiempo en la figura 2b. En el intervalo τ_2 de tiempo la señal V_i de entrada es pequeña, mientras que en el intervalo τ_4 de tiempo e intervalos subsiguientes la señal V_i de entrada es grande. En el intervalo τ_2 de tiempo habrá una corriente en el transistor T_0 que es igual aproximadamente a V_i/R_0 amperios. Aquí, V_i es la magnitud de la señal de entrada en el intervalo τ_2 de tiempo que se está considerando y R_0 es el valor de la resistencia R_0 es el valor de la resistencia R_0 de la figura 1. Esta corriente hará que la tensión en el electrodo de salida del transistor T_0 aumente en una cantidad ΔV_1 (véase la figura 2d). En el intervalo τ_3 de tiempo se descarga la capacidad C_0 a través del transistor T_1 hasta que la tensión entre los extremos de dicha capacidad se haya hecho igual a $-(E-V_d)$ voltios, donde V_d es la tensión de umbral del transistor T_1 , estando también determinada la magnitud de dicha tensión de umbral por el valor ΔV_1 de señal. En el intervalo τ_4 de tiempo es suministrada una carga nuevamente por intermedio del transistor T_0 a la capacidad C_0 , de modo que la tensión en el electrodo de salida del transistor T_0 aumentará en una cantidad de ΔV_2 voltios (véase la figura 2d). En el intervalo τ_5

424349



de tiempo se descarga la capacidad C_0 por intermedio del transistor T_1 hasta que la tensión entre los extremos de dicha capacidad es igual $-(E-V'_d)$ voltios, siendo V'_d la tensión de umbral del transistor T_1 asociado con el valor ΔV_2 de señal. Se ha encontrado que la tensión V'_d de umbral asociada con el valor ΔV_2 de señal supera en δ voltios a la tensión V_d de umbral asociada con el valor ΔV_1 de señal. Esto significa que la disminución de tensión entre los extremos de la capacidad C_0 durante el intervalo τ_5 de tiempo será igual a $(\Delta V_2 - \delta)$ voltios en vez de ΔV_2 . En el instante en que comienza el intervalo τ_6 de tiempo, la tensión en el electrodo de salida del transistor T_0 será igual a $\{-(2E - V_d) + \delta\}$ voltios (véase la figura 2d). Al final de dicho intervalo de tiempo, la tensión en el electrodo de salida del transistor T_0 será igual a $\{-(2E - V_d) + \delta + \Delta V_2\}$ voltios. En dicho intervalo de tiempo la disminución de tensión entre los extremos de la capacidad C_0 es igual por consiguiente a ΔV_2 voltios.

En el intervalo τ_3 de tiempo la capacidad C_1 se carga a través del transistor T_1 hasta que la tensión entre los extremos de dicha capacidad ha aumentado en una cantidad de ΔV_1 voltios (véase la figura 2c). En el intervalo τ_4 de tiempo, la capacidad C_1



se descarga a través del transistor T_2 hasta que la
 tensión entre los extremos de la capacidad se hace
 igual a $-(E - V_d)$ voltios, siendo V_d la tensión de
 umbral del transistor T_2 asociada con el valor ΔV_1
 5 de señal. En el intervalo τ_5 de tiempo, la capacidad
 C_1 se carga por intermedio del transistor T_1 . El aumen-
 to de tensión entre los extremos de la capacidad C_1
 será entonces igual a la caída de tensión a través
 de la capacidad C_0 en el intervalo de tiempo que se
 10 está considerando. El mencionado aumento de tensión
 será, en consecuencia, igual a $(\Delta V_2 - \delta)$ voltios.
 En el intervalo τ_6 de tiempo, la capacidad C_1 se
 descarga a través del transistor T_2 hasta que la ten-
 sión entre los extremos de esta capacidad se hace
 15 igual a $-(E - V_d'')$ voltios, siendo V_d'' la tensión
 de umbral del transistor T_2 asociada con el valor
 $(\Delta V_2 - \delta)$ de señal. Como δ es sustancialmente más
 pequeña que ΔV_2 , $V_d'' = V_d'$, es una gran aproxima-
 ción. Esto significa que la caída de tensión a través
 20 de la capacidad C_1 en el intervalo τ_6 de tiempo se-
 rá igual a $(\Delta V_2 - \delta)$ voltios en vez de ΔV_2 voltios,
 como debería ser. Un simple cálculo revela que la
 caída de tensión a través de la capacidad C_1 que co-
 rresponde a la caída $(\Delta V_2 - \delta)$ voltios de tensión a
 25 través de la capacidad C_0 en el intervalo τ_5 de tiem-

424349

30 APR



po será igual a $(\Delta V_2 - n \delta)$ voltios, siendo n el
 número de secuencia de la capacidad C_n . Sin embargo,
 esto es cierto solamente cuando $n \cdot \delta$ es pequeño con
 relación a ΔV_2 . Si $n \cdot \delta$ se hace comparable con
 5 ΔV_2 , es decir cuando se ha seleccionado un número n
 más alto, la correspondiente caída de tensión será
 igual a $(1 - \delta) n$ voltios. Esto puede también dar lu-
 gar a efectos de segundo y tercer orden. Esto signi-
 fica que, en contraste con los ejemplos comentados
 10 con referencia a las figuras 2d y 2c, donde solamen-
 te no era correcto un valor de señal (véase la figu-
 ra 2d, intervalo τ_5 , y la figura 2c, intervalo τ_6),
 no serán correctos dos o más valores consecutivos
 de señal como se indica esquemáticamente en la figura
 15 2f. En esta figura los valores de señal en los inter-
 valos τ_m y τ_{m+2} no son correctos. En el intervalo
 τ_m el valor de señal se hace igual a $(\Delta V_2 - \delta_{11})$
 voltios y en el intervalo τ_{m+2} el valor de señal se
 hace igual a $(\Delta V_2 - \delta_{22})$ voltios. El valor de se-
 ñal no será correcto e igual a ΔV_2 voltios hasta el
 20 intervalo τ_{m+4} de tiempo. En los dispositivos conoci-
 dos de transferencia de carga de este tipo, las capa-
 cidades C_0 a C_n de almacenamiento tienen un valor
 virtualmente constante. Sin embargo, de acuerdo con
 25 el invento, las capacidades C_0 a C_n en un dispositivo

424349



como el representado en la figura 1 son capacidades variables. Esto permite reducir la mencionada tensión δ de error.

5 En las figuras 3 y 4 está representado esquemáticamente un ejemplo de una realización práctica de tal dispositivo con capacidades variables y dependientes en particular de la tensión.

10 El dispositivo semiconductor de las figuras 3 y 4 comprende un substrato 50, que puede ser de un material aislante provisto de una o más regiones de superficie de un material semiconductor o que puede consistir en un material semiconductor como en la realización pertinente. En una región de superficie del substrato 50 están dispuestas una serie de zonas 15 51, 52, 53, 54 y 55 semiconductoras. Las zonas 51, 52, 53, 54 y 55 semiconductoras en combinación con las capas 60, 62, 64 y 66 conductoras constituyen una serie de transistores de efecto de campo cuyos caminos de corriente principal están conectados en serie. 20 Las zonas 52, 53 y 54 semiconductoras, junto con las capas 61, 63 y 65 conductoras situadas sobre ellas, constituyen originalmente las llamadas capacidades de empobrecimiento del tipo que se describe, por ejemplo, en "Solid Stage Electronics" Pergamon Press, 1965, 25 volumen 8, páginas 153 y 154. La zona 51 semiconducto-

424349

8913



ra está conectada, por intermedio del contacto 70, a la conexión en serie de la resistencia 12 y la fuente 10 de señal de entrada. La zona 54 semiconductor está provista de un contacto 71, en el cual está disponible la señal de salida. La zona 55 semiconductor está conectada a un contacto 72, que puede estar conectado a una tensión negativa o al electrodo 66 de control. Los electrodos 60 y 74 de control están conectados al conductor 18 de señal de sincronismo y los electrodos 62 y 66 de control están conectados al conductor 15 de señal de sincronismo. Las capas 61 y 65 conductoras están conectadas al conductor 17 de señal de sincronismo. La capa 63 conductora está conectada al conductor 16 de señal de sincronismo. Está incluida una fuente 11 de tensión de conmutación que controla la transferencia de carga entre los conductores 15 y 18 de señal de sincronismo. Está incluida una fuente 13 de tensión continua entre los conductores 15 y 16 de señal de sincronismo y está incluida una fuente 14 de tensión continua entre los conductores 17 y 18 de señal de sincronismo. La figura 4 representa el modo en que están conectadas las capas 60, 62 y 64 conductoras a sus respectivos conductores de señal de sincronismo. La capa 60 conductora está conectada, por intermedio del contacto 81, a una zona 58 semicon-



ductora, que pasa por debajo del conductor 17, cuya zona está conectada por intermedio del contacto 80 al conductor 18 de señal de sincronismo. La capa 62 conductora está conectada, por intermedio del contacto 85, a la zona 57 semiconductor, cuya zona está conectada, por intermedio del contacto 84, al conductor 15 de señal de sincronismo. La capa 64 conductora está conectada, por intermedio del contacto 83, a la zona 56 semiconductor, cuya zona está conectada al conductor 18 de señal de sincronismo por intermedio del contacto 82.

El dispositivo semiconductor de las figuras 3 y 4 puede fabricarse totalmente de acuerdo con técnicas convencionales de semiconductores. El substrato puede consistir, por ejemplo, en silicio de tipo n. Las zonas 51, 52, 53, 54 y 55 pueden realizarse, por ejemplo, con la ayuda de implantación iónica y pueden tener, por ejemplo, una concentración de impureza de superficie del orden de magnitud de $10^{16}/\text{cm}^3$. La capa 90 aislante es, por ejemplo, de óxido de silicio y/o nitruro de silicio y es, por ejemplo, de un espesor de 0,1 a 0,2 μm por debajo de los electrodos 60, 62, 64 y 66 de control. Fuera de las regiones de canal de los transistores de efecto de campo y fuera de las partes de la capa aislante que están situadas por en-

424349 80



cima de las zonas 52, 53 y 54 que están cubiertas por las capas 61, 63 y 65 conductoras, la capa aislante tendrá preferiblemente un espesor superior a 1 μ m (no representado). Con el fin de evitar la formación no deseada de canales, es posible adicionalmente disponer barreras de detención de canal, por ejemplo, barreras de detención de canal obtenidas por difusión.

La fuente 6 de tensión de conmutación suministra señales de la forma representada en las figuras 4a y 4b. En la figura 4a está representada gráficamente la tensión del conductor 15 de señal de sincronismo en función del tiempo y en la figura 4b está representada en función del tiempo la tensión en el conductor 18 de señal de sincronismo. En la figura 5c está representada la tensión en el conductor 16 de señal de sincronismo en función del tiempo y en la figura 5d está representada la tensión en el conductor 17 de señal de sincronismo en función del tiempo. En las figuras 5c y 5d, p es la magnitud de las tensiones de polarización proporcionadas por las fuentes 13 y 14 de tensión continua. Por medio de las mencionadas tensiones de polarización, son polarizadas preferiblemente las capacidades de empobrecimiento, de modo que cuando estas capacidades



contienen cargas de información, los valores de las mencionadas capacidades son máximos, mientras que los valores de estas capacidades son mínimos cuando las capacidades son portadoras de cargas de referencia. Esto está ilustrado por la figura 6. En esta figura, la carga de información está representada gráficamente sobre el eje vertical y el valor de la capacidad está representado sobre el eje horizontal. Entre los valores Q_{MAX} y Q_{MIN} , intervalo denominado también campo D de variación dinámica, la carga de información puede tomar cualquier valor en una capacidad C_{MAX} virtualmente constante. Cuando después de una operación de transferencia de carga ha sido transferida la carga de información desde una primera capacidad de empobrecimiento hasta una segunda capacidad de empobrecimiento, el valor de la primera capacidad de empobrecimiento se hace igual preferiblemente a C_{RES} y el valor de la segunda capacidad de empobrecimiento se hace igual a C_{MAX} . La reducción de la degradación de señal será ahora igual a C_{MAX}/C_{RES} . Con respecto a esto, ha de observarse que al comienzo de la transferencia de carga el cociente C_2/C_1 es grande, de modo que existirá una reacción sustancial. Sin embargo, esta parte de la transferencia de carga difícilmente afecta a la mencionada degrada-

424349 30



ción de señal, que está determinada principalmente por la última parte de la transferencia de carga. Una ventaja adicional de la medida adoptada de acuerdo con el invento es el hecho de que el proceso de descarga para la última carga de la capacidad de empobrecimiento se realiza más rápidamente, debido a que la constante de tiempo de descarga, que es proporcional al valor de capacidad de la pertinente capacidad de empobrecimiento, disminuye también durante la transición desde C_{MAX} a C_{RES} . Como resultado, el dispositivo de acuerdo con la figura 3 puede funcionar a frecuencias de sincronismo más altas que el dispositivo conocido, que tiene capacidades constantes. En vez de las capacidades de empobrecimiento MOS representadas en la figura 3, es también posible utilizar capacidades de unión pn. Adicionalmente, puede utilizarse, por ejemplo, la capacidad de barrera Schotky. Mediante una elección adecuada de la concentración de impureza y la profundidad de zona, puede hacerse que C_{RES} se aproxime a la capacidad de solape entre los electrodos de control del transistor de efecto de campo adyacente y la zona pertinente, formándose zonas de empobrecimiento por debajo de las capas 61, 63 y 65 conductoras cuyas zonas se extienden sobre la totalidad del espesor de las zonas 52, 53 y 54.

42 4349 30 A22



En vez de las capacidades de empobrecimiento utilizadas en los dispositivos de transferencia de carga de las figuras 3 y 4, es también posible utilizar las llamadas capacidades de inversión como capacidades dependientes de la tensión. En las figuras 7 y 8 está representada una realización de un dispositivo de transferencia de carga de acuerdo con el invento, que utiliza una capacidad de inversión y una capacidad dependiente de la tensión. El dispositivo semiconductor de acuerdo con estas figuras, comprende un substrato 50, que puede ser de un material aislante, que está provisto de una o más regiones de superficie de un material semiconductor o que puede consistir, por ejemplo, en un material semiconductor, como es el caso en la realización pertinente. En la región de superficie del substrato 50 están dispuestas una serie de zonas 52, 53 y 54 semiconductoras. Las zonas 52 y 53, junto con la placa 62 conductora, forman un primer transistor de efecto de campo. Las zonas 53 y 54, junto con las placas 64 conductoras, forman un segundo transistor de efecto de campo. La placa 62 conductora, que es también el electrodo de control del primer transistor de efecto de campo, está conectada al conductor 15 de señal de sincronismo por intermedio de la abertura u orificio 82 de contacto. La placa 64 conductora, que también es

424349



5 el electrodo de control del segundo transistor de efecto de campo, está conectada al conductor 18 de señal de sincronismo por intermedio de la abertura 84 de contacto. La placa 63 conductora forma también una de las placas de una capacidad de inversión y está conectada al conductor 16 de señal de sincronismo por intermedio de la abertura 83 de contacto. La placa 61 conductora forma una de las placas de una capacidad precedente de inversión y está conectada al conductor 17 de señal de sincronismo por intermedio de la abertura 81 de contacto. La placa 65 conductora constituye una placa de una capacidad subsiguiente de inversión y está conectada al conductor 17 de señal de sincronismo por intermedio de la abertura 85 de contacto. Las placas 61, 62, 63, 64 y 65 conductoras pueden estar hechas, por ejemplo, de aluminio. Sin embargo, puede ser utilizado con ventaja silicio policristalino con una impureza adecuadamente seleccionada.

20 El funcionamiento del dispositivo de transferencia de carga integrado de acuerdo con las figuras 7 y 8 tiene lugar del modo siguiente. Están aplicadas a los conductores 15, 16, 17 y 18 de señal de sincronismo señales de sincronismo del tipo representado en la figura 5. La capacidad de almacenamiento asociada con el primer transistor de efecto de campo,

424349



en ausencia de una capa de inversión por debajo del electrodo 63 de capacidad, está constituida por la llamada capacidad de solape que existe entre los electrodos 62 y 63 y la zona 53. Puesto que, como es sabido, se utilizan también en la tecnología de electrodos de control de silicio las capas 61 a 65 conductoras como máscara cuando se aplican las zonas 52 a 54, esta capacidad de solape será relativamente pequeña. La capacidad C_{RES} mínima que puede tomar la capacidad de almacenamiento variable, está también determinada por dicha capacidad de solape. Entre la capa 63 conductora y la capa de inversión, que se encuentra por debajo de la capa 63 conductora y el substrato 50, está presente una capacidad relativamente alta, que está en paralelo con la mencionada capacidad de solape. El valor de capacidad de la capacidad de almacenamiento variable es entonces máximo y se hace igual a C_{MAX} . La tensión p de polarización en la figura 5 es ahora seleccionada de modo que si la mencionada capacidad variable es portadora de una carga de información, el valor de la capacidad es máximo y permanece máximo hasta que dicha capacidad ha transferido esta carga de información a una capacidad de almacenamiento variable siguiente. En un corto espacio de tiempo antes de que la capacidad de almacenamiento sea llevada al

424349 30



nivel de referencia, la capacidad de almacenamiento toma su valor C_{RES} mínimo. De un modo similar al descrito anteriormente para las capacidades de empobrecimiento en el dispositivo de la figura 3, la mencionada tensión δ de error habrá disminuido en un factor que es sustancialmente igual a C_{MAX}/C_{RES} . Dimensionando adecuadamente el mencionado dispositivo, puede ajustarse la magnitud de dicha reducción opcionalmente dentro de límites razonables. Puede alcanzarse fácilmente una reducción en un factor de 10 a 15.

En la realización del dispositivo de transferencia de carga descrito con referencia a las figuras 7 y 8, se utilizan capacidades de inversión. Sin embargo, es igualmente posible utilizar capacidades de empobrecimiento en la mencionada realización. Para este fin, como se representa esquemáticamente en el corte transversal de la figura 9, está dispuesta la zona 53a moderadamente impurificada, por ejemplo, por debajo de la capa 63 conductora, cuya zona es del mismo tipo de conductividad que la zona 53.

En esta realización, los transistores de efecto de campo y las capacidades caen dentro de las líneas 110 y 111 en la figura 8. Fuera de estas líneas se encuentra una capa aislante gruesa, por ejemplo, en



la forma de una capa aislante que está hundida en el cuerpo semiconductor al menos en parte de su espesor. Tal capa aislante incrustada puede obtenerse de modo conocido por oxidación local del cuerpo 50 semiconductor. La zona 53 de superficie tiene forma de "u", formando las patas de la forma de "u", respectivamente, el electrodo de salida de los transistores 52, 62, 53 y el electrodo de entrada de los transistores 53, 64, 54. La zona 53 de banda rodea sustancialmente aquella parte de la región de superficie del sustrato 50 que está cubierta por el electrodo de capacidad.

Las capas 62 y 63 conductoras son capas de autocoincidencia, es decir capas que se utilizan como máscara cuando se aplican las zonas 52, 53 y 54 de superficie. Como resultado, el electrodo de capacidad está situado casi completamente sobre el sustrato 50.

En las realizaciones hasta aquí descritas son utilizados transistores de efecto de campo como conmutadores electrónicos. Sin embargo, es también posible utilizar transistores bipolares como conmutadores electrónicos. La figura 10 representa una realización integrada de esto. En esta realización están integrados una serie de dos transistores bipolares en un cuerpo 50 semiconductor. Un primer transistor

424349

30



está formado por las zonas 52, 53 y 70. La zona 52 es la zona de emisor, la zona 53 es la zona de colector y la zona 70 es la zona de base. El segundo transistor está constituido por las zonas 51, 54 y 71.

5 La zona 51 es la zona de emisor, la zona 54 es la zona de colector y la zona 71 es la zona de base del segundo transistor. La zona de colector del primer transistor está conectada a la zona 51 de emisor del

10 segundo transistor por intermedio de una zona 20 altamente impurificada y el contacto 83. La zona 70 de base, que es contigua a la superficie del cuerpo 50 semiconductor rodea a la zona 52 de emisor adyacente a la superficie del cuerpo 50. La mencionada zona 70 de base es adyacente a la zona 53 de colector del

15 primer transistor. Se ha previsto la zona 20 de superficie para aumentar la capacidad de base a colector del primer transistor. Esta zona 20 de superficie está conectada directamente a la zona de colector, mientras que la zona 70 de base está situada en

20 posición adyacente a la mencionada zona 20 de superficie, formando con la misma una unión pn. La zona 70 de base tiene una porción 100 intermedia que se extiende entre la zona 53 de colector y al menos parte de la zona 20 de superficie. El espesor y la concentración de impureza de la porción 100 intermedia son

25

424349



tales que permiten la formación de una zona de empobrecimiento en la totalidad del espesor de la porción intermedia sin que se produzca ruptura. El segundo transistor está construido de un modo similar

5 al descrito aquí anteriormente para el primer transistor. Por ejemplo, las zonas 70 y 71 de base del primer y segundo transistores tienen una concentración de impureza de 10^{16} átomos/cm³. Debido al alto

10 grado de impurificación de la zona 20 y la relativamente ligera impurificación de la zona 70 de base, la porción de la unión colector base entre la zona 70 de base y la zona 20 de superficie constituirá la mayor parte de la capacidad colector base del primer transistor. Cuando la porción 100 intermedia está

15 totalmente empobrecida, la capacidad colector base restante será en consecuencia baja e igual a la capacidad C_{RES} definida anteriormente. Cuando la porción intermedia no está empobrecida, la capacidad colector base será alta e igual al valor C_{MAX} anteriormente

20 definido. La reducción resultante de la tensión δ de error anteriormente definida, será también aproximadamente de C_{MAX}/C_{RES} en este ejemplo.

Para completar más se hace referencia a la Patente española Número 366.285 en la cual se describen comprensivamente dispositivos de transferencia

25

424349



de carga integrados que utilizan transistores bi-
polares. En particular, esta Solicitud proporciona
también un esquema o disposición topológica de un
dispositivo que utiliza transistores con capacidades
5 base colector aumentadas que tienen una estructura
como se ha descrito aquí con referencia a la figu-
ra 10, recubriendo la zona 20 una parte sustancial
de la zona 70 de base y constituyendo la parte aso-
ciada de la unión 60 pn hasta el 80% de la capaci-
10 dad colector base. La formación de una zona de em-
pobrecimiento en la totalidad del espesor de la
porción 100 intermedia permite entonces fácilmente
una reducción de la capacidad base colector en un
factor de 3 a 5.

15 En la mencionada Patente española Número
366.285 se describe también una realización que
utiliza los llamados transistores bipolares latera-
les. Los transistores utilizados en ella tienen una
sección transversal como la que se representa es-
20 quemáticamente en la figura 11. La zona 52 de emisor
está rodeada por una zona 53 de colector, siendo
estas zonas de superficie que se extienden desde
la superficie en el interior de una región 70 de
un tipo de conductividad opuesto que constituye la
25 zona de base del transistor. La zona 70 de base está

424349



provista de una capa 70a enterrada, más intensamente impurificada, con el fin de reducir la resistencia en serie. En la superficie está dispuesta una zona 20 adicional de superficie para aumentar la capacidad colector base, cuya zona 20 cubre una porción sustancial de la zona 53 anular de colector. En contraste con el ejemplo anterior, la zona 20 adicional de superficie forma aquí parte de la zona de base, mientras que la porción 100 intermedia, en la cual se forma durante la transferencia de carga una zona de empobrecimiento del modo descrito, pertenece a la zona 53 de colector.

La realización de la figura 12 representa dos transistores de una secuencia de transistores de efecto de campo conectados en serie. El primer transistor está constituido por las zonas 52 y 53 de superficie, que sirven como electrodos de entrada y salida, y el electrodo 62 de control, que se extiende por encima de la región de canal situada entre las zonas 52 y 53. El segundo transistor que sigue a la primera zona está formado de un modo correspondiente por las zonas 53a y 54 de superficie y el electrodo 64 de control.

En contraste con los ejemplos anteriores, el electrodo 53 de salida del primer transistor, la

424349



zona 103 de superficie de la capacidad variable y el electrodo 53a de entrada del siguiente transistor no están combinados en una región de superficie continua. Las dos zonas 52, 53 están interconectadas, lo cual está representado esquemáticamente por una conexión 102 entre la capa 63 conductora y la capa 112 conductora que establece contacto con la zona 53a. La zona 103 de superficie de la capacidad es una zona de superficie del mismo tipo de conductividad que las zonas 52, 53, 53 y 54 que están rodeadas por una capa aislante incrustada. La concentración de superficie de la mencionada zona es a lo sumo de 10^{17} átomos/cm³ y está comprendida preferiblemente entre 10^{14} y aproximadamente 10^{16} átomos/cm³. Por intermedio de una zona 106 de contacto altamente impurificada y la capa 63a conductora, la zona 103 está conectada a un conductor 16 de señal de sincronismo. El electrodo de capacidad está constituido por la capa 63 conductora que está conectada a la zona 53, estando aislada la capa 63 de la zona 103 de superficie por la capa 90 aislante. En este caso, la capacidad dependiente de la tensión es una capacidad de inversión. La tensión de polarización anteriormente establecida está ahora ajustada de modo que cuando se requiere un valor alto de capacidad, está

424349



presente una capa de inversión por debajo de la capa 63 conductora en la zona 103 de superficie, no existiendo la mencionada capa de inversión cuando se requiere un valor bajo de capacidad. Para permitir un crecimiento rápido de la capa de inversión, está dispuesta una zona 107 de superficie del mismo tipo de conductividad que el substrato, quedando en cortocircuito la unión pn entre la mencionada zona 107 y la zona 103 en la superficie por efecto de la capa 63a conductora. La zona 107 de superficie, por una parte, sirve para suministrar rápidamente los portadores de carga requeridos para el crecimiento de la capa de inversión y, por otra parte, constituye la conexión entre la capa 63a conductora y la capa de inversión, que para un valor alto de capacidad asume la función de segundo electrodo de la capacidad desde la zona 103.

En las realizaciones que utilizan transistores de efecto de campo hasta aquí descritas, son utilizadas cuatro líneas de señal de sincronismo, estando conectados los electrodos de capacidad a conductores 16 y 17 respectivos de señal de sincronismo. Las capacidades respectivas están polarizadas por medio de las fuentes 13 y 14 de tensión continua. La figura 13 muestra que también es posible utilizar dos

424349



conductorés 15 y 18 de señal de sincronismo solamente. El electrodo 61 de capacidad es una capa conductora que está aislada de la zona 52 de superficie por la capa 90 aislante, que constituye una
5 capa de barrera. Con preferencia, sustancialmente la totalidad de la parte de la zona 52 de superficie (ó 53, respectivamente) que está situada por debajo del electrodo 61 de capacidad, tendrá una concentración de impureza de a lo sumo 10^{17} átomos/cm³.
10 Preferiblemente, la concentración máxima de impureza está comprendida entre aproximadamente 10^{14} y aproximadamente 10^{16} átomos/cm³. El grado de impurificación está seleccionado de modo que puede formarse una zona de empobrecimiento en la totalidad del espesor de la mencionada zona 52 (o 53) de superficie
15 sin que se presente ruptura. En la realización de la figura 10, los electrodos 61, 63 y 65 de capacidad están conectados a los electrodos 60, 62 y 63 de control de los transistores de efecto de campo del mismo paso, por cuanto que están constituidos por capas 66, 61; 62, 63 y 64, 65 conductoras continuas.
20 La figura 13 representa esquemáticamente que puede prescindirse de dos conductores de señal de sincronismo, por una parte, dotando a la región del segundo tipo de conductividad, el substrato 50, en la posición
25



de las regiones de canal de los transistores de efecto de campo, de porciones 108 adyacentes a la superficie que tienen un grado de impurificación más alto que las partes de esta región situadas por debajo y, por otra parte, disponiendo por debajo del electrodo de control una capa 90a aislante que tiene un espesor mayor que la capa aislante situada bajo el electrodo de capacidad. Es obvio que ambos pasos se pueden combinar en uno y en el mismo transistor de efecto de campo. Medidas similares pueden también adoptarse en las realizaciones que tienen capacidades de inversión en donde es posible en general sustituir la polarización externa total o parcialmente por una diferencia "interna" entre la tensión de umbral que se requiere para la formación del canal de conducción de los transistores de efecto de campo y la tensión de umbral que se requiere para la formación de la capa de inversión de la capacidad de almacenamiento. Tales tensiones de polarización "interna" pueden obtenerse también mediante la utilización de capas aislantes que tienen diferentes constantes dieléctricas y mediante el uso de capas conductoras de materiales que tienen una función de trabajo diferente.

Es de observar que el invento no está limi-

424349

30



tado a las realizaciones descritas y que son posi-
bles muchas variaciones para los expertos en la téc-
nica dentro del campo del invento. Como ejemplo, pue-
den utilizarse cadenas de transistores más cortas o
5 más largas, realizándose la compensación de las pér-
didas resultantes, si las hay, mediante la inclusión
de uno o más amplificadores de carga. Es también po-
sible conectar varias cadenas de transistores en
paralelo, utilizando una entrada común y/o una sali-
10 da común. Adicionalmente, pueden utilizarse circui-
tos de muestreo y/o circuitos de salida convenciona-
les, los cuales, al igual que los amplificadores de
carga, si los hay, pueden estar integrados parcial
o totalmente en el mismo cuerpo semiconductor, junto
15 con el dispositivo de transferencia de carga. Estas
y otras posibilidades están descritas, por ejemplo,
en las anteriores Patentes españolas Números 346.339
y 366.285, y en las solicitudes de patente, también
españolas Números 378.563, 395.348 y 408.908.

20 Además de señales eléctricas, es también
posible adicionalmente utilizar señales de entrada
de naturaleza diferente, por ejemplo señales electro-
magnéticas. Como ejemplo, puede hacerse uso de la
fotosensibilidad de la unión base colector de un
25 transistor.



En el dispositivo de transferencia de carga, es posible alternativamente emplear transistores de efecto de campo que tienen un electrodo de control que está aislado de la región de canal por una unión
5 rectificadora, mientras que, adicionalmente a los transistores de efecto de campo de electrodo de control aislado del tipo de enriquecimiento aquí descrito, es igualmente posible utilizar los del tipo de empobrecimiento.

10 Las capacidades del almacenamiento dependientes de la tensión de un dispositivo de transferencia de carga no necesitan ser idénticas entre sí, ni en lo que respecta a su valor ni a su estructura.

En las realizaciones integradas pueden utilizarse materiales diferentes de los descritos. Como
15 material semiconductor puede utilizarse, por ejemplo, germanio o un compuesto $A_{III}B_V$. Aparte del mencionado material semiconductor policristalino, las diversas capas conductoras pueden también componerse
20 de molibdeno o tungsteno o de capas compuestas, tales como de titanio-platino - oro. Los electrodos de control pueden componerse también de un material diferente del correspondiente al electrodo de capacidad y/o los conductores de señal de sincronismo.

25 La mencionada concentración máxima de la zona

424349



de superficie asociada con la capacidad variable
será generalmente igual o sustancialmente igual a
la concentración de superficie de esta zona. Esto
se cumple también para zonas de superficie sustan-
5 cialmente impurificadas de un modo homogéneo, tales
como las que pueden obtenerse de un modo conocido
por implantación iónica.

En los ejemplos, los electrodos de control
y los electrodos de capacidad están conectados a mo-
10 do de grupos para obtener dos uniones. Sin embargo,
es igualmente posible dividir los electrodos en más
de dos grupos.

La presente solicitud que corresponde a
la presentada en Holanda, con fecha 19 de Marzo
15 de 1.973, bajo el Número 7303777, se acoge a los
beneficios del Artículo 51 del vigente Estatuto so-
bre Propiedad Industrial.

20

- REIVINDICACIONES -


25

Los puntos de invención propia y nueva, que

23.4.74

- 33 -

424349



de la capacidad dependiente de la tensión a la máxima tensión de funcionamiento que se produce a través de esta capacidad y el valor de capacidad para la mínima tensión de funcionamiento que se produce, es al menos igual a 3.

5

3^a.- Un dispositivo de transferencia de carga de acuerdo con la reivindicación 1^a ó la reivindicación 2^a, caracterizado porque está dispuesto un cuerpo semiconductor, en el cual están incorporados una serie de pasos en forma integrada,

10

cuyo cuerpo semiconductor incluye una serie de transistores bipolares, estando conectado el colector de uno de los transistores de la serie al emisor del siguiente transistor de la serie, mientras que

15

al menos uno de los transistores de la serie tiene una zona de base adyacente a la superficie del cuerpo semiconductor, la cual rodea en el cuerpo a una zona de emisor adyacente a la superficie y que es contigua a la zona de colector, estando dispuesta

20

una zona adicional de superficie para aumentar la capacidad colector base del transistor, cuya zona adicional de superficie está conectada directamente a una de las dos zonas constituidas por la zona de base y la zona de colector, mientras que la otra de las dos zonas mencionadas es adyacente a la zona adi-

25



cional de superficie y forma con ella una unión pn,
teniendo la otra de las dos zonas mencionadas una
porción intermedia que se extiende entre la primera
de las mencionadas dos zonas y al menos una parte
5 de la zona adicional de superficie, mientras que la
porción intermedia tiene un espesor y una concentra-
ción de impureza tales que puede formarse una zona
de empobrecimiento en la totalidad del espesor de
la porción intermedia sin que se produzca ruptura.

10 4ª.- Un dispositivo de transferencia de
carga de acuerdo con la reivindicación 3ª, caracte-
rizado porque la concentración de superficie de la
impurificación de la zona de transistor que es adya-
cente a la superficie y a la cual pertenece la por-
15 ción intermedia, es como máximo de 10^{17} átomos/cm³
y está comprendida preferiblemente entre 10^{14} y 10^{16}
átomos/cm³.

20 5ª.- Un dispositivo de transferencia de
carga de acuerdo con la reivindicación 1ª ó la rei-
vindicación 2ª, caracterizado porque los transisto-
res son transistores de efecto de campo de electrodo
de control aislado y están integrados en un cuerpo
semiconductor junto con las capacidades dependientes
de la tensión.

25 6ª.- Un dispositivo de transferencia de

424349³⁰



carga de acuerdo con la reivindicación 5ª, caracte-
rizado porque cada uno de los transistores de efecto
de campo tiene un electrodo de entrada y un electrodo
de salida formados por una zona de superficie de un
5 primer tipo de conductividad, cuyas zonas de super-
ficie se extienden en una región del segundo tipo de
conductividad que es adyacente a la superficie del
cuerpo semiconductor, mientras que está dispuesta en
la superficie una capa aislante sobre la cual están
10 situados los electrodos de control, que se extienden
sobre la región de canal de los transistores de efecto
de campo, estando incluidos dichos transistores de
efecto de campo en una cadena de transistores de efec-
to de campo que están conectados con sus caminos de
15 corriente principal en serie y comprendiendo al menos
una parte de las capacidades dependientes de la ten-
sión una zona de superficie del primer tipo de conduc-
tividad y un electrodo de capacidad aislado de ella
por una capa de barrera, mientras que o bien la zona
20 de superficie o el electrodo de capacidad de la capa-
cidad están conectados al electrodo de salida del tran-
sistor de efecto de campo que pertenece al mismo paso,
teniendo al menos sustancialmente la totalidad de la
parte de la zona de superficie de la capacidad situada
por debajo del electrodo de capacidad un espesor y
25



concentración de impureza tales que durante la transferencia de carga se obtiene un cambio de capacidad al menos en un factor de 3.

5 7ª.- Un dispositivo de transferencia de carga de acuerdo con la reivindicación 6ª, caracterizado porque la zona de superficie de la capacidad forma con el electrodo de salida del transistor de efecto de campo que pertenece al mismo paso y el electrodo de entrada del transistor de efecto de campo de la serie que sigue al transistor de efecto de campo primeramente mencionado, una zona de superficie continua del primer tipo de conductividad.

15 8ª.- Un dispositivo de transferencia de carga de acuerdo con la reivindicación 7ª, caracterizado porque al menos sustancialmente la totalidad de la parte de la zona de superficie de la capacidad situada por debajo del electrodo de capacidad se extiende hasta una determinada profundidad en la región del segundo tipo de conductividad que es adyacente a la superficie y está impurificada de modo que puede formarse una zona de empobrecimiento en la totalidad del espesor de esta parte sin que se produzca ruptura.

25 9ª.- Un dispositivo de transferencia de carga de acuerdo con cualquiera de las reivindicaciones

424349



6ª, 7ª y 8ª, caracterizado porque el electrodo de capacidad es una capa conductora que está aislada de la zona de superficie por una capa aislante que forma la capa de barrera.

5 10ª.- Un dispositivo de transferencia de carga de acuerdo con cualquiera de las reivindicaciones 6ª, 7ª, 8ª y 9ª, caracterizado porque al menos sustancialmente la totalidad de la parte de la zona de superficie situada por debajo del electrodo
10 de capacidad tiene una concentración máxima de impureza de 10^{17} átomos/cm³.

11ª.- Un dispositivo de transferencia de carga de acuerdo con la reivindicación 10ª, caracterizado porque la máxima concentración de impureza varía entre aproximadamente 10^{14} y aproximadamente 10^{16} átomos/cm³.
15

12ª.- Un dispositivo de transferencia de carga de acuerdo con cualquiera de las reivindicaciones 6ª a 11ª, caracterizado porque el electrodo
20 de capacidad está conectado al electrodo de control del transistor de efecto de campo que pertenece al mismo paso.

De

13ª.- Un dispositivo de transferencia de carga de acuerdo con las reivindicaciones 9ª y 12ª, caracterizado porque la capa aislante situada bajo
25

424349^o ABR.



el electrodo de control tiene un espesor mayor que la capa aislante situada bajo el electrodo de capacidad.

5 14^a.- Un dispositivo de transferencia de carga de acuerdo con cualquiera de las reivindicaciones 6^a a 13^a, caracterizado porque la región del segundo tipo de conductividad, en la situación de las regiones de canal de los transistores de efecto de campo tiene partes adyacentes a la superficie que tienen una concentración de impureza más alta que las partes de esta región situadas por debajo de ella.

10 15 15^a.- Un dispositivo de transferencia de carga de acuerdo con la reivindicación 5^a, caracterizado porque cada uno de los transistores de efecto de campo tiene un electrodo de entrada y un electrodo de salida constituidos por una zona de superficie de un primer tipo de conductividad, cuyas zonas de superficie se extienden en una región del segundo tipo de conductividad que es adyacente a la superficie del cuerpo semiconductor, estando dispuesta una capa aislante en la superficie sobre la cual se extienden los electrodos de control de los transistores de efecto de campo que están situados por encima de la región de canal, estando incluidos dichos transistores de efecto de campo en una serie de transistores de efecto

23.4.74

424349 30



de campo en la cual el electrodo de salida de cada uno de los transistores de efecto de campo está conectado al electrodo de salida del siguiente transistor de efecto de campo de la cadena y en la cual
5 al menos una parte de las capacidades tienen un electrodo de capacidad que está situado sobre la capa aislante y al menos parcialmente sobre la región del segundo tipo de conductividad, a fin de formar una capa de inversión en la superficie de la región del
10 segundo tipo de conductividad que pertenece a la capacidad variable, cuyas capas de inversión son contiguas y están conectadas al electrodo de salida del transistor de efecto de campo que pertenece al mismo
15 paso y/o al electrodo de entrada del siguiente transistor de la cadena que está conectado a dicho electrodo de salida.

16ª.- Un dispositivo de transferencia de carga de acuerdo con la reivindicación 15ª, caracterizado porque el electrodo de capacidad está situado
20 sustancialmente en su totalidad sobre la región del segundo tipo de conductividad.

17ª.- Un dispositivo de transferencia de carga de acuerdo con la reivindicación 16ª, caracterizado porque el electrodo de salida y el electrodo
25 de entrada conectados al mismo en conjunto forman una



5 zona de superficie a modo de banda del primer tipo de conductividad, que en la superficie rodea en su mayor parte a la parte de la región del segundo tipo de conductividad que está situada por debajo del electrodo de capacidad.

10 18ª.- Un dispositivo de transferencia de carga de acuerdo con la reivindicación 17ª, caracterizado porque el electrodo de control y el electrodo de capacidad son capas conductoras de autocoincidencia, que son utilizadas durante la fabricación como máscaras para la aplicación de las zonas de superficie del primer tipo de conductividad.

15 19ª.- Un dispositivo de transferencia de carga de acuerdo con cualquiera de las reivindicaciones 15ª a 18ª, caracterizado porque la tensión de umbral para la formación de una capa de inversión o un canal conductor por debajo de los electrodos de control de los transistores de efecto de campo es mayor que la tensión de umbral para la formación de una capa de inversión bajo los electrodos de capacidad.

20 20ª.- Un dispositivo de transferencia de carga de acuerdo con la reivindicación 19ª, caracterizado porque los electrodos de capacidad están conectados a los electrodos de control de los transis-
25

424349

30 ABR 1974



tores de efecto de campo que pertenecen al mismo pa-
so.

5 21ª.- Un dispositivo de transferencia de
carga de acuerdo con la reivindicación 20ª, caracte-
rizado porque la conexión entre el electrodo de con-
trol y el electrodo de capacidad es una capa conduc-
tora que está situada sobre la capa aislante que se
extiende sustancialmente en su totalidad sobre la par-
te de la superficie que no está ocupada por las zonas
10 de superficie del primer tipo de conductividad.

22ª.- Un dispositivo de transferencia de
carga.

15 Tal y como se ha descrito en la Memoria que
antecede, representado en los dibujos que se acompa-
ñan y para los fines que se han especificado.

Esta Memoria consta de cuarenta y tres ho-
jas escritas a máquina por una sola de sus caras.

Madrid,

30 ABR. 1974

P.A.

Oscar de Elizaburu
For [illegible]
[Handwritten signature]

[Handwritten initials]

23.4.74/RTA.-

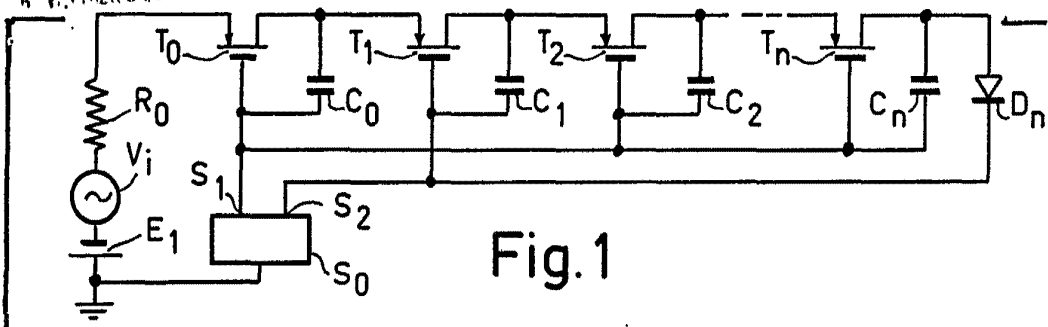
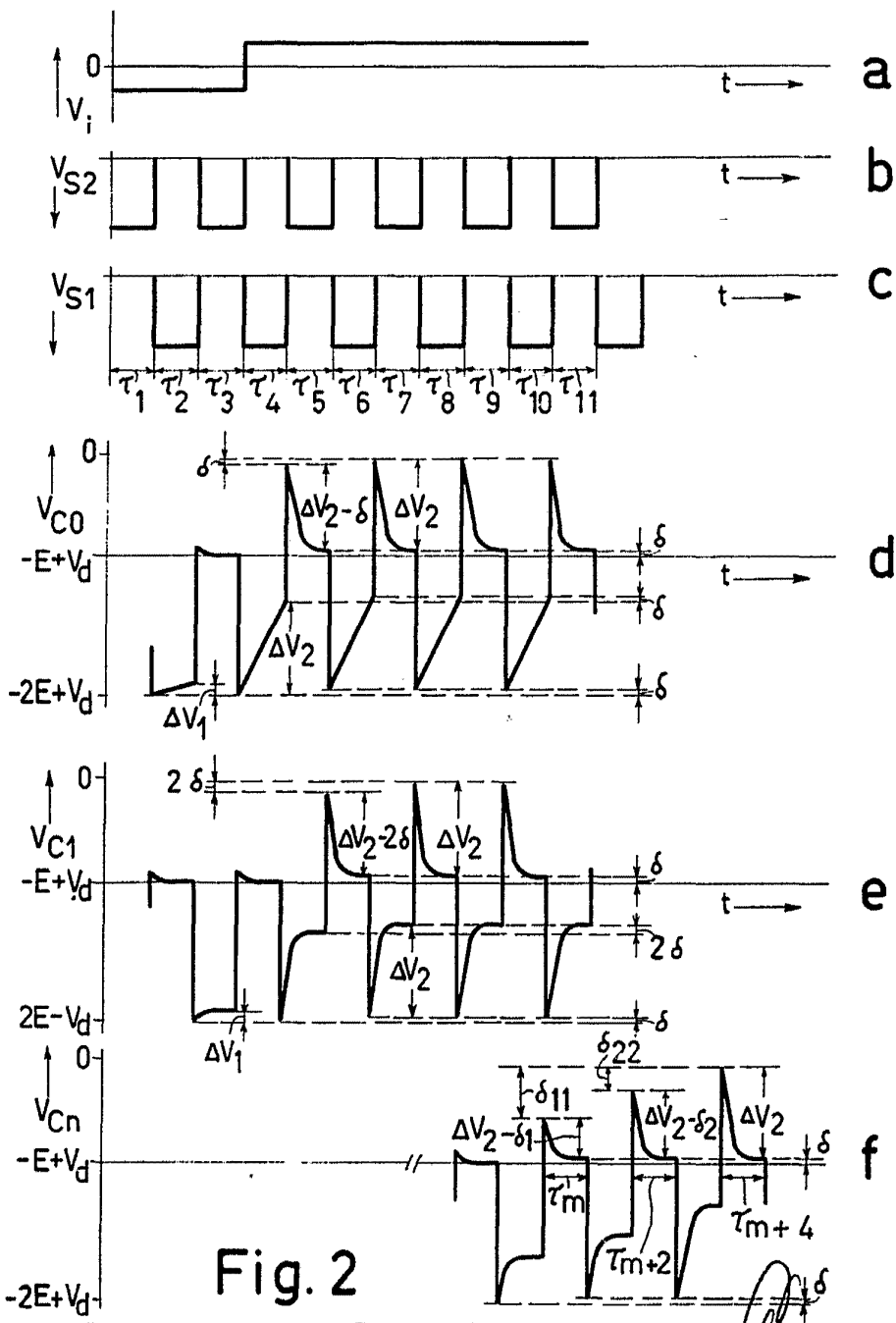


Fig. 1



© General Electric Co. 1964

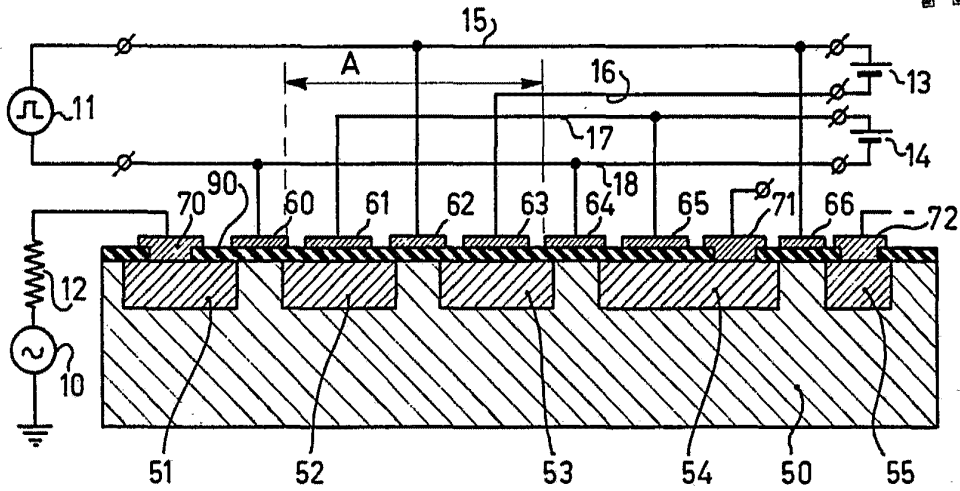


Fig. 3

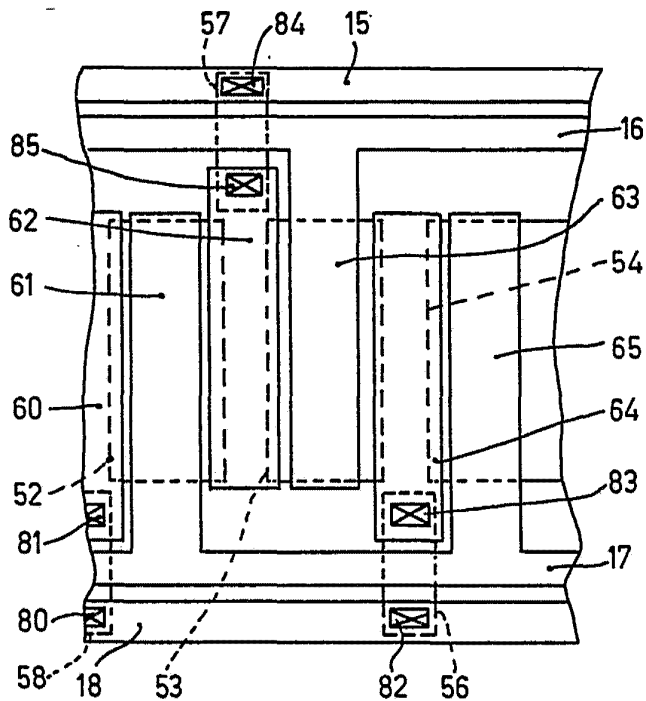
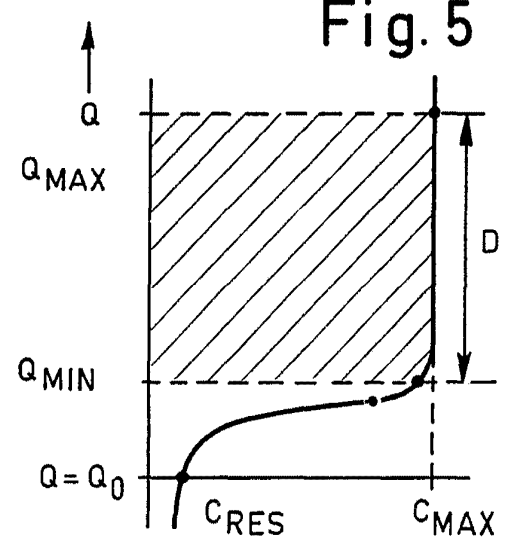
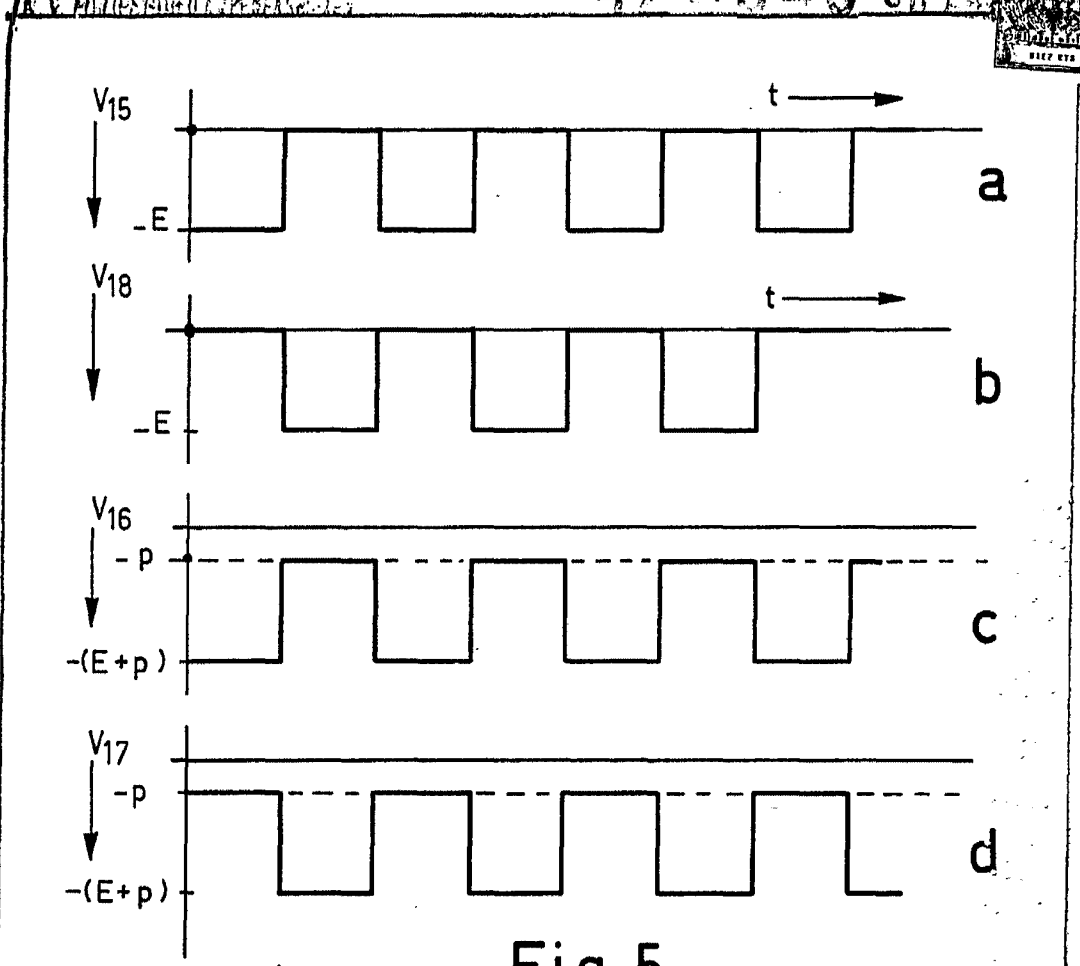


Fig. 4

Copyright by Philips
Per Nederland
[Signature]



Obtain the Enclosure
For Power

[Handwritten signature]

424349

30 APR

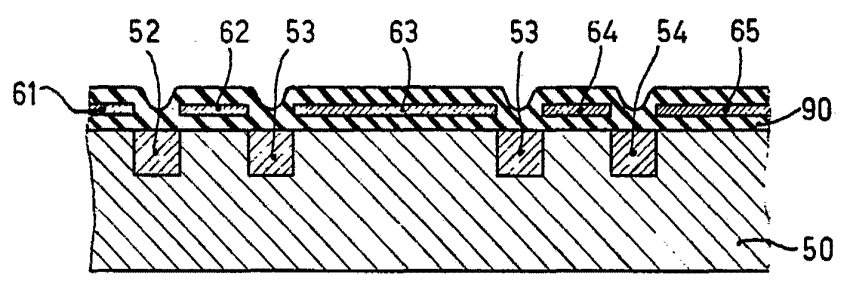


Fig. 7

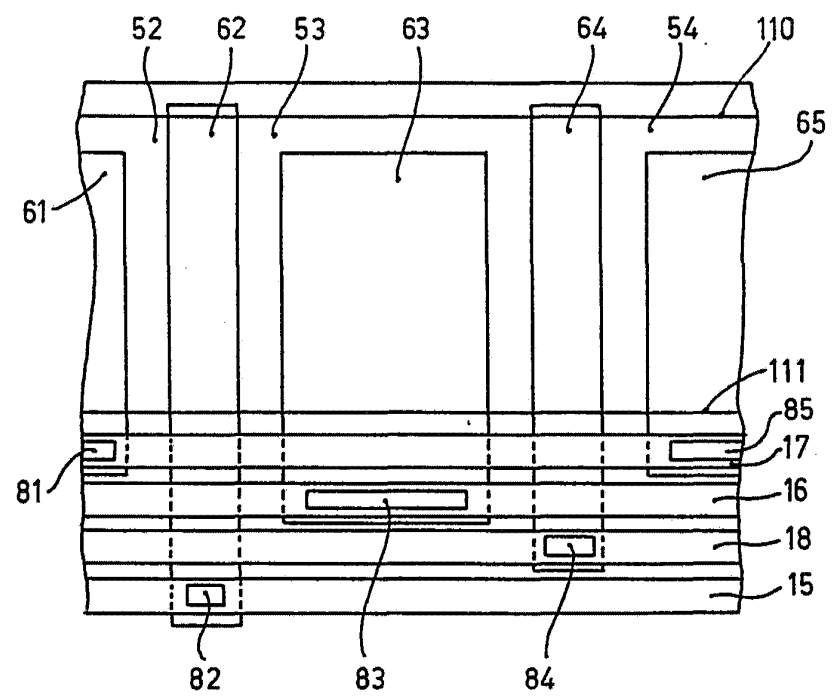


Fig. 8

Octavio de Elzaburu
Per D. de

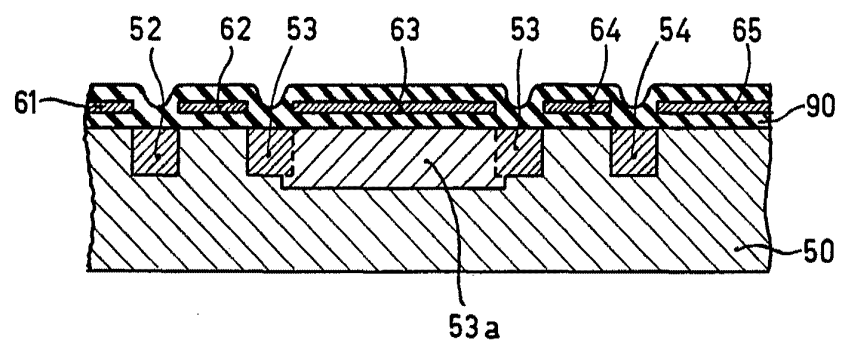


Fig. 9

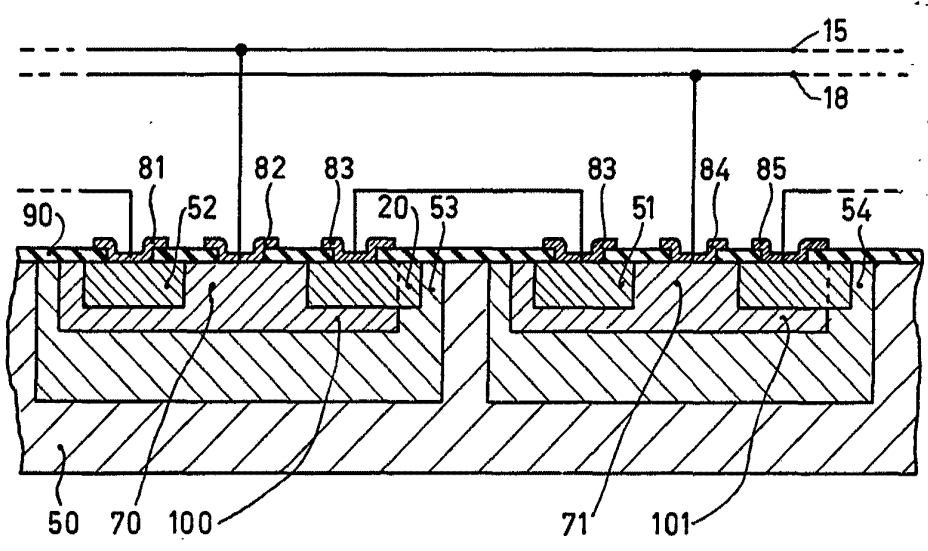


Fig. 10

Copyright © 1955
 Per Page
[Signature]

A. V. PHILIPS' GLOBELLA PATENT AGEN

VI/VI

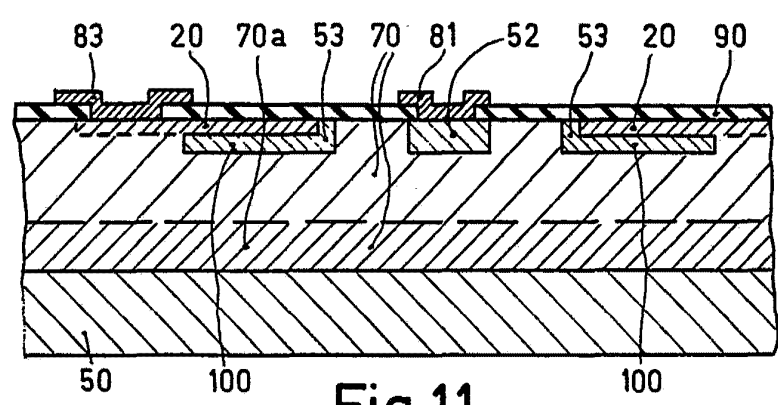


Fig. 11

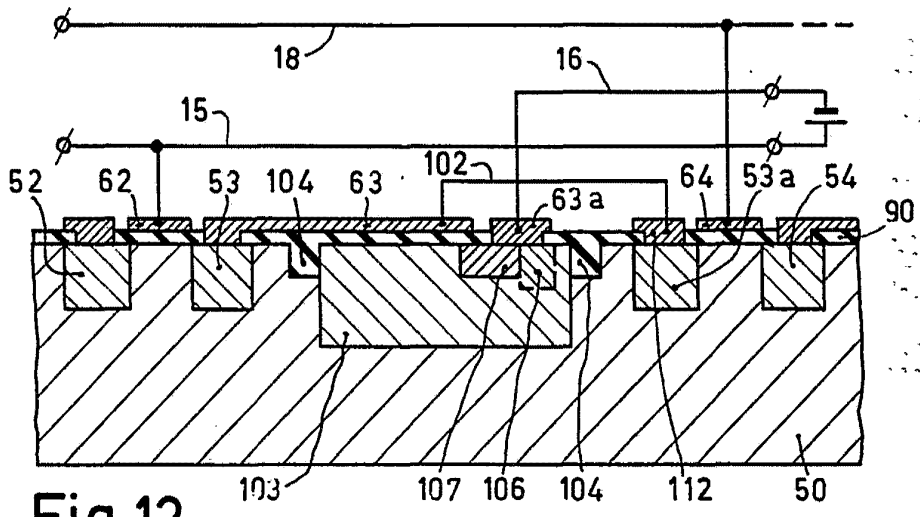


Fig. 12

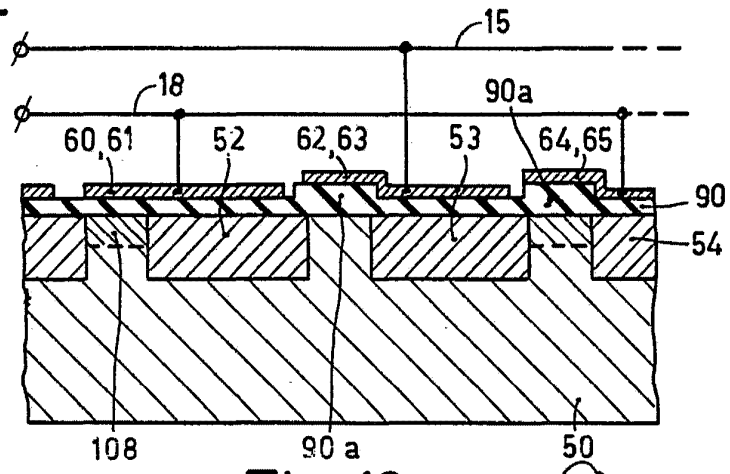


Fig. 13

Oscar de Eiseburu
Patent Attorney