

424341

P.- 56.878

RCA 66,521

Int. Cl. H.03.k

MEMORIA DESCRIPTIVA

para solicitar PATENTE DE INVENCION por VEINTE años

a nombre de RCA CORPORATION

entidad norteamericana

establecida en 30 Rockefeller Plaza, Nueva York, N.Y.

10020, Estados Unidos de América.

por: "PERFECCIONAMIENTOS INTRODUCIDOS EN CIRCUITOS
PERCEPTORES DE LA DURACION DE SEÑALES DE EN-
TRADA"

16.2.76

- 1 -

La presente invención se refiere a medios numéricos para percibir o detectar la duración de unas señales de entrada.

5 Las señales de entrada contienen a menudo una información errónea, no deseable o no utilizable, que debe ser filtrada. Por ejemplo, las señales generadas inmediatamente a continuación del cierre de unos interruptores mecánicos, o las señales generadas en un ambiente de gran abundancia de perturbaciones eléctricas, 10 suelen tener una característica rápida e irregularmente cambiante, tal que el estado o el valor real y efectivo de las señales resulta indeterminado. En la mayoría de los sistemas es conveniente y/o necesario que estas señales transitorias sean separadas por filtración (filtradas). 15 Existen otras aplicaciones y circunstancias en las que se producen señales erróneas. Es típico, como ejemplo, el que se encuentra en los sistemas para detectar si hay un ocupante sentado en un asiento de un vehículo automóvil. Una persona sentada en un asiento de 20 automóvil botará a menudo, levantándose del asiento en el transcurso de un recorrido por una carretera desigual o llena de baches. Durante el tiempo en que la persona está fuera o separada del asiento, se produce una señal indicativa de que el asiento no está ocupado. Es- 25 ta señal de entrada es falsa, y debe filtrarse antes de

9-4-74.

ser llevada a un dispositivo de alarma u otro dispositivo de control. Como es obvio, existen numerosas aplicaciones en las cuales la duración de una señal de entrada ha de ser mayor de cierto valor mínimo dado, antes de ser tratada como señal válida.

5

En los circuitos realizados conforme a la invención, la señal de entrada es muestreada repetitivamente por métodos numéricos, para determinar su duración. Si la duración de la señal es más breve que la separación T entre impulsos de muestreo, la señal es tratada como perturbación o "ruido", y filtrada. Si la duración T_s de la señal es mayor que T , se deja pasar la señal a través del circuito. Es rasgo característico de la invención que el valor de la señal de entrada durante un determinado tiempo de muestreo se compare de manera efectiva con el valor de la señal de entrada durante un tiempo de muestreo sucesivo, para determinar si la duración de la señal de entrada es menor o mayor que T .

10

15

20

25

Los circuitos realizados con arreglo a la invención incluyen un primer paso destinado a recibir señales de entrada, y que en respuesta a una señal de interrogación o muestreo produce y almacena en su salida una señal indicativa del nivel de la señal de entrada. A la salida del primer paso está acoplado por su entrada un segundo paso que, en respuesta a un impulso

de desplazamiento, que aparece un tiempo T después de dicho impulso de muestreo, el segundo paso produce y almacena en su salida una señal correspondiente a la que hay en la salida del primer paso. La salida del segundo paso está acoplada al primer paso, para impedir que una señal de entrada cuya duración sea menor que T altere la señal almacenada en la salida del primer paso.

En los dibujos adjuntos:

- la figura 1 es un esquema de principio de un circuito realizado con arreglo a la invención;

- la figura 2 es un diagrama que ilustra los perfiles de onda de los impulsos de "reloj" y los de muestreo y desplazamiento asociados a la fig. 1;

- la figura 3 es un diagrama que ilustra los perfiles de onda de unas señales típicas de entrada que pueden aplicarse a la entrada de la fig. 1, así como los correspondientes perfiles de onda del circuito.

En la circuitería representada en la fig. 1 se hace uso de diversas combinaciones de puertas lógicas, disyuntivas con inversión (NI) y de coincidencia con inversión (NOY), para llevar a cabo funciones lógicas y de almacenaje. Estas puertas se indican solamente a título de ejemplo, pudiendo usarse en lugar de ellas otras puertas lógicas cualesquiera, capaces de desempeñar las mismas funciones lógicas u otras equivalentes.

25
9-4-74.

En el análisis que sigue resultará conveniente estudiar el funcionamiento recurriendo a expresiones de álgebra de Boole. Los supuestos convencionales arbitrariamente adoptados son los de que el potencial eléctrico (voltaje) más positivo utilizado en el sistema representa el dígito binario "1", también denominado nivel "alto", y el potencial eléctrico menos positivo representa el dígito binario "0", también denominado nivel "bajo". Para simplificar aún más la explicación del funcionamiento del circuito se dirá a veces que a un circuito se le aplica (o de un circuito se obtiene) un "1" (nivel "alto") o un "0" (nivel "bajo"), en lugar de decir que se aplica o se obtiene una tensión eléctrica indicativa de un "1" o un "0".

El circuito de la fig. 1 incluye un primer paso (paso 1) para muestrear y almacenar señales de entrada (E) y un segundo paso (paso 2) para almacenar la salida (X, \bar{X}) del primer paso. Cada paso incluye unos medios de acción de puerta (medios de franqueo de paso) que controlan el paso y el almacenaje de información en un circuito biestable (FF-1, FF-2). Los medios de franqueo de paso (las puertas 25, 26, 27, 28 y 29) del primer paso están controlados por una realimentación (Y e \bar{Y}) derivada de la salida del segundo paso, por un impulso de muestreo designado Q y por una señal de desacoplo

de filtro designada S. Los medios de franqueo de paso del segundo paso (las puertas 32, 33, 34 y 35) están controlados por un impulso de desplazamiento designado P y por la señal S. El circuito incluye también un generador de señales de "reloj" 19 y la circuitería para producir el impulso Q de muestreo y el impulso P de desplazamiento.

El generador de señal de reloj 19 puede ser cualquiera de entre cierto número de medios generadores de señal de reloj ya conocidos, capaces de producir señales periódicamente repetitivas. A los fines de la ilustración, supóngase que la salida del generador de señal de reloj sea el perfil de onda designado como CL en la figura 2. La salida del generador de reloj 19 se aplica a una entrada del inversor 20 y a una de las entradas de una puerta NOY 21 de dos entradas. La salida del inversor 20 se aplica a la segunda entrada de la puerta NOY 21.

El inversor 20 y la puerta NOY 21 constituyen un detector de borde positivo de impulso. Al hacerse positiva la señal de reloj, las dos entradas de la puerta NOY 21 son positivas durante un breve intervalo de tiempo. Esto es, la entrada de la puerta NOY 21 directamente conectada al generador de señal de reloj se hace positiva inmediatamente (al hacerse positiva la

9-4-74.

señal de reloj), en tanto que la otra entrada de la
puerta 21 permanece positiva hasta que el inversor 20
descarga su salida al nivel bajo de tensión. Durante el
tiempo en que sus dos entradas están a nivel alto, la
5 puerta NOY 21 produce en su salida un impulso de senti-
do negativo que es luego invertido por el inversor 22,
dando el impulso de desplazamiento "P", así designado
en la fig. 2. El impulso "P" se aplica a una de las en-
tradas de las puertas NI 32 y 33 de dos entradas, al in-
10 versor 23 y a una de las entradas de la puerta NI 24 de
dos entradas. La salida del inversor 23 va conectada a
la otra entrada de la puerta 24.

El inversor 23 y la puerta NI 24 constitu-
yen un detector de borde negativo. Al hacerse negativo
15 el impulso "P", las dos entradas de la puerta NI 24 son
negativas durante un breve intervalo de tiempo. La en-
trada de la puerta NI 24 directamente conectada al im-
pulso "P" se hace negativa inmediatamente (al hacerse
negativo el impulso "P"), en tanto que la otra entrada
20 de la puerta 24 no se hace positiva hasta que el inver-
sor 23 carga su salida a un nivel suficientemente alto.
Así, tras cada borde negativo del impulso "P" se produ-
ce un estrecho impulso positivo de muestreo, designado
por la letra Q e indicado en la fig. 2.

25 El impulso de muestreo Q se aplica a una
9-4-74.

de las entradas de unas puertas NI 26 y 27 de tres entra
das. Otra entrada a cada una de las puertas NI 26 y 27
es la señal designada "S", producida por el elemento 17
de control de alimentación directa. La tercera entrada
5 de la puerta 26 es la salida \bar{Y} procedente de la puerta
37, y la tercera entrada de la puerta 27 es la salida Y
que viene de la puerta 36. La salida de la puerta 26 y
la señal de entrada (E) se aplican a las dos entradas
de la puerta NI 28. La salida de la puerta 28 se aplica
10 a una de las entradas (de reposición) de una puerta NI
30 de dos entradas. La salida de la puerta 27 y el com
plemento de la señal de entrada (\bar{E}) derivado de la sa
lida del inversor 25 se aplican a las dos entradas de
la puerta NI 29. La salida de la puerta 29 se aplica a
15 una de las entradas (de activación) de la puerta NI 31.

Las puertas NI 30 y 31 están conectadas
en acoplamiento cruzado formando un circuito biestable
de activación-reposición (FF-1). Esto es, la salida X
de la puerta 30 se realimenta a la otra entrada de la
20 puerta 31, y la salida \bar{X} de la puerta 31 se realimenta
a la otra entrada de la puerta 30.

Las dos entradas que van a las puertas
NI 32 y 33 son las señales P y S. Las dos entradas que
van a la puerta NI 34 son la salida de la puerta 32 y
25 la señal X que viene de la puerta 30, y las dos entra-

9-4-74.

das que van a la puerta NI 35 son la salida de la puerta 33 y la señal \bar{X} que viene de la puerta 31. La salida de la puerta 34 va conectada a una de las entradas (de reposición) de la puerta NI 36, y la salida de la puerta 5 35 va conectada a una de las entradas (activación) de la puerta NI 37. Las puertas 36 y 37 están conectadas en acoplamiento cruzado formando un circuito biestable (FF-2) de activación-reposición. La salida Y de la puerta 36 se realimenta a la otra entrada de la puerta 37, 10 y la salida \bar{Y} de la puerta 37 se realimenta a la otra entrada de la puerta 36.

Las puertas 41 y 42 están dibujadas con líneas de trazo interrumpido para indicar que su empleo es discrecional. Si se usa la puerta 41, a sus dos entradas se aplican la señal de entrada (E) y la señal \bar{X} , 15 y su salida va conectada a una de las entradas de la puerta NI 30. Si se usa la puerta 42, se aplican las señales \bar{E} y X a sus dos entradas, y su salida se aplica a una de las entradas de la puerta NI 31. En el caso 20 de que la entrada (E) esté a nivel bajo y de que el biestable FF-1 se active debido a una perturbación extraña, de modo tal que X esté a nivel alto y \bar{X} esté a nivel bajo, la salida de la puerta 41 pasa a nivel alto, obligando a X a volver al nivel bajo. Esto da la seguridad 25 de que toda condición de fallo será eliminada. Ello pro

9-4-74.

porciona al sistema un mejor filtraje, en un ambiente de gran perturbación.

En el caso de que la entrada (E) esté a nivel alto y FF-1 sea activado por un "ruido" o perturbación, de modo tal que X esté a nivel bajo y \bar{X} a nivel alto, la salida de la puerta 42 pasa al nivel alto obligando a X a volver al nivel alto. Como antes, esto da la seguridad de que toda condición de fallo será eliminada. En el estudio que sigue se supondrá que las puertas 41 y 42 no están en el circuito.

El circuito puede hacerse funcionar en el modo de muestreo cuando S está a nivel bajo (está "baja"), o bien en el modo de alimentación directa cuando S está a nivel alto (está "alta"). Por ser el modo de muestreo la modalidad principal o primaria de funcionamiento, se estudiará en primer lugar.

Modo de muestreo

En el modo de muestreo, el impulso S producido por el mando o control 17 de alimentación directa se mantiene a nivel bajo. Al pasar el impulso Q al nivel alto, se muestrea la señal de entrada, y la información indicativa del nivel (alto o bajo) de la señal de entrada es transferida al biestable FF-1, que se activa. Cuando Q está al nivel alto, las salidas de las puertas 26 y 27 están a nivel bajo. Durante este inter-

9-4-74.

valo de tiempo, Y e \bar{Y} no producen efecto alguno en el
circuito de franqueo de paso, y no importa cuál se es-
tas señales Y e \bar{Y} esté al nivel alto y cuál al nivel
bajo. Ahora se demostrará que cuando Q está a nivel al-
5 to, una señal de entrada (E) a nivel alto hará que X pa-
se al nivel alto (y \bar{X} al nivel bajo); y una señal de en-
trada (E) de nivel bajo hará que X pase al nivel bajo
(y \bar{X} al nivel alto).

Siempre que Q esté a nivel alto, las sali-
10 das de las puertas 26 y 27 estarán a nivel bajo y, por
lo tanto, las puertas 28 y 29 tendrán (cada una) una de
sus entradas a nivel bajo. La señal E de nivel alto
aplicada a la otra entrada de la puerta 28 hace que la
salida de la puerta 28 pase al nivel bajo. Al mismo
15 tiempo, la señal E de nivel alto es invertida por la
puerta 25, dando una entrada de nivel bajo para la puer-
ta NI 29. La puerta NI 29, por tener aplicados dos ni-
veles bajos en sus dos entradas, da una salida de nivel
alto que se aplica a la puerta NI 31, que hace que \bar{X} pa-
20 se al nivel bajo. Como las dos entradas de la puerta NI
30 están a nivel bajo, X pasa al nivel alto. Por lo tan-
to, durante un intervalo de muestreo (cuando Q está a
nivel alto), una señal de entrada de nivel alto hace
que el biestable FF-1 se ponga o active a X "alta" y \bar{X}
25 "baja".

9-4-74.

Cuando Q está a nivel alto y E está a nivel bajo, se aplican dos entradas de nivel bajo a la puerta 28, haciendo que su salida pase al nivel alto. Al mismo tiempo, la señal E de nivel bajo es invertida por el inversor 25, dando un nivel alto en una de las dos entradas de la puerta 29. La salida de la puerta 29, por lo tanto, pasa al nivel bajo. La salida "alta" de la puerta 28, aplicada a la entrada de reposición de la puerta 30, hace que X pase al nivel bajo. Como consecuencia, las dos entradas de la puerta NI 31 están entonces "bajas", haciendo que \bar{X} pase al nivel alto. Por lo tanto, durante un intervalo de muestreo (cuando Q está "alta"), una señal de entrada de nivel bajo hace que X se active al nivel bajo y \bar{X} se active al nivel alto.

Como se apreciará, el uso de dos trayectos de circuito (uno de los cuales comprende las puertas 26, 28 mientras el otro comprende las puertas 27, 29) para activar y reponer el biestable FF-1, y el empleo del inversor 25 para generar el complemento \bar{E} , proporcionan un control de encaminamiento tal que una de las dos entradas del biestable está siempre activada positivamente. Esto es, se aplicará una entrada de nivel alto a la puerta 31, haciendo que \bar{X} pase al nivel bajo y X al nivel alto cuando E esté "alta", y se

9-4-74.

aplicará una entrada de nivel alto a la entrada de la
puerta 30, haciendo que X pase al nivel bajo y \bar{X} al ni-
vel alto cuando E sea "baja". Así, por medio del inver-
sor 25 de encaminamiento, el biestable de activación-re-
5 posición compuesto de las puertas NI 30 y 31 se activa
siempre positivamente.

La respuesta del biestable FF-1 a la señal de
entrada E, para una señal Q de nivel alto, se resume
en la tabla 1 más adelante.

10 Las señales X y \bar{X} presentes en la salida
del biestable FF-1 son transferidas y almacenadas en el
biestable FF-2 de activación-reposición al aplicarse un
impulso P de desplazamiento a las puertas NI 32 y 33.
El impulso P, como se indica en la fig. 3, aparece apro-
15 ximadamente un tiempo T después de aparecer el impulso
Q. El impulso P de sentido positivo se aplica a una de
las dos entradas de las puertas NI 32 y 33. Cuando el
circuito está en su modo de muestreo y S es igual a 0, el
nivel alto de P hace que las salidas de las puertas
20 NI 32 y 33 pasen al nivel bajo. Por lo tanto, cuando P
está "alta", una de las dos entradas de la puerta NI 34
está "baja", mientras su otra entrada es la señal X. Si-
multáneamente, una de las dos entradas de la puerta NI
35 está a nivel bajo, mientras su otra entrada es la se-
ñal \bar{X} . Cuando X está a nivel bajo, la salida de la puer-

ta NI 34 está "alta" y la salida de la puerta NI 35 es-
tá "baja". Esto activa la salida Y del biestable FF-2 al
nivel bajo, y la salida \bar{Y} al nivel alto. Para la condi-
ción en que X está "alta" y \bar{X} está "baja", la salida de
5 la puerta NI 34 está "baja" y la salida de la puerta NI
35 está "alta". Esto activa la salida Y al nivel alto y
la salida \bar{Y} al nivel bajo. Cuando X está "baja" y \bar{X} está
"alta", Y pasa al nivel bajo e \bar{Y} al nivel alto. La sali-
da Y se realimenta a la entrada 27l de la puerta 27, y
10 la salida \bar{Y} se realimenta a la entrada 26l de la puerta
26. Esta realimentación de Y e \bar{Y} impide que toda señal de
entrada cuya duración sea menor que T se almacene perma-
nentemente en el biestable FF-1 y pase por el filtro.

Hasta aquí se ha demostrado que, cuando Q
15 está al nivel alto, el nivel de la señal de entrada ac-
tiva el biestable FF-1 a un nivel correspondiente, y que
cuando P está al nivel alto el biestable FF-2 es activa-
do de modo correspondiente al estado del biestable FF-1.

Para comprender por completo el funcionamiento
20 del circuito, es necesario examinar el circuito para
la condición en que Q esté al nivel bajo y E sea "al-
ta" o "baja", y para la condición en que E cambie de ni-
vel mientras Q está al nivel bajo. En el modo de mues-

treo, cuando Q está "baja" (y S está "baja"), la salida del primer paso (X y \bar{X}) no es afectada por los cambios que haya en la señal de entrada.

Supóngase que tanto Q como S e \bar{Y} están a nivel bajo, e Y está "alta". Para estas condiciones, un nivel alto de E mantiene o hace que X esté "alta" y \bar{X} esté "baja", en tanto que un nivel bajo de E no produce efecto alguno en el estado del biestable. La salida de la puerta 27 es "baja", la salida de la puerta 26 es "alta" y, de modo correspondiente, la salida de la puerta 28 es "baja". Si E está a nivel alto, las dos entradas de la puerta NI 29 están al nivel bajo, haciendo que la salida de la puerta NI 29 pase al nivel alto. Esta salida "alta" de la puerta NI 29 hace que \bar{X} pase al nivel bajo y, como las dos entradas de la puerta NI 28 están "bajas", X está "alta". A este punto hay que resaltar que la condición de Y "alta" e \bar{Y} "baja" existe porque X estaba al nivel alto y \bar{X} al nivel bajo cuando el impulso P precedente se hizo positivo. A su vez, X estaba "alta" y \bar{X} estaba "baja" porque la señal de entrada había estado al nivel alto durante un período o intervalo de tiempo mayor que T, antes del impulso P precedente. Por lo tanto, cuando Q e \bar{Y} están "bajas" e Y está "alta", se acopla una señal de entrada de nivel alto a través del circuito de franqueo de paso del primer paso

para mantener al biestable FF-1 en el estado en que ya se encuentra, o bien para reponer el biestable FF-1 a la condición de X "alta" e \bar{Y} "baja" si E se hiciese de nivel bajo estando Q al nivel alto, y E estuviese al nivel bajo durante un período o intervalo de tiempo menor que T.

Para la condición en que tanto Q como S e \bar{Y} estén al nivel bajo e Y esté "alta", no hay variación en la salida del primer paso cuando E pasa al nivel bajo. Recuérdese por lo que antecede que, para Y "alta" e \bar{Y} "baja", la salida de la puerta 26 es "alta", y la salida de la puerta 27 es "baja". Por consiguiente, la salida de la puerta 28 está a nivel bajo. Cuando E es "baja", la salida de la puerta NI 28 permanece al nivel bajo, y la entrada de reposición del biestable FF-1 está también "baja". Simultáneamente, el nivel alto de \bar{E} se aplica a la puerta NI 29. Como consecuencia, la salida de la puerta NI 29 estará también al nivel bajo. Por lo tanto, para la condición de E "baja" se aplican dos señales de nivel bajo a las entradas de activación y reposición del biestable FF-1. Cuando a ambas entradas, de activación y reposición, del biestable se aplican entradas de nivel bajo, el biestable permanece en su estado previo. Es decir, no cambia de estado. Por consiguiente, para la condición $Q = S = 0$ y para Y "alta" e \bar{Y} "baja",

9-4-74.

la salida (X y \bar{X}) del primer paso permanece en el estado, cualquiera que éste fuese, en que hubiese sido anteriormente activado cuando Q estaba al nivel alto. Las respuestas indicadas se resumen en el apartado 2) de la

5

Para la condición en que $Q = S = 0$ e Y está "baja" e \bar{Y} "alta", puede demostrarse que, para el nivel alto de E , las entradas de activación y reposición del biestable FF-1 están ambas al nivel bajo, de tal modo que X y \bar{X} permanecen al nivel, cualquiera que

10

fuese, en que se hallasen activadas antes de pasar E al nivel alto. En cambio, si E está "baja" o pasa al nivel bajo, X se mantendrá o repondrá al nivel bajo y \bar{X} se mantendrá o repondrá al nivel alto. La condición de

15

Y "baja" (\bar{Y} "alta) provenía de estar E al nivel bajo durante por lo menos un tiempo T y de estar X al nivel bajo durante el mismo tiempo T , incluyéndose en T un impulso Q seguido de un impulso de desplazamiento. Por

20

lo tanto, para las condiciones de $Q = Y = 0$ e $\bar{Y} = 1$, un nivel bajo de E mantiene a X en la condición en que ya estaba activada. Si E pasase al nivel alto cuando Q pasase al nivel alto, X subiría al nivel alto y \bar{X} pasaría al bajo. Ahora bien, esta condición se mantendría solamente mientras E permaneciese "alta". Si E pasase

25

al nivel bajo antes del siguiente impulso P (es decir,

9-4-74.

siendo la duración del impulso de sentido positivo de E menor que T), la salida del biestable FF-1 se repone a X "baja" y \bar{X} "alta", debido a la realimentación de Y "baja" e \bar{Y} "alta". Por lo tanto, la realimentación de la salida Y, \bar{Y} desde las puertas 36 y 37 a las entradas de las puertas 26 y 27 da la seguridad de que para el nivel bajo de Q, la información almacenada en el circuito no se hace variar ni se altera para impulsos de duración menor que T. La respuesta del circuito para Q = Y = 0 e $\bar{Y} = 1$ se resume en el apartado 3) de la tabla 1.

9-4-74.

TABIA 1

	Señal de entrada (E)	X	\bar{X}
1) Q alta, \bar{Y} baja Y alta o bien Y baja, \bar{Y} alta S=0	alta	alta	baja
	baja	baja	alta
2) Q baja Y alta, \bar{Y} baja S=0	alta	alta	baja
	baja	No varía; sigue en el estado activado cuando Q estaba alta	
3) Q baja Y baja, \bar{Y} alta S=0	baja	alta	baja
	alta	baja	alta
	Si E cambia de alta a baja antes del impulso P	baja	alta
	Si E cambia de <u>al</u> ta a baja antes del impulso P	No varía; sigue en el estado activado cuando Q estaba alta	baja

La precedente descripción del funcionamiento del circuito puede comprenderse del mejor modo con referencia a algunos perfiles de onda tipo, ilustrados en la fig. 3.

5 En un instante t_1 se supone que pasa al nivel alto una señal de entrada E_1 . En el instante t_2 se aplica un impulso P_1 , pero éste no produce efecto alguno en las salidas X ni Y. En el instante t_3 pasa Q_1 al nivel alto y entonces, sea cual fuere su estado anterior, X toma sentido positivo. En el instante t_4 , Q_1 pasa al nivel bajo. No obstante, mientras E_1 siga al nivel alto, X permanece "alta". En el instante t_5 , pasa P_2 al nivel alto y la salida del biestable FF-1 se transfiere al biestable FF-2, pasando al nivel alto tanto X como Y. En el instante t_6 , Q_2 pasa al nivel alto y, como E sigue estando "alta", X se mantiene "alta".

15 En el instante t_7 , E_1 pasa al nivel bajo. Las condiciones del circuito en ese momento son $Q = S = \bar{Y} = 0$, e $Y = 1$. Para estas condiciones, como se ha estudiado más arriba, X y \bar{X} siguen en el estado en que se activaron cuando el impulso Q_2 precedente estaba "alto". Así, Y y \bar{X} siguen a los niveles alto y bajo, respectivamente. En el instante t_8 , P_3 pasa al nivel alto, pero ni X ni Y cambian por eso. Ahora bien, en el instante 25 t_9 pasa Q_3 al nivel alto. Cuando Q_3 está al nivel alto,

9-4-74.

se muestrea E_1 y su nivel se almacena en el biestable FF-1. En el instante t_{10} , Q_3 pasa al nivel bajo, y como E_1 sigue "baja" hasta el instante t_{11} , la señal almacenada en la salida del biestable FF-1 permanece a los niveles bajo para X y alto para \bar{X} .

5

En el instante t_{11} , la señal de entrada E_1 vuelve al nivel alto. A este punto, las condiciones existentes en el circuito son $Q = \bar{Y} = 0$ e $Y = 1$, y para estas condiciones el biestable FF-1 se repone de manera que X pasa al nivel alto y \bar{X} al nivel bajo. Esto ilustra que cuando Q está "baja", la salida (Y e \bar{Y}) del segundo paso controla el paso de la señal de entrada por la circuitería de puertas del primer paso. Además, la salida (Y, \bar{Y}) se compara con la señal de entrada.

10

Como la salida corresponde a la entrada que existía un período antes, se ve que la entrada en un momento dado cualquiera se está comparando con la entrada que existía un período T antes. Cuando el nivel de la señal de entrada difiere del nivel presente en la salida, la señal de entrada debe mantener su nivel durante un período igual o mayor que T (incluyéndose en el intervalo T el impulso de muestreo Q y un impulso de desplazamiento P sucesivo), para hacer que la salida del biestable FF-2 cambie de estado. Como en el instante t_{11} el nivel de E_1 era el bajo, por una duración menor que T tras

25

9-4-74.

una condición de E_1 "alta", y como existe la condición $Y = 1$ e $\bar{Y} = 0$, se repone el biestable FF-1, pasando X al nivel alto y \bar{X} al nivel bajo.

5 En el instante t_{12} , vuelve E_1 al nivel bajo, no siendo afectado el biestable FF-1 por el cambio de E_1 . El hecho de estar Y al nivel alto e \bar{Y} al bajo filtra (elimina) esta información. En el instante t_{14} , Q_1 pasa al nivel alto, y entonces X y \bar{X} se ponen "baja" y "alta" respectivamente, mientras Y e \bar{Y} no varían. La señal de entrada E sigue al nivel bajo hasta 10 el instante t_{15} , en que P pasa al nivel alto. La información almacenada en el biestable FF-1 es trasladada y almacenada en el biestable FF-2, e Y, \bar{Y} pasan a los niveles bajo y alto, respectivamente. Si en el instante 15 t_{16} , correspondiente a la subida de nivel de Q, que se hace alto, E_1 vuelve a pasar al nivel alto, X y \bar{X} pasan al alto y al bajo, respectivamente. Pero Y e \bar{Y} siguen a los niveles bajo y alto, respectivamente, permaneciendo a ese nivel durante un período T. Según se ha demostrado, si la salida X del segundo paso está al nivel 20 alto, la señal de entrada debe hacerse negativa durante un período o intervalo de tiempo igual o mayor que T (incluyéndose en T un impulso de muestreo seguido de un impulso de desplazamiento), para que X varíe o pase de "alta" a "baja". 25

9-4-74.

Se representa un segundo perfil de onda de entrada E_2 , que se supone al nivel bajo hasta el instante t_{21} . El paso de E_2 al nivel alto no tiene efecto en X ni en Y , que siguen al nivel bajo. Sólo en el instante t_{22} , cuando Q_3 pasa al nivel alto, es cuando X se hace "alta". La señal Y sigue siendo "baja". En t_{23} , la señal de entrada E_2 vuelve al nivel bajo. Las condiciones del circuito en ese momento son $Q = Y = 0$ e $\bar{Y} = 1$. Para estas condiciones, como se ha estudiado más arriba, el biestable FF-1 se repone, dando X "baja" y \bar{X} "alta". En el instante t_{24} , E_2 pasa al nivel alto y, cuando Q_4 sube también al nivel alto en el instante t_{25} , el biestable FF-1 se activa dando X "alta" y \bar{X} "baja". En el instante t_{26} , P_5 pasa al nivel alto y la salida "alta" de X hace que Y pase al nivel alto e \bar{Y} se haga "baja". Así, si la salida Y del segundo paso está "baja", la señal de entrada debe hacerse positiva durante un período o intervalo de tiempo igual o mayor que T (incluyendo en T un impulso de muestreo seguido de un impulso de desplazamiento), para que Y cambie de "baja" a "alta".

El circuito realizado conforme a la invención es simétrico y presenta una histéresis numérica que tiende a dejarlo en la condición, cualquiera que fuese, en que se puso por última vez.

25
9-4-74.

Del estudio que antecede ha de resultar evidente que para que las señales de entrada pasen por el filtro deben satisfacer los siguientes requisitos:

5 1) la señal de entrada debe estar presente cuando esté presente el impulso de muestreo Q; y 2) el impulso de entrada debe tener una anchura de impulso cuya duración se extienda por lo menos desde poco antes del borde de caída del impulso Q hasta poco después del borde de ata que o de subida del impulso P. Las anchuras de impulso de los impulsos P y Q son muy estrechas. Se hacen lo más estrechas posible, viniendo el mínimo de anchura regulado por el requisito de que su carga sea excitada adecuadamente.

Es evidente que la separación de los impulsos P y Q podría hacerse variar dentro de amplios límites. Esto es, el impulso P podría generarse en un instante cualquiera después de la aparición del impulso Q. La frecuencia de reloj y el régimen o frecuencia de muestreo pueden ir de la gama de menos de un microsegundo hasta los incrementos de tiempo medidos en segundos o en horas, según la aplicación.

Modo de alimentación directa

Hace falta un retardo de muestreo para que la señal entrante llegue a la salida (Y, \bar{Y}) del filtro para ulterior tratamiento. Este retardo, según la

25
9-4-74.

frecuencia de reloj, puede variar desde la gama de los microsegundos a la gama de los segundos. Ahora bien, existen circunstancias en las cuales este retardo ha de ser eliminado. A este fin, se dispone un mando de alimentación directa 17, que da un impulso (S) que, cuando es positivo, ofrece un paso directo entre la entrada y la salida del filtro. Su funcionamiento se describe a continuación: Cuando la señal S se hace "alta", las salidas de las puertas 26, 27, 32 y 33 se activan al nivel bajo. El nivel alto de S, pues, predomina sobre el control de Q, P e Y e \bar{Y} . Si E está "alta", la salida de la puerta 28 está "baja", y la salida de la puerta 29 es "alta". Esto hace que la entrada de activación y reposición del biestable FF-1 pase a los niveles alto y bajo, respectivamente, dando lugar a que X se ponga "alta" y \bar{X} "baja". Como las salidas de las puertas 32 y 33 están al nivel bajo, el hecho de estar X "alta" y \bar{X} "baja" hace que las salidas de las puertas NI 34 y 35 estén "baja" y "alta", respectivamente. Estas señales hacen que la salida \bar{Y} de la puerta 37 pase al nivel bajo, y la salida Y de la puerta 36 pase al nivel alto. Así, con S al nivel alto, la señal de entrada "alta" se lleva directamente hasta la salida del filtro, siendo el único retardo el debido a la propagación por la puerta, que asciende a unos pocos nanosegundos. Si E es

9-4-74.

tá "baja", las salidas de las puertas 28 y 29 están "alta" y "baja" respectivamente, haciendo que X pase al nivel bajo y \bar{X} pase al nivel alto. Al estar X "baja" y \bar{X} "alta", ello hace que las salidas de las puertas 34 y 35 pasen al nivel alto y al bajo, respectivamente. Esto hace a su vez que el biestable FF-2 produzca Y "baja" e \bar{Y} "alta". Así, la señal de entrada se transfiere a la salida con muy poco retardo.

La presente solicitud, que corresponde a la presentada en los Estados Unidos de América, el 23 de Marzo de 1973, bajo el Núm. 344.298, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

- REIVINDICACIONES -

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

1ª.- Perfeccionamientos introducidos en circuitos perceptores de la duración de señales de entrada que tie-

nen unos medios de entrada destinados a recibir una señal de entrada a muestrear o interrogar, y unos medios primeros y segundos de almacenaje de señales, y caracterizados por el hecho de estar además previstos: unos primeros medios, acoplados a dichos medios de entrada y capaces de responder a dicha señal de entrada, para activar dichos primeros medios de almacenaje a una condición indicativa del valor de dicha señal de entrada durante un intervalo de muestreo; unos segundos medios capaces de responder a la señal almacenada en dichos primeros medios de almacenaje, para desplazar la señal almacenada en dichos primeros medios de almacenaje trasladándola a dichos segundos medios de almacenaje durante un intervalo de desplazamiento que sucede a dicho intervalo de muestreo, y para luego almacenar la citada señal en dichos segundos medios de almacenaje; y unos medios para acoplar a dichos primeros medios la señal almacenada en los citados segundos medios de almacenaje, para impedir que una señal de entrada, que tenga una duración más breve que el intervalo comprendido entre dichos intervalos de muestreo y desplazamiento, altere la condición de dichos primeros medios de almacenaje.

2ª.- Perfeccionamientos de acuerdo con la reivindicación 1ª, caracterizados además por el hecho de que están incluidos unos medios de alimentación directa,

acoplados a dichos medios primeros y segundos, para habilitar o condicionar simultáneamente dichos medios primeros y segundos para que dicha señal de entrada pase sin retardo a través de dichos primeros
5 medios y a través de dichos segundos medios.

3ª.- Perfeccionamientos de acuerdo con la reivindicación 1ª, según los cuales dichos primeros medios incluyen unos medios para recibir un impulso de muestreo durante dichos intervalo de muestreo; y dichos
10 segundos medios incluyen unos medios para recibir un impulso de desplazamiento durante el citado intervalo de desplazamiento.

4ª.- Perfeccionamientos de acuerdo con la reivindicación 3ª, según los cuales dichos primeros medios incluyen unos medios que, en respuesta a una señal de
15 entrada de la misma significación binaria que la presente en la salida de dichos segundos medios de almacenaje, aplican a la entrada de dichos primeros medios de almacenaje una señal que tiene un valor adecuado para
20 mantener o restablecer las salidas de dichos primeros medios de almacenaje, poniéndolas en la misma condición binaria presente en la salida de los segundos medios de almacenaje, y que, en respuesta a una señal de entrada de distinta significación binaria que la presente
25 en la salida de los segundos medios de almacenaje, man-

tiene la salida de dichos primeros medios de almacenaje en la condición en que estaba puesta durante la presencia del impulso de muestreo precedente.

5 5ª.- Perfeccionamientos de acuerdo con la reivindicación 3ª, según los cuales dichos primeros medios incluyen un inversor para invertir dicha señal de entrada, y dichos primeros medios incluyen un trayecto de circuito acoplado a la entrada de reposición de dichos primeros medios de almacenaje, bajo el control de dicha señal de entrada, y un segundo trayecto de circuito acoplado a la entrada de activación de dichos primeros medios de almacenaje, bajo el control del complemento de la
10 señal de entrada.

15 6ª.- Perfeccionamientos de acuerdo con la reivindicación 1ª, según los cuales dichos medios de almacenaje primeros y segundos son unos medios de almacenaje de dos estados, teniendo cada uno de los medios unas entradas de activación y reposición y dos salidas, una de éstas complemento de la otra.

20 7ª.- Perfeccionamientos introducidos en circuitos perceptores de la duración de señales de entrada.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.


Esta Memoria consta de treinta hojas escritas
a máquina por una sola cara.

Madrid,

19 FEB. 1976

P.A.

Oscar de Elzaburu
Por Poder.



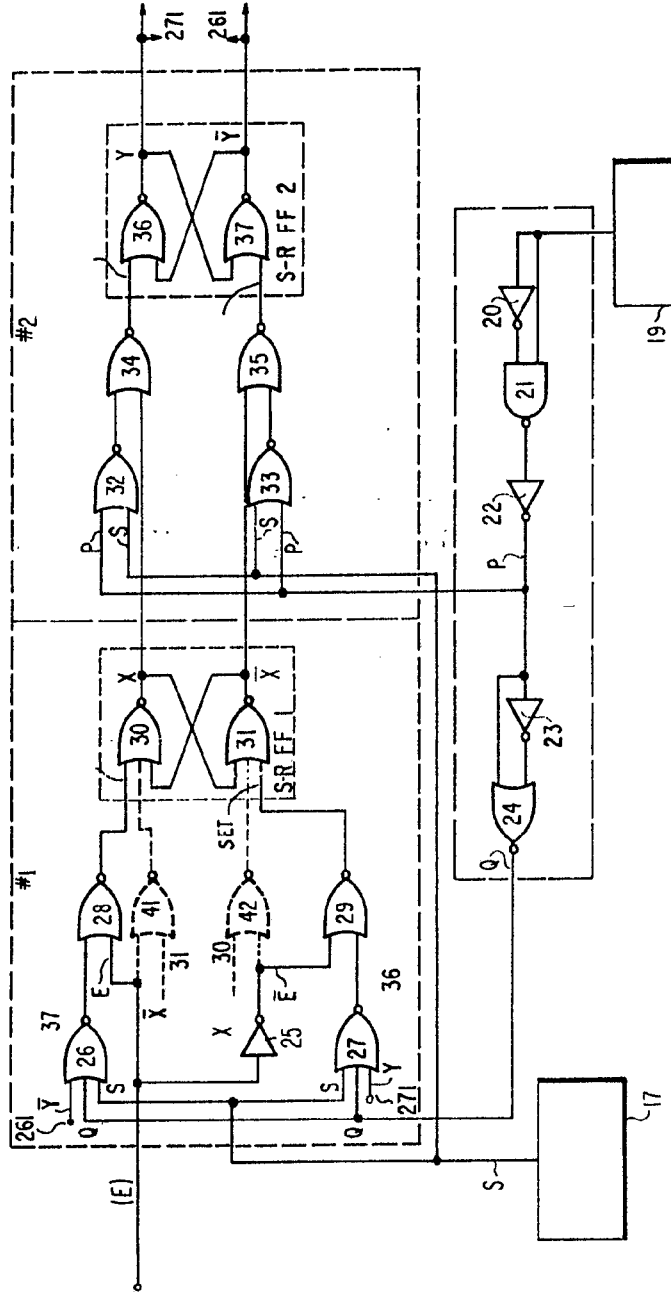


Fig. 1

Amh

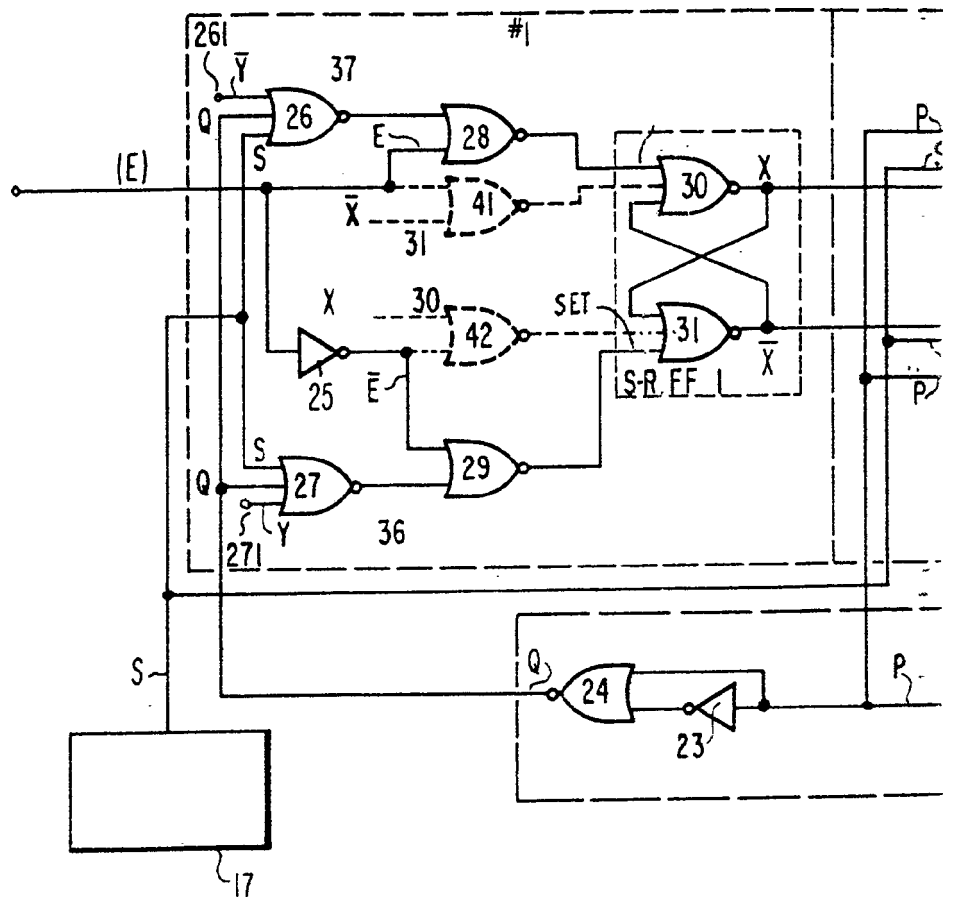


Fig. 1

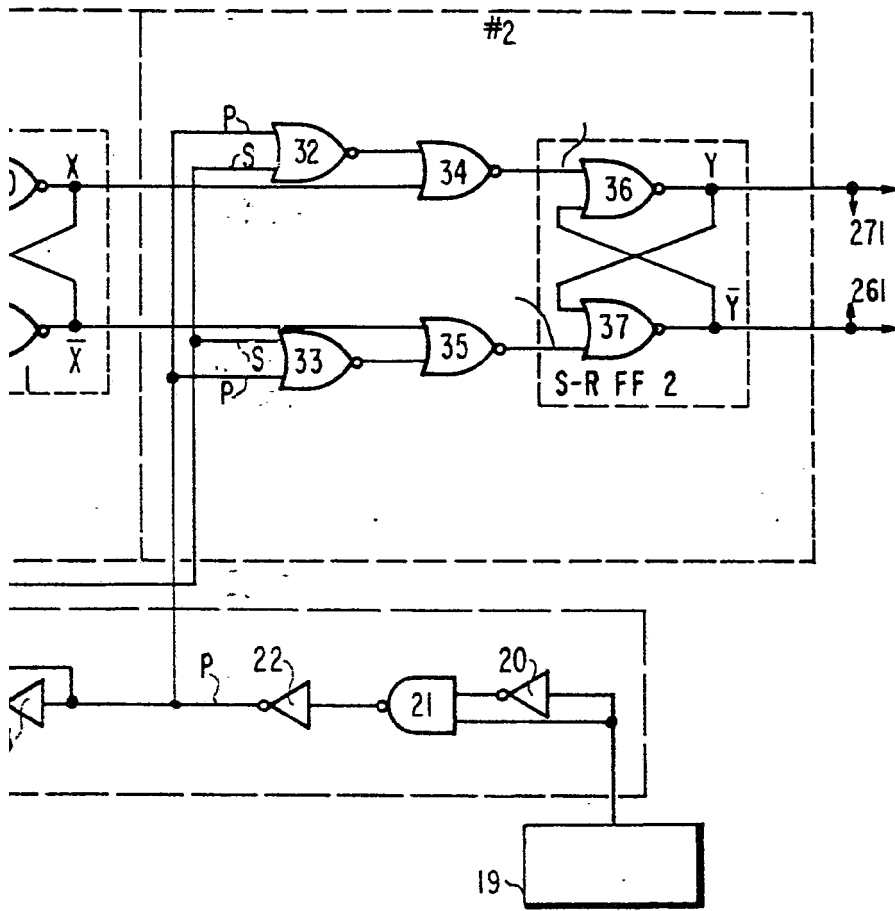


Fig. 1

Arch

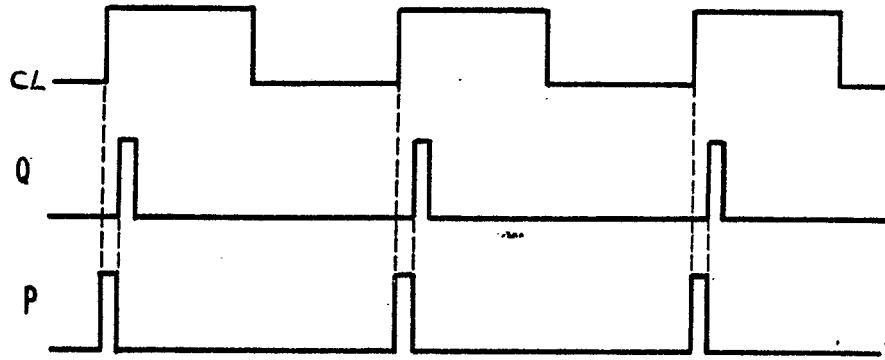


Fig. 2

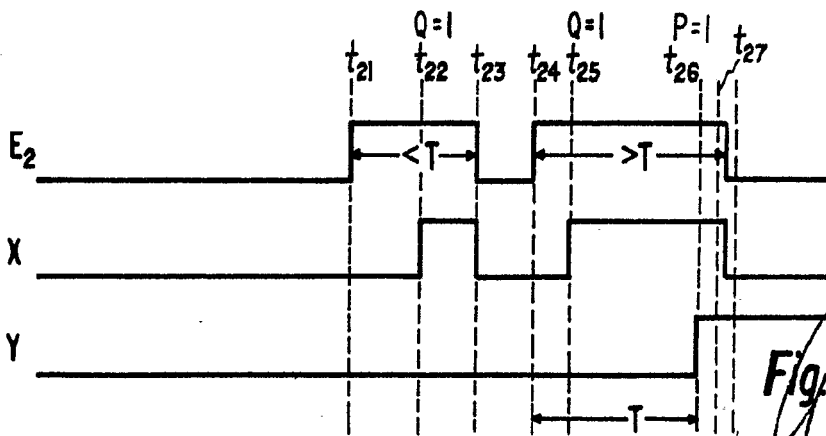
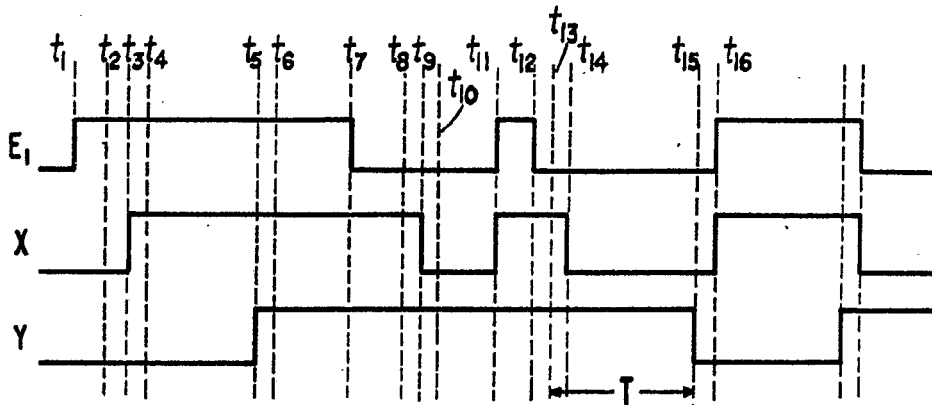
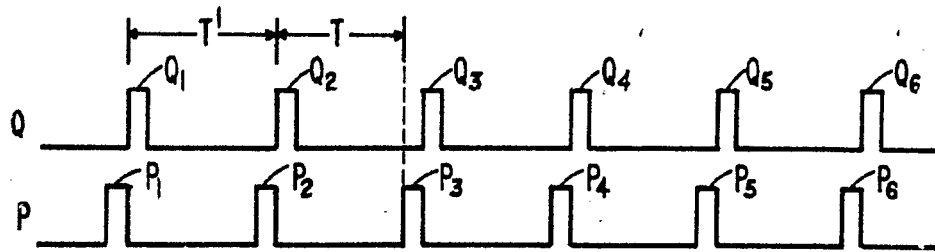


Fig. 3

[Handwritten signature]