

Nº 424.325

Int. Cl. H.04.N

M E M O R I A D E S C R I P T I V A

correspondiente a la solicitud de una

PATENTE DE INVENCION

Solicitante: MATSUSHITA ELECTRIC INDUSTRIAL COMPANY,
LIMITED.-

Domicilio: NO. 1006. OAZA KADOMA, KADOMA CITY,
OSAKA, JAPON.-

Enunciado: RECEPTOR PARA SISTEMA DE FACSIMIL.

**POOR
QUALITY**

El invento se refiere a sistemas de facsimil y más particularmente a un sistema de facsimil mejorado que transforma una señal de facsimil en sucesivas señales de "longitud de carrera" con código binario, que transmite las sucesivas señales de longitud de carrera con código binario, y que transforma de nuevo las señales de longitud de carrera con código binario transmitidas en la señal de facsimil original.

Un sistema de facsimil incluye generalmente un transmisor para transformar una imagen fotográfica soportada por un medio de información tal como una hoja de papel en una señal eléctrica es decir en una señal de facsimil y para transmitir la señal de facsimil de una manera adecuada, y un receptor para recibir la señal de facsimil transmitida y para transformar nuevamente la señal de facsimil en la información de imagen fotográfica original. Ya que la señal de facsimil consiste usualmente en señales de espacio (blanco) y señales de marcación (negro) en razón de la naturaleza de la imagen fotográfica, en la práctica es aconsejable transmitir la señal de facsimil bajo la forma de señales sucesivas adecuadamente codificadas con el fin de reducir el ancho de la banda de frecuencias del canal de transmisión y para acortar los intervalos de transmisión. Por tanto, se han desarrollado varios sistemas de facsimil en los cuales la señal de facsimil es transmitida bajo la forma de señales codificadas sucesivas. Sin embargo, los sistemas de facsimil convencionales de este tipo exigen la determinación previa de las propiedades estadísticas de la señal de facsimil que ha de ser transmitida, lo que no es siempre posible. Además, estos sistemas de facsimil son de construcción compli-

cada y muy costosos ya que exigen un codificador y un decodificador complicados, así como memorias intermedias de gran capacidad.

5 Por tanto, un objeto principal del invento consiste en proporcionar un sistema de facsimil mejorado de construcción sencilla y por tanto económica.

10 Otro objeto del invento consiste en proporcionar un sistema de facsimil mejorado capaz de transmitir una señal de facsimil durante intervalos de transmisión relativamente cortos.

15 De acuerdo con el invento, se ha comprobado que los objetos que anteceden se consiguen por medio de un transmisor de facsimil que incluye un generador de señales de facsimil para producir una señal de facsimil que consiste en señales de espacio y marcación que representan respectivamente las marcaciones y los espacios situados en una línea l-H de una imagen fotográfica, un generador de impulsos para producir un tren de impulsos de muestreo, un dispositivo de muestreo para realizar el muestreo de cada una de las señales de espacio y de marcación con el tren de impulsos de muestreo, y un codificador para transformar las señales de espacio y de marcación muestreadas en sucesivas señales de código binario, estando dicho sistema caracterizado porque el codificador incluye: por lo menos dos contadores que tienen cada uno un terminal de disparo de entrada, un terminal de vaciado y una pluralidad de terminales de salida, para contar un cierto número de impulsos de muestreo que se les aplican a través del terminal de disparo de entrada, para memorizar el número de impulsos de muestreo hasta que se les aplique un impulso de vaciado a través del terminal de vaciado, y para

20

25

30

producir una señal de recuento que representa el número memorizado de impulsos de muestreo; un conector selectivo de entrada para dejar pasar selectivamente a través de él cada una de las señales de espacio y de marcación muestreadas procedentes del dispositivo de muestreo y para conducir las a uno de los contadores; un generador de impulso de vaciado para producir el impulso de vaciado y aplicar selectivamente el impulso de vaciado a los contadores; un conector selectivo de salida para dejar pasar a través de él la señal de recuento del otro contador; y un circuito convertidor para transformar la señal de recuento que atraviesa el conector selectivo de salida en una señal con código binario y producir una señal de terminación de codificación al terminarse su funcionamiento de conversión.

Para facilitar el entendimiento del invento, se da en lo que sigue una descripción detallada de una forma de realización preferida del mismo, con relación a los dibujos adjuntos, reseñándose de manera particular en las reivindicaciones las características del invento.

En los dibujos:

La figura 1 es un diagrama que representa una forma de onda de una señal de facsimil;

La figura 2 es un diagrama que representa los sucesivos códigos binarios que constituyen la señal de facsimil de la figura 1;

La figura 3 es una tabla que explica el sistema de codificación utilizado para el sistema de facsimil según el invento;

La figura 4A es un diagrama que representa un medio de información que soporta una imagen fotográfica;

La figura 4B es un diagrama que representa las formas de onda obtenidas mediante exploración con un punto luminoso del medio de información de la figura 4A;

5 La figura 4C es un diagrama que representa una forma de onda de una señal de facsimil transmitida a partir del transmisor de un sistema de facsimil según el invento;

Las figuras 5(a), 5(b), y 5(c) son diagramas en bloques que representan un transmisor según el invento;

10 La figura 6A es un diagrama que representa un medio de información que ha de ser tratado por el transmisor de las figuras 5(a), 5(b) y 5(c);

La figura 6B es un diagrama que representa una forma de onda de una señal de facsimil producida por el generador de señales de facsimil de la figura 5(a);

15 Las figuras 7A a 7F son diagramas que representan las formas de onda de las señales que aparecen en el transmisor de las figuras 5(a), 5(b) y 5(c);

20 Las figuras 8A a 8N son diagramas que representan las formas de onda de las señales que aparecen en el transmisor de las figuras 5(a), 5(b) y 5(c);

La figura 9 es un diagrama explicativo del funcionamiento de un circuito convertidor del transmisor de las figuras 5(a), 5(b) y 5(c);

25 Las figuras 10A a 10E son diagramas que representan las formas de onda de las señales que aparecen en el transmisor de las figuras 5(a), 5(b) y 5(c);

La figura 11 es un diagrama que representa un dispositivo del circuito de una parte del transmisor de las figuras 5(a), 5(b) y 5(c);

30 Las figuras 12A a 12P son diagramas que representan

las formas de onda de las señales que aparecen en el dispositivo de circuito de la figura 11;

Las figuras 13(a), 13(b) y 13(c) son diagramas en bloque de un receptor de un sistema de facsimil según el invento;

Las figuras 14A a 14E son diagramas que representan las formas de onda de señales que aparecen en el receptor de las figuras 13(a), 13(b) y 13(c);

La figura 15 es un diagrama que representa un dispositivo de circuito de una parte del receptor de las figuras 13(a), 13(b) y 13(c); y

Las figuras 16A a 16H son diagramas que representan las formas de onda de las señales que aparecen en el dispositivo de circuito de la figura 15.

Haciendo referencia a los dibujos y más particularmente a la figura 1 de los mismos, se ilustra una forma de onda de una señal de facsimil que representa imágenes de marcación y espacio situadas en una de las "líneas l-H". La expresión "líneas l-H" indica en esta Memoria la línea hipotética a lo largo de la cual se desplaza el punto luminoso de exploración emitido por el dispositivo de exploración. En este caso, se supone que la longitud total de la señal de facsimil l-H es igual a 98 unidades de tiempo y que las señales de marcación y de espacio de la señal de facsimil tienen respectivamente las longitudes indicadas por números en esta figura. Se hará observar que la longitud de cada una de dichas señales de marcación y de espacio se llama usualmente "longitud de carrera".

Tal y como se ha mencionado más arriba, la señal de facsimil se transforma usualmente en una señal codificada

adecuadamente cuando se transmite la señal de facsimil al receptor. La figura 2 representa las formas de onda de sucesivas señales con código binario que representan respectivamente las longitudes de carrera de las señales de marcación y de espacio de la señal de facsimil de la figura 1. La transformación de las señales de marcación y de espacio en las sucesivas señales codificadas se hace de acuerdo con un sistema de codificación del tipo representado en la tabla de la figura 3. Como se ve claramente en la figura 2, el número total de bits de las señales con código binario es solamente de 36 y por tanto se ve que el intervalo de transmisión puede ser reducido de manera importante cuando se transmite la señal de facsimil bajo la forma de señales con código binario.

El sistema de codificación que se representa en la tabla de la figura 3 se describirá más adelante.

Cuando la longitud de carrera (n) de una señal de marcación o de una señal de espacio es igual o superior a 3 ($n \geq 3$), el código binario que representa la longitud de carrera (n) consiste en un número inferior de dígitos de un código binario que representan ($n-1$) y en un número más elevado de dígitos de uno o varios 0, cuyo número es inferior en uno (1) al número del código binario que presenta la menor cantidad de dígitos. Por ejemplo, cuando (n) es igual a quince ($n=15$), el número más reducido de dígitos viene dado por:

$n - 1 = 14$ (decimal) = 1110 (código binario),
ya que el número de los dígitos de la cifra que incluye la menor cantidad de dígitos es igual a cuatro (4), los dígitos de la cifra más elevada son 000. Por tanto, cuando $n = 15$, el código binario según el sistema de codificación del invento

se expresa bajo la siguiente forma:

000 1110
(más elevado) (más reducido)

5 Cuando $n = 1$ y $n = 2$, los códigos binarios correspondientes se definen como sigue:

$n = 1$ 1 0 (código binario)

$n = 2$ 1 1 (código binario)

10 El sistema de codificación descrito más arriba es ventajoso porque un código binario de acuerdo con este sistema de codificación es más corto en el tiempo que la longitud de carrera correspondiente, salvo en el caso de que $n = 1, 2, 3, \text{ o } 5$. Por ejemplo, cuando $n = 100$, el código binario correspondiente es más corto que la longitud de carrera en un $13/100 (\simeq 1/7,7)$. Cuando $n = 500$, el código binario correspondiente es más corto
15 que la longitud de carrera en $17/500 (\simeq 1/29,4)$.

Puede entenderse ahora que el sistema de codificación mencionado más arriba es eficaz para reducir el intervalo de transmisión en particular en el caso de una señal de espacio.

20 Cuando una información de imagen fotográfica soportada por un medio de información de la manera ilustrada en la figura 4A es explorada a lo largo de las líneas l-H p_1q_1 , p_2q_2 , p_3q_3 y p_4q_4 , se producen en el transmisor las señales de facsimil indicadas por $p_1'q_1'$, $p_2'q_2'$, $p_3'q_3'$ y $p_4'q_4'$ en la
25 figura 4B, y estas señales de facsimil consisten en las señales de espacio S_0, S_1, S_2, \dots , y en las señales de marcación M_1, M_2, M_3, \dots , respectivamente, que tienen las longitudes de carrera indicadas por los números escritos entre paréntesis. Las señales de facsimil se transforman a continuación
30 en sucesivas señales con código binario según se representa

en la figura 4C, en las cuales los impulsos V son impulsos de sincronización vertical que separan las señales de código binario que corresponden a una señal de facsimil 1-H de las demás.

5 En las figuras 5(a), 5(b) y 5(c), se representa un ejemplo preferido de un transmisor de un sistema de facsimil según el invento, el cual incluye generalmente un generador de señales de facsimil 10 para producir una señal de facsimil que representa una información de imagen fotográfica, un
10 generador de impulsos 11 para producir un tren (h) de impulsos de reloj, un tren (i) de impulsos de sincronización horizontal, un tren (j) de impulsos de borrado, un tren (y) de impulsos de desplazamiento, un tren (δ) de impulsos de vaciado, y un tren (k) de impulsos de sincronización de registro a la entrada, un generador de onda portadora 12 para
15 producir una onda portadora (α) y (β), un generador de impulsos de longitud de carrera 13 para producir señales de impulsos de longitud de carrera que representan cada una una longitud de carrera de cada una de las señales de marcación
20 y de espacio de la señal de facsimil, un codificador 14 para codificar cada una de las señales de impulsos de longitud de carrera en una señal con código binario, un generador de señales de impulsos de sincronización vertical 15 para producir una señal de impulsos de sincronización vertical, y un
25 modulador 16 para mezclar la señal de código y la señal de impulsos de sincronización vertical y para modular las ondas portadoras con el código mezclado y las señales de impulsos de sincronización vertical. El generador de señal de facsimil 10 está constituido preferentemente por un tubo de rayos
30 catódicos 20 del tipo de fibras ópticas dotado de una placa

frontal 21 del tipo de fibras ópticas y de un elemento de deflexión horizontal 22. Un circuito de control de deflexión horizontal 23 está adaptado para producir una señal de deflexión horizontal de acuerdo con el tren (i) de impulsos de sincronización horizontal. Un dispositivo de avance 5 24 tal como un par de rodillos de arrastre sirve para desplazar un medio de información 25 que lleva en él una imagen fotográfica en la proximidad inmediata de la placa frontal 21 del tipo de fibras ópticas. El dispositivo de avance 10 24 es accionado por un motor primario 26 tal como un motor eléctrico de impulsos accionado por un excitador 27 cuando este último es energizado por la señal de impulsos de sincronización vertical. Un convertidor fotoeléctrico 28 está 15 dispuesto en la proximidad de la placa frontal de fibras ópticas 21 de modo que el convertidor 28 transforme el punto luminoso reflejado por el medio de información en una señal eléctrica, es decir la señal de facsimil.

El generador de impulsos de longitud de carrera 13 incluye un contador binario 30 que tiene un terminal de disparo de entrada conectado a la salida de una puerta AND 31 20 y un terminal de vaciado conectado a un terminal de impulsos de sincronización horizontal del generador de impulsos 11. Además, el contador 30 tiene una pluralidad de terminales de salida conectados a un primer grupo de terminales de entrada 25 de un circuito de coincidencia 32. El circuito de coincidencia 32 tiene también un segundo grupo de terminales de entrada conectados a una pluralidad de terminales de salida de un contador binario 33 que tiene un terminal de disparo de entrada conectado a la salida de una puerta AND 34 y un terminal de vaciado conectado al terminal de salida de impulsos de 30

vaciado de un controlador de exploración vertical 35. El controlador de exploración vertical 35 está dispuesto de manera que produzca varias señales de impulsos en respuesta al tren (i) de impulsos de sincronización horizontal, al tren (y) de impulsos de desplazamiento, al tren (δ) de impulsos de vaciado, al tren (k) de impulsos de sincronización de registro a la entrada y a una señal de terminación de codificación procedente del codificador 14. El contador binario 33 tiene un terminal de salida de saturación por medio del cual se obtiene una señal de saturación cuando el contador binario 33 está saturado. El terminal de salida de saturación del contador 33 está conectado a un registro de saturación 36 que produce un impulso de saturación dotado de un ancho de impulso adecuado al ser disparado por una señal de saturación. El terminal de salida del registro de saturación 36 está conectado a una entrada de una puerta OR 37 así como al terminal de entrada del controlador de exploración vertical 35. El circuito de coincidencia 32 tiene un terminal de salida conectado a una entrada de una puerta AND 38 y a un terminal de entrada de un controlador 39 de lectura de marca ción y espacio. El controlador de lectura de marca ción y espacio 39 tiene además unos terminales de entrada conectados al generador de impulsos 11 para recibir el tren (h) de impulsos de reloj, el tren (i) de impulsos de sincronización horizontal y el tren (j) de impulsos de borrado, así como otro terminal de entrada conectado al convertidor fotoeléctrico 28 del generador 10 de señal de facsimil para recibir la señal de facsimil. El controlador de lectura de marca ción-espacio 39 está provisto además de un par de terminales de entrada conectados a los terminales de salida Q y \bar{Q} de un

circuito flip-flop 40 que sirve como circuito de identificación de marcación y de espacio y, concretamente, produce una señal lógica "1" en el terminal de salida Q cuando el generador 13 de impulsos de longitud de carrera debe tratar una señal de marcación de la señal de facsimil y una señal lógica "1" en el terminal de salida \bar{Q} cuando el generador de impulsos de longitud de carrera 13 debe tratar una señal de espacio. El terminal de reposición del flip-flop 40 está conectado al terminal de salida de impulsos de reposición del controlador de exploración vertical 35. El terminal de disparo del circuito flip-flop 40 está conectado a una salida de una puerta OR 41 que tiene una entrada conectada a un terminal de salida V_1 a través del cual el controlador de exploración vertical 35 produce impulsos que aparecen cada uno a intervalos 1-H tan pronto como se produzca uno de los impulsos de reposición en su terminal de salida de impulsos de reposición R. El controlador de exploración vertical 35 produce también en un terminal de salida V_2 un par de impulsos, uno de los cuales aparece a intervalos 2-H tan pronto como produzca el impulso de reposición mientras que el otro aparece al mismo tiempo que el impulso separado en el terminal de salida V_1 . El controlador de exploración vertical 35 produce también en un terminal de salida de impulsos de puesta en marcha unos impulsos de puesta en marcha que aparecen cada uno al mismo tiempo que cada uno de los impulsos de reposición y en un terminal de salida S de impulsos de activación unos impulsos de activación que aparecen cada uno en un momento que se sitúa en un tiempo V antes de que aparezca el impulso de reposición. El intervalo V es igual al ancho de impulso de los impulsos de sincronización vertical. El ter-

minal de salida V_2 del controlador de exploración vertical 35 está conectado a una entrada de una puerta OR 42 que tiene una salida conectada a un terminal de entrada de un generador 43 de impulsos de activación. El generador de impulsos de activación 43 tiene otro terminal de entrada conectado al terminal de salida de impulsos de borrado del generador de impulsos 11. El generador de impulsos de activación 43 produce un impulso de activación que se forma en el borde posterior de un impulso de borrado que aparece justo después del impulso que se le aplica a partir de la puerta OR 42. El impulso de activación procedente del generador de impulsos de activación 43 se aplica a un terminal de activación de un circuito flip-flop 44 que vuelve a cero bajo el efecto de la señal de impulsos de sincronización horizontal. El circuito flip-flop 44 tiene su terminal de salida Q conectado a la otra entrada de la puerta AND 38 y a una entrada de la puerta AND 31, mientras que la otra entrada de la puerta AND 31 está conectada al terminal de salida de impulsos de reloj del generador de impulsos 11. Las salidas de la puerta OR 37 y de la puerta AND 38 están conectadas respectivamente por medio de un circuito de preferencia de reposición 45 a los terminales de reposición y de activación de un circuito flip-flop 46. El circuito flip-flop 46 tiene su terminal de salida Q conectado a una entrada de la puerta AND 34 cuya otra entrada está conectada al terminal de salida de impulsos de reloj. La salida de la puerta AND 34 está también conectada a un eliminador 47 de 1 bitio que elimina un impulso de cada señal de impulsos de longitud de carrera que se le aplica.

30

El codificador 14 incluye un conector selectivo de

entrada 50 para conectar selectivamente el terminal de salida
48 del eliminador 47 de 1 bitio a los terminales de disparo
de dos contadores binarios 51 y 52 de acuerdo con las señales
de salida procedentes del circuito 40 de identificación de mar-
5 cación y espacio del generador de impulsos de longitud de ca-
rrera 13. El codificador 14 incluye además un generador de
impulsos de vaciado 53 dispuesto de manera que vacíe alterna-
tivamente los contadores binarios 51 y 52 en respuesta a las
señales de salida del circuito 40 de identificación de mar-
10 cación y espacio, al impulso de vaciado procedente del contro-
lador 35 de exploración vertical y a la señal de terminación
de codificación, al tren de impulsos de borrado y al tren
de impulsos de sincronización de registro a la entrada. El
codificador 14 incluye además un conector selectivo de sali-
15 da 54 dispuesto para conectar selectivamente los terminales
de salida de los contadores 51 y 52 con los terminales de en-
trada de un circuito convertidor 55 en respuesta a las señales
de salida de un circuito flip-flop 56. El circuito flip-flop
56 está adaptado para volver a cero bajo el efecto del impul-
20 so de vaciado procedente del controlador 35 de exploración
vertical y para ser disparado por una señal de salida proce-
dente de un circuito de reglaje de sincronización 57. El cir-
cuito de reglaje de sincronización 57 produce la señal de
salida en respuesta a la señal de final de codificación y a
25 las señales de impulsos de sincronización procedentes del ge-
nerador de impulsos 11. El circuito convertidor 55 incluye
un registro de desplazamiento 58 con entrada en paralelo y
salida en serie que tiene una pluralidad de terminales de en-
trada destinados a estar conectados por medio del conector
30 selectivo de salida 54 a uno de los terminales de salida de

los contadores binarios 51 y 52. Los terminales de salida del registro de desplazamiento 58 con entrada en paralelo y salida en serie están conectados a los terminales de entrada de una matriz de codificación 59. Una matriz 60 de identificación del número de bits o dígitos tiene unos terminales de entrada conectados a los terminales de entrada del registro de desplazamiento 58 y unos terminales de salida conectados a la matriz de codificación 59. La matriz 60 de identificación del número de bits alimenta la matriz de codificación 59 con la información relacionada con el número de dígitos o bits de una señal binaria de longitud de carrera transmitida a través del conector selectivo de salida 54. La matriz de codificación 59 transforma la señal binaria de longitud de carrera procedente del registro de desplazamiento 58 en una señal de código binario. La matriz de codificación 59 está adaptada para producir la señal de codificación al terminarse su operación de codificación. El registro de desplazamiento 58 recibe y memoriza la señal de longitud de carrera a través del conector selectivo de salida 54 al ser disparado por un impulso de registro a la entrada aplicado a partir de un generador 61 de impulsos de registro a la entrada. El generador 61 de impulsos de registro a la entrada produce el impulso de registro a la entrada en respuesta a la señal de final de codificación procedente de la matriz de codificación 59 y al impulso de puesta en marcha 1-H procedente del controlador 35 de exploración vertical.

El generador 15 de impulsos de sincronización vertical incluye un circuito flip-flop 62 cuyos terminales de activación y reposición están conectados respectivamente a los terminales de salida S y R del controlador 35 de exploración

ción vertical, de modo que el circuito flip-flop 62 produzca impulsos de sincronización vertical que suben y bajan cada uno en los bordes delanteros de los impulsos de activación y de reposición procedentes de los terminales de salida S y R del controlador 35 de exploración vertical. El generador 15 de impulsos de sincronización vertical incluye además un generador 63 de señal de código de sincronización vertical para transformar cada uno de los impulsos de sincronización vertical en una señal codificada de sincronización vertical.

Haciendo referencia a las figuras 6A a 7F, se describirá en lo que sigue el funcionamiento general del transmisor de la figura 5.

Cuando el medio de información 25 lleva en él imágenes fotográficas tales como en la figura 6A y cuando se explora horizontalmente el medio de información 25 con un punto luminoso emitido a partir del tubo de rayos catódicos 20 a lo largo de una línea l-H pq, el convertidor fotoeléctrico 28 produce una señal de facsimil que tiene la forma de onda representada en la figura 6B. Como se ve en la figura 6B, la señal de facsimil consiste en señales de espacio S_0 , S_1 , S_2 y S_3 , y en señales de marcación M_1 , M_2 y M_3 . Las señales de espacio y marcación tienen las longitudes de carrera indicadas por los números entre paréntesis. Se supondrá ahora que el periodo de tiempo de l-H es igual a un periodo de tiempo T. Cuando el circuito de deflexión horizontal 23 produce tensiones de deflexión horizontal en dientes de sierra que tienen la forma de onda ilustrada en líneas continuas y líneas interrumpidas H_1 , H_2 , H_3 , y H_{16} , en la figura 7A, el convertidor fotoeléctrico 28 produce repetidamente la señal de facsimil l-H de la figura 6B según se representa en la fi-

gura 7B hasta que se aplique la señal de impulsos de sincronización vertical al excitador 27. El generador 13 de impulsos de longitud de carrera recibe las señales de marcación y de espacio y produce señales de impulsos de longitud de carrera que representan cada una la longitud de carrera de cada una de las señales de marcación y espacio. Por ejemplo, cuando una señal de marcación o de espacio tiene una longitud de carrera de n periodos de tiempo unitarios, la señal de impulsos de longitud de carrera consiste en un número $(n-1)$ impulsos de reloj. El conector selectivo de entrada 50 del codificador 14 conecta en primer lugar el terminal de salida 48 del eliminador 47 de 1 bitio del generador 13 de impulsos de longitud de carrera con el terminal de entrada de disparo del contador binario 51, de manera que el contador binario 51 cuente el número de impulsos de reloj de la señal de impulsos de longitud de carrera que corresponde a la señal de espacio S_0 , durante el periodo de exploración horizontal H_1 . A continuación, el conector selectivo de entrada 50 conecta el terminal de salida 48 del eliminador 47 de 1 bitio con el terminal de entrada de disparo del contador binario 52 en respuesta a una señal de salida del circuito flip-flop 40, de modo que el contador binario 52 recibe una señal de impulsos de longitud de carrera que representa la señal de marcación M_1 y cuenta el número de impulsos de reloj de la señal de impulsos de longitud de carrera durante el periodo de exploración horizontal H_2 . Como se ve en la figura 7C, el intervalo de impulsos de sincronización vertical termina al final del periodo de tiempo H_2 de exploración horizontal y por tanto el controlador 35 de exploración vertical produce un impulso de vaciado en su terminal de salida de impulsos

de vaciado. En algunos casos, el intervalo de impulsos de sincronización vertical finaliza en un punto intermedio de un periodo de tiempo de exploración horizontal. El impulso de vaciado se aplica al terminal de reposición del circuito flip-flop 56 que produce entonces una señal lógica "1" en su terminal \bar{Q} , de modo que el conector selectivo de salida 54 conecta los terminales de salida del contador binario 51 con los terminales de entrada del registro de desplazamiento 58 y de la matriz 60 de identificación del número de bitios. En este momento, el controlador 35 de exploración vertical produce un impulso de puesta en marcha en su terminal de salida de impulsos de puesta en marcha, de modo que el generador 61 de impulsos de registro a la entrada produce un impulso de registro a la entrada que dispara el registro de desplazamiento 58. De este modo, el registro de desplazamiento 58 recibe la información de código binario procedente del contador binario 51. Por otra parte, la matriz de codificación 59, elige uno de los terminales de salida del registro de desplazamiento de acuerdo con la información relacionada con el número de bitios que se le aplica a partir de la matriz 60 de identificación del número de bitios. Ya que el registro de desplazamiento 58 es disparado por el tren (y) de impulsos de desplazamiento, el registro de desplazamiento 58 transfiere en serie la información de código binario a través de la matriz 59 elegida, la cual produce entonces una señal de código binario dotada de una forma de onda del tipo representado en la figura 7C, entre el instante T_4 y el instante T_{13} . Cuando la matriz de codificación 59 ha terminado su trabajo de codificación de la señal de espacio S_0 , la matriz de codificación produce un impulso de terminación

de codificación indicado por a_1 en la figura 7D. Ya que el impulso de terminación de codificación a_1 se aplica por medio de la puerta OR 42 al generador de impulsos de activación 43, el generador 43 de impulsos de activación produce un impulso de activación que hace que el circuito flip-flop 44 genere una señal lógica "1". Por tanto, el generador 13 de impulsos de longitud de carrera empieza a producir una señal de impulsos de longitud de carrera que representa la señal de espacio S_1 . El impulso de terminación de codificación a_1 se aplica también por medio de la puerta OR 41 al terminal de disparo del circuito flop-flop 40, el cual produce entonces una señal lógica "1" en su terminal \bar{Q} . Además, la señal de terminación de codificación se aplica al generador de impulsos de vaciado 53 que vacía entonces el contador binario 51 de acuerdo con la señal lógica "1" procedente del terminal \bar{Q} del circuito flip-flop 40. La señal lógica "1" procedente del terminal \bar{Q} del circuito flip-flop 40 se aplica también al conector selectivo de entrada 50, el cual conecta en este momento el terminal de salida 48 del eliminador 47 de 1 bitio con el terminal de entrada de disparo del contador binario 51. El contador binario 51 recibe entonces la señal de impulso de longitud de carrera que representa la señal de espacio S_1 . Por otra parte, el impulso de terminación de codificación a_1 se aplica también al circuito de reglaje de sincronización 57 el cual dispara entonces el circuito flip-flop 56 de acuerdo con el tren (j) de impulsos de borrado, el tren (y) de impulsos de desplazamiento y del tren (k) de impulsos de registro a la entrada. Entonces, el circuito flip-flop 56 produce una señal lógica "1" en su terminal Q de modo que el conector selectivo de salida

54 conecta los terminales de salida del contador binario 52 con los terminales de entrada del registro de desplazamiento 58 y la matriz 60 de identificación del número de bits, con lo cual el circuito convertidor 55 produce una señal de código binario que representa la señal de marcación M_1 desde el instante T_{13} hasta el instante T_{16} , según se representa en la figura 7C. A continuación, cuando la matriz de codificación 59 termina su operación de codificación de la señal de marcación M_1 , la matriz de codificación 59 produce un impulso de terminación de codificación según se indica por a_2 en la figura 7D. Sucesivamente, el transmisor repite la misma operación descrita más arriba para producir señales sucesivas de código binario que representan las señales de espacio S_1 , S_2 y S_3 y las señales de marcación M_2 y M_3 produciendo además los impulsos de terminación de codificación a_3 , a_4 , etc.

Tal y como se ha indicado más arriba, el circuito flip-flop 62 del generador 15 de impulsos de sincronización vertical produce un tren de impulsos de sincronización vertical en respuesta a las señales de salida procedentes de los terminales de salida R y S del controlador 35 de explotación vertical. El impulso de sincronización vertical se aplica no solamente al excitador 27 sino también al generador 63 de señal de código de sincronización vertical el cual genera entonces una señal de código de sincronización vertical que representa un código binario de, por ejemplo, 0111100110. El modulador 16 mezcla las señales de código de sincronización vertical y las señales de código binario según se ilustra en la figura 7E y modula las ondas portadoras (α) y (β) de la manera ilustrada en la figura 7F. Según se ve en la fi

gura 7F, el modulador 16 permite que la onda portadora (β) de 2,5 KHz soporte la porción delantera de la señal de código de sincronización vertical y que la onda portadora (α) de 2 KHz soporte la parte posterior de la señal de código de sincronización vertical, mientras que la onda portadora (α) transporta las señales de código. Por consiguiente, es fácil separar en el receptor los impulsos de sincronización vertical de las señales de código y demodular correctamente las señales de código moduladas.

10 Haciendo ahora referencia a las figuras 8A a 8N, se explicará más detalladamente en lo que sigue el funcionamiento del generador 10 de señal de facsimil, del generador de impulsos 11 y del generador 13 de señal de impulsos de longitud de carrera.

15 El generador de impulsos 11 produce unos impulsos de reloj con una frecuencia de repetición de 800 KHz según se ve en la figura 8A y unos impulsos de sincronización horizontal que aparecen cada 1 ms y que tienen cada uno una anchura de impulso de 40 μ s según se ve en la figura 8B. En la
20 figura 8C, se ilustran los impulsos de borrado que tienen cada uno una anchura de impulso de aproximadamente 120 μ s. Se observará ahora que el borde posterior del impulso de borrado y el borde anterior del impulso de borrado siguiente están separados por la anchura efectiva de exploración horizontal, según se ve claramente en la figura 8C. Por tanto, el circuito de deflexión horizontal 23 produce una tensión de deflexión horizontal que tiene la forma de onda representada en la figura 8D. Por consiguiente, el convertidor fotoeléctrico 28 produce repetidamente unas señales de facsimil que
30 tienen cada una la forma representada en la figura 8E hasta

que el excitador 27 sea energizado por un impulso de sincronización vertical procedente del generador 15 de impulsos de sincronización vertical. En tal caso, la señal de facsimil consiste en señales de espacio $S_0, S_1, S_2, S_3, S_4, S_5$ y S_6 , y en señales de marcación M_1, M_2, M_3, M_4, M_5 y M_6 .

Ya que el contador binario 33 es disparado por los impulsos de reloj procedentes de la puerta AND 34, es decir los impulsos de muestreo de cada una de las señales de marcación o espacio de la señal de facsimil, el contador binario 33 memoriza acumulativamente un cierto número de los impulsos de reloj transmitidos por la puerta AND 34. Si se supone ahora que el generador 13 de señal de impulsos de longitud de carrera ha terminado el muestreo de las señales de espacio S_0 y S_1 y de las señales de marcación M_1 , el contador binario 33 memoriza en él un número n de impulsos de reloj es decir los impulsos de muestreo ilustrados en la figura 8F. Cuando la matriz de codificación 59 ha terminado su operación de codificación de la señal de marcación M_1 , la matriz de codificación 59 produce el impulso de terminación de codificación que se aplica por medio de la puerta OR 42 al generador de impulsos de activación 44. El generador 44 de impulsos de activación, energiza entonces, en el borde posterior del impulso de borrado, el circuito flip-flop 44, el cual produce a continuación un impulso de puerta que dura mientras no aparezca el borde delantero del siguiente impulso de sincronización horizontal, según se representa en la figura 8G. El impulso de puerta procedente del circuito flip-flop 44 se aplica a la puerta AND 31 la cual entonces deja pasar a través de ella unos impulsos de reloj tales como los que se representan en la figura 8H. Los impulsos de

reloj que han atravesado la puerta AND 31 son contados por el contador binario 30. Ya que, en este caso, el contador binario 33 ha memorizado el número n de impulsos de reloj, el circuito de coincidencia 32 genera un impulso de coincidencia que se termina en un punto de coincidencia t_0 según se representa en la figura 8J. El impulso de coincidencia se aplica a una entrada de la puerta AND 38 la cual produce sucesivamente una señal lógica "1" al ser disparada por el impulso de puerta procedente del circuito flip-flop 44. La señal lógica "1" se aplica por medio del circuito 45 de prioridad de reposición al terminal de energización del circuito flip-flop 46 el cual produce entonces una señal lógica "1" en su terminal Q. Por otra parte, ya que el impulso de coincidencia se aplica también al controlador 39 de lectura de marcación-espacio, el controlador 39 de lectura de marcación-espacio empieza a efectuar el muestreo de acuerdo con las indicaciones del circuito flip-flop 40 solamente en las señales de espacio de la señal de facsimil que se le aplica a partir del convertidor fotoeléctrico 28 con el tren de impulsos de reloj. De este modo, los impulsos de reloj que realizan el muestreo de las señales de espacio aparecen en el terminal de salida del controlador 39 de lectura de marcación-espacio de la manera representada en la figura 8K. Los impulsos de salida procedentes del controlador 39 se aplican a través de la puerta OR 37 y del circuito de prioridad de reposición 45 al terminal de reposición del circuito flip-flop 46 el cual vuelve entonces a cero bajo el efecto del impulso delantero de los impulsos de salida procedentes del controlador 39 y produce por tanto un impulso de puerta que tiene la forma de onda representada en la figura 8L. Concretamente, el impulso

de puerta procedente del circuito flip-flop 46 asciende en el borde delantero del impulso de coincidencia y desciende en el impulso de reloj delantero procedente del controlador 39 de lectura de marcación-espacio. De este modo, la puerta AND 34 deja pasar a través de ella los impulsos de reloj que aparecen de la manera ilustrada en la figura 8M. El eliminador 47 de 1 bitio deja pasar los impulsos de reloj procedentes de la puerta AND 34 eliminando el impulso delantero, de modo que los impulsos de reloj que aparecen de la manera indicada en la figura 8N son aplicados a través del contador selectivo 50 al contador binario 52.

Haciendo ahora referencia a las figuras 9 y a las figuras 10A a 10E, se explicará más detalladamente el funcionamiento del circuito convertidor 55.

Por ejemplo, si cada uno de los contadores binarios 30, 33, 51 y 52 tiene una capacidad de 10 bitios, el registro de desplazamiento 58 con entrada en paralelo y salida en serie deberá tener una capacidad de por lo menos 29 bitios por el motivo mencionado más adelante. Se desea ahora convertir el código binario que corresponde a la señal de marcación M_2 de la señal de facsimil de la figura 8E. Suponiendo que la señal de marcación M_2 tiene una longitud de carrera de cincuenta (50) unidades de tiempo, se memoriza en el contador 52, según se ilustra en la figura 9, el código binario 110001 que corresponde a cuarenta y nueve (49). A continuación, el código binario 110001 se transfiere por medio del conector selectivo de salida 54 al registro de desplazamiento 58 cuando el registro de desplazamiento 58 recibe un impulso de registro a la entrada. El código binario transferido forma entonces la cifra más reducida de la señal

de código resultante. Si se supone ahora que el código binario tiene una longitud de m bitios, la cifra más pequeña de la señal de código resultante tendrá también una longitud de m bitios y la cifra más elevada tendrá una longitud de $(m-1)$ bitios como puede verse en la figura 9. Por otra parte, la matriz 60 que identifica el número de bitios, detecta el número de bitios m del código binario y proporciona la información de número de bitios a la matriz de codificación 59 que tiene entonces su terminal de salida de señal de código conectado a un terminal de salida del bitio $2m$ -th del registro de desplazamiento 59 y que tiene su terminal de salida de impulso de terminación de codificación conectado a un terminal de salida de bitio $(3m-1)$, según se ilustra en la figura 9.

15 Cuando la tensión de deflexión horizontal presenta la forma de onda que se indica en la figura 10A, el tren de impulsos de desplazamiento se presenta de la manera ilustrada en la figura 10B. Ya que, con la disposición mencionada más arriba, los impulsos de desplazamiento son aplicados al registro de desplazamiento 58, una señal de código que 20 tiene la forma de onda representada en la figura 10C aparece en el terminal de salida de señal de código de la matriz de codificación 59. Ya que el bitio delantero de las señales de código de acuerdo con este sistema de codificación particular es siempre una señal lógica "1", en el terminal de salida de señal de terminación de codificación de la matriz de codificación aparece una señal lógica "1" cuando el bitio delantero del código binario se desplaza a la posición que corresponde al bitio $(3m-1)$ -th del registro de desplazamiento 30 58. De este modo, los impulsos de terminación de codifica-

ción aparecen en la forma ilustrada en la figura 10D. Por tanto, el circuito flip-flop 44 genera impulsos de puerta que aparecen como se ilustra en la figura 10E de modo que la señal de espacio S_3 y la señal de marcación M_3 sean leídas respectivamente por el transmisor durante los impulsos de puerta.

Se observará que aunque el codificador 14 de la figura 5C incluye solamente dos contadores 51 y 52, si se prefiere, el codificador 14 puede incluir mas de dos contadores. En tal caso, el codificador 14 incluirá un generador de señal de dirección para producir señales de dirección asignadas cada una a cada contador en lugar del circuito de identificación de marcación y espacio es decir que el circuito flip-flop 40 así como los conectores selectivos de entrada y de salida 50 y 54 serán dispuestos de manera que establezcan conexiones entre el terminal de salida del generador 13 de impulsos de longitud de carrera y los terminales de entrada de uno o de varios contadores y entre los terminales de salida de uno o varios contadores y los terminales de entrada del circuito convertidor 55, de acuerdo con las señales de dirección. Es posible emplear un contador de anillo para el generador de señales de dirección haciendo que sea disparado por la señal de impulsos de finalización de código.

Se observará que, ya que el emisor de acuerdo con el invento incluye por lo menos dos contadores, uno de estos coopera con el circuito convertidor 55 para producir una señal de código binario mientras que el otro contador cuenta y memoriza la señal de impulsos de longitud de carrera, de modo que el transmisor según el invento es capaz de transmitir más rápidamente las señales de código binario sin aumentar

la velocidad de exploración horizontal. Por otra parte, el transmisor convencional del tipo de longitud de carrera incluye solamente un contador y no puede aumentar su velocidad de transmisión sin aumentar la velocidad de exploración horizontal. Para aumentar la velocidad de exploración horizontal, es preciso aumentar la frecuencia de repetición del tren de impulsos de reloj, lo que tiende a hacer que el transmisor sea propenso a un funcionamiento erróneo en razón del incremento de los retardos de las varias señales que aparecen en él, a no ser que se construya el transmisor con dispositivos capaces de funcionar a gran velocidad. El incremento de la velocidad de exploración da lugar, además, a una reducción de la relación S/N de la señal de salida del generador de señal de facsimil o necesita una aceleración del mecanismo de avance del generador de señal de facsimil.

En la figura 11 se representa un dispositivo de circuito preferido para el generador 53 de impulsos de vaciado del transmisor de las figuras 5A, 5B y 5C. El dispositivo de circuito incluye un circuito flip-flop 70 que tiene su terminal de activación conectado al terminal de salida (e) de los impulsos de terminación de codificación de la matriz de codificación 59 y su terminal de disparo conectado a una salida de una puerta AND 71 que tiene su entrada conectada al terminal de salida de impulsos de borrado y al terminal de salida de impulsos de sincronización de registro a la entrada del generador de impulsos 11. La salida de la puerta AND 71 está conectada igualmente a una entrada de una puerta AND 72 cuya otra entrada está conectada a un terminal Q del circuito flop-flop 70. Igualmente, una salida de la puerta AND 72 está conectada a una entrada de una puerta AND 73 y a una entrada de una puerta AND 74. Las demás entradas de las puertas AND 73 y 74 están conectadas respectivamente a los terminales de salida Q y \bar{Q} del circuito flip-flop 40.

La puerta AND 73 tiene su salida conectada a una entrada de una puerta OR 75 y la puerta AND 74 tiene su salida conectada a una entrada de una puerta OR 76. Las demás entradas de las puertas OR 75 y 76 están conectadas al terminal de salida de impulsos de vaciado (q) del controlador 35 de exploración vertical. Las salidas de las puertas OR 75 y 76 están conectadas respectivamente a los terminales de vaciado de los contadores binarios 52 y 51. Además, el dispositivo de circuito incluye un circuito flip-flop 77 que tiene su terminal de disparo conectado al terminal de salida de impulsos de vaciado del generador de impulsos 11 y su terminal de reposición conectado al terminal (e) de salida de señal de terminación de codificación de la matriz de codificación 59. El circuito flip-flop 77 tiene su terminal de salida Q conectado a una entrada de una puerta AND 78, cuya otra entrada está conectada al terminal de salida de impulsos de vaciado del generador de impulsos 11. La puerta AND 78 tiene su salida conectada a una entrada de una puerta OR 79 cuya otra entrada está conectada al terminal de salida (q) de impulsos de vaciado del controlador 35 de exploración vertical. La puerta OR 79 tiene su salida conectada al terminal de vaciado del registro de desplazamiento 58. La salida de la puerta AND 72 está conectada a una entrada de la puerta OR 41 del generador 13 de señal de impulsos de longitud de carrera.

Las figuras 12A a 12E representan respectivamente las formas de onda del tren (y) de impulsos de desplazamiento, del tren (i) de impulsos de sincronización horizontal, del tren (j) de impulsos de borrado, del tren (δ) de impulsos de vaciado, y del tren (k) de impulsos de sincronización

de registro a la entrada. La puerta AND 71 deja pasar a través de ella el tren (k) de impulsos de registro a la entrada al ser disparada por los impulsos de borrado, de modo que los impulsos del tipo representado en la figura 12F aparezcan a la salida de la puerta AND 71. Por otra parte, cuando aparece un impulso de terminación de codificación, el circuito flip-flop 70 es activado por el impulso de terminación de codificación y produce a su salida una señal lógica "1". Por tanto, el impulso de registro a la entrada que ha atravesado la puerta AND 71 atraviesa además la puerta AND 72 y es aplicado a través de la puerta OR 41 al circuito flip-flop 40 que cambia entonces de posición y produce una señal lógica "1" en uno de sus terminales Q o \bar{Q} según se representa en la figura 12H. Se observará ahora que el circuito flip-flop 70 es disparado para invertir su estado en el borde posterior del impulso (k) de sincronización de registro a la entrada que ha atravesado la puerta AND 71. El impulso de sincronización de registro a la entrada transmitido por la puerta AND 72 se aplica también a las puertas AND 73 y 74, una de las cuales deja entonces pasar a través de ella el impulso de sincronización de registro a la entrada. El impulso de sincronización de registro a la entrada procedente de la puerta AND 73 o 74 atraviesa además una de las dos puertas OR 75 y 76 según se representa en la figura 12J. Por otra parte, el circuito flip-flop 77 es activado por el impulso de terminación de codificación y cambia de estado en el borde posterior del impulso de vaciado (δ), de modo que un impulso del tipo representado en la figura 12K aparece a la salida de la puerta OR 79.

30 Cuando un impulso de terminación de codificación

aparece en el tiempo representado en la figura 12L, ninguna
señal aparece a la salida de la puerta AND 72 a no ser que
el circuito flip-flop 70 sea activado por el impulso de ter-
minación de codificación. Cuando, a continuación, uno de
5 los impulsos de sincronización de registro a la entrada apa-
rece a la salida de la puerta AND 71, la puerta AND produce
un impulso de salida que dispara el circuito flip-flop 40 de
la manera indicada por la figura 12M, de modo que una cual-
quiera de las puertas OR 75 y 76 produce dicho impulso de sa-
lida según se representa en la figura 12N. La puerta OR 79,
10 sin embargo, produce un impulso de salida de la misma manera
cuando el impulso de codificación aparece durante el periodo
de borrado.

En las figuras 13(a), 13(b) y 13(c), se represen-
15 ta un receptor de sistema de facsimil del tipo de longitud
de carrera según el invento. El receptor coopera con un
transmisor adaptado para producir una señal de facsimil bajo
la forma de señales de código binario sucesivas basadas en
el sistema de codificación de la figura 3. Naturalmente,
20 el receptor puede cooperar con un transmisor de un tipo dife-
rente del transmisor descrito en las figuras 5(a), 5(b) y
5(c). El receptor incluye generalmente un generador de impul-
sos de sincronización 80 para producir un tren de impulsos
de reloj, una señal de impulsos de subportadora, un tren de
25 impulsos de sincronización horizontal y un tren de impulsos
de borrado, un demodulador 81 para demodular las señales de
código binario moduladas y transmitidas a partir de un trans-
misor, un decodificador 82 para decodificar las señales de
código binario demoduladas en códigos binarios que represen-
30 tan cada una una longitud de carrera de señal de marcación o

de espacio, un circuito de memoria 83 para memorizar los códigos binarios, un circuito reconvertidor 84 para reconvertir los códigos binarios en las señales originales de marcación o espacio, y un registrador 85 para registrar las señales de marcación o de espacio en un medio de registro tal como una hoja fotosensible.

El generador de impulsos de sincronización 80 incluye un generador de impulsos de reloj 90 para producir un tren de impulsos de reloj dotado de una frecuencia de repetición de por ejemplo 800 KHz. El tren de impulsos de reloj se aplica a un primer divisor 91 que divide el tren de impulsos de reloj en un tren de impulsos con frecuencia de repetición más baja, por ejemplo de 80 KHz. El tren de impulsos procedente del primer divisor 81 es aplicado a un segundo divisor 92 que divide el tren de impulsos en un tren de impulsos que tiene una frecuencia de repetición de por ejemplo 10 KHz. El tren de impulsos de reloj y el tren de impulsos procedentes del segundo divisor 92 se aplican a un generador de impulsos de sincronización 93 que produce un tren de impulsos de sincronización horizontal y un tren de impulsos de borrado.

El demodulador 81 recibe por medio de un terminal de entrada 94 unas ondas portadoras moduladas con señales sucesivas de código binario, un tren de impulsos de sincronización vertical, transmitidos a partir de un emisor. El demodulador 81 demodula las ondas portadoras produciendo así las sucesivas señales de código binario y el tren de impulsos de sincronización vertical. Preferentemente, el demodulador 81 está dispuesto de manera que utilice el tren de impulsos procedentes del segundo divisor 92 como señal de

subportadora, mediante modulación del tren de impulsos con las ondas portadoras recibidas, y a continuación, para detectar la envoltura de la señal de subportadora modulada con el fin de producir las sucesivas señales de código binario y el tren de impulsos de sincronización vertical.

5

El decodificador 92 incluye un separador 95 de impulsos de sincronización vertical para separar la señal de impulsos de sincronización vertical de las señales de código binario. Un conformador de ondas 96 conforma las formas de onda de las señales de código binario y del tren de impulsos de sincronización vertical procedentes del demodulador 81.

10

Un generador 97 de impulsos de programación sirve para producir un tren de impulsos de programación en respuesta a las señales de código binario y al tren de impulsos procedentes del primer divisor 91. El tren de impulsos de programación se utiliza en las siguientes etapas para captar o contar correctamente las señales de código binario a pesar de que la velocidad de transmisión puede llegar a un valor tan elevado como 200 bitios/segundo. Un circuito de corrección 98 produ

15

ce unos impulsos de sincronización vertical, que se sitúan cada uno en una posición correcta a pesar del retardo de los impulsos de sincronización vertical separados, producido por una propiedad inherente al separador 95 de impulsos de sincronización vertical. Un separador 99 de número más eleva

20

do de bitios 0 aplica unos impulsos que representan un número de dígitos 0 más elevado de una señal de código a un controlador de contador 100 de acuerdo con las señales de código binario, el tren de impulsos de programación, el tren de impulsos de sincronización vertical y los impulsos

25

de coincidencia procedentes de una matriz de decodificación

30

101. Concretamente, el separador 99 de número de bitios 0 más elevado empieza a producir impulsos cuando recibe un impulso de coincidencia es decir el impulso de división de código procedente de la matriz de decodificación 101, y deja de producir los impulsos cuando recibe un dígito "1" delantero de una señal de código. El separador 99 de número de bitios 0 más elevado aplica también un tren de impulsos de desplazamiento en sincronismo con el tren de impulsos de programación procedente del generador de impulsos de programación 97. El controlador de contador 101 produce impulsos en número igual al de los impulsos que se le aplica a partir del separador 99 de acuerdo con el tren de impulsos de programación procedente del generador 97. El controlador de contador 100 es desactivado durante un cierto intervalo de tiempo por el tren de impulsos de sincronización vertical. El contador 102 de número de bitios 0 más elevado cuenta el número de impulsos que se le aplica a partir del controlador de contador 100 y proporciona información respecto al número de bitios de la cifra más baja de la señal de código binario particular. Mientras está disparado por el tren de impulsos de desplazamiento, el registro de desplazamiento memoriza en él los bitios de la cifra más baja de la señal de código en cuestión. Cuando el número de bitios de la cifra más baja memorizada en el registro de desplazamiento 103 coincide con la información procedente del contador 102 de número de bitios 0 más elevado, la matriz de decodificación 101 produce el impulso de coincidencia o impulso de división de código en su terminal de salida. Un generador 104 de impulsos de puerta de barrido está adaptado para producir un impulso de puerta de barrido de acuerdo con el impulso de división de código

procedente de la matriz de decodificación 101, el impulso de sincronización vertical, el impulso de sincronización horizontal y el impulso de borrado.

5 Un circuito de memoria 83 incluye un conector selectivo de entrada 105 adaptado para conectar selectivamente los terminales de salida del registro de desplazamiento 103 a los terminales de entrada de uno de los primero y segundo registradores 106 y 107 de acuerdo con una señal de dirección de registro a la entrada procedente de un controlador de registro a la entrada 108. El controlador de registro a la entrada 108 está adaptado para aplicar alternativamente un impulso de indicación de registro a la entrada a un terminal de disparo de uno cualquiera de los primero y segundo registradores 106 y 107, el cual recibe entonces y memoriza la información del registro de desplazamiento 103 por medio del conector selectivo de entrada 105. El controlador de registro a la entrada 108 produce la señal de dirección de registro a la entrada y la señal de indicación de registro a la entrada de acuerdo con el impulso de división de código y el impulso de sincronización vertical. El controlador de registro a la entrada 108 produce un impulso de vaciado al terminarse el registro de uno de los registradores 106 y 107, aplicándose el impulso de vaciado al terminal de vaciado y al registro de desplazamiento 103. Un conector selectivo de salida 109 está adaptado para conectar selectivamente los terminales de salida de uno cualquiera de los primero y segundo registradores 106 y 107 a los terminales de entrada del circuito de recuperación 84 de acuerdo con una señal de dirección de lectura procedente de un controlador de lectura 110. El controlador de lectura 110 produce la se-

ñal de dirección de lectura en uno de sus terminales de salida de acuerdo con el impulso de sincronización vertical y el impulso de puerta de barrido. El controlador de lectura 110 está adaptado para aplicar alternativamente un impulso de vaciado al terminal de vaciado de uno de los primero y segundo registradores 106 y 107.

El circuito de reconversión 84 incluye una puerta AND 111 que deja pasar a través de ella los impulsos de reloj mientras es activada por el impulso de puerta de barrido procedente del generador de impulsos de puerta de barrido 104 del codificador 82. Los impulsos de reloj que atraviesan la puerta AND 111 son contados y memorizados por un primer contador 112. El primer contador 112 recibe el impulso de puerta de barrido a través de su terminal de vaciado de modo que es vaciado por el flanco descendente del impulso de puerta de barrido. Una puerta AND 113 deja pasar los impulsos de reloj mientras es disparada por el impulso de salida es decir un impulso de marcación o de espacio procedente de un circuito flip-flop 114. Los impulsos de reloj que atraviesan la puerta AND 113 se aplican al terminal de disparo de un segundo contador 115 dispuesto de manera que pueda ser vaciado por el impulso de sincronización vertical. Cuando los números memorizados de los impulsos de reloj, en los primero y segundo contadores 112 y 115, coinciden el uno con el otro, un primer circuito de coincidencia 116 produce un impulso de coincidencia que se aplica al terminal de activación del circuito flip-flop 114. Con la disposición mencionada más arriba, el segundo contador 115 memoriza acumulativamente los números correspondientes a las longitudes de carrera producidas por el circuito flip-flop 114. Los im-

pulsos de reloj transmitidos por la puerta AND 113 se aplican también por medio de un eliminador 117 de bitio 1 al terminal de disparo de un tercer contador 118 el cual, por otra parte, es vaciado por el borde posterior de cada impulso de salida del circuito flip-flop 114. Cuando el contenido memorizado en el tercer contador 118 y en uno de los registradores 106 y 107 coinciden mutuamente, un segundo circuito de coincidencia 119 produce un impulso de coincidencia que hace volver a cero el circuito flip-flop 114. Un circuito identificador de marcación y espacio 120 produce una señal lógica "1" de acuerdo con los impulsos de división de código y los impulsos de sincronización vertical cuando es preciso reproducir una señal de marcación. De este modo, la puerta AND 121 deja pasar a través de ella solamente los impulsos de marcación procedentes del circuito flip-flop 114, al ser disparada por los impulsos lógicos "1" procedentes del circuito de identificación de marcación y espacio 120.

El registrador 75 incluye un tubo 122 del tipo de punto explorador provisto de una placa frontal 123 de fibras ópticas y de un elemento de deflexión horizontal 124. El tubo 122 del tipo de punto explorador está dispuesto para producir un punto explorador que se desplaza en una dirección en su placa frontal 123 cuando el elemento de deflexión 124 es energizado por una tensión de deflexión en diente de sierra procedente de un generador de tensión de deflexión 125 y cuando se aplica una tensión de aceleración elevada procedente de una fuente de alta tensión 126, a un electrodo del tubo 122. Un medio de registro 127 es desplazado en la proximidad inmediata de la placa frontal 123 por medio de un dispositivo de avance 128 constituido por ejemplo por un par

de rodillos accionados de manera intermitente por un motor primario 129. El motor primario 129 es energizado por un excitador de motor 130 el cual es energizado a su vez por los impulsos de sincronización vertical. Un modulador de intensidad 131 modula la intensidad del punto de exploración del tubo 122 de acuerdo con los impulsos de marcación transmitidos por la puerta AND 121, de modo que los impulsos de marcación se registran sucesivamente en el medio de registro. A continuación, el medio de registro 127 sometido a la acción del punto de exploración modulado es tratado por medios adecuados tales como un revelador 132.

Haciendo ahora referencia a las figuras 14A-14R, se describirá en lo que sigue el funcionamiento del receptor de las figuras 13(a), 13(b) y 13(c).

Quando la señal recibida presenta la forma de onda que se ilustra en la figura 14A, la señal demodulada procedente del demodulador 81 tiene la forma de onda que se ilustra en la figura 14B. Como puede verse en la figura 14E, las sucesivas señales de código S_0, S_1, S_2, \dots y M_1, M_2, M_3, \dots que representan respectivamente las longitudes de carrera de las imágenes de marcación y espacio situadas en una línea l-H, se interponen entre dos impulsos de sincronización vertical adyacentes. Los impulsos de sincronización vertical producidos por el circuito de corrección 98 tienen una forma de onda que se representa en la figura 14C. El tren de impulsos de programación generado por el generador de impulsos de programación 97 tiene la forma de onda representada en la figura 14D. Cuando el registro de desplazamiento 103 memoriza todos los dígitos de la cifra más baja de cada una de las señales de código binario, la matriz de

codificación 101 produce los impulsos de división de código que aparecen de la manera ilustrada en la figura 14E. Por tanto, el controlador 108 de registro a la entrada aplica alternativamente los impulsos de registro a la entrada a los registradores 106 y 107. Las figuras 14F y 14G ilustran respectivamente las formas de onda de los trenes de impulsos de registro a la entrada que se aplican respectivamente a los registradores 106 y 107. El controlador 108 de impulsos de registro a la entrada produce además la señal de dirección de registro a la entrada que puede tener una tensión superior cuando se elige el primer registrador 106 y una tensión más baja cuando se elige el segundo registrador 107, según se representa en la figura 14H. De este modo, los contenidos memorizados en el registro de desplazamiento 103 son transferidos alternativamente por medio del conector selectivo 105 a los registradores 106 y 107. Por otra parte, ya que el generador 93 de impulsos de sincronización produce los impulsos de sincronización horizontal que aparecen de la manera representada en la figura 14J, el generador de impulsos de puerta de barrido 104 produce los impulsos de puerta de barrido que aparecen de la manera indicada en la figura 14K. Cada uno de estos impulsos de puerta de barrido tiene una anchura de impulso igual al intervalo de exploración horizontal efectivo, por ejemplo de 880 μ s. Los impulsos de puerta de barrido disparan la puerta AND 111 la cual deja pasar entonces a través de ella los impulsos de reloj. Cuando el primer contador 112 recibe impulsos de reloj en número igual al de los impulsos de reloj memorizados en el segundo contador 115, el circuito de coincidencia 116 produce un impulso de coincidencia que hace que el circuito flip-flop 114 genere

una señal lógica "1". Por tanto, la puerta AND 113 empieza a dejar pasar los impulsos de reloj aplicados al segundo contador 115 y a través del eliminador 117 de bitio 1 al tercer contador 118. Los impulsos de puerta de barrido se aplican también al controlador de lectura 110 el cual produce entonces la señal de dirección de lectura. La señal de dirección de lectura puede presentar una tensión más elevada cuando se elige el registrador 106 y una tensión mas baja cuando se elige el registrador 107, según se representa en la figura 14L. De este modo, los terminales de salida del registrador elegido entre los registradores 106 y 107 se conectan por medio del conector selectivo de salida 109 a los terminales de entrada del segundo circuito de coincidencia 119. Cuando el contenido del tercer contador 118 viene a ser igual al del registrador 106 o 107 elegido, el circuito de coincidencia 119 produce un impulso de coincidencia que hace volver a cero el circuito flip-flop 114, de modo que el circuito flip-flop 114 produce un impulso que tiene una anchura de impulso igual a la longitud de carrera de una señal de código memorizada en el registrador 106 o en el registrador 107 que ha sido elegido. El controlador de lectura 110 produce unos trenes de impulsos de vaciado que aparecen respectivamente de la manera representada en las figuras 14M y 14N. Los trenes de impulsos de vaciado aplicados respectivamente a los registradores 106 y 107 los vacían alternativamente. Los impulsos de puerta de barrido se aplican también al circuito de identificación de marcación y espacio 120 el cual produce entonces unas señales lógicas "1" de la manera representada en la figura 14P cuando el circuito flip-flop 114 produce impulsos de salida que corresponden a las señales de

marcación. La puerta AND 121 deja por tanto pasar a través de ella solamente los impulsos de marcación que se presentan de la manera representada en la figura 14Q. Cuando la tensión de deflexión procedente del generador 125 tiene la forma de onda que se ve en la figura 14R, estos impulsos de marcación se registran respectivamente en el medio de registro durante los intervalos de exploración horizontal como se indica por HM_1 , HM_2 , HM_3 , HM_4 , ... en la figura 14R.

Se entenderá ahora que aunque el circuito de memoria 83 mencionado más arriba incluye solamente dos registradores 106 y 107, el circuito de memoria 83 puede incluir más de dos registradores si se prefiere así. En tal caso, el controlador de registro a la entrada 108 debe tener más de dos terminales de salida conectados respectivamente a los terminales de disparo de los registradores en número superior a dos, y el controlador de registro a la entrada 108 estará dispuesto de manera que genere en sus terminales de salida las señales de dirección.

En la figura 15, se ilustra un dispositivo de circuito preferido para el controlador de registro a la entrada 108 que corresponde a un número n de registradores, que incluye un contador de anillo 140, y un número n de puertas AND G_1 , G_2 , ... y G_n . Los terminales de entrada del contador de anillo 140 están conectados respectivamente al terminal de salida de la matriz de codificación 101 y al circuito de corrección 98 para recibir los impulsos de división de código y los impulsos de sincronización vertical. Cada una de las puertas AND G_1 , G_2 , ... y G_n tiene una entrada conectada a uno de los terminales de salida del contador de anillo 140 y su otro terminal de entrada conectado al terminal de

salida de la matriz de codificación 101. Los terminales de salida de las puertas AND están conectados respectivamente a los terminales de salida A_1 , A_2 , ... y A_n del controlador 108 de registro a la entrada.

5 Las figuras 16A á 16H ilustran respectivamente las formas de onda de varias señales que aparecen en el circuito de la figura 15. Se observará ahora que, ya que el receptor según el invento incluye un circuito de memoria que consta por lo menos de dos registradores, el circuito de memoria
10 utiliza uno de los registradores para recibir la información procedente del codificador, y al mismo tiempo utiliza el otro registrador para reconvertir una señal de código binario memorizada en una señal de marcación o espacio, con lo cual el receptor según el invento es capaz de registrar la señal de
15 marcación en un medio de registro a la velocidad de registro deseada.

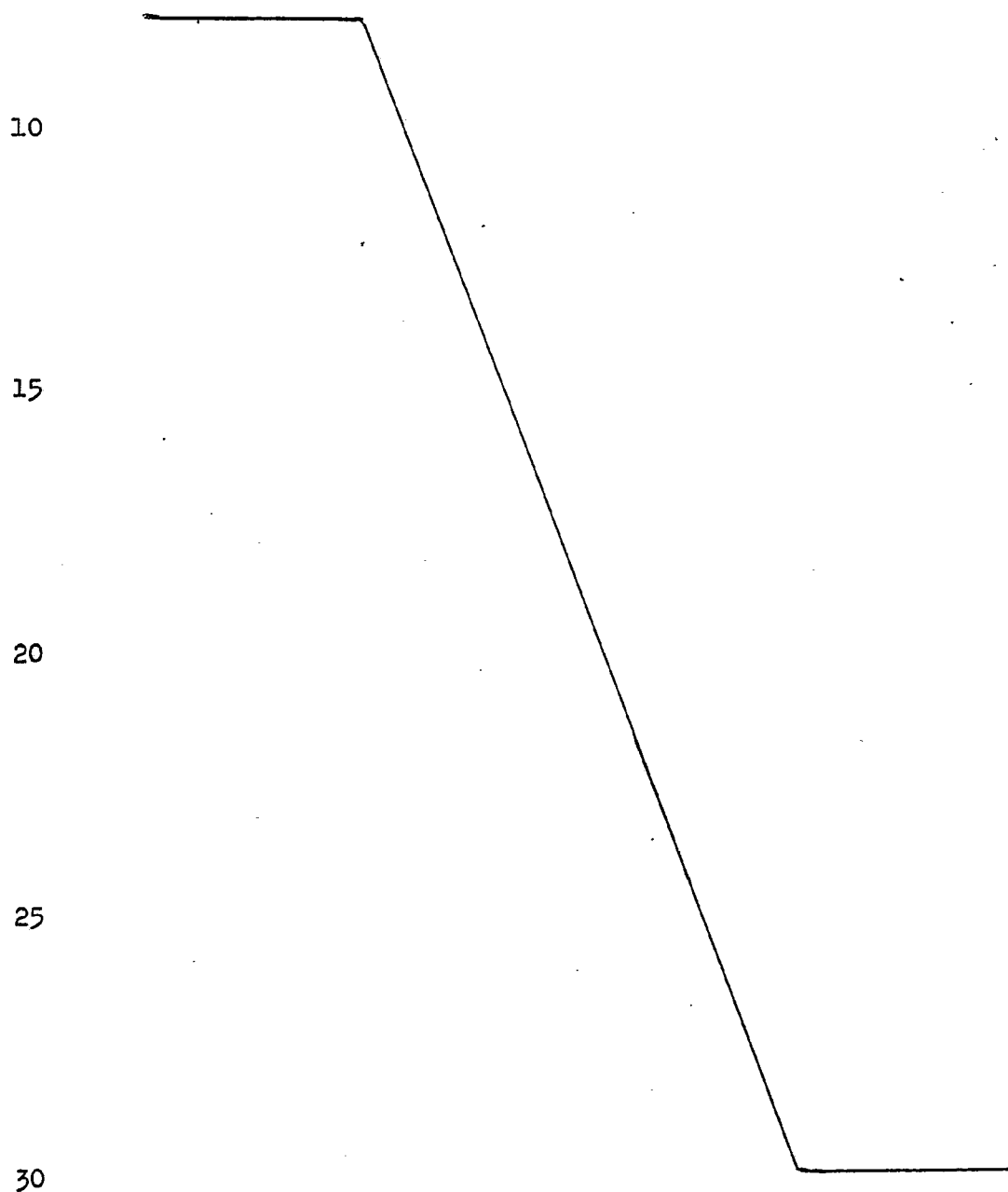
Por ejemplo, cuando la velocidad de transmisión es de 2000 bitios/segundo, el código de cifra inferior más corto, que el de dos bitios, no tiene una longitud superior a
20 1 ms. En este caso, al ser recibidos sucesivamente los códigos más cortos, el receptor reproducirá cada señal de marcación durante un intervalo inferior a 0,5 ms, lo que expone a la dificultad de que el periodo de exposición sea demasiado corto para obtener un registro claro en el medio de registro
25 en el caso de que el receptor incluya solamente un registrador. Por otra parte, ya que el receptor del invento incluye por lo menos dos registradores, el intervalo de reproducción puede ser alargado hasta por lo menos 1 ms.

Aunque se haya descrito un modo de realización preferido del invento, se entiende que pueden realizarse nume-
30

rosas modificaciones y numerosos arreglos en la disposición de los elementos sin alejarse del espíritu y del alcance del invento según viene definido en las Reivindicaciones adjuntas.

5

En resumen: La Patente de Invención que se solicita deberá recaer sobre las Reivindicaciones siguientes:



REIVINDICACIONES

1. Receptor para sistema de facsimil, que incluye:

5 un generador de impulsos de sincronización para producir un tren de impulsos de reloj, un tren de impulsos de sincronización horizontal y un tren de impulsos de borrado;

un demodulador para demodular las señales de código binario moduladas;

10 un decodificador para decodificar las señales de código binario en códigos binarios que representan cada una una longitud de carrera de una de las señales de marcación y de espacio;

15 un circuito de memoria para memorizar dichos códigos binarios, incluyendo dicho circuito de memoria por lo menos dos registros que tienen cada uno un terminal de entrada de disparador, un terminal de vaciado, una pluralidad de terminales de entrada y una pluralidad de terminales de salida, un conector selectivo de entrada para hacer pasar selectivamente a través de él dichos códigos binarios hasta por
20 lo menos dichos dos registros, un dispositivo de controlador de registro a la entrada para que los registradores puedan memorizar en ellos dichos códigos binarios transmitidos a través de dicho conector selectivo de entrada, un conector selectivo de salida para transmitir selectivamente a través de
25 él los códigos binarios memorizados, y un dispositivo de controlador de registro a la salida para vaciar selectivamente por lo menos dichos dos registros;

30 un circuito de reconversión para transformar nuevamente los códigos binarios procedentes de dicho circuito de

memoria en una de las señales de marcación y de espacio.

2. Se reivindica por último como objeto sobre el que ha de recaer la patente de invención que se solicita:

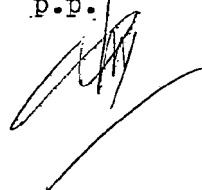
RECEPTOR-PARA-SISTEMA DE FACSIMIL.

5 Todo conforme queda descrito y reivindicado en la presente memoria descriptiva que consta de cuarenta y cuatro páginas mecanografiadas y dibujos que se acompañan.

Madrid, 15 marzo 1.974

BERNARDO UNGRIA

P.P.



10

15

20

25

30

Fig. 1

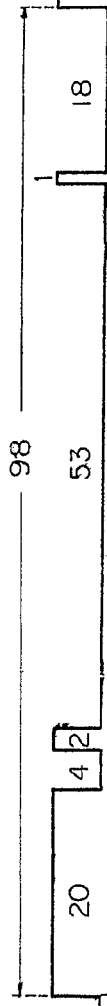
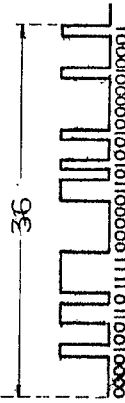


Fig. 2



ESCALA VARIABLE
MADRID, 15 DE FEBRERO DE 1974
BERNARDO URRUTIA
P. E.

Fig. 1

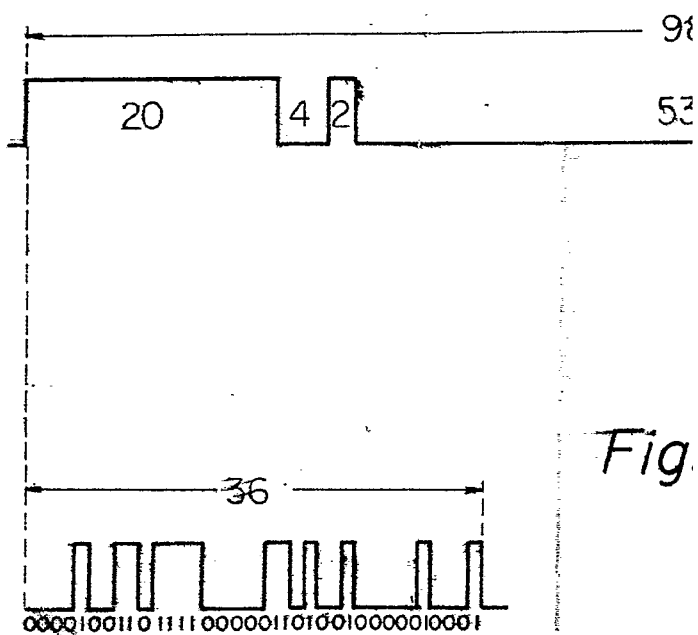


Fig.



Fig. 2

ESCALA VARIABLE
MADRID 15 DE Marzo DE 1974
BERNARDO URBIA
P. E.

Fig. 3

n	
1	10
2	11
3	010
4	011
5	00100
6	00101
7	00110
8	00111
9	0001000
10	0001001
§	
15	0001110
16	0001111
17	000010000
18	000010001
§	§
31	000011110
32	000011111
33	00000100000
34	00000100001
§	§
63	00000111110
64	00000111111
65	0000001000000
66	0000001000001
§	§
127	0000001111110
128	0000001111111
129	000000010000000

ESCALA VARIABLE
 MADRID 15 DE Mayo DE 1974
 SERVICIO TÉCNICO
 P.E.

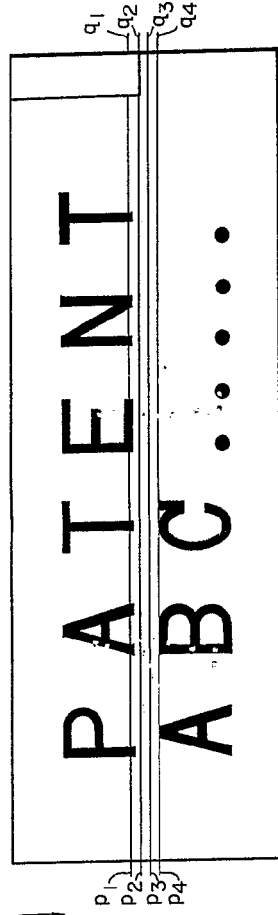


Fig. 4A

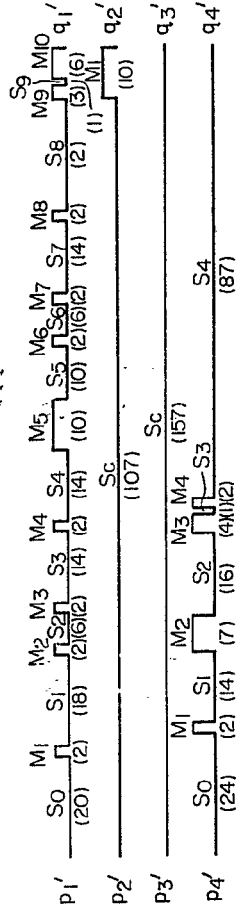


Fig. 4B

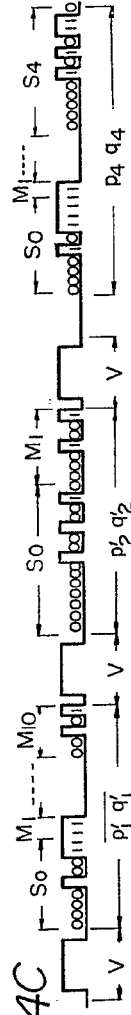


Fig. 4C

Fig. 4A

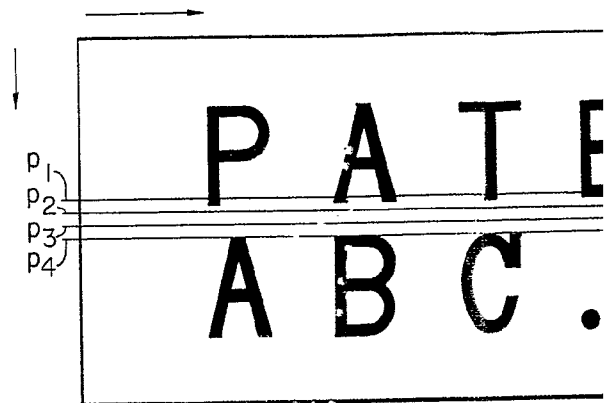


Fig. 4B

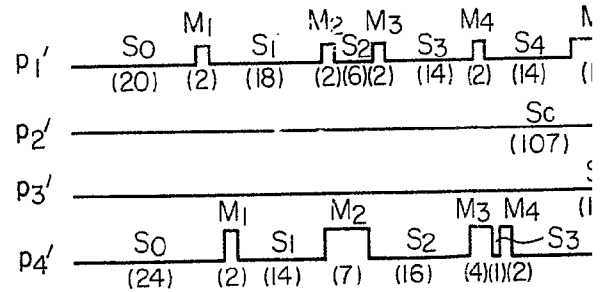


Fig. 4C

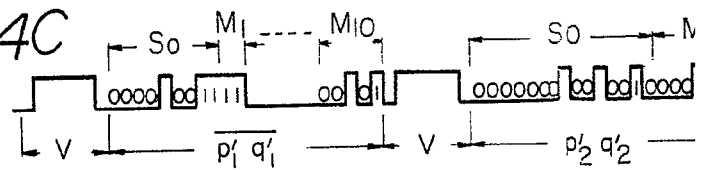
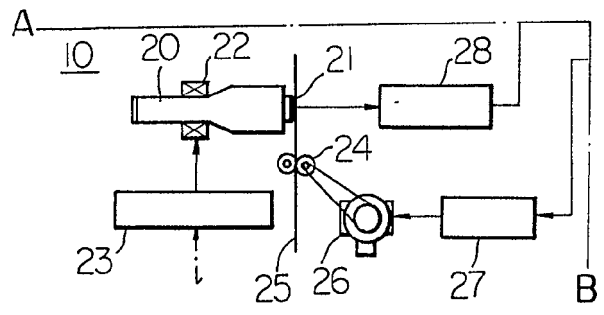
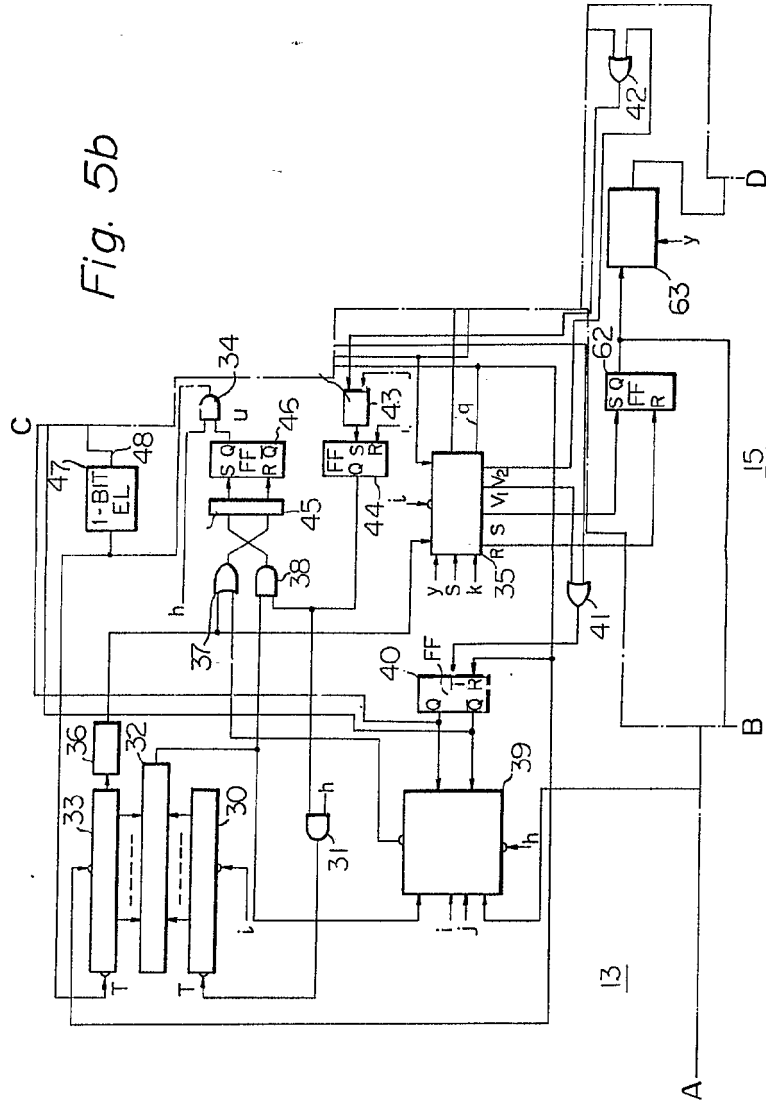


Fig. 5a



ESCALA VARIABLE
MADRID, 15 DE Mayo DE 1974
BERNARDO UNGRIA
P.B.



ESPANOLA VARIANTE
MADRID, 15 de Mayo de 1964
BERNABO PARRA
P. E.

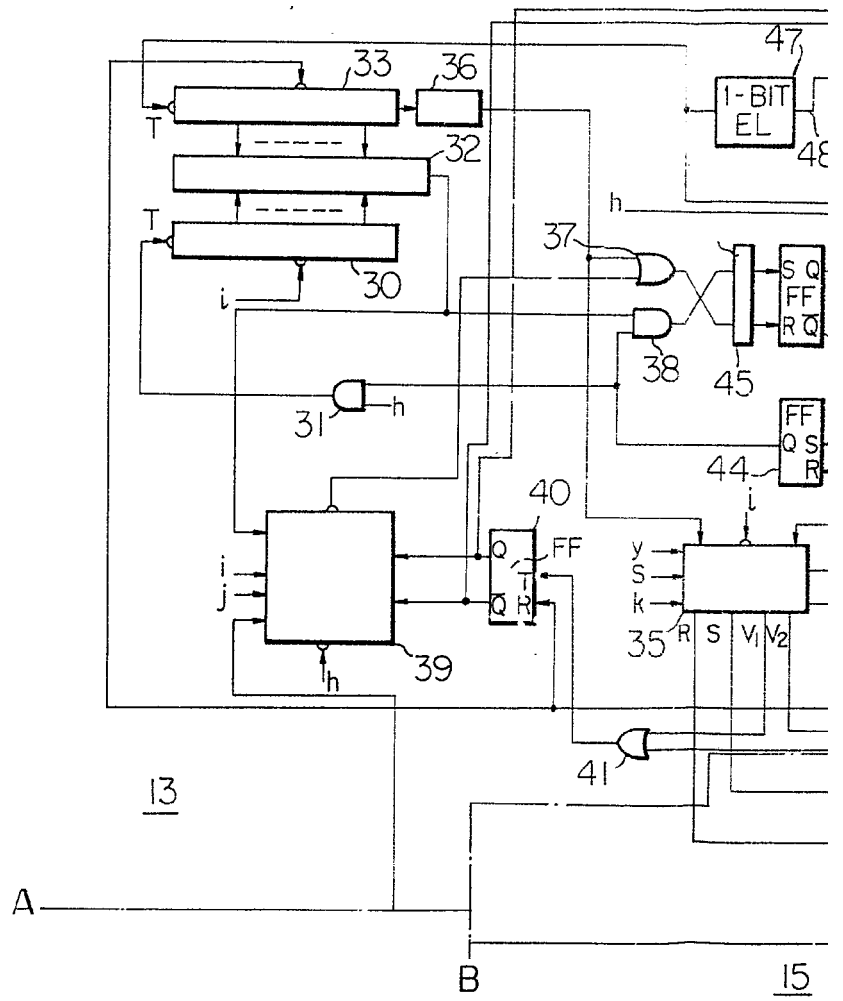
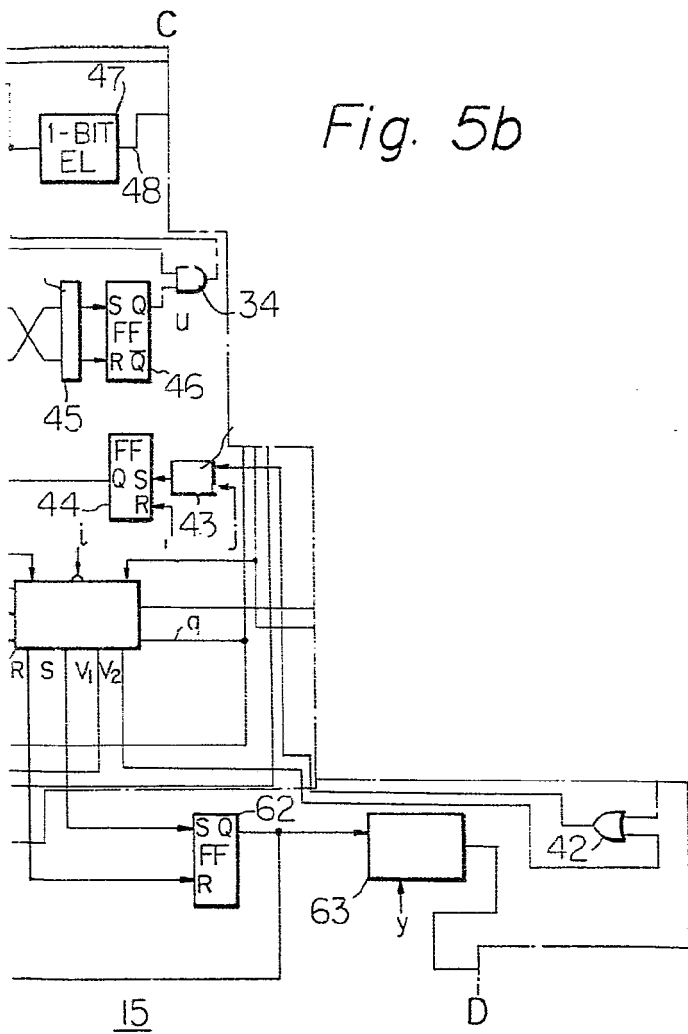
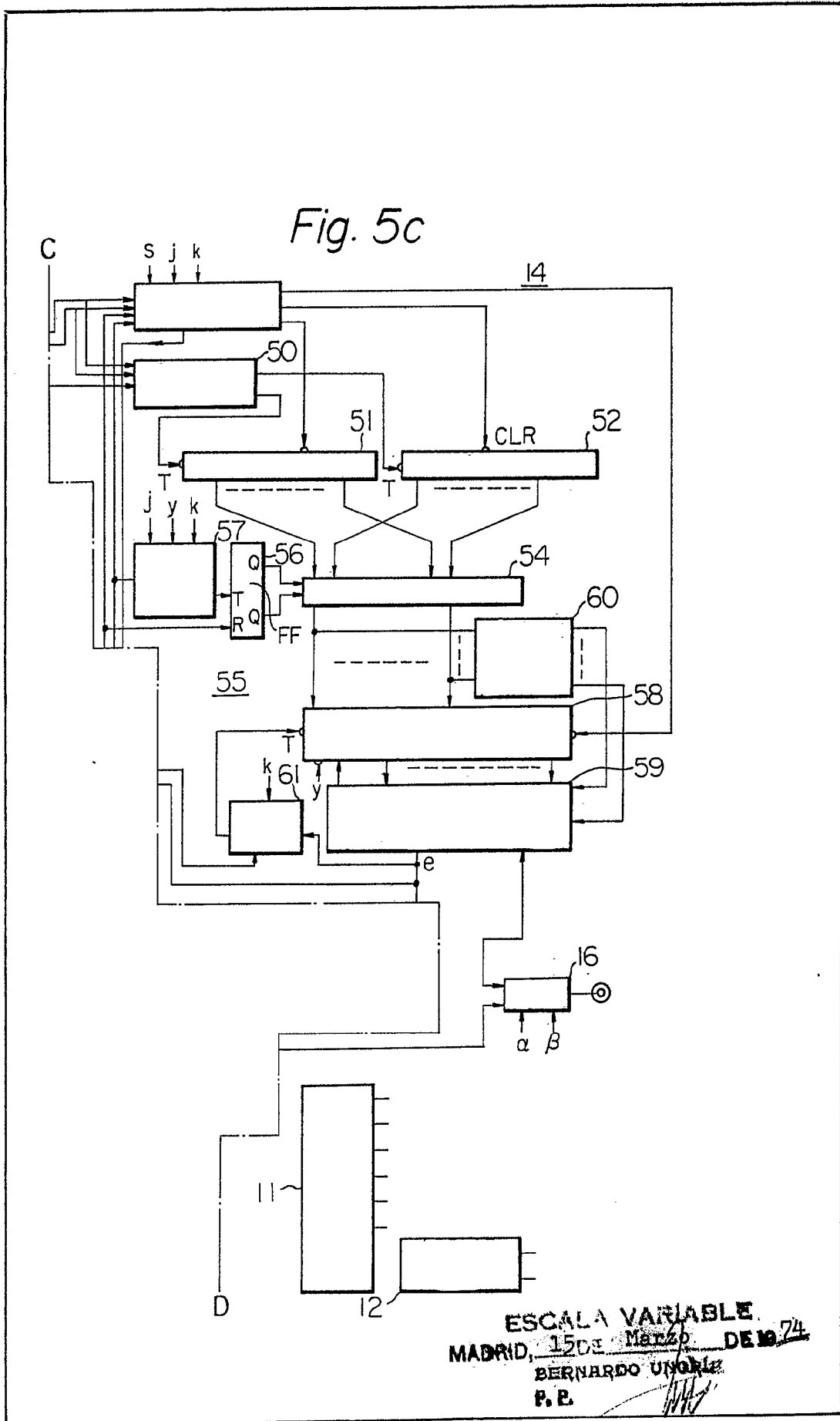


Fig. 5b



MADRID, 15 de Marzo de 1974
 BERNARDO UNGARIS
 P. E.

Fig. 5c



ESCALA VARIABLE.
MADRID, 15 DE Marzo DE 1974
BERNARDO UNGER
P. E.



Fig. 6A



Fig. 6B

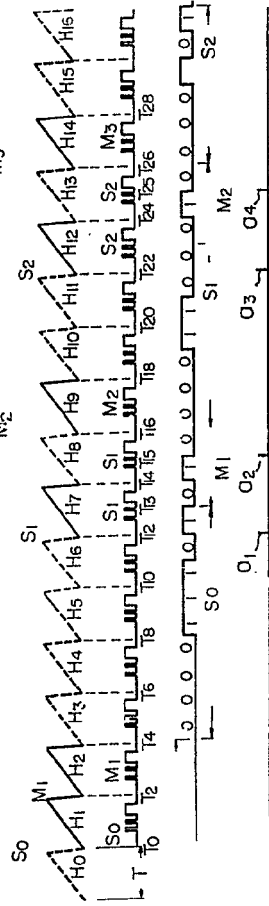


Fig. 7A

Fig. 7B

Fig. 7C

Fig. 7D



Fig. 7E

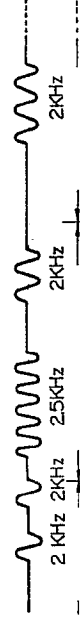


Fig. 7F

ESCALA VARIABLE
 MADRID, 15 DE Mayo DE 1974
 BERNARDO URBARRI
 P. E.

Fig. 6A



Fig. 6B

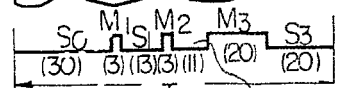


Fig. 7A

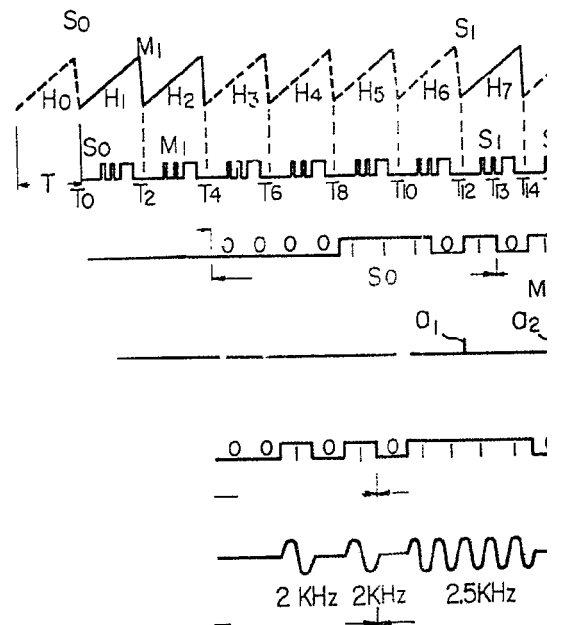
Fig. 7B

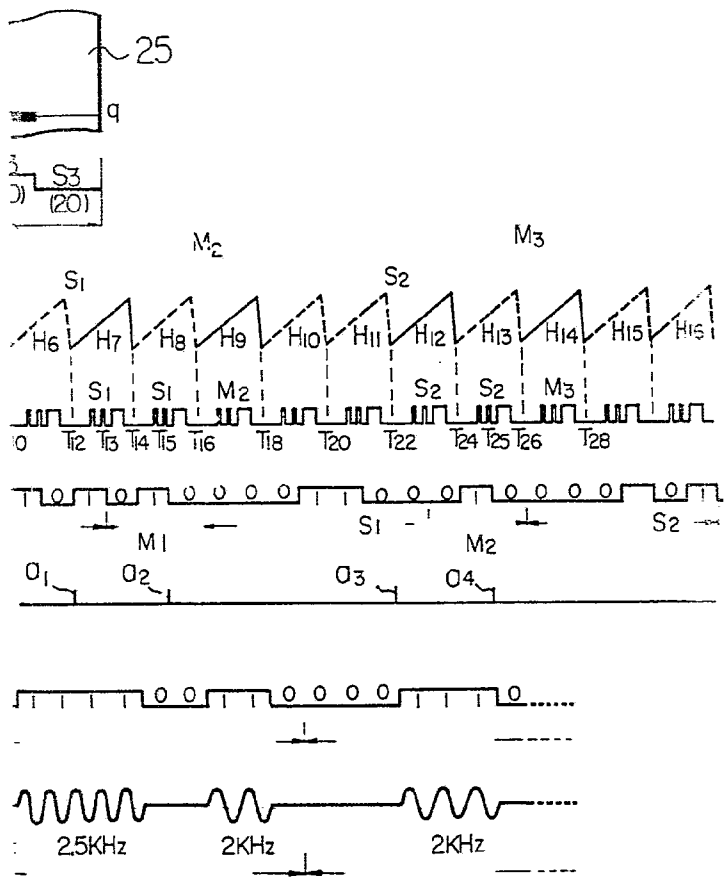
Fig. 7C

Fig. 7D

Fig. 7E

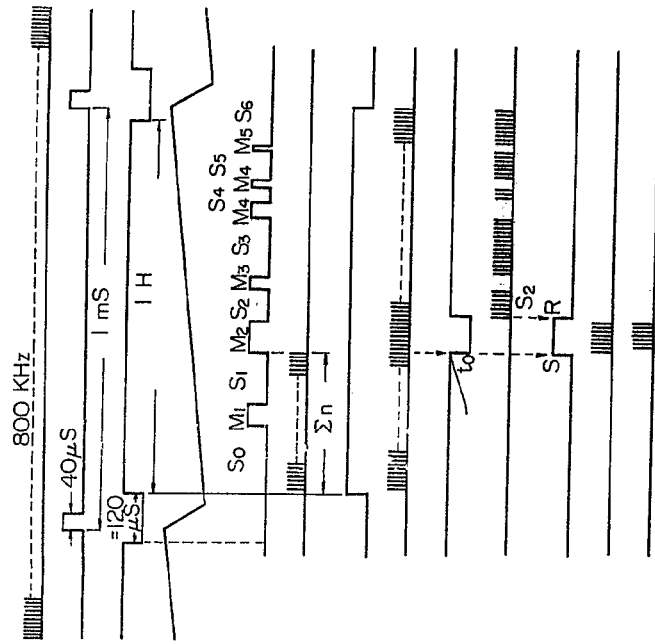
Fig. 7F





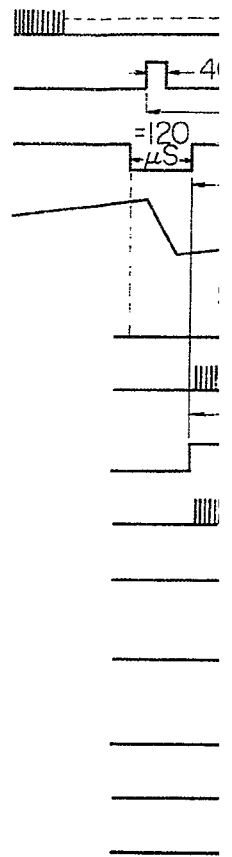
ESCALA VARIABLE
MADRID, 15 DE Mayo DE 1974
BERNARDO UNGRIG
P.E.

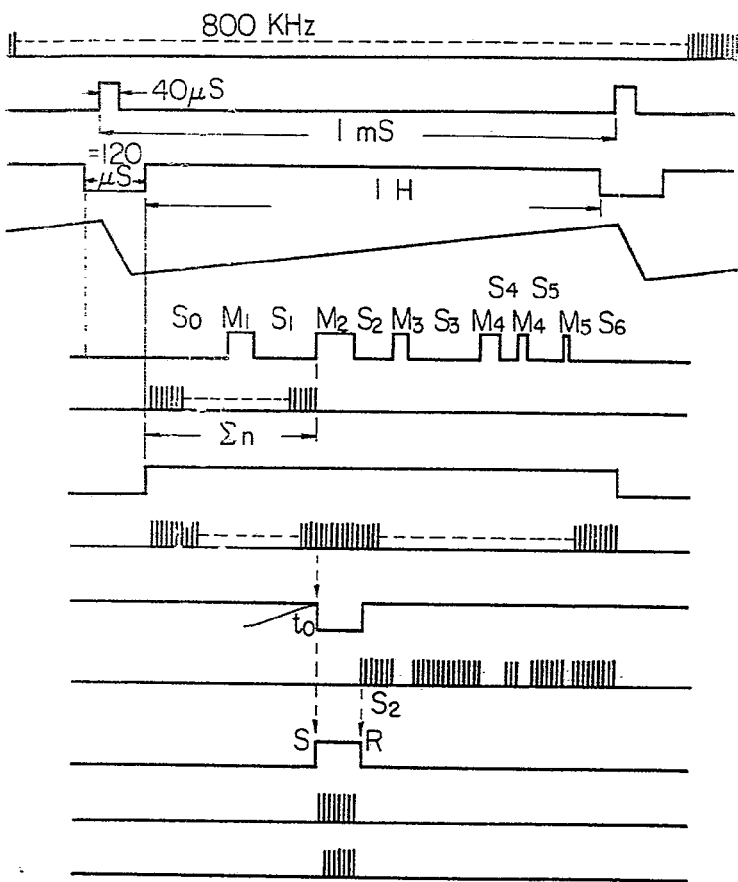
Fig. 8A
Fig. 8B
Fig. 8C
Fig. 8D
Fig. 8E
Fig. 8F
Fig. 8G
Fig. 8H
Fig. 8J
Fig. 8K
Fig. 8L
Fig. 8M
Fig. 8N



ESCALA VARIABLE
MADRID, 15 DE MARZO DE 1974
BERNARDO UNGRIA
P.R.

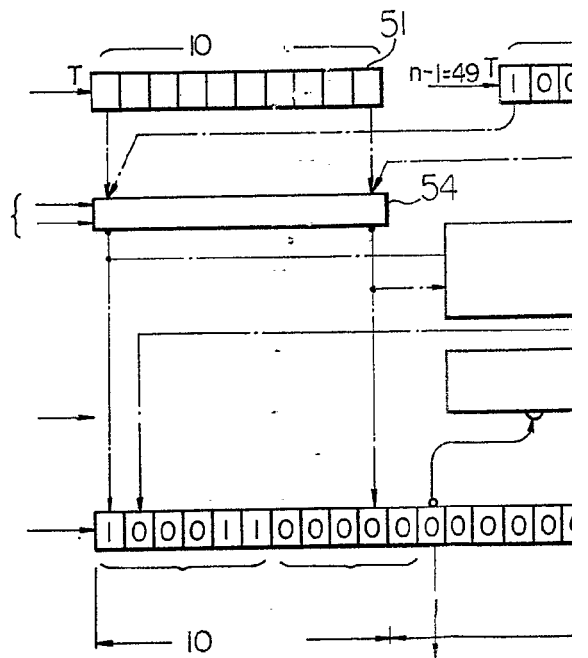
- Fig. 8A
- Fig. 8B
- Fig. 8C
- Fig. 8D
- Fig. 8E
- Fig. 8F
- Fig. 8G
- Fig. 8H
- Fig. 8J
- Fig. 8K
- Fig. 8L
- Fig. 8M
- Fig. 8N



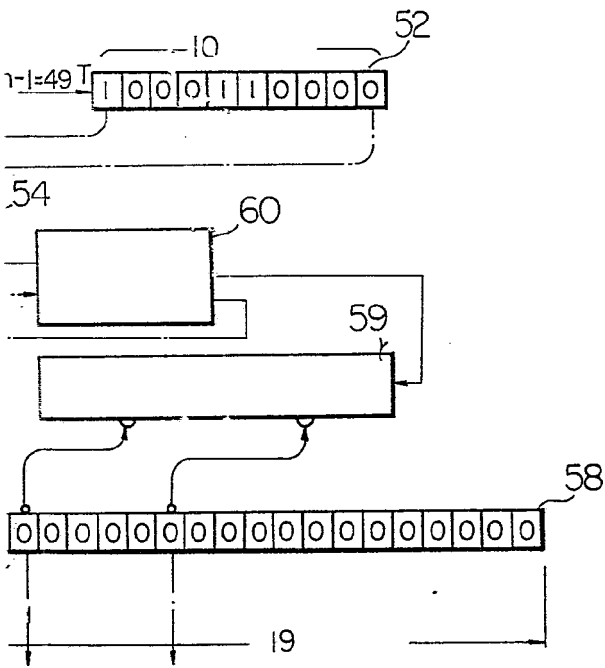


ESCALA VARIABLE
MADRID, 15 DE Marzo DE 1974
BERNARDO UNOIRIA
P.E.

Fig. 9



9



ESCALA VARIABLE
MADRID, 15 DE ~~Marzo~~ DE 1974
BERNARDO ~~MARRIN~~
P. P.

Fig. 10A

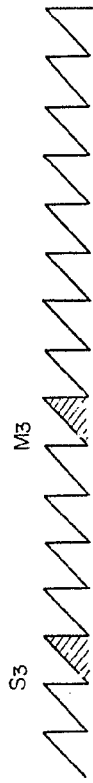


Fig. 10B



Fig. 10C

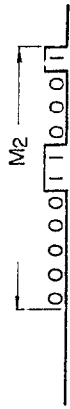
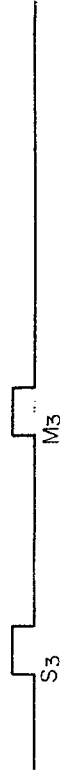


Fig. 10D



Fig. 10E



ESCALA VARIABLE
MARRIO 15 DE Marzo AÑO 1974
C. R. R.

11/1

Fig. 10A



Fig. 10B

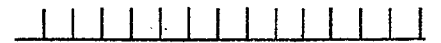


Fig. 10C

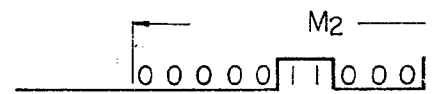
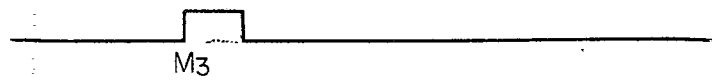
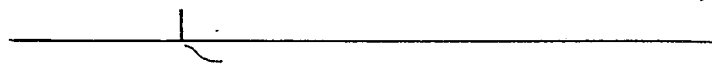
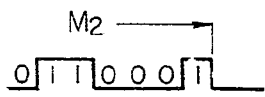
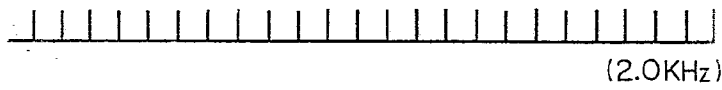


Fig. 10D



Fig. 10E





ESCALA VARIABLE
MADRID 15 DE Marzo DE 1974
CERRILLO & NORRIS
S.R.L.

Handwritten signature or initials.

Fig. 11

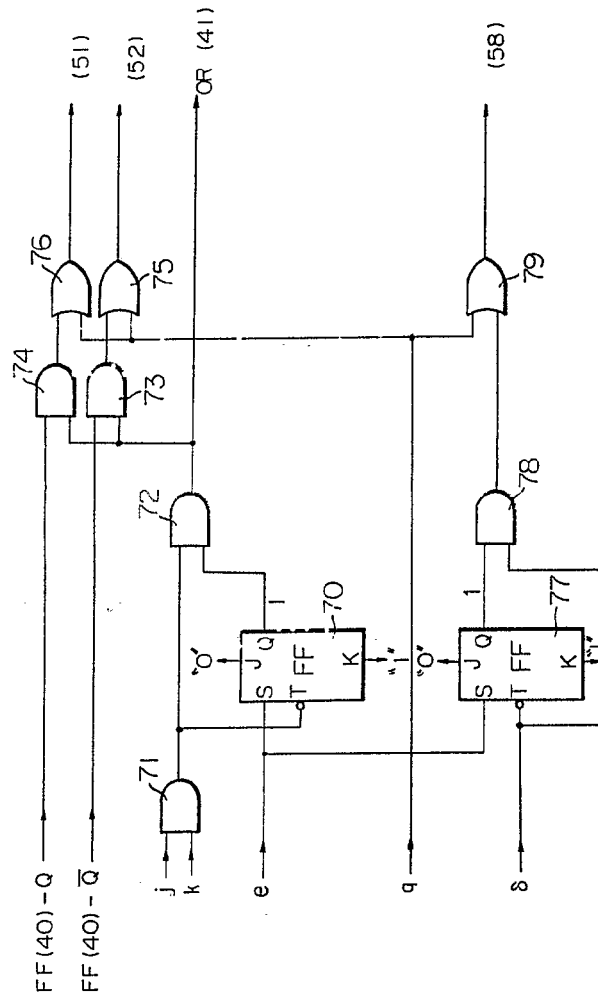
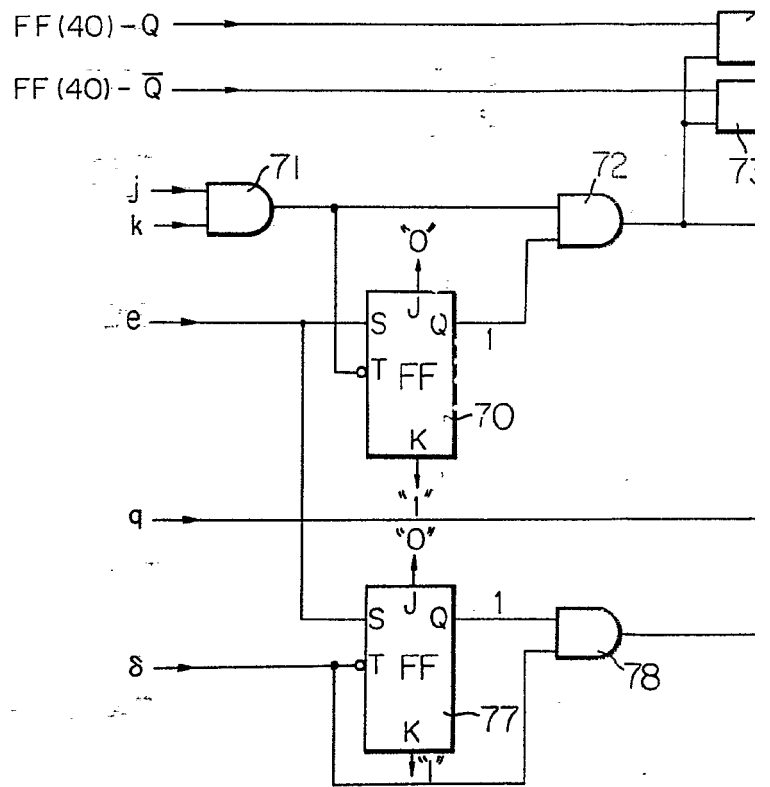
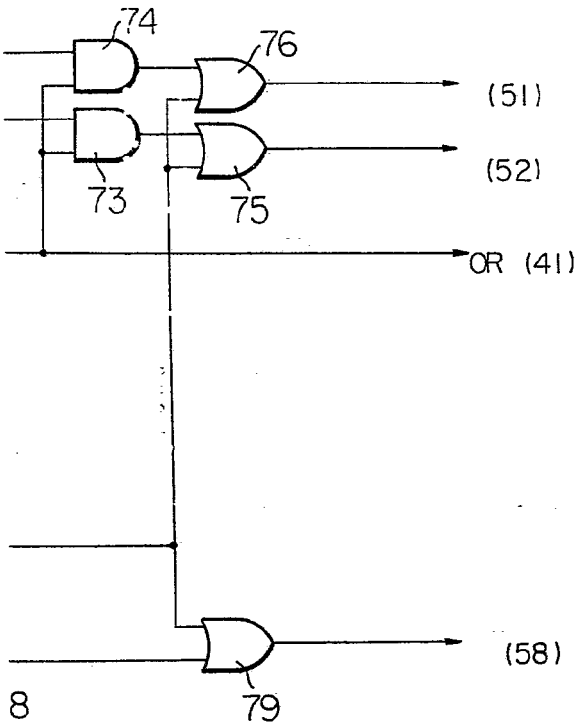


Fig. 11





ESCALA VARIABLE
MADRID, 15 DE Marzo DE 1974
BERNARDO UNGRIG
P.E.

Fig. 12A



Fig. 12B



Fig. 12C



Fig. 12D



Fig. 12E



Fig. 12F



Fig. 12G



ESCALA VARIABLE
MADRID, 15 DE Mayo DE 1974
SERVIICIO UNGARIE
P. P.

Fig. 12A



Fig. 12B

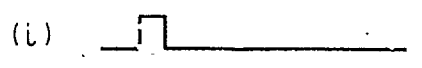


Fig. 12C



Fig. 12D

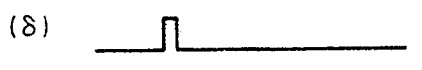


Fig. 12E

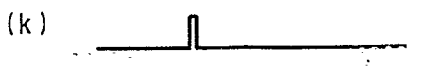
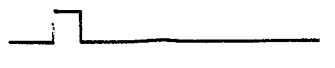
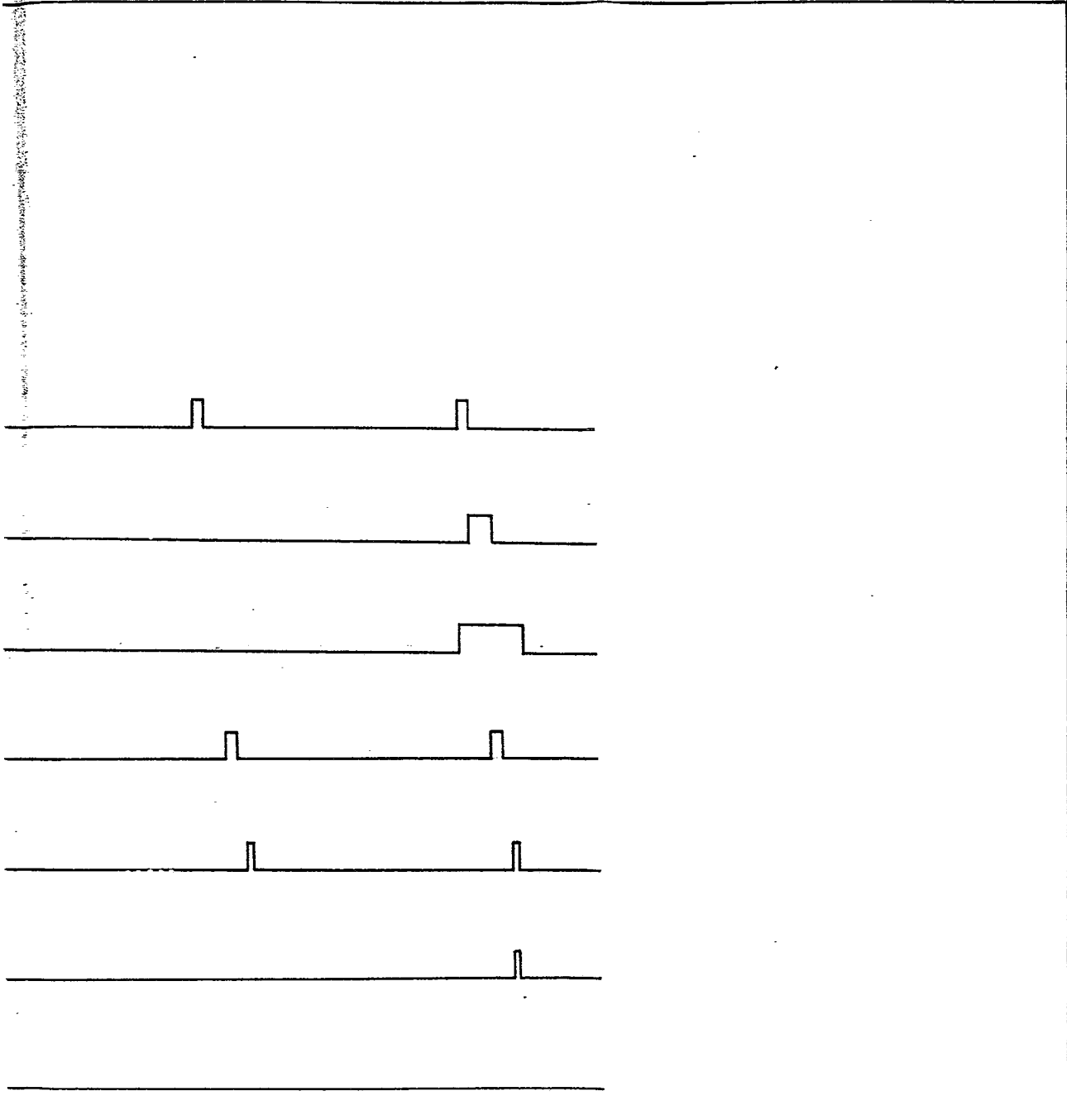


Fig. 12F



Fig. 12G





ESCALA VARIABLE
MADRID, 15 DE Marzo DE 1974
BERNARDO UNGRÍA
P. E.

Fig. 12H



Fig. 12J



Fig. 12K



Fig. 12L



Fig. 12M



Fig. 12N



Fig. 12P



ESCALA VARIABLE
MADRID, 15 DE Mayo DE 1974
BERNARDO VIVAS
P. E.

Fig. 12H

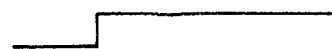


Fig. 12J



Fig. 12K



Fig. 12L



Fig. 12M

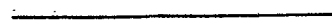
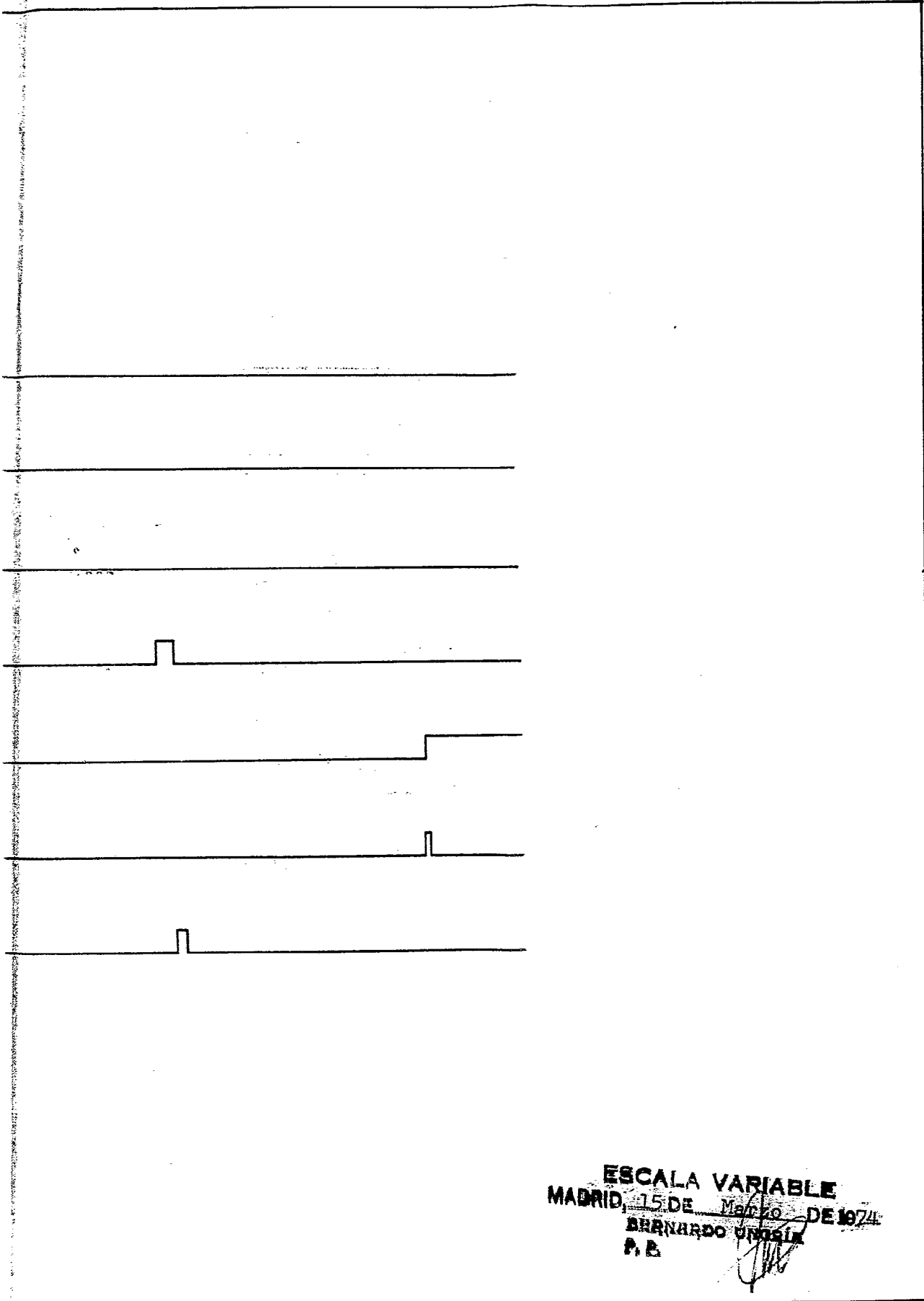


Fig. 12N



Fig. 12P





ESCALA VARIABLE
MADRID, 15 DE Mayo DE 1974
BERNARDO URRUTIA
A.B.

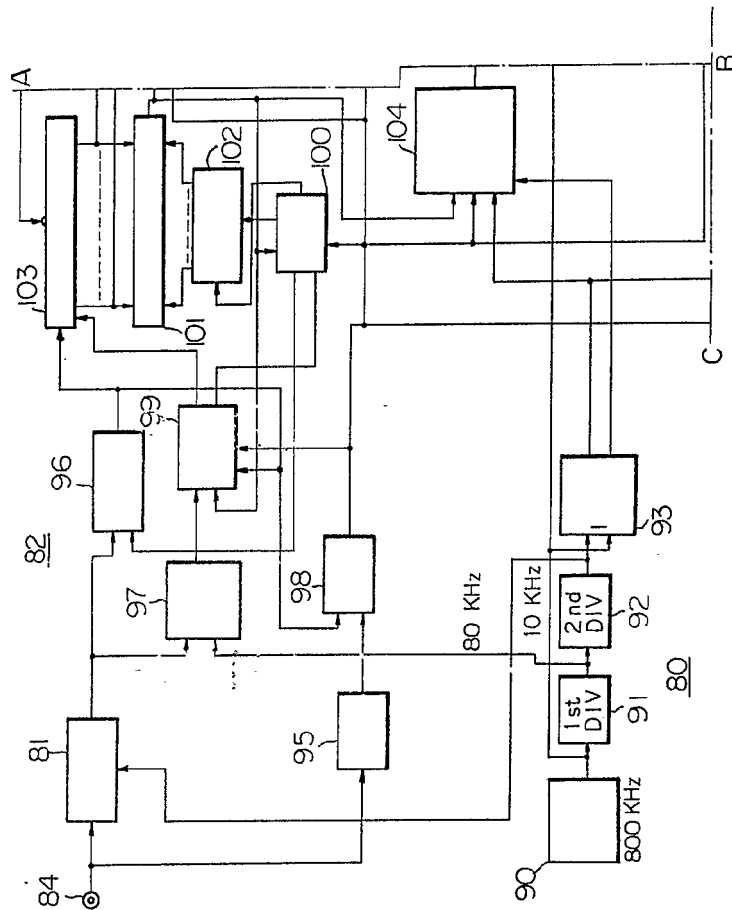
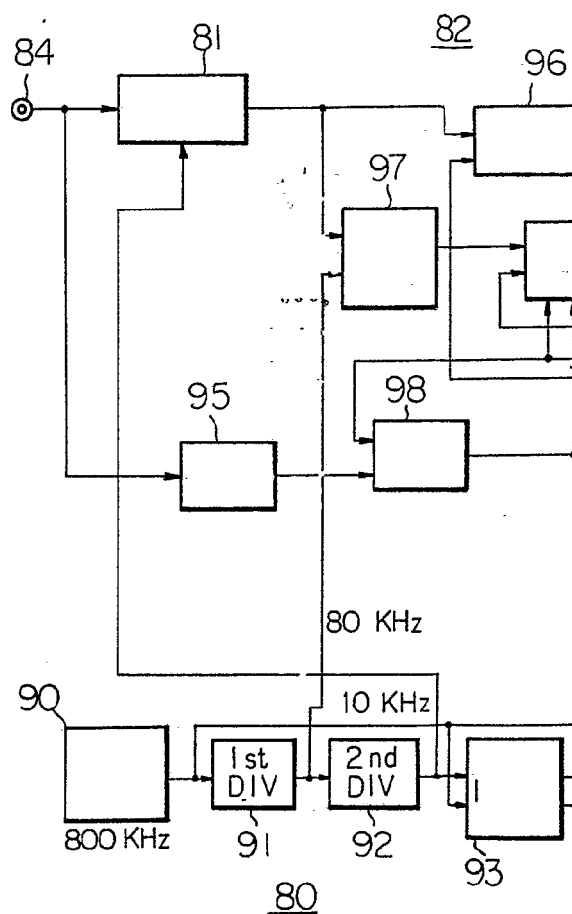
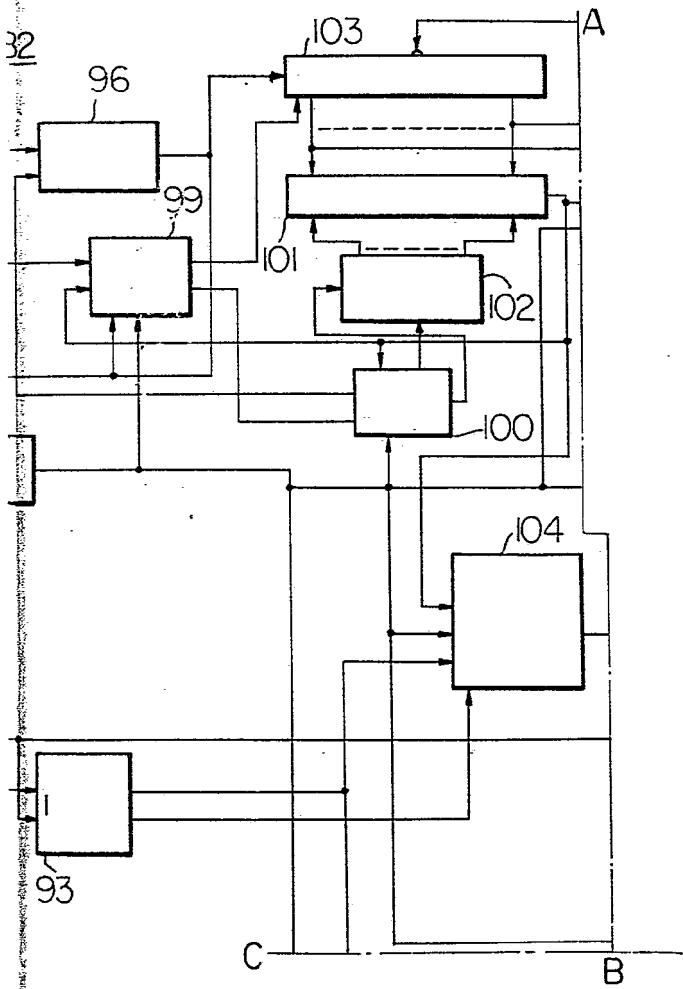


Fig. 13a

ESCALA VARIABLE
MADRID, 15 DE Marzo DE 1974
BERNARDO VINGRIN
P. F.

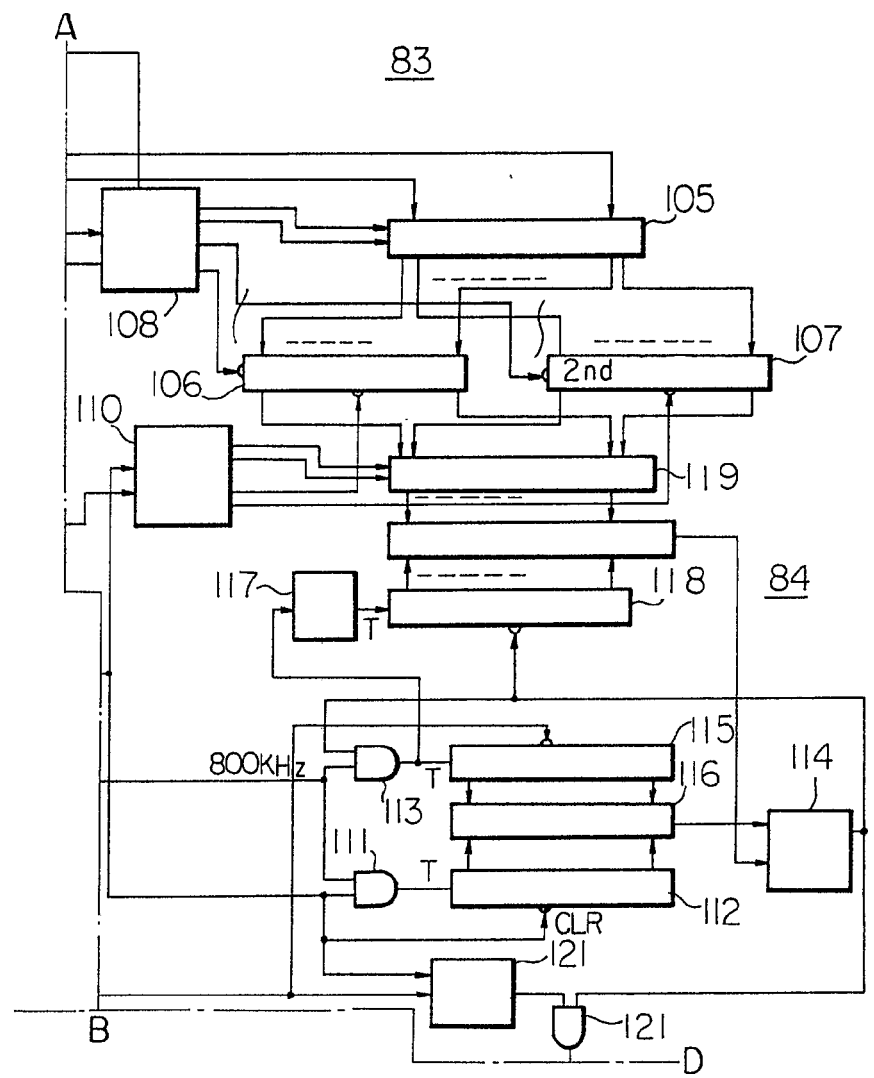
Fig. 13a





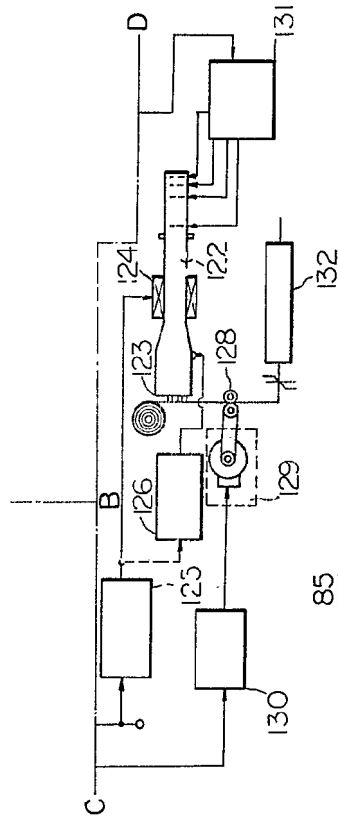
ESCALA VARIABLE
MADRID, 15 DE ~~Marzo~~ DE 1974
BERNARDO UNGRÍA
P. P.

Fig. 13b



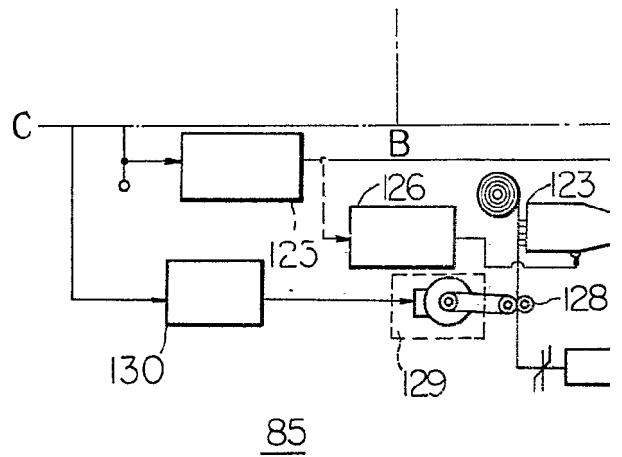
ESCALA VARIABLE
MADRID, 15 DE Marzo DE 1974
BERNARDO UJORA
P. P.

Fig. 13c

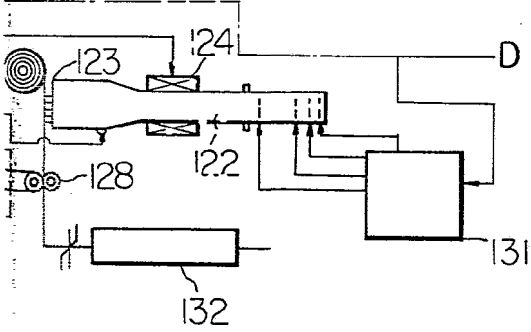


ESCALA VARIABLE
MADRID, 15 DE Marzo DE 1974
BERNARDO UNGER
P. P.

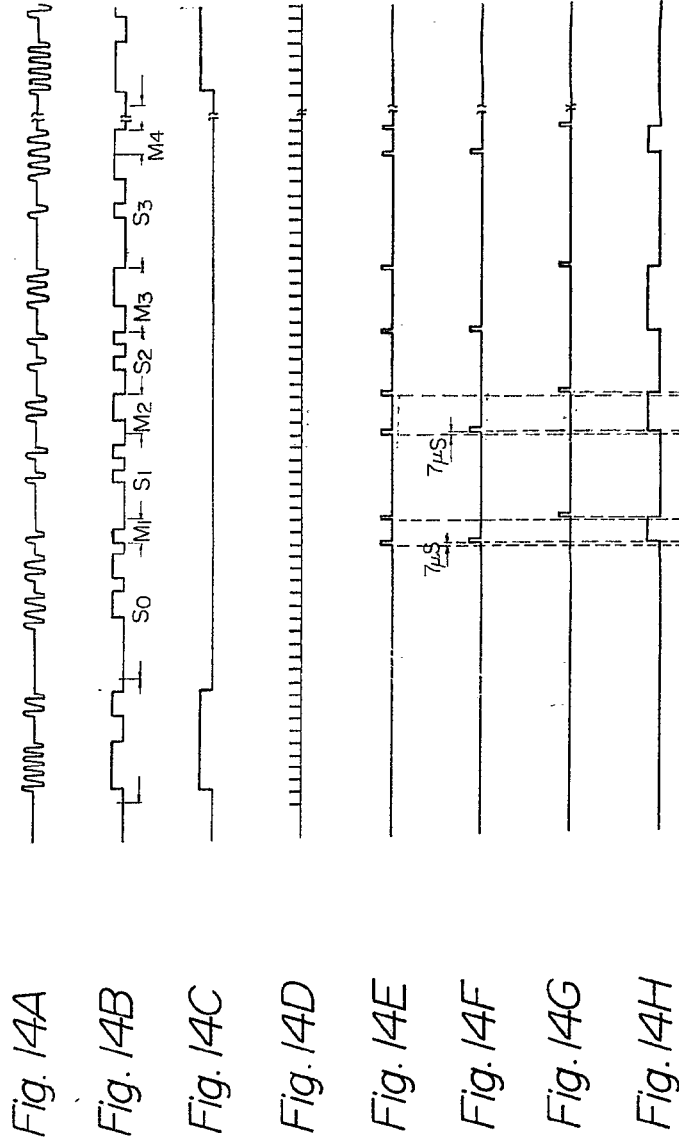
Fig. 13c



13c



ESCALA VARIABLE
MADRID, 15 DE Marzo DE 1974
BERNARDO UNGRIG
P. P.



ESCALA VARIABLE
MADRID, 15 DE Mayo DE 1974
BERNARDO UNGER
P. P.

Fig. 14A

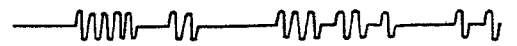


Fig. 14B

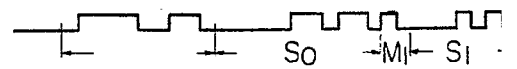


Fig. 14C



Fig. 14D

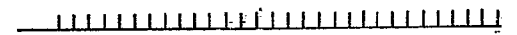


Fig. 14E



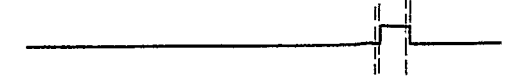
Fig. 14F

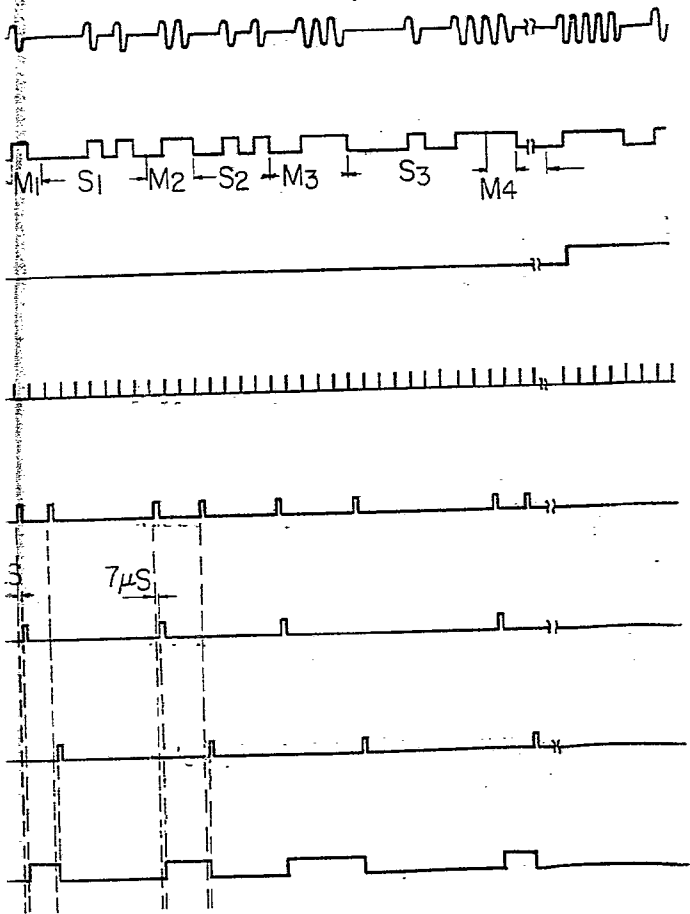


Fig. 14G



Fig. 14H





ESCALA VARIABLE
MADRID, 15 DE Marzo DE 1974
BERNARDO UNGRÍA
P. P.

Fig. 14J

Fig. 14K

Fig. 14L

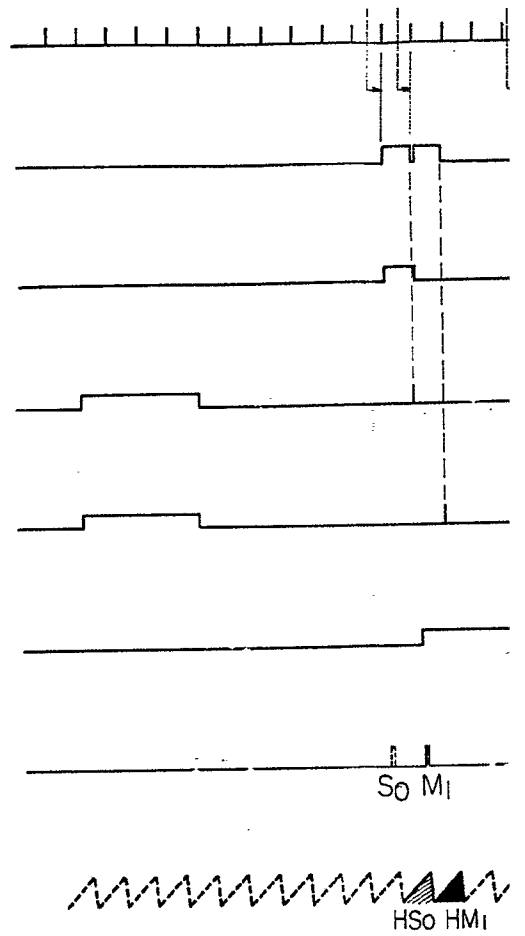
Fig. 14M

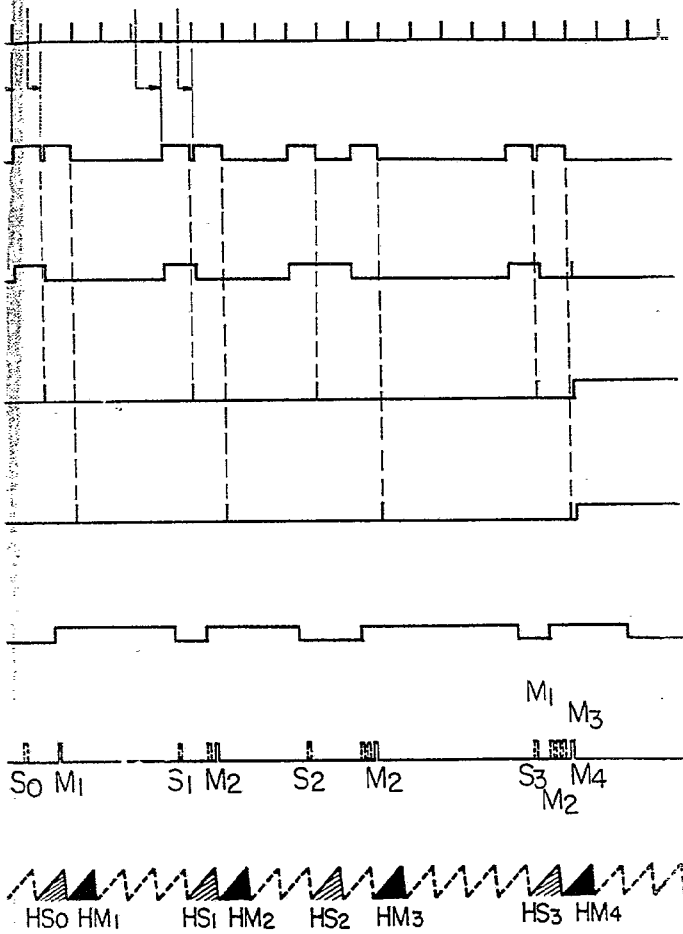
Fig. 14N

Fig. 14P

Fig. 14Q

Fig. 14R





ESCALA VARIABLE
MADRID 15 DE Marzo DE 1974
BERNARDO UNGRÍA
P. P.

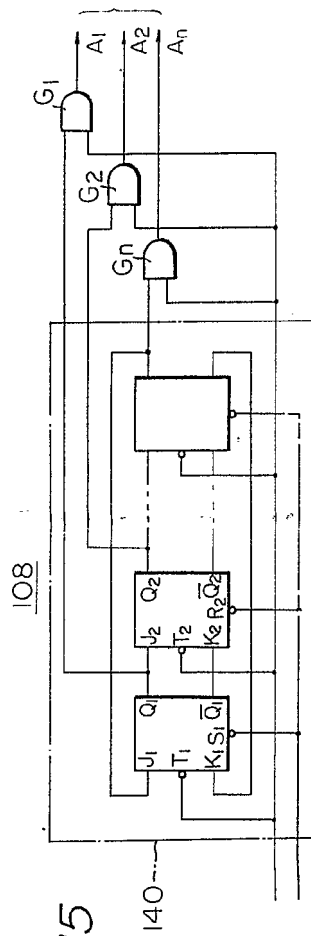


Fig. 15

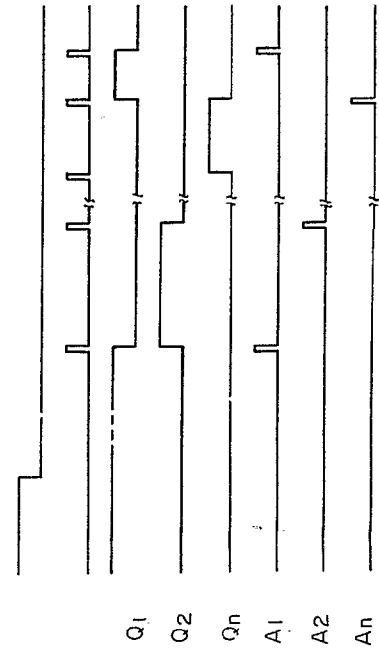
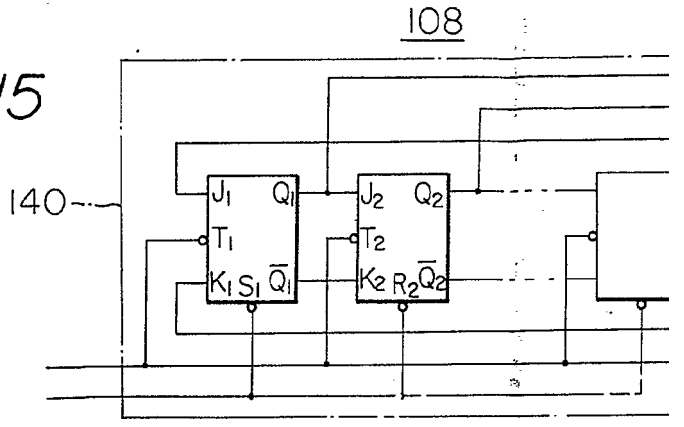

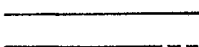







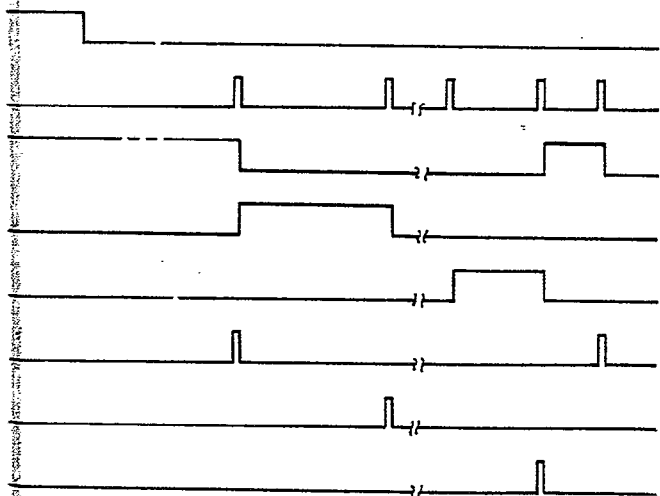
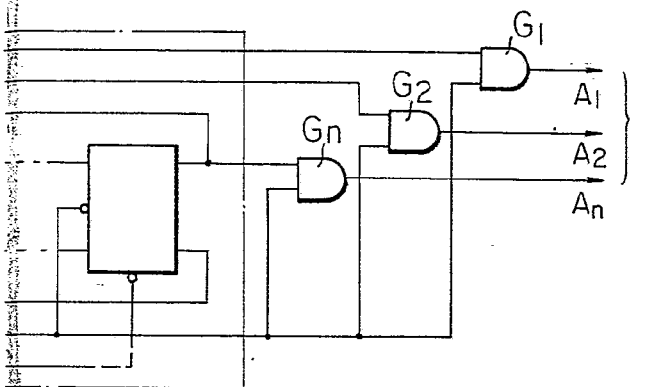
Fig. 16A
 Fig. 16B
 Fig. 16C
 Fig. 16D
 Fig. 16E
 Fig. 16F
 Fig. 16G
 Fig. 16H

ESCALA VARIABLE
 MADRID, 15 DE MARZO DE 1974
 BERNARDO UNGRIA
 P. R.

Fig. 15



- Fig. 16A 
- Fig. 16B 
- Fig. 16C 
- Fig. 16D 
- Fig. 16E 
- Fig. 16F 
- Fig. 16G 
- Fig. 16H 



ESCALA VARIABLE
MADRID, 15 DE Mayo DE 1974
BERNARDO UNGRIA
P. P.