

423968423968



F.C. 5-12-75

P.- 56.711

FI9-72-139

Int. Cl.: H05K

MEMORIA DESCRIPTIVA

para solicitar

P A T E N T E D E I N V E N C I O N

en ESPAÑA

por VEINTE años

A nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad norteamericana

establecida en Armonk, N.Y. 10504, Estados Unidos de América.

por: "UNA ESTRUCTURA DE CIRCUITO INTEGRADO CON AISLAMIENTO DIELECTRICO TOTAL".

(Clase Internacional H05k)

28-3-74

- 1 -

423968

1-9



Principios Básicos del Invento

5 El presente invento se refiere a estructuras de circuito integrado y, más particularmente, a aislamiento dieléctrico en estructuras de circuito integrado.

La forma de la mayor parte de los circuitos integrados existentes es la llamada forma monolítica. Tal estructura contiene numerosos dispositivos activos y pasivos en un bloque o monolito de material semiconductor. Las conexiones eléctricas entre estos dispositivos activos y pasivos están realizadas generalmente sobre una superficie del bloque de material semiconductor. Hasta el presente, el aislamiento de unión ha sido con mucho el modo más ampliamente utilizado en la práctica de aislamiento de dispositivos o circuitos entre sí en el circuito integrado. Por ejemplo, son utilizadas normalmente difusiones activas de tipo P para aislar dispositivos convencionales bipolares P-N entre sí y de otros dispositivos tales como las resistencias y condensadores. Tal aislamiento de unión es usado también en circuitos integrados que utilizan dispositivos de transistor de efecto de campo. Pueden encontrarse descripciones más detalladas del aislamiento de unión en las Patentes Norteamericanas Números 3.319.311; 3.451.866; 3.508.209 y 3.539.876.

25 Aunque el aislamiento de unión ha proporcionado



423968

excelente aislamiento eléctrico en circuitos integra-  
dos que han funcionado muy eficazmente a lo largo de  
los años, en la presente etapa del desarrollo de la  
técnica de circuitos integrados hay una demanda cre-  
5 ciente de circuitos de conmutación más rápidos en el  
campo de circuitos integrados digitales. Se ha recono-  
cido desde hace tiempo que el efecto capacitivo de las  
uniones P-N aislantes tiene un efecto de decrecimiento  
sobre la velocidad de conmutación de los circuitos in-  
10 tegrados. Hasta ahora, las demandas de conmutación de  
los circuitos integrados han sido de una frecuencia su-  
ficientemente baja para que el efecto capacitivo en el  
aislamiento de unión no haya presentado problemas impor-  
tantes. Sin embargo, con la demanda de conmutación en  
15 alta frecuencia que puede esperarse en las aplicaciones  
del futuro, el efecto capacitivo producido por el ais-  
lamiento de unión puede constituir un problema creciente.  
Adicionalmente, el aislamiento de unión requiere una se-  
paración relativamente grande entre dispositivos y, de  
20 este modo, densidades de dispositivos relativamente ba-  
jas lo cual es contrario a las densidades de dispositi-  
vos más altas requeridas en integración en gran escala.  
El aislamiento de unión tiende también a originar efec-  
tos de transistor parásito entre la región de aislamien-  
25 to y sus dos regiones de delimitación. Consiguientemente,



423968

en años recientes, ha habido una renovación del interés en circuitos integrados que tienen aislamiento dieléctrico en vez de aislamiento de unión. En tales circuitos aislados dieléctricamente, los dispositivos semiconductores están aislados entre sí por materiales aislantes dieléctricos.

Convencionalmente, tal aislamiento dieléctrico en circuitos integrados se ha formado realizando canales por ataque químico en un miembro semiconductor correspondiente a las regiones de aislamiento. Esto deja una superficie irregular o acanalada sobre la cual se deposita un sustrato, usualmente una combinación de una capa dieléctrica delgada que forma la interzona con el miembro semiconductor cubierta por una capa más gruesa de silicio policristalino. Entonces, indistintamente, se rectifica mecánicamente o se ataca químicamente la otra superficie del miembro semiconductor hasta que se alcanzan las porciones inferiores de los canales anteriormente atacados químicamente. Esto proporciona un tipo de estructura en donde una pluralidad de receptáculos de material semiconductor rodeados por la capa dieléctrica están soportados sobre el sustrato de silicio policristalino y separados entre sí por extensiones o dedos del sustrato policristalino. Se han descrito tales estructuras en la técnica anterior en Pa-



423968

tentes tales como las Patentes Norteamericanas 3. 391.-023; 3.332.137; 3.419.956; 3.372.063; 3.575.740; 3.421.-205; 3.423.258; 3.423.255 y 3.478.418.

5 El aislamiento dieléctrico completo, como se ha expuesto en la técnica anterior presentada por las patentes a que se ha hecho referencia, ha tenido varios inconvenientes que han impedido que tenga un éxito completo en circuitos de alta velocidad en donde era particularmente necesario. Tales circuitos de alta velocidad  
10 requieren dispositivos particularmente poco profundos. De este modo, se requirió que los receptáculos semiconductores tuvieran un espesor del orden de 0,0025 milímetros. Sin embargo, debido a los requerimientos de manipulación de pastillas en las técnicas de fabricación  
15 de circuitos integrados semiconductores, los substratos que habían de ser atacados químicamente o rectificadas tenían espesores del orden de 0,15 a 0,2 milímetros. En la práctica de esta técnica anterior, los fabricantes experimentaron dificultad considerable en el rectificado,  
20 lapeado o ataque químico de 0,15 a 0,2 milímetros de material a través de un substrato sin inexactitudes que afectasen a los receptáculos de 0,0025 milímetros.

Adicionalmente, la interzona entre el miembro semiconductor original y el compuesto dieléctrico policristalino depositado sobre tal miembro era, en realidad,  
25



423968

de sección transversal "ondulada" debido a los canales  
que fueron formados por ataque químico en dicho miembro  
semiconductor. Debido a esta interzona "ondulada", la  
superficie opuesta del substrato policristalino que se  
5 depositaba era también "ondulada". Se cree que tales  
ondulaciones en la superficie inferior del substrato  
someterían a la pastilla a tensiones mecánicas innece-  
sarias cuando se aplicase presión a la pastilla de cir-  
cuito integrado durante pasos de fabricación tales como  
10 soldadura por termocompresión o cuando se aplicasen son-  
das a la pastilla durante la prueba. Tales tensiones  
podrían dar lugar a defectos estructurales en el cir-  
cuito integrado. También, durante el tratamiento de la  
pastilla en que es usual soportar la pastilla sobre un  
15 disipador de calor para disipación de calor de la pas-  
tilla, la superficie inferior ondulada de la pastilla  
reduciría la transferencia de calor al disipador.

Adicionalmente, debido a la interzona "ondu-  
lada", no hay modo práctico según el cual pudiesen rea-  
20 lizarse el conexionado entre receptáculos de material  
semiconductor utilizando conectadores conductivos "en-  
terrados", por ejemplo conectadores metálicos en dicha  
interzona.

Adicionalmente, debido a que los dedos de ma-  
25 terial semiconductor policristalino se extienden en el

423968



aislamiento dieléctrico entre los receptáculos semi-  
conductores, tales estructuras onduladas aisladas  
dieléctricamente de la técnica anterior están aún so-  
metidas a capacidades parásitas laterales entre los  
5 receptáculos semiconductores y los dedos de material  
semiconductor del substrato de soporte.

El trabajo reciente en la técnica parece ha-  
ber avanzado mucho en la solución del problema de eli-  
minación de la porción principal del miembro semicon-  
10 ductor para proporcionar los receptáculos semiconduc-  
tores. De acuerdo con la publicación "Application of  
Preferential Electrochemical Etching of Silicon to Se-  
miconductor Device Technology", por M. Theunissen y  
otros, del Journal of the Electrochemical Society, Ju-  
15 lio de 1970, paginas 959 a 965, puede ser utilizado el  
ataque electroquímico anódico selectivo para eliminar  
y separar así de un modo limpio y preciso la porción  
principal del miembro semiconductor de los receptáculos  
semiconductores en los cuales han de formarse los dis-  
20 positivos. La publicación, y particularmente con refe-  
rencia a la figura 8 de la misma, expone que utilizando  
un miembro semiconductor que tenga un substrato grueso,  
altamente impurificado, y una capa epitáctica más del-  
gada ligeramente impurificada en la cual son atacadas  
25 químicamente las acanaladuras con anterioridad a la

423968

29 APR



deposición del substrato de soporte de silicio policristalino dieléctrico, puede eliminarse la porción altamente impurificada del material semiconductor por la técnica de ataque electroquímico anódico descrita  
5 para dejar dispuestos los receptáculos ligeramente impurificados de material semiconductor. Sin embargo, esta estructura tiene aún la interzona "ondulada" anteriormente descrita así como la superficie inferior "ondulada" en consecuencia, sobre el substrato de soporte de silicio policristalino.  
10

#### RESUMEN DEL INVENTO

En conformidad, un objeto del presente invento es crear una estructura de circuito integrado con aislamiento dieléctrico total que tiene una interzona plana o lisa entre la capa semiconductor que contiene los dispositivos de circuito integrado y el substrato de soporte.  
15

Otro objeto del presente invento es crear una estructura de circuito integrado con aislamiento dieléctrico total que tiene un substrato de soporte con una superficie de fondo o inferior sustancialmente plana.  
20

Es aún otro objeto del presente invento crear una estructura de circuito integrado con aislamiento dieléctrico total en donde el conexionado entre los  
25



423968

receptáculos de aislamiento de material semiconductor puede realizarse utilizando conectadores metálicos enterrados en la interzona de la capa semiconductor y el sustrato de soporte.

5                   Es aún un objeto adicional del presente invento crear una estructura de circuito integrado con aislamiento dieléctrico total que puede soportar más fácilmente la presión durante la aplicación de sondas o durante la soldadura.

10                   Es aún otro objeto del presente invento crear un método de formación de aislamiento dieléctrico total haciendo uso de un ataque electroquímico anódico preferencial, lo cual es una mejora sobre los métodos existentes que implican tal ataque anódico.

15                   De acuerdo con el presente invento, se crea una estructura de circuito integrado con aislamiento dieléctrico total que comprende un sustrato de soporte que tiene una superficie superior lisa o plana de material dieléctrico y una superficie inferior que es también plana. Una capa semiconductor que está soportada sobre dicha superficie superior dieléctrica tiene una superficie plana que forma una interzona con la superficie dieléctrica y una superficie superior plana lisa. Se extienden regiones de óxido de silicio desde la interzona a través de la capa semiconductor hasta la

20

25



423968

superficie superior rodeando receptáculos de silicio sin oxidar; las regiones de óxido de silicio son sustancialmente coplanares con los receptáculos de silicio rodeados en ambas superficies de la capa semiconductora. Por consiguiente, ambas superficies de la capa son planas.

Preferiblemente, el substrato de soporte comprende un miembro de silicio policristalino que tiene superficies superior e inferior sustancialmente planas, y una capa de material dieléctrico sobre dicha superficie superior para proporcionar la superficie dieléctrica. Mediante esta combinación de dichas regiones de silicio oxidado en la capa semiconductora junto con la capa de material dieléctrico, la interzona entre la capa semiconductora y el substrato de soporte es sustancialmente plana y no ondulada.

De acuerdo con otro aspecto del presente invento, conectadores conductores enterrados, particularmente conectadores metálicos, dispuestos entre el miembro de silicio policristalino y el miembro semiconductor, interconectan regiones de dispositivos formados en dichos receptáculos de silicio.

La estructura de nueva concepción del presente invento se obtiene por un método de fabricación mejorado que implica el ataque anódico electroquímico



423968

preferencial, cuyo método comprende las operaciones de: formar una capa de silicio de baja conductividad que tiene una concentración de impureza determinante de conductividad menor de  $2 \times 10^{16}$  atomos/cm<sup>3</sup> sobre un substrato de silicio que tiene una concentración de impureza determinante de conductividad superior a  $3 \times 10^{18}$  atomos/cm<sup>3</sup>; formar una capa protectora sobre áreas espaciadas separadas en dicha capa de silicio; oxidar térmicamente las áreas no protegidas en dicha capa de silicio para formar regiones de dióxido de silicio coextensivas con dichas áreas oxidadas que rodean a dichas áreas de silicio espaciadas y que se extienden desde dicho substrato a través de dicha capa de silicio hasta la superficie protegida de dichas áreas de silicio espaciadas, y formar sobre dicha capa de silicio un miembro que tiene una superficie plana de material dieléctrico que forma interzona con la superficie de dicha capa de silicio. Entonces, mediante ataque anódico electroquímico preferencial, se elimina el substrato de silicio para proporcionar una estructura que tiene receptáculos de silicio espaciados en dicha capa de silicio, cada uno de los cuales está encerrado respectivamente por dichas regiones de dióxido de silicio y dicha superficie dieléctrica, y formar dispositivos semiconductores en dichos receptáculos mediante

423968



la introducción selectiva de impurezas determinantes de conductividad dentro de la superficie de dichos receptáculos expuesta por la eliminación de dicho substrato de silicio.

5 Los precedentes y otros objetos, características y ventajas del invento se pondrán de manifiesto por la siguiente descripción más particular y realizaciones preferidas del invento, como se ilustra en los dibujos que se acompañan:

10

BREVE DESCRIPCION DE LOS DIBUJOS

Las figuras 1A-1K representan vistas diagramáticas en corte de una porción de un circuito integrado con el fin de ilustrar el método de fabricación de la realización preferida del presente invento.

15

Las figuras 2A y 2B representan vistas diagramáticas en corte de una porción de un circuito integrado de otra realización del presente invento, estando seleccionadas las vistas para ilustrar pasos de fabricación particulares.

20

Las figuras 3A-3D representan vistas diagramáticas en corte de una porción de un circuito integrado que ilustran los pasos de fabricación de otra realización del presente invento.

25

Las figuras 4A-4F representan vistas diagra-



423968

máticas en corte de una porción de un circuito integrado, que ilustran los pasos de fabricación implicados en todavía otra realización del presente invento.

5 Las figuras 5A-5D representan vistas diagramáticas en corte de una porción de un circuito integrado, que ilustra el método de fabricación implicado en una realización adicional del presente invento.

10 La figura 6 es un diagrama esquemático de circuito de un circuito que tiene alimentación de potencia de colector común que puede ser realizado por la estructura del presente invento.

15 La figura 7 es una vista diagramática en corte de un circuito integrado de acuerdo con el presente invento, que realiza el circuito representado en la figura 6.

La figura 8 es una vista diagramática en corte de otra realización de acuerdo con el presente invento del circuito representado en la figura 6.

20 DESCRIPCION DE LAS REALIZACIONES PREFERIDAS

25 Con referencia a las figuras 1A-1K, se ilustra un método primario para la fabricación de la estructura de nueva concepción del presente invento. Para fines de ilustración, los dispositivos en el circuito integrado son principalmente transistores del tipo



423968

NPN. Se entenderá, por supuesto, que el invento será también aplicable a conductividades de tipo opuesto así como a otros dispositivos. Se observará adicionalmente que cuando se utiliza el término "conducti-  
5 vidades diferentes" con referencia a regiones de dispositivo, se aplica a regiones de tipos de conductividad diferentes, por ejemplo tipos P y N así como a regiones de niveles de conductividad significativamente diferentes, por ejemplo, del tipo N y del tipo N<sup>+</sup>.

10 Sobre un sustrato 10 adecuado, de pastilla del tipo N<sup>+</sup> que tiene preferiblemente una impureza determinante de conductividad o concentración de impureza superior a  $3 \times 10^{18}$  átomos/cm<sup>3</sup> de un agente impurificador, preferiblemente arsénico o antimonio, se  
15 forma una capa 11 epitáctica de tipo N- que tiene una concentración de impureza o nivel de impurificación inferior a  $2 \times 10^{16}$  átomos/cm<sup>3</sup> por técnicas convencionales de deposición epitáctica ejecutada a una temperatura baja del orden de 800° a 1000°C a una presión  
20 del orden de 0,1 atmósferas o mayor. Es deseable una deposición epitáctica a baja temperatura con el fin de reducir a un mínimo la autoimpurificación y difusión hacia el exterior en la interzona epitáctica de sustrato. El espesor de capa epitáctica es preferiblemente  
25 del orden de 0,5 a 3 micras dependiendo de los re-



423968

querimientos de funcionamiento de los dispositivos.  
Para fines de ilustración, supóngase que la capa epitáctica tiene un espesor de dos micras. Pueden formarse capas epitácticas utilizando el aparato y métodos descritos en la Patente Norteamericana Número 3.424.629.

Entonces, (figura 1B), se aplica una capa 12 protectora utilizando técnicas conocidas tales como deposición pirolítica o pulverización catódica. La capa protectora es preferiblemente un material dieléctrico, tal como óxido de aluminio o nitruro de silicio, que puede formarse por la técnica pirolítica de la reacción de silano y amonio u otro compuesto que contenga nitrógeno, como se describe en la solicitud de patente Número de Serie 142.013 de V. Y. Doo y otros, presentada el 10 de Mayo de 1971. La capa de nitruro de silicio que se deposita a una temperatura del orden de 970°C tiene un espesor del orden de 1.000 Å. Se observará que en vez de utilizar una sola capa de nitruro de silicio, la capa 12 puede ser una capa compuesta de dióxido de silicio cubierta con nitruro de silicio. Tal capa compuesta puede ser deseable para reducir tensiones térmicas entre el recubrimiento protector y la capa 11 epitáctica subyacente. Esta capa compuesta puede formarse fácilmente oxidando térmicamente la superficie

4230A0



de la capa 11 a dióxido de silicio teniendo un espesor del orden de  $500\text{Å}$  a  $1.500\text{Å}$  con anterioridad a la deposición anteriormente descrita de la capa de nitruro de silicio.

5                   A continuación, como se representa en la figura 1C, son eliminadas porciones 13 de la capa 12 protectora por ataque químico. Un agente de ataque adecuado para el nitruro de silicio es el ácido fosfórico en caliente o sal fosfórica en caliente. Cuando se utiliza para la capa 12 la estructura compuesta anteriormente descrita, puede eliminarse la capa de óxido subyacente mediante un agente de ataque convencional adecuado, tal como el FH tamponado. A continuación, como se representa en la figura 1C, se utiliza la capa 12 protectora como máscara y se elimina parcialmente por ataque químico la capa 11 epitáctica en regiones 14 utilizando un agente de ataque adecuado para el silicio, tal como el ácido nítrico, nitrato de mercurio, y ácido fluorhídrico. Esto da como resultado la estructura final en forma de mesa representada en la figura 1C. Se hace entrar entonces la estructura en un ciclo de oxidación en donde se sitúa en una atmósfera oxidante a una temperatura elevada, del orden de  $970^{\circ}\text{C}$ , con o sin la adición de agua, para producir regiones 15 de dióxido de silicio que se extienden sustancialmente desde la

10

15

20

25



423968

superficie superior de la capa 11 epitáctica hasta la interzona 16 entre la capa epitáctica y el substrato. Se continúa la oxidación hasta que las regiones 15 son sustancialmente coplanares con la superficie de la capa 11 epitáctica restante. Se observará que una porción de la capa 11 de silicio se consume en el proceso de oxidación, permitiendo así que las regiones de dióxido de silicio se extiendan por debajo de la interzona 16. Las regiones 15 de dióxido de silicio rodean totalmente a los receptáculos 17 de la capa epitáctica de silicio restante. Este proceso para formar las regiones 15 de óxido circundantes en la figura 1D está totalmente descrito en nuestra solicitud en tramitación Número de Serie 150.609, presentada el 7 de junio de 1971. Con el fin de que pueda llevarse a cabo la oxidación para formar las regiones 15 de modo que la oxidación alcance la interzona 16 antes de que la oxidación alcance la superficie de la capa 11 epitáctica (o en el momento de alcanzarla), los rebajos 14 formados por ataque químico (Figura 1C) deben atacarse hasta una profundidad de aproximadamente la mitad del espesor de la capa 11 epitáctica. Puesto que es muy importante asegurar que las regiones 15 de dióxido de silicio alcancen la interzona 16, la formación de las regiones 15 de dióxido de silicio puede

423968



llevarse a cabo en condiciones tales que se extiendan más allá de la interzona 16 dentro del substrato 10 a una profundidad del orden de varios millares de Angstroms.

5                    Cuando, como en la presente realización, se desea formar regiones sobre receptáculos 17 de silicio aislados que servirán como regiones enterradas en la estructura de circuito integrado acabada, la capa 12 protectora puede ser eliminada parcialmente y pueden ser formadas tales regiones enterradas mediante la introducción de impurezas en el interior de la superficie 18 de la capa 11 restante por medios convencionales, tales como difusión, utilizando las porciones restantes de la capa 12 protectora en combinación con las regiones 15 de dióxido de silicio empotradas para definir las regiones enterradas. Respecto a esto, con referencia a la figura 1E, se forma la región 19 del tipo  $N^+$  mediante una difusión a través de la superficie 18 y se define por la combinación de la capa 12 protectora restante y la región 15 de dióxido de silicio contigua. Por otra parte, se forma la región 19A en la misma operación de difusión pero solamente está definida por las regiones 15 circundantes de dióxido de silicio. Pueden formarse las regiones 19 y 19A por cualquier tipo de técnica convencional de difusión

10

15

20

25

423968



térmica de impurezas, tales como fósforo, arsénico, antimonio o similares hasta alcanzar una concentración de superficie del tipo N<sup>+</sup>. La difusión puede realizarse por las técnicas convencionales de difusión térmica en tubo abierto o en tubo cerrado.

5 Se forma entonces una capa dieléctrica de pasivación y protectora que cubre totalmente la superficie 18. Esta capa 31, que está representada en la figura 1F, tiene un espesor del orden de 1 a 4 micras  
10 y puede ser de cualquier material dieléctrico conveniente, tal como alúmina o dióxido de silicio, formada indistintamente por oxidación térmica de la superficie 18 o bien por deposición pirolítica de dióxido de silicio o nitruro de silicio pulverizados iónicamente.  
15 Se observará que en el caso en que la capa 31 se forme por la oxidación térmica de la superficie 18 de silicio, entonces la formación anteriormente descrita de regiones 15 de dióxido de silicio empotradas deberá llevarse a cabo en condiciones tales que se extiendan más allá de la superficie 18 en una distancia del orden de la que corresponderá al espesor final de  
20 la capa 31. Tal recurso asegurará que la capa 31 es sustancialmente plana porque la superficie de las regiones 15 no puede ser oxidada térmicamente.

25 A continuación, se lleva a cabo la anterior-

423968



mente descrita deposición epitáctica a baja temperatura para depositar una capa de silicio 20 del orden de 0,05 a 0,5 milímetros dependiendo del ancho de la pastilla (por ejemplo, para una pastilla de 57 milímetros, es preferible un espesor de 0,2 a 0,25 milímetros). Esta capa servirá como soporte o base en la estructura final de circuito integrado. Debido a la composición de la capa 31, la capa 20 epitáctica será de silicio policristalino en vez de silicio monocristalino como lo es la capa 11. En esta realización, la capa 20 está sustancialmente sin impurificar. Con el fin de reducir al mínimo la difusión hacia el exterior en la estructura, la deposición de la capa 20 policristalina se lleva a cabo, preferiblemente, a una temperatura comprendida entre 600° y 900°C utilizando una fuente de silano para el silicio.

A continuación, utilizando el procedimiento de ataque electroquímico anódico preferencial descrito en la publicación anteriormente mencionada en el Journal of the Electrochemical Society, julio de 1970, por M. Theunisen y otros, es eliminado selectivamente por ataque el substrato 10 del tipo N<sup>+</sup> para proporcionar la estructura representada en la figura 1G. Pueden ser utilizadas las siguientes condiciones de ataque que se describen en dicha publicación: V<sub>ánodo-cátodo</sub>



69 APP

# 423968

= 10 voltios; el electrolito es una solución acuosa de FH al 5%; temperatura del baño 18°C; oscuridad completa; el cátodo es de malla de platino; el cátodo es paralelo a la estructura que ha de cortarse en pastillas en una distancia de aproximadamente 5 centímetros. Como resultado de este ataque preferencial, el substrato 10 es eliminado sin defectos, dejando totalmente expuesta la primera interzona (superficie 16).

A continuación, se forma sobre la superficie 16 una capa 21 protectora de anмасcaramiento y pasivación (Figura 1H). Esta capa puede ser de nitruro de silicio o dióxido de silicio depositado pirolíticamente. Sin embargo, se ha encontrado que pueden conseguirse resultados muy deseables formando la capa 21 de dióxido de silicio por oxidación térmica. Cuando la capa 21 es así formada por oxidación térmica, es ventajoso cuando se fabrican las regiones 15 de dióxido de silicio empotradas otra vez en la operación de la figura 1D, dirigir el proceso de modo que, como se ha mencionado anteriormente, las regiones 15 se extiendan dentro del substrato 10 en una distancia equivalente al espesor de la capa 21 a ser formada subsiguientemente. En tal caso, cuando, como en la figura 1H, se está formando la capa 21 de dióxido de silicio por oxidación térmica, la superficie 16 se oxidará solamente en las áreas situadas



423968

sobre los receptáculos 17 de silicio y no en las áreas situadas sobre las regiones 15 de dióxido de silicio. Como resultado, en las áreas que son oxidadas, el dióxido de silicio se acumulará hasta niveles equivalentes y coplanares con las porciones extendidas de las regiones 15 de dióxido de silicio para producir una superficie sustancialmente plana sobre la capa 21.

A continuación, como se representa en las figuras II, J y K, utilizando las propiedades de pasivación y enmascaramiento proporcionadas por la capa 21 y sus capas equivalentes aplicadas subsiguientemente, se completan los dispositivos dentro del receptáculo 17 de silicio mediante la introducción selectiva de impurezas a través de la superficie 16, por ejemplo por difusión. Con referencia a la figura II, se practican aberturas 22 en la capa protectora. Esto puede hacerse mediante técnicas normalizadas de resinas fotosensibles con un agente de ataque adecuado tal como el ácido fluorhídrico. A través de estas aberturas, se forman regiones 23 de colector de acceso transversal por difusiones utilizando un agente impurificador de tipo N adecuado, por ejemplo, una difusión de fósforo en capsula. Al formar las aberturas 22, estas se sitúan de modo que las regiones 23 estén en relación de continuidad con las regiones 15 de dióxido de silicio empo-

423968



tradas. De este modo, se reducen a un mínimo los problemas de alineamiento por cuanto las aberturas 22, pueden, como se representa en la figura 11, solaparse con las regiones 15 de dióxido de silicio empotradas con lo cual las máscaras 21, en combinación con las regiones 15, sirven para definir regiones 23 de difusión.

A continuación, como se representa diagramáticamente en la figura 1J, se cierran las aberturas 22 mediante un proceso de reoxidación normalizado, y se realizan nuevas aberturas 24 en la capa protectora, a través de cuyas aberturas se forman por difusión regiones 25 de tipo P que servirán como regiones de base para los dispositivos. La difusión de base puede realizarse mediante un proceso adecuado en tubo abierto o tubo cerrado de la técnica anterior utilizando un agente impurificador de tipo P, tal como el boro. Ha de observarse que, al igual que las regiones 23, las regiones 25 de base también están en posición contigua con las regiones 15 circundantes de dióxido de silicio empotradas, proporcionando así la ventaja de alineamiento anteriormente descrita en donde la capa protectora, en combinación con las regiones de dióxido de silicio embebido que rodean la base, sirven para definir las regiones de base.



423968

Entonces, como se representa en la figura 1K, a continuación de la difusión de base, es nuevamente reoxidada la superficie 16, y se forman aberturas adecuadas y regiones 26 de emisor de tipo  $N^+$  por técnicas convencionales utilizando una impureza de tipo N tal como el arsénico, fósforo o antimonio. Se disponen entonces las aberturas 27, 28 y 29 en la capa aislante para servir respectivamente como contactos de base, emisor y colector de la figura 1K. Se observará que en la formación de los contactos 27 y 29 de base y colector, se utiliza nuevamente la ventaja de alineamiento antes mencionada al solaparse estas aberturas con las regiones 15 de dióxido de silicio, con lo cual las regiones 15 en combinación con la capa aislante sirven para definir las áreas de contacto.

Se observará que están representados los subcolectores 19 y 19A de modo que son de dimensiones horizontales diferentes. Esto es simplemente para el fin de ilustrar las técnicas de tratamiento anteriormente mencionadas; la diferencia de dimensiones no tiene importancia estructural excepto en que el colector 19 deberá tener una capacidad colector-base más baja que la que tuviese el colector 19A.

Como se representa en las figuras 2A y 2B,



423968

el substrato de soporte o base para el circuito integrado en una realización alternativa no necesita ser de silicio policristalino; puede estar compuesto totalmente por material dieléctrico. En la operación de la figura 2A, que es una variante para la operación de la figura 1F, se deposita una capa 30 de material dieléctrico sobre la capa 31 en vez de una capa de silicio policristalino. En la formación de la estructura de la figura 2A, se lleva a cabo primeramente un procedimiento idéntico al representado en las figuras 1A-1E y entonces se sustituye la operación de la figura 2A por la operación de la figura 1F. La capa 30 tiene sustancialmente el mismo espesor que tendría la capa de silicio policristalino. El material dieléctrico seleccionado para la capa 30 deberá tener un coeficiente de dilatación térmica suficientemente similar al del silicio para que se reduzcan a un mínimo las tensiones mecánicas durante el tratamiento térmico. En conformidad, la capa 30 deberá ser de un material tal como dióxido de silicio o alúmina. La estructura de la figura 2B es equivalente a la estructura final representada en la figura 1K excepto en que es utilizada la capa 30 dieléctrica en lugar de la capa 20 de silicio policristalino.

En todavía otra variante de la realización

423968



de las figuras 2A y 2B, puede ser utilizada una única capa dieléctrica en lugar de las capas 31 y 30. Por ejemplo, si la capa 31 protectora fuese de un material tal como el dióxido de silicio o alúmina, esta capa podría acumularse hasta un espesor del orden de aproximadamente 0,13 a 0,15 milímetros y, de este modo, desempeñar la función de las capas 31 y 30.

Con referencia ahora a las figuras 3A-3D, se describirá brevemente cómo puede ser utilizado el método de aplicación descrito en las figuras 1A-1K para fabricar una pareja de transistores bipolares complementarios con aislamiento dieléctrico total. En primer lugar, después de seguir un procedimiento sustancialmente idéntico al descrito con respecto a las operaciones representadas en las figuras 1A-1D, se forma una abertura 32 atacando la capa 33 protectora que no cubre a la superficie del receptáculo 34 de silicio; entonces, mediante una operación de difusión adecuada como se ha descrito anteriormente, se produce la región 35 de subcolector de tipo  $N^+$ .

A continuación, como se representa en la figura 3B, se vuelve a formar la capa protectora sobre la región 35, y se forma una segunda abertura en la superficie del receptáculo 36 de silicio a través de la cual se forma la región 37 por difusión de tipo  $P^+$ .



423968

Esta región  $P^+$  servirá como subcolector en el transistor PNP. Para fines de ilustración, no se ha realizado difusión en el receptáculo 38 de silicio del tipo  $N^-$ . En la estructura de dispositivo final, esta  
5 región puede servir como resistencia.

A continuación, aún siguiendo el procedimiento expuesto en la figura 1F, se forma una capa 39 de material dieléctrico que cubre completamente la superficie 40 de la capa 41 semiconductora y se forma una  
10 capa 42 de silicio policristalino sobre la superficie de la capa 39 dieléctrica.

Entonces, siguiendo el procedimiento expuesto en las figuras 1G-1K, se elimina el substrato 43 de tipo  $N^+$  por ataque electroquímico anódico, seguido por  
15 una serie de difusiones a través de la capa 44 protectora y de enmascaramiento para formar los transistores T1 y T2 complementarios NPN y PNP de la figura 3D. Se forma la región 45 de base de tipo P simultáneamente con la región 46 de acceso transversal, y se forma la  
20 región 47 de base de tipo N simultáneamente con la región 48 de colector de tipo N de acceso transversal. Se forma entonces el emisor 50 de tipo  $P^+$  y el emisor 49 de tipo  $N^+$  en un par de operaciones de difusión, después de lo cual se abren aberturas adecuadas de base,  
25 se, emisor y colector de contacto a las regiones activas



423968

en los transistores T1 y T2 a través de la capa 44 protectora. Se abren también contactos a la región 38 de tipo  $N^-$  que pueden servir como resistencias. El resultado es la estructura representada en la figura 3D en donde los dispositivos complementarios en el circuito integrado están soportados sobre el sustrato 42 de silicio policristalino y están totalmente aislados dieléctricamente mediante la combinación de la capa 39 dieléctrica y las regiones 51 de dióxido de silicio empotradas, circundantes.

Con referencia a las figuras 4A-4F, se describirá ahora el modo en que pueden ser utilizados la estructura y método del presente invento para formar un par de transistores de efecto de campo complementarios. En primer lugar, siguiendo los procedimientos de las figuras 1A-1D, se forma una estructura en donde las regiones 52 de dióxido de silicio empotradas encierran totalmente receptáculos 53 de silicio de tipo  $N^-$  dispuestos sobre el sustrato de tipo  $N^+$  y cubiertos por la capa 55 protectora. En primer lugar, como se representa en la figura 4A, se forma una abertura 56 sobre uno de los receptáculos de silicio y se convierte por difusión la región de silicio de tipo  $N^-$  en una región 57 de tipo P. A continuación, de acuerdo con el procedimiento de la figura 1F, se forma una capa 58 dieléct-

423968



5 trica uniforme (véase la figura 4B) sobre la cual se  
deposita una capa 59 de silicio policristalino. A con-  
tinuación, como se representa en la figura 4C, se eli-  
mina el substrato 54 de tipo  $N^+$  por ataque electroquí-  
mico anódico preferencial, después de lo cual, como se  
10 se representa en la figura 4D, se forman un par de regio-  
nes 60 y 61 de tipo N por difusión en el interior de  
la región 57 de tipo P para formar los electrodos de  
entrada y salida del transistor T3 de efecto de campo.  
Subsiguientemente, después que se vuelve a formar el  
recubrimiento 62 protector, se forman las regiones 63  
y 64 de tipo P en el receptáculo 53 de tipo  $N^-$ . Estas  
servirán como electrodos de entrada y salida para el  
15 transistor T4 de efecto de campo (figura 4E). Entonces,  
después que se ha eliminado el recubrimiento aislante  
relativamente grueso desprendiéndolo de las regiones  
de electrodo de control y después que se ha sustituido  
por un delgado recubrimiento aislante del modo conven-  
20 cional, se forma la estructura final representada en la  
figura 4F, donde se practican aberturas 65, 66, 67 y 68  
de contacto adecuadas, respectivamente, a los electro-  
dos de entrada y salida de los transistores T3 y T4.  
Cuando se ha aplicado un trazado de metalización adecua-  
do a los electrodos de entrada y salida, así como a las  
25 regiones 69 y 70 de electrodo de control de los transis-

423968



tores, la estructura resultante representa un par complementario de transistores de efecto de campo.

Se ha indicado anteriormente que la estructura del presente invento es tal que pueden realizarse interconexiones conductoras entre regiones en los dispositivos a lo largo de la interzona entre la capa de circuito integrado semiconductor y el sustrato o base dieléctrico de silicio policristalino de soporte. Se describirá ahora este aspecto del presente invento con referencia a las figuras 5A-5D. En la formación de la estructura representada en la figura 5A, se siguen las operaciones representadas en las figuras 1A-1E, después de lo cual se deposita un conductor metálico muy delgado del orden de  $7.000\text{\AA}$  a  $12.000\text{\AA}$  de espesor para interconectar regiones enterradas seleccionadas, (por ejemplo, en la figura 5A, el conductor 71 metálico conecta los subcolectores 72 y 73 enterrados). A continuación, se deposita una capa 74 de material dieléctrico similar a la capa 31 de la figura 1E sobre el conector 71 y la totalidad de la superficie 75, (figura 5B). A continuación, se forma la capa 76 de silicio policristalino del modo descrito anteriormente (figura 5C) y se siguió el procedimiento de las figuras 1G-1K para proporcionar la estructura de la figura 5D en donde el conector 71 metálico enterrado en la interzona de la

423968



capa 77 semiconductor y el substrato de soporte, que es una capa compuesta por la capa 74 dieléctrica y el miembro 76 de silicio policristalino, interconecta los subcolectores 72 y 73 de los respectivos transistores T5 y T6. Aún cuando se han representado los subcolectores 72 y 73 enterrados extendiéndose a través de sus respectivos receptáculos, pueden reducirse en dimensiones laterales para corresponder a dimensiones del emisor. En tal caso, los subcolectores estarían situados directamente bajo los emisores. Como resultado de los subcolectores más pequeños, se reducirían sustancialmente las capacidades colector-base.

Se observará también que los conectadores metálicos, tales como el conectador 71, formados en la interzona no establecen necesariamente contacto con la superficie de interzona del receptáculo semiconductor. Tales conectadores pueden estar conectados a la superficie superior de la capa semiconductor por metalización pasando a través de las regiones 15 de dióxido de silicio. De este modo, pueden formarse hasta varias capas de trazado de metalización de interconexión en la interzona entre la cara inferior de la capa semiconductor y el substrato de soporte. Este trazado de metalización puede estar conectado a la superficie plana superior de la capa semiconductor por conectadores conductores que pasan a tra-

423968



vés de las regiones 15 de dióxido de silicio.

Se observará que el interconector 71 metálico puede ser cualquier metal usado convencionalmente en estructuras semiconductoras, por ejemplo, platino, 5 molibdeno o tungsteno. El interconector metálico puede depositarse por técnicas convencionales fotolitográficas utilizadas en la técnica de circuitos integrados para formar interconectores metálicos.

Alternativamente, el conector 71 puede ser 10 un miembro semiconductor conductor. En tal caso, puede depositarse una delgada capa semiconductor, del orden de 0,5 a 1 micras de espesor, sobre la superficie 77 en la figura 5A en lugar de una deposición metálica. Esta 15 capa semiconductor deberá, por supuesto, ser del mismo tipo de conductividad que las regiones 72 y 73 y preferiblemente impurificada para formar una capa de tipo  $N^+$ . A continuación, se enmascara adecuadamente la porción de la capa semiconductor que ha de formar el conector 20 entre las regiones 72 y 73 y del mismo modo el resto de la capa oxidada, por ejemplo, para formar dióxido de silicio. Entonces, puede depositarse el sustrato compuesto dieléctrico y de silicio policristalino del modo descrito con respecto a la figura 1F.

Se entenderá que puede conectarse una fuente de 25 alimentación de tensión a un trazado conector enterrado,

423968



tal como el trazado 71, con el fin de aplicar una alimentación de tensión al colector del transistor. En tal caso, pueden realizarse contactos al trazado 71 conector a través de la superficie inferior de la capa 76  
5 de silicio policristalino en combinación con una abertura correspondiente en la capa 74 dieléctrica.

De acuerdo con otra realización de este invento, puede utilizarse la presente estructura para conexión de fuentes de alimentación al colector de una pluralidad  
10 de transistores en un circuito integrado a través de la cara trasera de la pastilla.

La figura 6 representa un circuito convencional con una fuente  $V_{cc}$  de alimentación de colector que está conectada a los colectores 80 y 81 de una pluralidad de  
15 transistores T10, T11, a través de resistencias R10, R11 de colector. Puesto que la fuente  $V_{cc}$  de alimentación de colector es común a todos los colectores en el circuito, puede proporcionarse por la estructura representada en la figura 7 el circuito representado en la figura 6. Puesto  
20 que esta estructura puede fabricarse de acuerdo con las técnicas de fabricación antes descritas, tales técnicas no se describirán nuevamente aquí. La fuente  $V_{cc}$  está conectada a una capa 82 metálica, que puede ser de aluminio, formada sobre la cara inferior del sustrato 83 de  
25 soporte de silicio policristalino. El sustrato 83 de si-



423968

licio policristalino está impurificado para ser relativamente conductor entre la fuente  $V_{cc}$  y los respectivos contactos 84 y 85 de colector de los transistores T10 y T11. Las regiones 78 y 79 de tipo  $N^-$  forman las resistencias R10 y R11. La capa 86 aislante aisla el substrato 83 policristalino del resto de la capa 87 de silicio.

En la estructura representada en la figura 8, que es otra realización del circuito de la figura 6 de acuerdo con el presente invento, la fuente  $V_{cc}$  está conectada a la capa 88 de contacto metálico formada sobre el substrato 89 de silicio policristalino impurificado. La capa 90 aislante separa el substrato 89 de silicio policristalino de una capa 91 de silicio policristalino sin impurificar emparedada entre la capa 90 aislante y la capa 92 aislante en contigüidad con la capa 93 de silicio. En esta estructura, el substrato 89 policristalino está impurificado para proporcionar un camino conductor entre la fuente  $V_{cc}$  y la capa 91 de silicio policristalino sin impurificar a través de la abertura 94. La capa 91 de silicio policristalino sin impurificar, que está conectada respectivamente a los colectores de los transistores T10 y T11 a través de las aberturas 95 y 96, proporciona principalmente las resistencias R10 y R11.

Aún cuando ha sido expuesto y descrito el invento particularmente con referencia a realizaciones pre-

423968



feridas del mismo, se entenderá por los expertos en la técnica que pueden realizarse los precedentes y otros cambios en la forma y detalles del mismo sin apartarse de la esencia y campo de aplicación del  
5 invento.

Esta solicitud que corresponde a la presentada en Estados Unidos de América, el 12 de Marzo de 1973, bajo el Nº 340.150, se acoge a los beneficios  
10 del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

#### REIVINDICACIONES

15 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

20 1ª.- Una estructura de circuito integrado con aislamiento dieléctrico total que comprende un substrato de soporte que tiene una superficie plana de material dieléctrico y otra superficie plana paralela a dicha superficie dieléctrica y una capa semiconduc-  
25 tora sobre dicha superficie dieléctrica que tiene una

28-3-74

- 35 -

423968



5 primera superficie plana que forma una interzona con  
dicha superficie dieléctrica y una segunda superfi-  
cie plana paralela a dicha primera superficie y que  
comprende receptáculos de silicio y regiones de sili-  
cio oxidado que se extienden desde dicha interzona a  
través de dicha capa hasta dicha segunda superficie y  
que rodean respectivamente a cada receptáculo, siendo  
dichas regiones de silicio oxidado sustancialmente co-  
planares con los receptáculos de silicio en ambas pri-  
10 mera y segunda superficies de dicha capa con lo cual  
dichas primera y segunda superficies son planas.

2ª.- La estructura de circuito integrado de  
la reivindicación 1ª, en donde dicho substrato de so-  
porte es un miembro dieléctrico.

15 3ª.- La estructura de circuito integrado de  
la reivindicación 2ª, en donde dicho miembro dieléctri-  
co comprende óxido de aluminio.

20 4ª.- La estructura de circuito integrado de  
la reivindicación 1ª, en donde dicho substrato de so-  
porte comprende un miembro de silicio policristalino y  
una capa de material dieléctrico que forma dicha super-  
ficie dieléctrica sobre dicho miembro de silicio poli-  
cristalino.

25 5ª.- La estructura de circuito integrado de  
la reivindicación 4ª, en donde dicha capa de material

*NY*

423968



dieléctrico comprende nitruro de silicio.

6ª.- La estructura de circuito integrado de la reivindicación 4ª, en donde dicha capa de material dieléctrico comprende dióxido de silicio.

5                   7ª.- La estructura de circuito integrado de la reivindicación 4ª, en donde una pluralidad de dichos receptáculos de silicio incluyen regiones de tipos de conductividad seleccionada que se extienden desde ambas superficies de dichos receptáculos en el interior de dichos receptáculos para formar uniones con regiones contiguas y proporcionar así los dispositivos del circuito integrado.

10

8ª.- La estructura de circuito integrado de la reivindicación 7ª, en donde dichas uniones son uniones PN.

15

9ª.- La estructura de circuito integrado de la reivindicación 8ª, que incluye, además, una segunda capa de material dieléctrico sobre dicha segunda superficie de dicha capa semiconductor.

20                   10ª.- La estructura de circuito integrado de la reivindicación 9ª, que incluye adicionalmente conectadores conductores sobre dicha segunda capa dieléctrica que pasan selectivamente a través de porciones de dicha capa dieléctrica para establecer contacto con regiones situadas en dichas receptáculos de silicio e

25

A handwritten signature or initials, possibly 'M', is written in the bottom left corner of the page.

28-3-74

- 37 -

423968



interconectar las mismas.

11ª.- La estructura de circuito integrado de la reivindicación 10ª que incluye adicionalmente conectadores conductores enterrados dispuestos entre dicho miembro de silicio policristalino y dicho miembro semiconductor y que interconectan regiones situadas en superficies de dichos receptáculos en dicha interzona.

12ª.- La estructura de circuito integrado de la reivindicación 11ª, en donde dichos conectadores enterrados comprenden silicio policristalino dispuesto entre dicha superficie dieléctrica y dicho miembro semiconductor.

13ª.- La estructura de circuito integrado de la reivindicación 4ª, en donde, al menos en uno de dichos receptáculos de silicio, se extiende una primera región que tiene una conductividad diferente a la del receptáculo en el interior del receptáculo desde dicha primera superficie y se extiende una segunda región que tiene una conductividad diferente a la del receptáculo en el interior del receptáculo desde dicha segunda superficie, limitando ambas regiones mencionadas al menos una porción de las regiones de silicio oxidado que rodean dicho receptáculo.

14ª.- La estructura de circuito integrado de la reivindicación 13ª, en donde al menos una de dichas

*M* 28-3-74



423968

dos regiones es de un tipo de conductividad opuesto a la del receptáculo de silicio.

15ª.- La estructura de circuito integrado de la reivindicación 4ª, en donde se extiende una región de un primer tipo de conductividad desde dicha superficie de interzona en el interior de un primer receptáculo de silicio y se extiende una región del tipo de conductividad opuesto desde dicha superficie de interzona en el interior de un segundo receptáculo de silicio.

16ª.- La estructura de circuito integrado de la reivindicación 4ª, en donde en un primer receptáculo de dichos receptáculos de silicio se extiende una región que tiene una conductividad diferente de la del receptáculo en el interior del receptáculo desde dicha superficie de interzona, y no existe región que se extienda desde dicha superficie de interzona en un segundo receptáculo de dichos receptáculos de silicio.

17ª.- "UNA ESTRUCTURA DE CIRCUITO INTEGRADO CON AISLAMIENTO DIELECTRICO TOTAL".

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan, y para los fines que se han especificado.

Esta memoria consta de cuarenta hojas escri-

M/28-3-74

423968



tas a máquina por una solá cara.

Madrid, 28. 3. 1974

P.A.

5

Alberto de Eizaburu  
Per Fodda

10

15

20

25

*My*  
28-3-74

- 40 -

I F-T.

423968

FIG. 1A

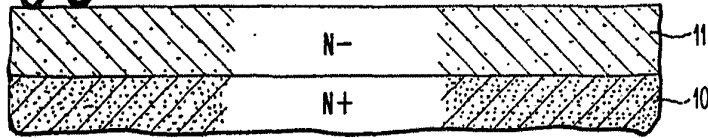


FIG. 1B

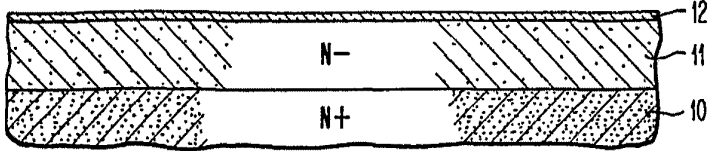


FIG. 1C

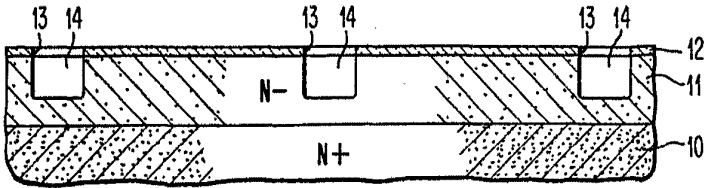


FIG. 1D

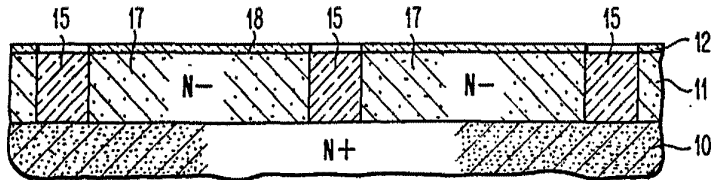


FIG. 1E

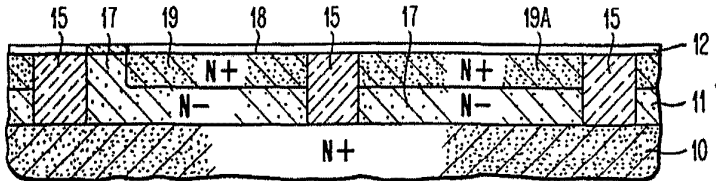
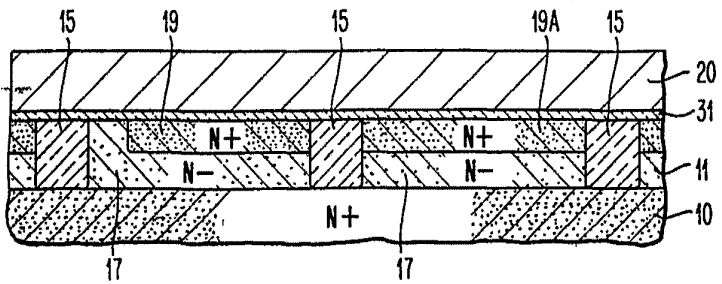


FIG. 1F



Alberto de Azavedo  
Per Foden

P56711  
-9  
APR 1971

423968

FIG. 1G

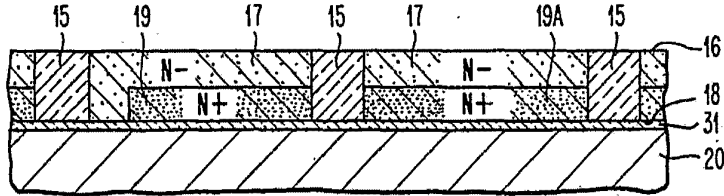


FIG. 1H

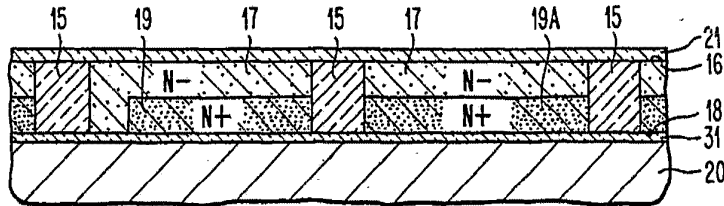


FIG. 1I

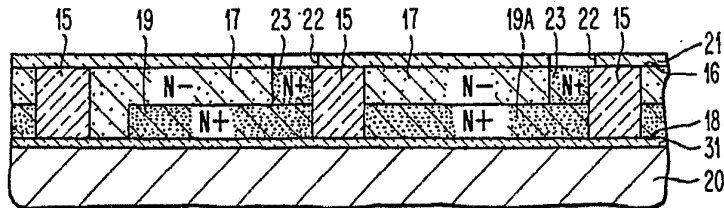


FIG. 1J

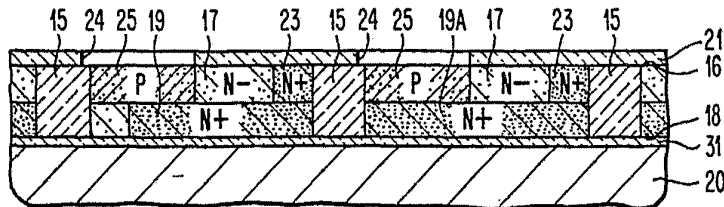
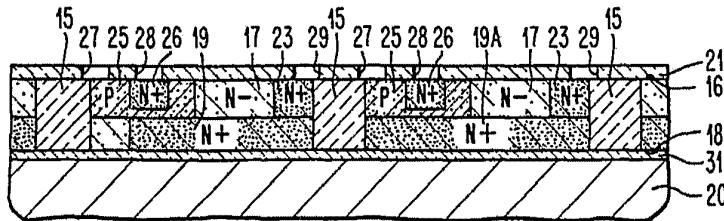


FIG. 1K



IBM CORPORATION  
or rodent  
*[Signature]*

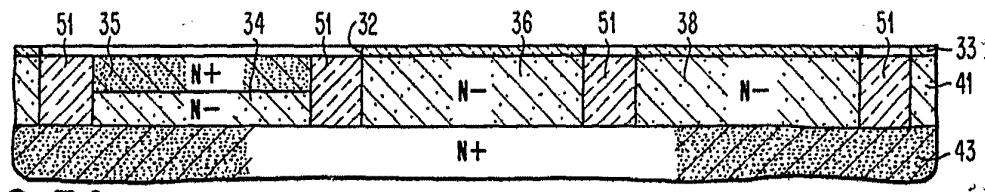
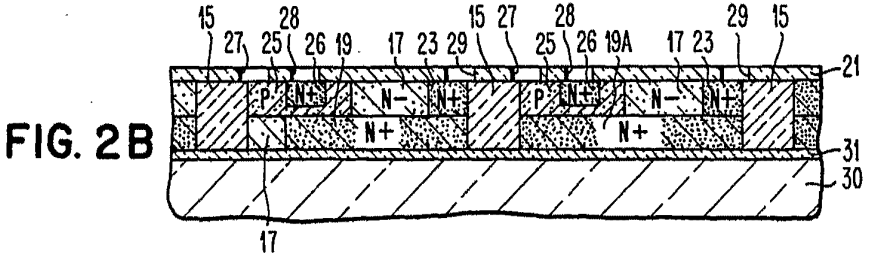
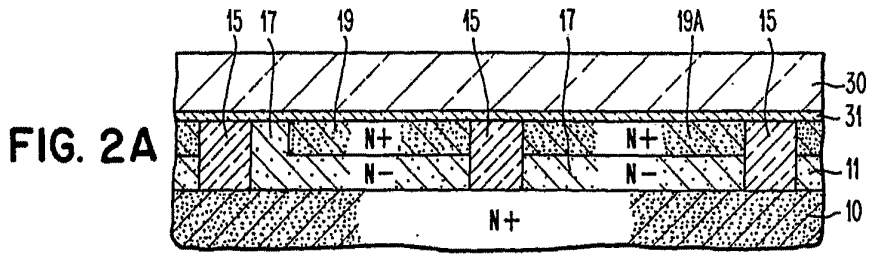


FIG. 3A

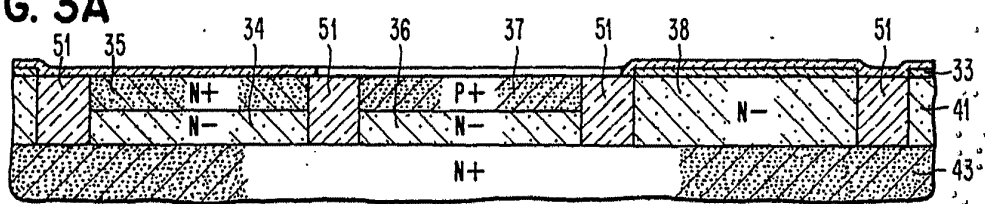


FIG. 3B

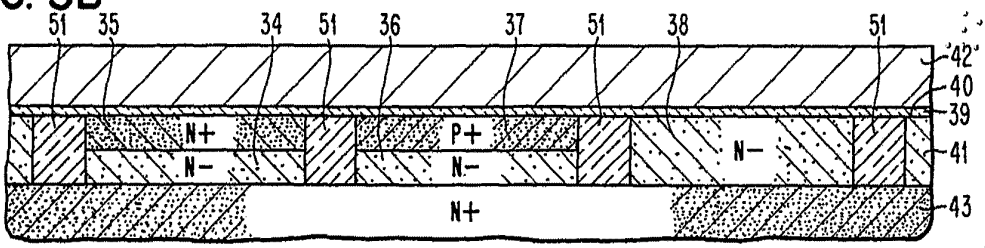


FIG. 3C

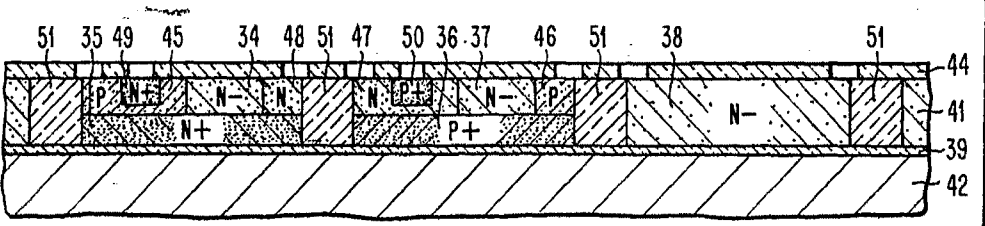


FIG. 3D

ROBERT G. LIZARDUS  
Per Podar



FIG. 4A

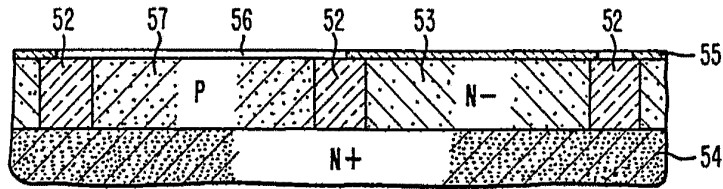


FIG. 4B

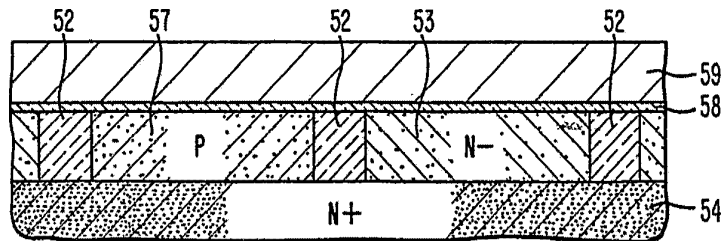


FIG. 4C

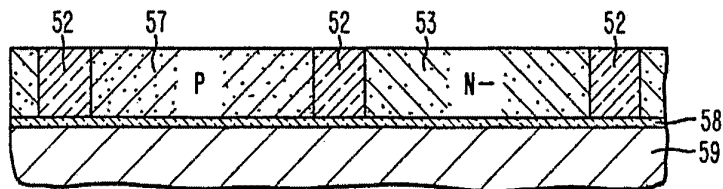


FIG. 4D

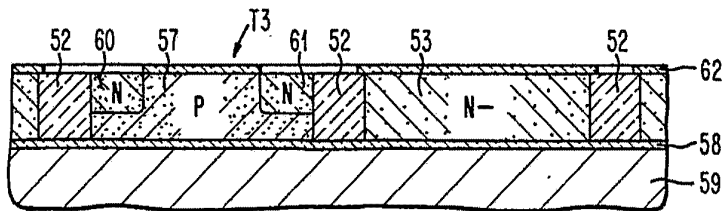


FIG. 4E

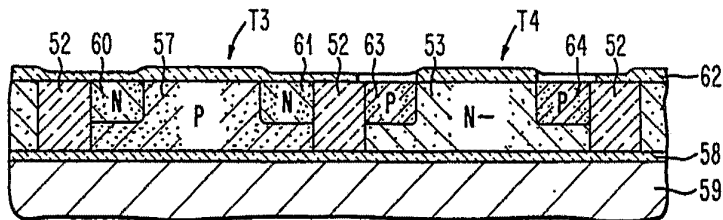
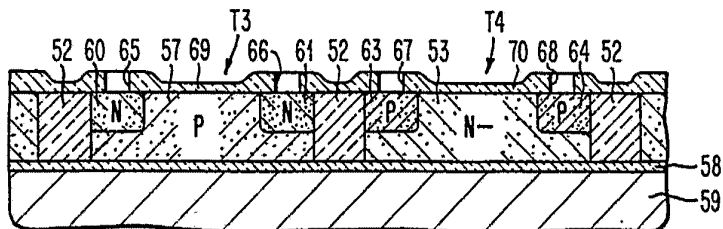


FIG. 4F



IBM CORPORATION  
per P. 423968

423968

FIG. 5A

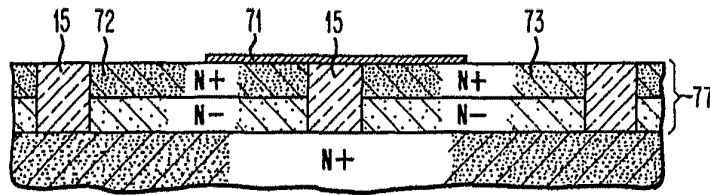


FIG. 5B

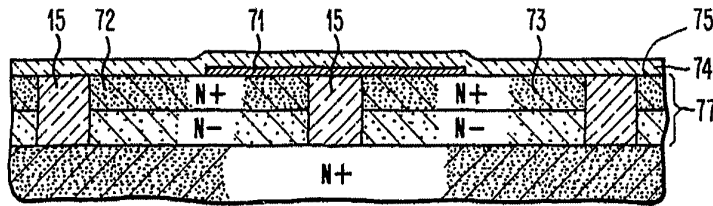


FIG. 5C

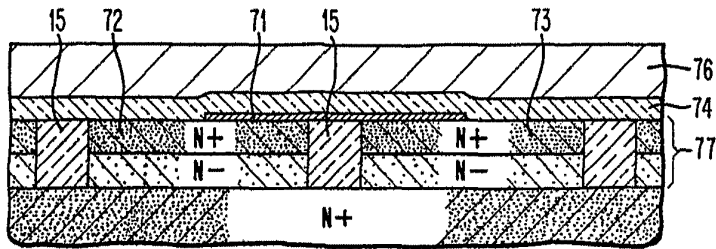
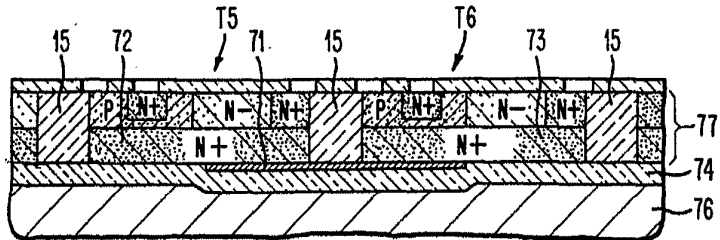


FIG. 5D



Albert J. ...  
Per Page

056711



-9 APR 1976

# 423968

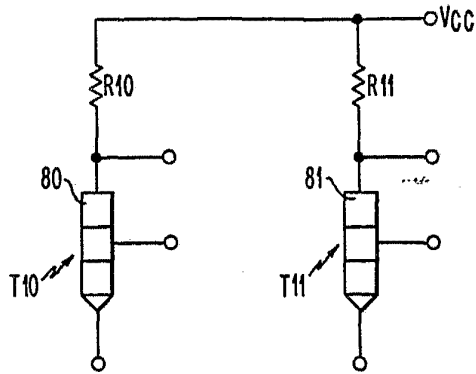


FIG. 6

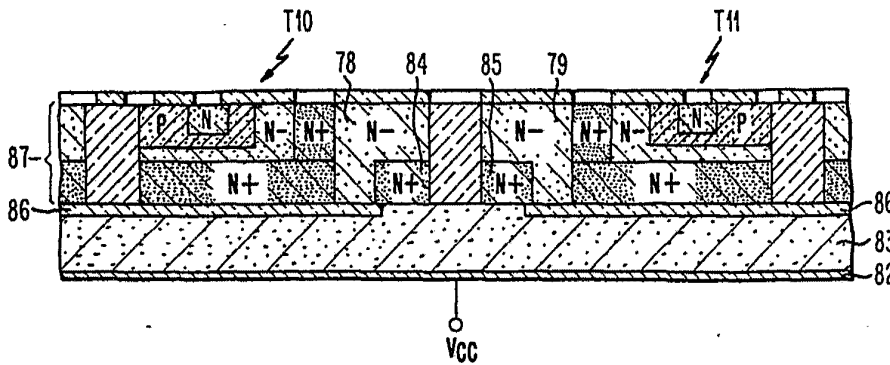


FIG. 7

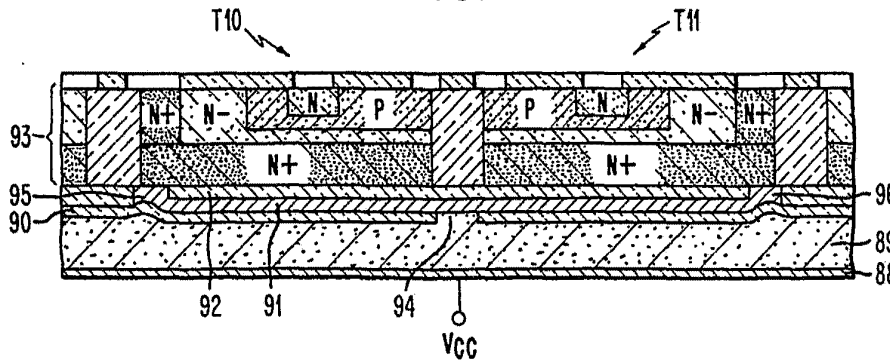


FIG. 8

Alberto de Aizoburu  
Por Poder