

CF 73/35
EX-FR



- 24 MARZO 1974

423860

P A T E N T E D E I N V E N C I O N

por VEINTE años

cuyo privilegio se solicita para España,
sus territorios y plazas de soberanía, a
favor de:

Christian Jean Louis LACOSTE

y

Jacques Léon Alexandre SEE

de nacionalidad francesa, domiciliados
respectivamente en 10, rue des Peupliers,
París 13, Francia y 47, rue Guersant,
París 17, Francia, relativa a:

"PERFECCIONAMIENTOS EN LOS MEZCLADORES DI
GITALES DE SALIDA ANALOGICA"

=====

Prioridad: Solicitud de patente en Francia nº
73 08 101 de fecha 7 marzo 1973.



Int. Cl.:	H03K

MEMORIA DESCRIPTIVA

En la técnica del tratamiento de las informaciones, se procede generalmente a su transformación en señales digitales. Estas señales son una imagen exacta de la información pero constituyen datos que son difíciles de explotar directamente. Así, desde el momento en que estos datos se elaboran y debido a la dificultad de la mezcla de las señales digitales, se está obligado a transformarlas en señales analógicas, en particular en frecuencias diversas, antes de lo que sería deseable hacerlo. Durante sus tratamientos ulteriores, estas señales analógicas introducen errores puesto que pueden ser influenciadas por numerosas perturbaciones. La invención posibilita el efectuar todos los tratamientos y mezclas en sistema digital y el convertir las señales, solamente al final del tratamiento, en señales analógicas por medio de una disposición totalmente estática. - - - -

Según la invención, el mezclador presenta por lo menos unos dispositivos digitales primero y segundo que dan como salida una señal digital, unos convertidores digital-estocástico primero y segundo conectados respectivamente a dichos dispositivos digitales primero y segundo, estando conectadas las salidas de los convertidores digital-estocástico primero y segundo conjuntamente por una resistencia común



- 4 [3]

de enlace cuyo punto medio está conectado a uno de los bornes de un condensador, borne que forma así una salida analógica por la integración de las señales digitales. - - - -

Otras diversas características de la invención sobresaldrán por lo demás de la descripción detallada que sigue. - - - - -

Una forma de realización del objeto de la invención se representa, a título de ejemplo no limitativo, en los planos anexos. - - - - -

10. La fig. 1 es una curva explicativa de señales digitales. - - - - -

La fig. 2 es un esquema lógico del dispositivo mezclador de la invención. - - - - -

15. La fig. 2a es una vista parcial de una variante del esquema de la fig. 2. - - - - -

La fig. 3 es una curva explicativa de una particularidad de la invención. - - - - -

20. En la fig. 1 se ha ilustrado esquemáticamente, con la ayuda de tres curvas, la formación de señales digitales, es decir de números correspondientes a números decimales en un sistema de base 2 y que utiliza sólo los estados 1 ó 0, es decir estados de todo o nada. Tales señales son particularmente utilizables en electrónica y en la técnica



- 4 -

conocida bajo el nombre de fluídica en que un estado 1 representa un interruptor cerrado mientras que un estado 0 representa un interruptor abierto. - - - - -

Se han representado tres señales digitales I -

- 5. II - III en una curva D. La señal I se escribe por convención 0 0 1 1 1 y corresponde al número decimal $1 \times 2^0 + 1 \times 2^1 + 1 \times 2^2 + 0 \times 2^3 + 0 \times 2^4$ es decir 7. Se dice que se tiene sucesivamente un estado 1 de peso 0, un estado 1 de peso 1, un estado 1 de peso 2, un estado cero de peso 3 y un estado
- 10. cero de peso 4. Igualmente, la señal II se escribe 0 0 1 0 1 y corresponde al número decimal 5 y la señal 3 puede escribirse 0 0 0 0 0 y corresponde al número decimal 0. - - - - -

Se han representado en H impulsos de reloj, que

- 15. mandan la emisión de las diversas señales lógicas anteriores, y en R impulsos denominados de registro, formados por división de los impulsos de reloj y que determinan la longitud del número digital. Así, en el ejemplo representado y con cinco impulsos de reloj, el número digital más largo se escribe con cinco estados 1 ó cinco bitios y corresponde al
- 20. número decimal 31. - - - - -

Tales números lógicos no pueden integrarse como

- 25. señales analógicas haciéndolos llegar conjuntamente a una red clásica de resistencia-capacidad. En efecto, la integración de un número lógico no corresponde a nada real y, en particular, la de los números 0 0 1 1 1 y 1 0 1 0 1, que presentan cada uno tres estados lógicos 1, daría la misma ten



si3n integrada para un circuito de resistencia-capacidad de este tipo. - - - - -

En la fig. 2, se ha representado una primera se_{5.} ñal l3gica V_1 equivalente a la se_{5.} ñal de la fig. 1 y produci_{5.} da por un dispositivo digital 1, por ejemplo una calculado-_{5.} ra o un captador. Una segunda se_{5.} ñal V_2 , que corresponde a la se_{5.} ñal II de la fig. 1, se produce por medio de un dispo-_{5.} sitivo digital 2 an3logo al dispositivo 1. Como se ha expli-_{5.} cado anteriormente, tales se_{5.} ñales no pueden mezclarse e in-_{5.} tegrarse sin precauciones. - - - - -
10.

La se_{5.} ñal V_1 es llevada a la entrada de un conver-_{5.} tidor digital-estoc3stico 3, mientras que la se_{5.} ñal V_2 llega a la entrada de otro convertidor digital-estoc3stico 4. Co-_{5.} mo es conocido, un proceso estoc3stico es un proceso en el
15. cual, a un valor determinado de una variable A le correspon-_{5.} de un valor simplemente probable de una variable B, es de-_{5.} cir un punto de la curva de frecuencia de B. Los convertido-_{5.} res estoc3sticos dan, a partir de una se_{5.} ñal l3gica que se presenta como la sucesi3n de estados de pesos diferentes (ver
20. la fig. 1), una se_{5.} ñal denominada estoc3stica en la cual la frecuencia de repeticiones de un peso es proporcional a este peso. - - - - -

En la fig. 3, se ha representado esquem3ticamente la formaci3n de dichas se_{5.} ñales estoc3sticas con la ayuda de un conjunto de curvas semejantes a las de la fig. 1. - -
25.

Se han representado dos se_{5.} ñales digitales IV y V



5. en la curva D. La señal IV corresponde al número decimal $2^0 + 2^1 + 2^2 = 7$ mientras que la señal V corresponde al número decimal $2^3 = 8$. La curva H representa los impulsos de reloj que mandan el conjunto de las señales lógicas y se ha indicado encima de dichos impulsos el peso de las señales lógicas susceptibles de ser creadas. La curva R corresponde a los impulsos de registro que determinan la longitud máxima del número digital. - - - - -

10. Además se han representado en S dichas señales estocásticas correspondientes a las señales lógicas IV y V. Se observa que a un estado lógico de peso $2^0 = 1$ le corresponde, por ejemplo, una sola señal estocástica de estado 1, que a un estado lógico de peso 2^1 le corresponde una señal estocástica formada por una repetición de dos estados 1, que a un estado lógico de peso 2^2 le corresponde una señal estocástica formada por una repetición de cuatro estados 1 y que, igualmente, a un estado lógico de peso 2^3 le corresponde una señal estocástica formada por una repetición de ocho estados 1. - - - - -

20. Es evidente que en vez de prever una señal estocástica que presenta un solo estado 1 correspondiente a un estado lógico de peso $2^0 = 1$, podría efectuarse la conversión por un número cualquiera de estado 1, entendiéndose que a un estado lógico de peso 2 le correspondería el doble y que, por ejemplo, a un estado lógico de peso 8 le correspondería el óctuplo de este número unitario, de modo que el número de estado correspondiente a una señal lógica de peso

25.



dado es proporcional a este peso. - - - - -

5. Las señales estocásticas son fáciles de transmitir sin peligro de perturbación puesto que, como las señales lógicas, están formadas sólo por estados 0 ó 1 y pueden, cada una, integrarse al final de tratamiento, permitiendo la integración de estas señales el obtener una señal analógica proporcional al número correspondiente a una señal lógica dada. - - - - -

10. La salida 5 del convertidor 3 está conectada a una de las entradas de una puerta "0 exclusiva" 6 que tiene dos entradas y, asimismo, la salida 7 del convertidor 4 está conectada a una de dos entradas de una puerta "0 exclusiva" 8. Las dos puertas "0 exclusiva" 6 y 8 están además conectadas por conductores 9, 10 a un generador 11 que proporciona un estado lógico 0 ó 1. - - - - -

15.

20. La salida de la puerta 0 6 está conectada por un conductor 12 con una de las entradas de una puerta Y 13, mientras que la salida de la puerta 0 8 está conectada por un conductor 14 a una de las entradas de una puerta NO-Y 15, denominada comunmente puerta NAND. Las entradas libres de las puertas Y 13 y NAND 15 están conectadas entre sí por un conductor 16 a un generador 17 que proporciona un estado lógico 0 ó 1. - - - - -

25. Las salidas respectivas de la puerta Y 13 y de la puerta NAND 15 están conectadas por resistencias 18 y 19, res



pectivamente, a los bornes 20, 21 de una resistencia poten-
ciométrica 22. - - - - -

5. El cursor 23 de la resistencia potenciométrica
22 está conectado directamente al borne 24 de un condensa-
dor 25 cuyo otro borne está conectado a masa. El borne 24
está conectado, además, a la base b de un transistor T del
tipo PNP por medio de una resistencia 26. La base b del tran-
sistor T está conectada al colector c de dicho transistor
por medio de una resistencia 27. El borne común 28 de la
10. resistencia 27 y del colector c está, por una parte, conec-
tado a través de una resistencia 29 de polarización, a una
fuente $-U_1$, de tensión negativa y, por otra parte, a un dio-
do Zener Z. - - - - -

15. El emisor e del transistor T está conectado, por
una resistencia 30 de polarización, a una fuente de tensión
positiva $+U_2$ y constituye el borne de salida del dispositi-
vo. - - - - -

20. En la fig. 2a se ha representado una etapa de sa-
lida provista de un transistor NPN y que se substituye en
el montaje PNP en el borne 24 del condensador 25. En esta
variante se han representado los mismos elementos que en la
fig. 2 afectados con un índice "prima" y en la fig. 2a el
emisor del transistor T', montados siempre como emisor-se-
guidor, está conectado a la base del transistor T' por me-
25. dio de una conexión de resistencias 30', 27'. - - - - -



El dispositivo descrito anteriormente funciona de la manera siguiente: - - - - -

5. La señal digital V_1 , procedente del generador 1, sale del convertidor 3 en forma estocástica y llega así en 5 a la entrada de la puerta "0 exclusiva" 6. Si la puerta 6 no tiene su otra entrada sometida a un estado lógico 1 por medio del generador 11, la señal que sale del convertidor 3 se halla igualmente en 12 a la salida de la puerta 6 lo que puede representarse por una señal A. Por el contrario, si la 10. puerta 0 6 está sometida a un estado 1 procedente del generador 11, la puerta 0 se comporta como un circuito inversor o complementario y la señal, a la salida del circuito 0, es el complementario \bar{A} de la señal estocástica A procedente del convertidor 3. - - - - -

15. La señal V_2 , procedente del generador 2, sale del convertidor 4 en forma estocástica y llega así en 7 a la entrada de la puerta "0 exclusiva" 8. Si la puerta 0 8 no tiene su otra entrada sometida a un estado 1 por intermedio del generador 11 y del conductor 10, la señal procedente del 20. convertidor 4 se halla idénticamente en 14, por ejemplo bajo forma de una señal B a la salida de la puerta 0 8. Por el contrario, si la puerta 0 8 es sometida a un estado 1 procedente del generador 11, la puerta 0 8 se comporta como un inversor y la señal, a la salida de esta puerta, es el complementario \bar{B} de la señal estocástica B que sale del 25. convertidor 4. - - - - -



Se hallan así las señales V_1 y V_2 procedentes de los circuitos 1 y 2 en los conductores de salida 12 y 14 bajo una forma estocástica directa si el generador 11 no ha proporcionado un estado 1 a una de las puertas 6 y 8 y bajo una forma complementaria para la señal estocástica correspondiente a la puerta 0 que ha recibido una señal 1 procedente del generador 11. - - - - -

5.

Así, las puertas "0 exclusiva" 6 y 8 realizan la función de inversores que permiten efectuar una adición o una sustracción de las señales V_1 y V_2 . - - - - -

10.

Las señales estocásticas A y B y sus complementarios \bar{A} y \bar{B} , imágenes de las señales V_1 y V_2 , llegan por los conductores 12 y 14, respectivamente, a una de las entradas de las puertas Y 13 y NAND 15 cuyas entradas de preselección están conectadas en 16 al generador 17. Cuando las entradas de preselección están sometidas a una señal de estado lógico 0, las puertas 13 y 15 realizan la función de interruptor de la señal estocástica que llega a su otra entrada. - - - - -

15.

Si el generador 17 proporciona una señal de estado lógico 1, las señales estocásticas, correspondientes a las señales V_1 y V_2 se hallan por lo tanto en la resistencia potenciométrica 22 que constituye la entrada de la parte analógica del dispositivo. - - - - -

20.

Por medio de las resistencias 18 y 19 y de la resistencia potenciométrica 22, las dos señales son llevadas al

25.



cursor 23. El desplazamiento del cursor 23 a lo largo de la resistencia potenciométrica 22 posibilita el ajuste de la altura relativa de las señales V_1 y V_2 . - - - - -

5. La tensión imagen de las dos señales sobre el cursor 23 es integrada por el condensador 25 y llega, por la resistencia 26, a la base del transistor T. La tensión de salida en S en el emisor del transistor corresponde por lo tanto a una integración analógica de las señales V_1 y V_2 . La utilización del transistor como emisor-seguidor permite
10. bajar la impedancia de la señal analógica de salida aislando al mismo tiempo el circuito integrador de la carga a la que está conectado el dispositivo. - - - - -

Como se ha explicado anteriormente, las puertas
13 y 15 son pasantes y dejan pasar la señal estocástica pro
cedente de las puertas "0 exclusiva" 6 y 8 si el generador
17 proporciona una señal de estado lógico 1. En la ausencia
de las señales V_1 y V_2 , no sale ninguna señal en 12 y 14 a
la salida de las puertas "0 exclusiva" 6 y 8; sin embargo,
en este caso, la salida de la puerta Y 13 se halla en un es
tado 1, mientras que la puerta NAND 15 proporciona a su sa
lida un 0. Así, aparece una señal intermedia entre 0 y 1 en
20. el cursor 23 en ausencia de las señales V_1 y V_2 . Esta señal constituye una componente continua que se superpone a la tensión procedente de las señales V_1 y V_2 cuando éstas son
25. proporcionadas por los dispositivos 1 y 2. El circuito del transistor T permite anular esta componente continua. En efecto, es posible calcular las resistencias 26 y 27 y elegir



la tensión del diodo Zener para que, apareciendo esta compo-
nente continua en el cursor 23, le corresponda una señal
de salida de tensión nula, de forma que no se superponga
entonces ninguna componente continua a la tensión proceden-
te de las señales V_1 y V_2 . - - - - -

5.

El circuito de integración descrito anteriormen-
te se inserta así en una doble cadena de conversión digital
analógica y permite efectuar la mezcla de las señales antes
de su conversión analógica. En efecto, la integración de la
señal estocástica que restituye el equivalente analógico
tiene lugar sólo a la salida del circuito, lo que permite
conservar hasta el final la precisión del tratamiento esto-
cástico de los datos. - - - - -

10.

La invención no está limitada al ejemplo de rea-
lización, representado y descrito en detalle, puesto que pue-
den introducirse en la misma diversas modificaciones sin sa-
lir de su alcance. - - - - -

15.

N O T A

Se declaran de novedad y propiedad para España,
sus territorios y plazas de soberanía, las siguientes: - - -

20.

R E I V I N D I C A C I O N E S

1.- Perfeccionamientos en los mezcladores digita-
les de salida analógica, caracterizados porque el mezclador
presenta por lo menos unos dispositivos digitales primero y



- segundo que dan como salida una señal digital, unos conver
tidores digital-estocástico primero y segundo conectados
respectivamente a dichos dispositivos digitales primero y se
gundo, estando conectadas las salidas de los convertidores
5. digital-estocástico primero y segundo conjuntamente por una
resistencia común de conexión cuyo punto medio está conecta
do a uno de los bornes de un condensador, borne que forma
así una salida analógica de integración de las señales digi
tales. - - - - -
10. 2.- Perfeccionamientos según la reivindicación 1,
caracterizados porque el punto medio de la resistencia común
es regulable para ajustar la altura relativa de la primera y
de la segunda señal digital que salen de los dispositivos di
gitales. - - - - -
15. 3.- Perfeccionamientos según las reivindicaciones
1 y 2, caracterizados porque una puerta "O exclusiva" está
dispuesta entre las salidas respectivas de dichos conver
tidores digital-estocástico y la resistencia común de conexión,
teniendo dichas puertas "O exclusiva" por lo menos dos entra
das una de las cuales está conectada a dichos convertidores
20. digital-estocástico primero y segundo, estando conectada la
otra entrada de las puertas "O exclusiva" a un generador de
estado lógico 0 ó 1, de forma que las puertas "O exclusiva"
realizan la función de inversores en presencia de una señal
25. de estado lógico 1 procedente del generador. - - - - -
- 4.- Perfeccionamientos según las reivindicaciones

- 4 MAR. 1974

1 a 3, caracterizados porque una puerta Y está dispuesta entre la salida del primer convertidor digital-estocástico y la resistencia común de conexión y porque una puerta NO-Y está dispuesta entre la salida del segundo convertidor digital-estocástico y la resistencia común de unión, estando conectada la otra entrada de las puertas Y y NO-Y a un generador de estado lógico 0 ó 1 de forma que el conjunto de las puertas Y y NO-Y realiza la función de interruptor en presencia de una señal 0 procedente del generador. - - - -

5.

10.

5.- Perfeccionamientos según las reivindicaciones 1 a 4, caracterizados porque la tensión en el punto medio de la resistencia común se aplica a por lo menos un circuito de transistor previsto para anular la componente continua procedente de las puertas Y y NO-Y y para hacer bajar la impedancia de la señal analógica aislando al mismo tiempo el circuito integrador de la carga a la que está conectado. - - - -

15.

20.

6.- Perfeccionamientos según las reivindicaciones 1 a 5, caracterizados porque la tensión en el punto medio de la resistencia común es aplicada a la base de un transistor PNP por una primera resistencia, estando conectado el colector de dicho transistor por una segunda resistencia a la base de dicho transistor y a la masa por un diodo Zener, constituyendo el emisor de dicho transistor la salida del mezclador. - - - -

25.

7.- Perfeccionamientos según las reivindicaciones 1 a 6, caracterizados porque la tensión en el punto medio de



la resistencia común se aplica a la base de un transistor NPN por una primera resistencia, estando conectado al emisor de dicho transistor por una segunda resistencia a la base de dicho transistor y a la masa por un diodo Zener, constituyen

5. do dicho emisor la salida del mezclador. - - - - -

8.- Perfeccionamientos según las reivindicaciones 1 a 7, caracterizados porque dichas resistencias primera y segunda son valores óhmicos regulables. - - - - -

9.- "PERFECCIONAMIENTOS EN LOS MEZCLADORES DIGITALES DE SALIDA ANALOGICA". - - - - -

10.

Todo ello conforme se describe y reivindica en la presente memoria que consta de quince hojas foliadas y mecanografiadas por una sola de sus caras y de dos láminas de dibujos que la ilustran.

MADRID, 4 MAR 1974

P. A. M. CURELL SUÍZOL

M. Curell Suízol

4

mcm.

Fig.1.

-4 M

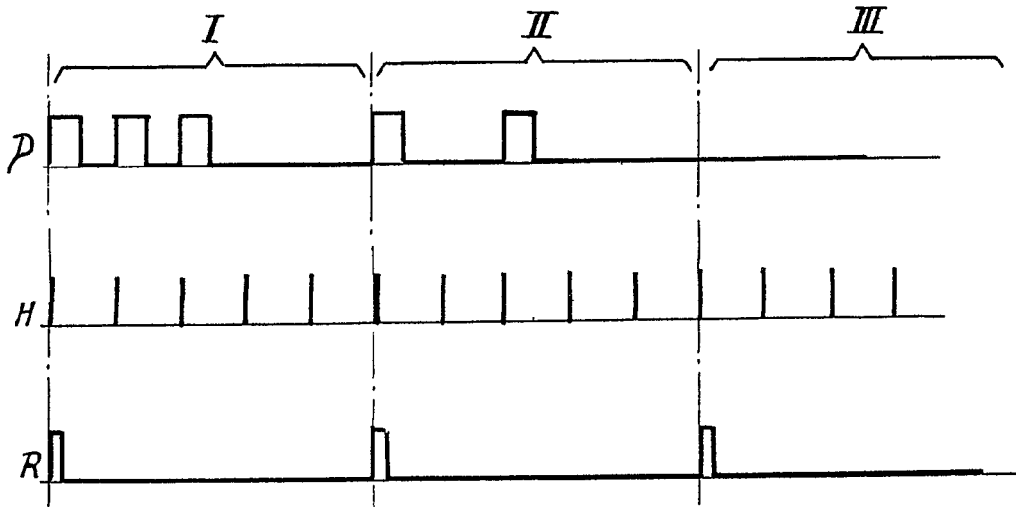


Fig.2.

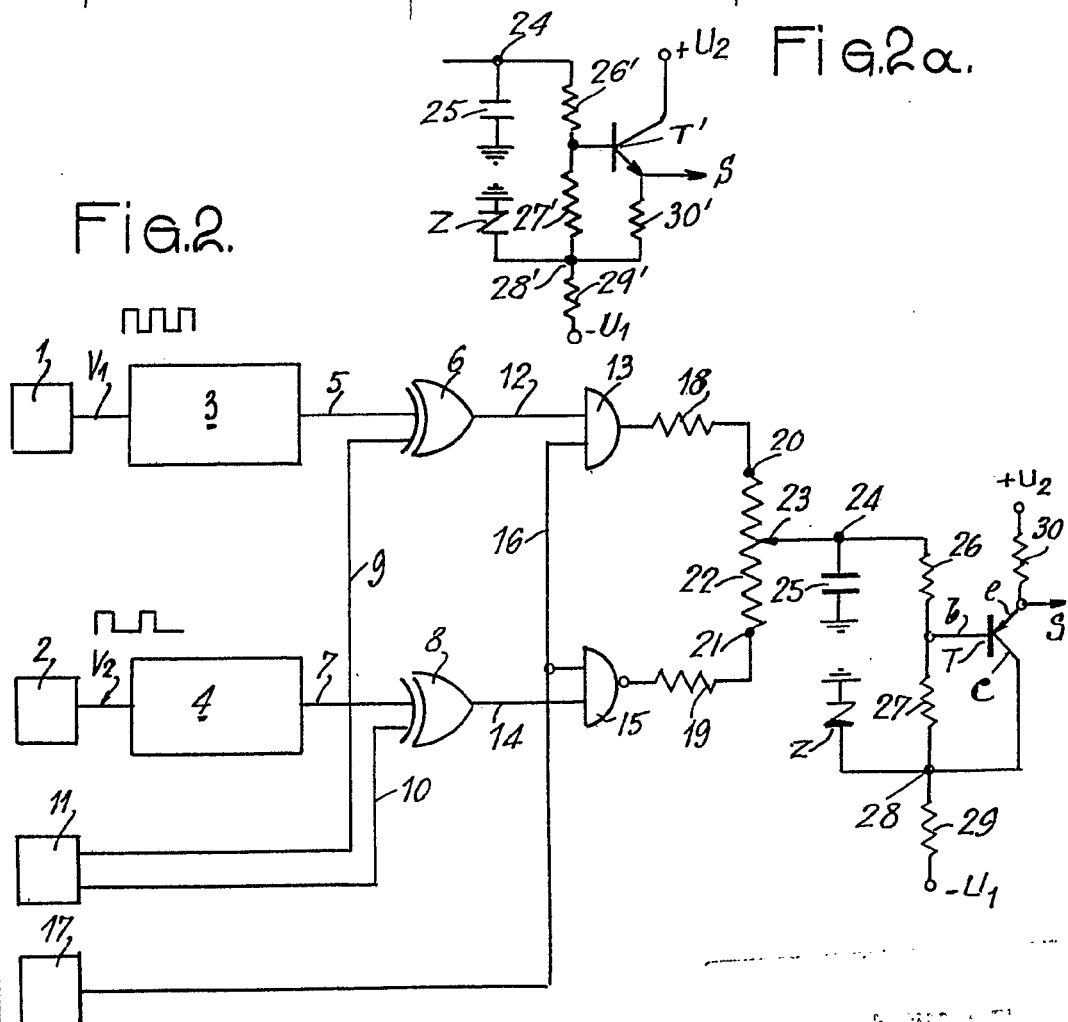
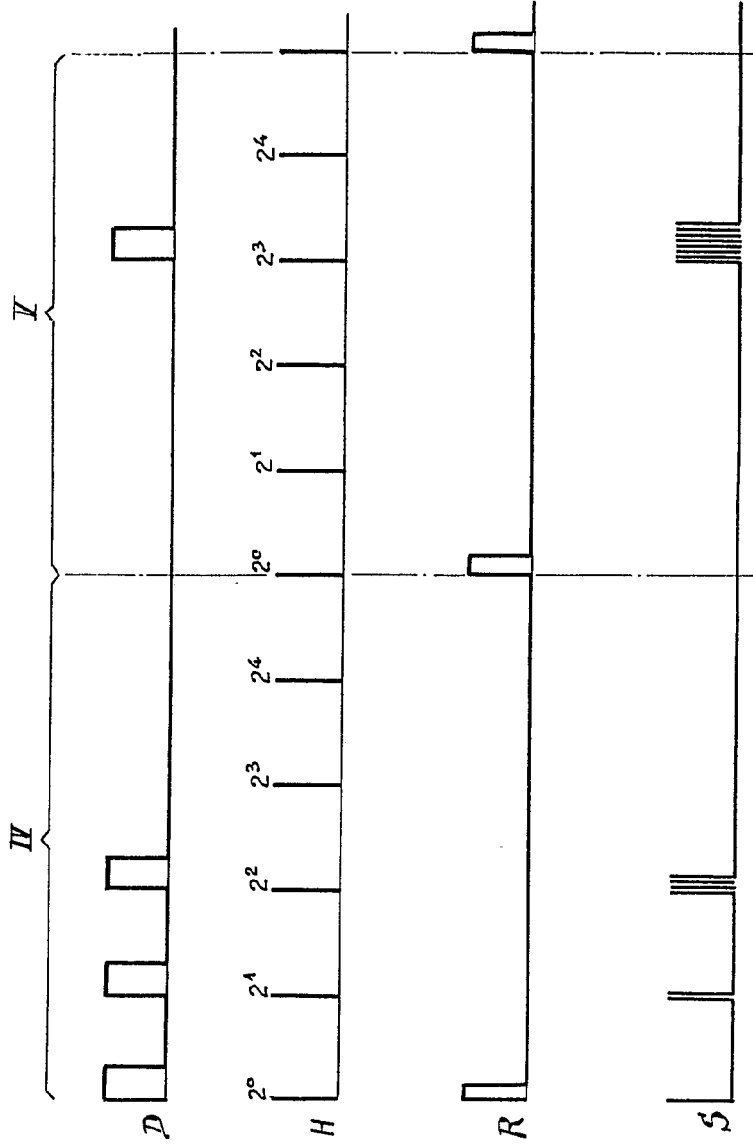


Fig.2a.

HECHO EN MADRID, A LOS 15 DE MARZO DE 1971
 P. A. *Manuel Sison*



FIG.3.



MADRID, 4 DE JUNIO DE 1950
P. A. M. CURELL SUAREZ

Man. en S. A.

CHRISTIAN JEAN LOUIS LACOSTE y
JACQUES LEON ALEXANDRE SEE

Fig. 3

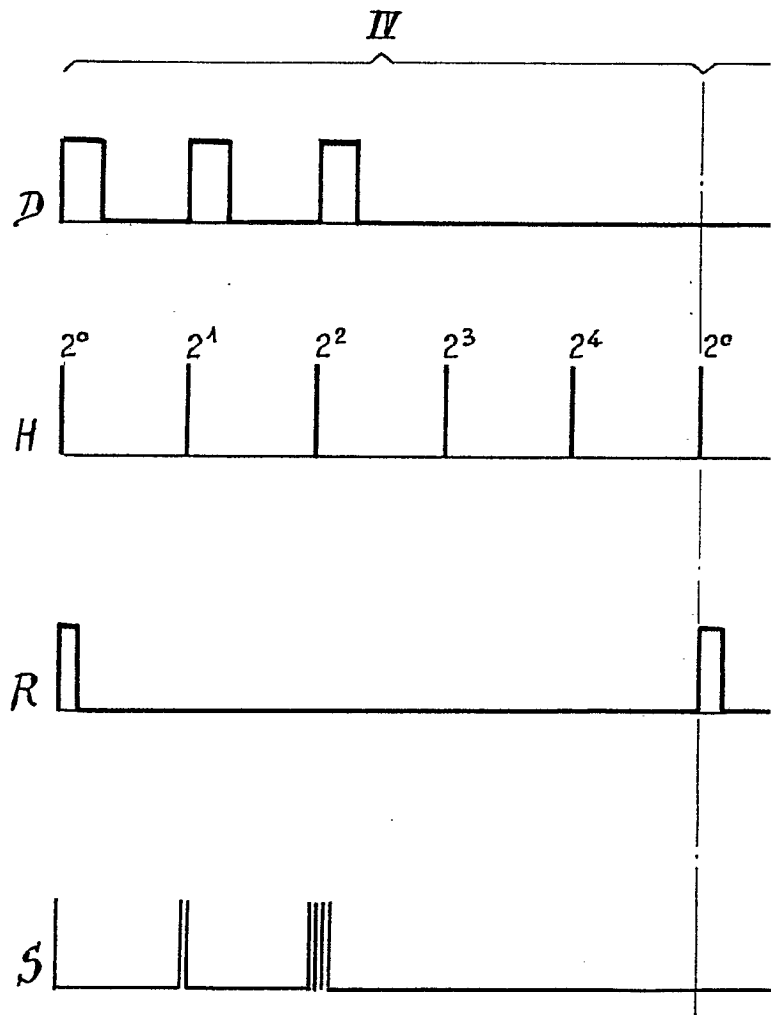
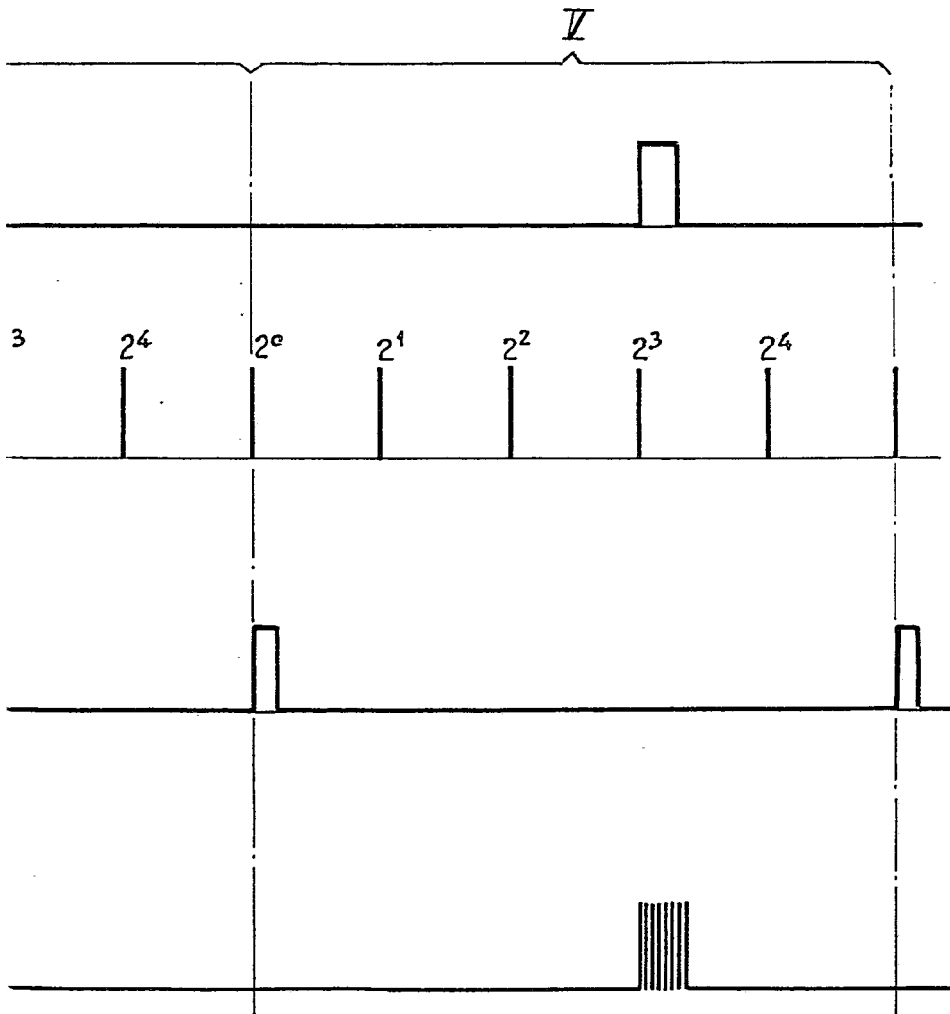




Fig.3.



MADRID, 4 Nov 1911

P. A. M. CURELL SUJ. 101

M. Curell