



422991

Int. Cl.<sup>2</sup>: H03K

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN  
ESPAÑA POR: "UN DISPOSITIVO PARA LA DETECCION DE ERRORES  
EN SISTEMAS DE MODULACION POR CODIGO DE IMPULSOS", A NOM-  
BRE DE STANDARD ELECTRICA, S.A., CON DOMICILIO EN MADRID,  
CALLE DE RAMIREZ DE PRADO Nº 5.

-----

El presente invento se refiere a un dispositivo para la detección de errores en sistemas MIC. El dispositivo funciona en un código especial que convierte una palabra en código binario de cuatro bits en dos palabras ternarias de tres bits con valores de disparidad de la polaridad opuestos, a fin de reducir a un mínimo la disparidad acumulada de las palabras ternarias transmitidas. El dispositivo determina, al final de cada palabra ternaria, la polaridad de la disparidad acumulada. Esta polaridad se almacena en un almacenaje temporal. Además, la polaridad de la disparidad se determina al final de cada palabra ternaria. El multicircuito lógico determina cuando la polaridad de la disparidad, para una palabra, es la misma que la disparidad acumulada al final de la palabra anterior, y produce una salida de error cuando las dos polaridades son la misma. Cuando se produce una salida de

422991

2.



error se corrige la información almacenada en el almacenaje temporal.

El presente invento se refiere a un dispositivo para determinar los errores en un sistema de modulación por código de impulsos (MIC) en el cual, para su transmisión, la información digital se convierte en un código de línea especial diseñado para reducir a un mínimo la disparidad acumulada de las señales de línea.

Las transmisiones digitales a elevada velocidad presentan dificultades, particularmente cuando las señales, tales como señales de televisión, se transmiten mediante las técnicas MIC binarias. Una aproximación hacia la solución de estas dificultades causadas por las elevadas cadencias de dígitos, es la translación de las señales de información codificadas en binario a señales en código ternario, sobre la base de que una palabra binaria de cuatro dígitos puede traducirse a una palabra ternaria de tres dígitos.

Un sistema que utiliza esta técnica se ha descrito en la Patente US Nº 3 611 141 y conocida como 4B3T. Una ventaja de esta técnica está en que ciertas palabras binarias en código de cuatro dígitos pueden traducirse a dos palabras ternarias que tienen valores de disparidad opuestos. Controlando la disparidad acumulada de la señal transmitida, es posible elegir, de tales pares de palabras ternarias, las palabras con valor de disparidad apropiado para efectuar, cuando sea necesario, una reducción en la disparidad acumulada de la señal y, de este modo, mantener la disparidad de la señal dentro de los límites predeterminados.

De este modo, en un típico traductor de transmisión 4B3T, se envían las palabras ternarias de disparidad

422991<sub>3</sub>



opuesta cuando la disparidad es negativa, y viceversa. La dis  
paridad acumulada es la suma de las disparidades de palabra  
y, en el sistema 4B3T, existen solamente 6 estados posibles  
al final de cada palabra. Estos estados son: +2, +1, 0, -1,  
5 -2 y -3 (0 se considera como un valor positivo). Si la dispa  
ridad acumulada se calcula separadamente en el translato re  
ceptor, mediante la suma de disparidades de palabra, se ob-  
tendrá la misma secuencia de valores de disparidad que a la  
salida del translato receptor, suponiendo que no existen  
10 errores digitales en la transmisión. Cualquier error digital  
que ocurra, conducirá a violaciones de las reglas de transla  
ción del 4B3T.

Un objetivo del presente invento es el suministro  
de un translato receptor que detectará los errores en las  
15 señales de 4B3T que se reciban en el receptor, después de su  
transmisión desde el transmisor.

Una característica del presente invento es propor-  
cionar un translato receptor para un sistema MIC en el cual,  
para la transmisión, las palabras digitales que tienen una po  
20 laridad de disparidad se transmiten cuando la disparidad acu  
mulada de la señal transmitida es de la polaridad opuesta, y  
viceversa. El translato comprende primeros elementos para  
deducir en la señal transmitida, al final de cada palabra di  
gital, la polaridad de la disparidad acumulada de la señal  
25 transmitida; segundos elementos, acoplados a los primeros,  
para almacenar temporalmente, la polaridad de la disparidad  
acumulada deducida en los primeros elementos; terceros ele-  
mentos acoplados a los primeros, para proporcionar, al final  
de cada palabra digital en la señal transmitida, la polaridad  
30 de la disparidad de dicha palabra; y elementos lógicos, aco-

422991

4.

NZ.



plados a los primeros elementos, a los segundos y a los terce  
ros , para detectar cuándo la polaridad de la disparidad, pa  
ra una palabra digital, es la misma que la polaridad de la  
disparidad acumulada para la señal transmitida, al final de  
5 la palabra digital anterior, dichos elementos generan una se  
ñal de error cuando detectan que las dos polaridades son i-  
guales, y se corrigen la información, en los segundos element  
tos, cuando se genera una salida de error.

Las anteriores y otras características del present  
10 te invento aparecerán mejor detalladas en la descripción que  
sigue, en unión de los dibujos que se acompañan, en los cua-  
les:

- la Fig. 1 ilustra como, en principio, puede emplearse un  
sistema 4B3T para mantener la disparidad de la señal de lí-  
15 nea en un mínimo;
- la Fig. 2 ilustra un diagrama bloque de un traductor re-  
ceptor, de acuerdo con los principios del presente invento;
- la Fig. 3 es una tabla que ilustra representaciones lógicas  
de palabra y disparidades acumuladas en un sistema 4B3T; y
- 20 - la Fig. 4 es una tabla que ilustra las funciones lógicas  
referentes al funcionamiento del traductor receptor de la  
Fig. 2.

En un sistema MIC, la disparidad acumulada es la  
suma de las disparidades de palabra. En un sistema 4B3T, el  
25 traductor transmisor emite palabras de disparidad positiva  
cuando la disparidad acumulada tiene un valor negativa, y  
viceversa. En tal sistema, la disparidad acumulada, al final  
de cada palabra, puede tener uno de entre, solamente, seis  
estados posibles. Estos estados son: +2, +1, 0, -1, -2, -3.  
30 Nótese que, en esta secuencia, se considera 0 como un valor



positivo, en lo que se refiere a la polaridad de la disparidad. En la Fig. 1 se muestran los cambios en la disparidad acumulada de una transmisión MIC típica 4B3T; la línea continua representa la señal libre de error. Si se calcula la disparidad acumulada en el translator receptor, mediante la suma de las disparidades sucesivas de palabra, en ausencia de errores, será la misma que la calculada por el translator transmisor. La polaridad de la disparidad acumulada, calculada en el translator transmisor, gobierna la elección de polaridad para la siguiente palabra con disparidad que debe ser transmi-  
5     tida. En la secuencia mostrada en la Fig. 1, cuando la disparidad acumulada es 0, como en la palabra número 2, se envía una palabra número 3 de disparidad negativa. El efecto de los errores se muestra en la línea discontinua de la Fig. 1. Un  
10     único error positivo en la palabra número 3, esto es, un error que haga que el translator receptor, calcule la disparidad de la palabra como -1 en lugar de -2, hace que la disparidad acumulada sea -1 en lugar de -2. Después, la palabra número 4 es 0 en lugar de -1. Esto hace que, en lo que se refiere al  
15     translator receptor, la disparidad de palabra +2, de la palabra número 5, siga a la disparidad acumulada de polaridad positiva al final de la palabra número 4. Esto constituye una violación de las reglas de translación del 4B3T. Por lo tanto, por cálculo de la palabra y disparidades acumuladas en  
20     el translator receptor y utilizando un lógico para comparar sus polaridades respectivas, es posible detectar los errores en las señales codificadas ternarias que se reciben. La disparidad acumulada incorrecta después de la palabra número 5, resulta de sumar la disparidad de palabra +2, de la palabra  
25     número 5, a una disparidad acumulada de 0, en lugar de -1.  
30

422991

6.



Por lo tanto, el valor correcto de la disparidad acumulada es, en realidad, la disparidad de palabra (en este caso +2 para la palabra número 5) menos 1, lo que da como resultado una disparidad acumulada de +1.

5 De la misma manera, un sólo error negativo en la palabra número 7, hace que la disparidad acumulada después de la palabra número 8 sea -1 en lugar de 0. Después sigue la palabra número 9, con una disparidad de -1, y existe de nuevo una violación de las reglas de translación. El valor correcto de la disparidad acumulada, después de la palabra número 10 9 debería ser -1, que es, en realidad, el mismo valor que la disparidad de palabra de la palabra número 9.

Resumiendo, existen cuatro reglas para la detección de error:

- 15 a) Si a una disparidad acumulada positiva le sigue una palabra que tiene una disparidad positiva de +2 ó +3, ha ocurrido un error. Para detectar los errores siguientes debe corregirse la disparidad acumulada, haciéndola igual a la última disparidad de palabra menos 1.
- 20 b) Si a una disparidad acumulada positiva le sigue una palabra con una disparidad positiva de +1, ha ocurrido un error. Para detectar los errores siguientes debe corregirse la disparidad acumulada, haciéndola igual a la última disparidad acumulada.
- 25 c) Si a una disparidad acumulada negativa le sigue una palabra con una disparidad negativa de -2 ó -3, ha ocurrido un error. Para detectar los errores siguientes, debe corregirse la disparidad acumulada, haciéndola igual a la última disparidad de palabra.

30 d) Si a una disparidad acumulada negativa le sigue una pala-



bra que tiene una disparidad negativa de -1, ha ocurrido un error. Para detectar los errores siguientes, debe corregirse la disparidad acumulada, haciéndola igual a la última disparidad acumulada.

5 Las diferencias entre los dos procedimientos de corrección a) y b), y entre c) y d), surgen del hecho de que un valor 0 de disparidad acumulada se considera como positivo.

Si tiene lugar un error múltiple, por ejemplo, se recibe una palabra de disparidad +1 como una palabra de disparidad -2, el número de errores está entre 1 y N, donde N es el cambio total de disparidad. Con errores distribuidos aleatoriamente, los errores múltiples son muy raros.

En el circuito de la Fig. 2, la única señal de entrada que se requiere es la disparidad de palabra de cada palabra. Esta se determina, de una manera convencional por un lógico (no mostrado) y se presenta como una palabra en código binario de tres bits. La tabla (a) de la Fig. 3 da las diferentes palabras binarias de tres bits que se utilizan. El bit más significativo, A2, denota la polaridad, y los dos bits menos significativos A1 y A0 son simples representaciones binarias de los números 0 y 3. Las combinaciones A1 y A0, para +1 y +3 y para -1 y -3 se eligen de tal manera que la unidad lógica aritmética 2 de la Fig. 2 pueda realizar sus funciones aritméticas normales. Las disparidades se representan de la misma manera, como códigos binarios de tres bits, siendo nuevamente el bit más significativo B2 el que indica la polaridad, y los códigos para los valores numéricos se eligen de tal manera que simplifiquen las funciones aritméticas.

El circuito de la Fig. 2 funciona de la siguiente manera. La palabra binaria de 3 bits, que representa la dis-

422991

8.



paridad de palabra, se introduce en un almacenaje paralelo 1, desde donde las salidas  $\overline{A0}$ ,  $\overline{A1}$  y  $\overline{A2}$  se aplican a un conjunto de entrada de datos de la unidad lógica aritmética 2. Esta es una unidad típica Motorola MC10181. La información se transfiere bajo el control de un reloj de cadencia de palabra. La salida  $\overline{F0}$ ,  $\overline{F1}$  y  $\overline{F2}$  de la unidad 2, constituye una palabra binaria de 3 bits, que dará la disparidad acumulada y que se introduce en un segundo almacenaje paralelo 3. Las salidas  $\overline{B0}$ ,  $\overline{B1}$  y  $\overline{B2}$  se toman del almacenaje 3 bajo el control del reloj de cadencia de palabra, y se aplican al otro conjunto de entradas de datos de la unidad 2. La función de la unidad 2 es sumar los bits A a los bits B para generar la nueva disparidad acumulada. Esta función aritmética se realiza según el significado de las señales aplicadas a las entradas S de "selección de función" de la unidad 2. Estas señales indican las condiciones de "no error", "error positivo" o "error negativo". Estas tres condiciones se determinan por una comparación de las polaridades de la palabra y las disparidades acumuladas. Esto se realiza por las puertas BB y CC. La puerta BB es una puerta de función OR y tiene como entradas los bits de polaridad A2 y B2 (de momento podemos ignorar la entrada de la puerta AA). La puerta CC tiene una función NOR/OR y recibe las entradas  $\overline{A2}$  y  $\overline{B2}$ . Estas entradas A2, B2,  $\overline{A2}$  y  $\overline{B2}$  se toman de los almacenajes 1 y 3. Las salidas OR, C y  $\overline{D}$ , de las puertas BB y CC, se toman NOR de las puertas DD y EE, respectivamente, que se puertean con un reloj de cadencia de palabra (que debe tener un significativo cambio de fase respecto al reloj que controla los almacenajes 1 y 3, a fin de contrarrestar los retrasos de propagación en el circuito).

30

Las salidas de las puertas DD y EE son comunes y



proporcionan un impulso de salida de error por cada error de disparidad.

La salida OR de la puerta BB y la salida NOR de la puerta CC proporcionan también las cuatro señales de control "selección de función"  $\overline{S1}$ ,  $\overline{S2}$  y  $\overline{S0}$ ,  $\overline{S3}$ , respectivamente. En la tabla de la Fig. 4 se muestran la relación entre A2, B2 y el funcionamiento de la unidad lógica aritmética 2. Así, para un error de disparidad positivo, A2 y B2 serán el binario 0. Las salidas C y D serán 0 y también serán 0 todas las entradas  $\overline{S}$ . Las salidas FN de la unidad 2 serán, en este caso, el resultado de restar 1 de AN (la palabra binaria de tres bits que representa la disparidad acumulada positiva). Las otras tres condiciones dadas en la tabla se explican por sí mismas.

El problema surge en el caso en que la disparidad de palabra sea cero y viene representada por la palabra binaria de tres bits 000. Ya que A2 es 0 para positivo y 1 para negativo, en el caso en que la disparidad de palabra sea cero, la disparidad se tomará siempre como positiva. (Téngase en cuenta que, en lo que la disparidad acumulada pueda tener solamente 6 valores posibles y deban ser positivos o negativos, la disparidad de palabra, en un sistema 4B3T, podrá tener 7 valores posibles -3 positivo, 3 negativo y uno sin polaridad). Esta situación introducirá errores a la salida de la unidad 2 aún cuando no exista error en la señal. Para evitar esto, es necesario fijarse en los bits A1 y A0 para determinar cuándo la disparidad de palabra es cero, aunque A2 indique que es positiva. A0 y A1 se aplican a la puerta NOR, AA, y su salida E se lleva a una tercera entrada de las puertas BB y CC.

422991

10.

7 FEB



Cuando la disparidad acumulada es positiva, y viene seguida por una disparidad de palabra de +1 (regla b anterior), o la disparidad acumulada es negativa y viene seguida por una disparidad de palabra de -1 (regla d anterior), una salida F de las puertas FF y GG (no mostradas) proporciona una señal de inhibición al almacenaje 3. Esto mantiene la salida de disparidad acumulada AD del almacenaje 3 sin cambios, según requieren las reglas b y d.

Cuando se detecta un error, la naturaleza de dicho error viene determinada por las puertas AA, BB y CC y se selecciona la función de la unidad aritmética 2 para aplicar la corrección necesaria a la (por ahora) disparidad acumulada errónea, que se mantiene en el almacenaje 3, mientras que el error se indica en la salida de las puertas DD y EE.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo, y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Inglaterra, el día 8 de Febrero de 1973, señalada con el Nº 06211/73 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente por veinte años son los siguientes:

1.- Un dispositivo para la detección de errores en sistemas de modulación por código de impulsos (MIC), que incluye un traductor receptor en el cual, para la transmisión, las palabras digitales que tienen una polaridad de disparidad se transmiten cuando la disparidad acumulada de la señal trans



mitida es de polaridad opuesta, y viceversa. Dicho traductor comprende:

- 5 - primeros elementos para deducir, al final de cada palabra digital en la señal transmitida, la polaridad de la disparidad acumulada de dicha señal transmitida;
- segundos elementos, acoplados a los primeros, para almacenar temporalmente la polaridad de disparidad acumulada deducida por los primeros elementos;
- 10 - terceros elementos, acoplados a los primeros, para proporcionar, al final de cada palabra digital en la señal transmitida, la polaridad de la disparidad de dicha palabra; y
- elementos lógicos, acoplados a los primeros elementos, a los segundos y a los terceros, para detectar cuándo la polaridad de la disparidad, para una palabra digital, es la misma que la polaridad de la disparidad acumulada para dicha
- 15 señal transmitida, al final de la palabra digital anterior, para generar una señal de salida de error cuando las dos polaridades son iguales y para corregir la información, en los segundos elementos, cuando se genera una salida de error.

20 2.- Un dispositivo para la detección de errores en sistemas MIC, que incluye un traductor, según el punto 1, en donde,

- 25 - la disparidad de palabra y la disparidad acumulada están representadas por una palabra en código binario de tres bits, que tiene un bit más significativo para indicar la polaridad de la disparidad, y los restantes bits representan el valor numérico de la amplitud de la disparidad.

3.- Un dispositivo para la detección de errores en sistemas MIC, que incluye un traductor, según el punto 2, en

30 donde los elementos lógicos incluyen:

422991

12. 17



- primeros elementos puerta lógicos, acoplados a los segundos y terceros elementos y que responden a cada bit de la palabra de tres bits que representa la disparidad de palabra y al bit más significativo de la palabra de tres bits que representa la disparidad acumulada, para detectar cuándo la polaridad de la disparidad de palabra es la misma que la polaridad de la disparidad acumulada, al final de la palabra anterior.

4.- Un dispositivo para la detección de errores en sistemas MIC, que incluye un traductor, según el punto 3, en donde los elementos lógicos incluyen:

- segundos elementos puerta lógicos, acoplados a los primeros elementos puerta lógicos, que responden a las salidas de estos primeros elementos, para generar dicha señal de salida de error.

5.- Un dispositivo para la detección de errores en sistemas MIC, que incluye un traductor, según el punto 4, en donde los primeros elementos incluyen:

- una unidad lógica aritmética binaria, acoplada a los segundos elementos, a los terceros elementos y a los primeros elementos puerta lógicos, para realizar operaciones aritméticas de suma, bajo el control de las señales de salida de dichos primeros elementos puerta lógicos, sobre la palabra de tres bits que representa la disparidad de la palabra en curso, y sobre la palabra de tres bits que representan la disparidad acumulada, al final de la palabra anterior, para producir la disparidad acumulada al final de la palabra en curso, y corregir la disparidad acumulada al final de la palabra en curso, cuando se genera la señal de salida de error.

30

6.- Un dispositivo para la detección de errores en





sistemas MIC, que incluye un traductor, según el punto 3, en donde los primeros elementos incluyen:

- una unidad lógica aritmética binaria acoplada a los segundos elementos, a los terceros elementos y a los primeros elementos puerta lógicos para realizar operaciones aritméticas de suma, bajo el control de las señales de salida de dichos primeros elementos puerta lógicos, sobre la palabra de tres bits que representa la disparidad de la palabra en curso, y sobre la palabra de tres bits que representa la disparidad acumulada, al final de la palabra anterior, para producir la disparidad acumulada, al final de la palabra en curso, y corregir la disparidad acumulada, al final de la palabra en curso, cuando se genera la señal de salida de error.

7.- Un dispositivo para la detección de errores en sistemas de modulación por código de impulsos.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de trece hojas escritas por una sola cara.

Madrid, 7 FEB. 1974



*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL



422991

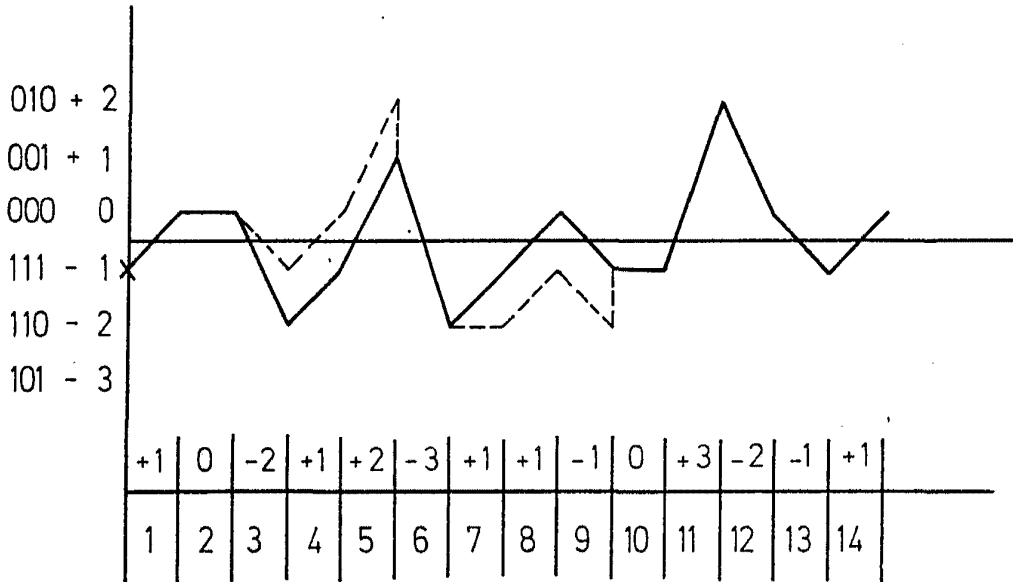


Fig. 1

4 MAR. 1974

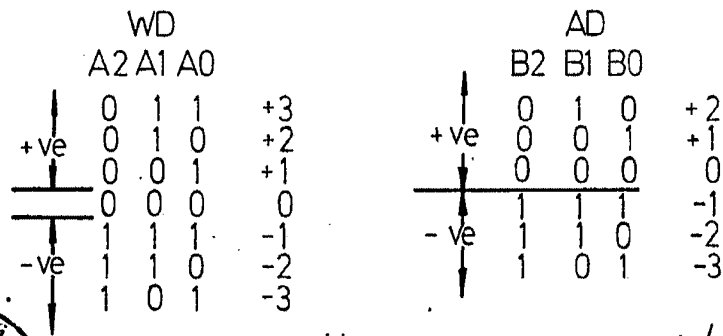


Fig. 3

*Eugenio Barroso*  
**EUGENIO BARROSO**  
 Secretario General



2/2

STANDARD ELECTRICA, S. A.



42299 1

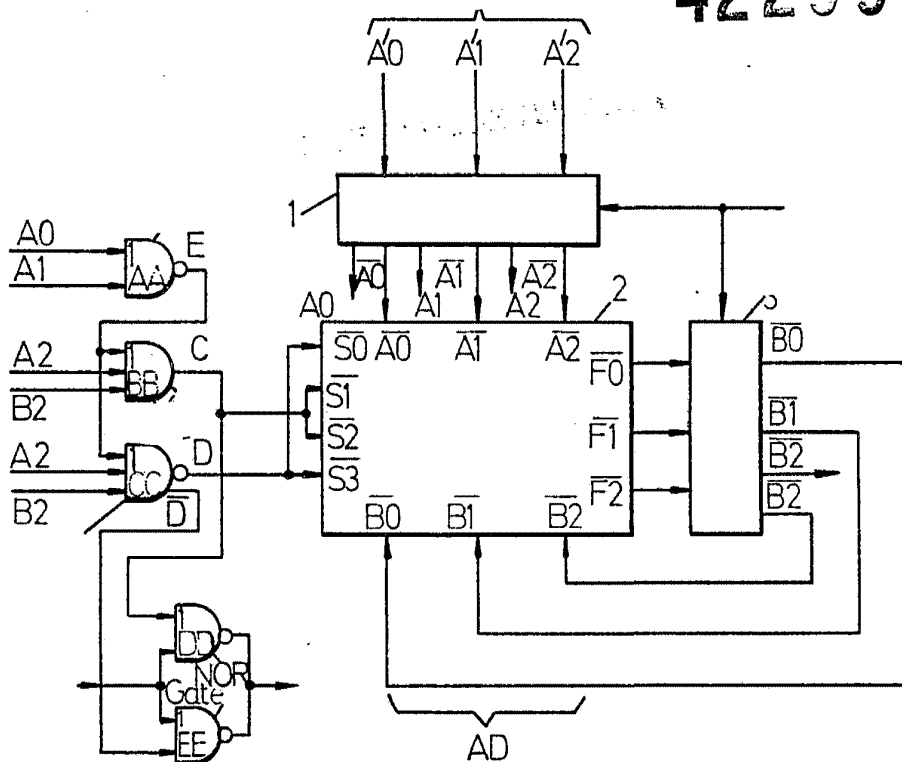


Fig. 2

4 MAR. 1974



A2	B2	C	D	S0	S1	S2	S3	FN
0	0	0	0	0	0	0	0	FN = AN + 1
1	0	1	0	0	1	1	0	FN = AN + BN
0	1	1	0	0	1	1	0	FN = AN + BN
1	1	1	1	1	1	1	1	FN = AN

Fig. 4 *Chauvy*  
**EUGENIO BARROSO**  
 Secretario General