

422.824

B & W 3941

Int. Cl. : G.0.6.G

PATENTE DE INVENCION

por 20 años

A favor de THE BAILEY METER COMPANY, sociedad mercantil  
estadounidense, domiciliada en 29801 Euclid Avenue,  
WICKLIFFE, Ohio 44092 (U.S.A.). - - - - -  
por: "PROCEDIMIENTO PERFECCIONADO PARA REALIZAR MULTI-  
PLICACIONES, DIVISIONES Y RAICES CUADRADAS, MEDIANTE UN  
CIRCUITO COMPUTADOR ANALOGICO". - - - - -

MEMORIA DESCRIPTIVA

La presente invención se refiere a un procedimiento  
perfeccionado para realizar multiplicaciones, divisiones y  
raíces cuadradas, mediante un circuito computador analógico.

5

La presente invención describe un procedimiento  
que comprende un circuito que tiene una corriente de salida  
condicionada a tres corrientes de entrada, X, Y y Z. Conec-  
tando las señales apropiadas a las entradas del circuito

analógico puede hacerse variar la salida en proporción a  $\frac{XY}{Z}$ ,  $\frac{X^2}{Z}$  o  $\sqrt{XY}$ .

Por una patente de la que es propietario el titular de la presente invención ya se conoce un circuito de computador analógico de la práctica anterior capaz de realizar divisiones, multiplicaciones y raíces cuadradas. En la citada patente una primera señal analógica de entrada, B, activa un primer mecanismo de adición o circuito integrador. La salida del primer circuito integrador se compara con una segunda señal analógica de entrada, A, por medio de un circuito comparador. Mientras la salida del primer circuito integrador es menor que la segunda señal analógica de entrada, el circuito comparador permite a un segundo circuito integrador realizar una adición de referencia o la integración de una tercera señal analógica de entrada, V. La salida, W, del segundo circuito integrador equivale a  $\frac{VA}{B}$ . Como se describe en esta patente, el ciclo de cálculo empieza aplicando simultáneamente la primera señal analógica de entrada al primer circuito integrador, la segunda señal analógica de entrada al circuito comparador y la tercera señal analógica de entrada al segundo circuito integrador. Este ciclo de cálculo se completa cuando el circuito comparador suspende la integración por medio del segundo circuito integrador. En consecuencia, en este circuito ya conocido, el circuito comparador genera una señal con una duración temporal proporcional a la relación de la segunda señal analógica de entrada con la primera señal analógica de entrada. Este intervalo se emplea para controlar el período de integración de una tercera señal analógica de entrada,

teniendo esta salida integrada una amplitud proporcional a la amplitud de la tercera señal de entrada multiplicada por la relación de la segunda señal de entrada con la primera señal de entrada.

5                   Dicho circuito analógico tiene dos inconvenientes. El primero, la necesidad que tiene de controlar el circuito del computador analógico mediante una señal sincronizada externa. Cada vez que se desea hacer un cálculo, es necesario descargar los condensadores de los circuitos  
10 integradores primero y segundo y procurar la reaplicación simultánea de las señales analógicas de entrada primera, segunda y tercera. El segundo inconveniente de este circuito se observa en que para una polaridad determinada de la primera señal analógica de entrada, el condensador  
15 del primer circuito integrador siempre se carga con la misma polaridad de la corriente. En el comienzo de cada ciclo de cálculo se conecta el condensador al circuito con toma de tierra para descargarlo pero a causa de la absorción dieléctrica o del efecto de memoria permanece  
20 en el condensador una pequeña carga, la cual ocasiona errores en el cálculo subsiguiente.

En consecuencia, es objeto de esta invención realizar un nuevo circuito de computador analógico.

25 Otro de los objetos de la presente invención es procurar un circuito de computador analógico capaz de realizar divisiones, multiplicaciones y raíces cuadradas.

Y además otro objeto de la presente invención es realizar un circuito de computador analógico que sea auto-sincronizable.

30 En la presente invención, se representan tres de

las variables de entrada como corrientes continuas de  
variación lenta. Una corriente continua activa a un  
circuito integrador, cuya corriente representa la primera  
variable de entrada y que periódicamente invierte su  
5 polaridad para que la salida del amplificador sea una  
onda triangular. Cada vez que la salida alcanza una  
magnitud predeterminada se invierte la entrada del  
amplificador de acuerdo con la magnitud de la corriente  
de la segunda variable al objeto de que la onda triangular  
10 quede limitada a un ciclo de unos cero voltios con una  
frecuencia condicionada a las magnitudes de las corrientes  
de entrada primera y segunda. De modo que, al aumentarse  
la magnitud de la corriente en el amplificador integrador,  
la frecuencia se incrementará proporcionalmente y al  
15 aumentarse la magnitud de la segunda variable, la frecuencia  
de la onda triangular disminuirá proporcionalmente. Y un  
filtro de paso de bajas frecuencias es activado por un  
impulso con una amplitud de corriente constante y una  
duración fija que tiene una corriente de salida proporcional  
20 a la amplitud del impulso multiplicada por la frecuencia del  
impulso. En el circuito del computador analógico de esta  
invención se controla la frecuencia de los impulsos aplicados  
al filtro de paso de bajas frecuencias por medio de la  
frecuencia de la forma de onda triangular y se determina  
25 la amplitud del impulso por la magnitud de la corriente  
que representa la tercera variable de entrada. En conse-  
cuencia, la salida del filtro de paso de bajas frecuencias  
tendrá una corriente proporcional al producto de la primera  
y tercera corrientes de entrada e inversamente proporcional  
30 a la segunda corriente de entrada.

El circuito del computador analógico de esta invención difiere del circuito del computador analógico descrito en la antes citada patente en que el circuito de dicha patente activa un filtro de paso de bajas 5 frecuencias con un impulso de una duración proporcional a la relación de una primera señal de entrada con una segunda señal de entrada y una amplitud proporcional a una tercera señal de entrada, mientras que en la presente invención el filtro de paso de bajas frecuencias trabaja 10 mediante un impulso que tiene duración fija y que acontece a una frecuencia proporcional a la relación de una primera señal de entrada con una segunda señal de entrada y que tiene una amplitud proporcional a una tercera variable de entrada. Otra diferencia importante se observa en la 15 naturaleza oscilatoria del amplificador integrador y en el circuito del comparador, no existe la necesidad de sincronizar exteriormente el funcionamiento del circuito del computador analógico ni tampoco de descargar los condensadores memorizadores correspondientes a los circuitos 20 integradores.

Mientras esta memoria concluye con las reivindicaciones destacando especialmente y reivindicando claramente cuanto se considera como materia de esta invención, las ventajas y objetos de la misma pueden entenderse mucho más 25 fácilmente acudiendo a la descripción siguiente de una realización preferente, al ser leída conjuntamente con los dibujos conexos, en los cuales:

La figura 1 es una representación esquemática general de un circuito de computador analógico de esta 30 invención que realiza la operación aritmética  $W = \frac{XY}{Z}$ .

Las figuras 2a a 2e son unos esquemas de sincronización que ilustran las formas de onda presentes en puntos escogidos del esquema general de la figura 1.

La figura 3 es un esquema de una realización preferente de esta invención.

Volviendo ahora a la figura 1 se observa un esquema general de un circuito de computador analógico para generar una corriente de salida,  $W = \frac{XY}{Z}$ , en donde X, Y y Z son corrientes de salida analógica. La señal analógica de entrada Y activa un circuito convertidor 10 que tiene una salida de corriente  $+e_y$  y una salida de corriente  $-e_y$ . Las dos salidas de corriente  $+e_y$  y  $-e_y$  tienen la misma magnitud y son proporcionales a la amplitud de corriente de la señal analógica de entrada Y y como se han designado, son de polaridades opuestas. De modo similar, la variable de entrada Z activa un circuito de conversión 20 que tiene una salida de corriente  $-e_z$  y una salida de corriente  $+e_z$ . Las salidas de corriente  $-e_z$  y  $+e_z$  son iguales en magnitud y proporcionales a la amplitud de la corriente analógica de entrada Z pero son de polaridades opuestas. Las señales  $-e_y$ ,  $+e_y$ ,  $-e_z$  y  $+e_z$  están conectadas a los polos de los conmutadores unipolares de una sola dirección 40, 50, 60 y 70 respectivamente. La corriente  $-e_y$  se aplica a un amplificador integrador 77 por medio del conmutador 40 y de la resistencia 75 y la señal  $+e_y$  se aplica al amplificador integrador 77 por medio del conmutador 50 y de la resistencia 76. El amplificador 77 actúa como amplificador integrador gracias al condensador 78 conectado paralelamente a la salida del amplificador 77 y a la entrada negativa de este amplificador. Los conmutadores 40 y 50 se hallan conectados

a las resistencias 75 y 76 al objeto de que al estar la señal  $-e_y$  conectada a la resistencia 75, se desconecte la señal  $+e_y$  de su correspondiente resistencia de entrada 76, y cuando la señal  $+e_y$  se halle conectada a la resistencia

5 76, se desconecte la señal  $-e_y$  de la resistencia 75.

Conviene observar que en esta descripción del esquema general, se podría omitir una combinación conmutador y resistencia. Es decir que la resistencia 75 podría haber sido conectada al polo de un conmutador bidireccional y

10 conectar las señales  $-e_y$  y  $+e_y$  a las dos posiciones del conmutador con lo que entonces la resistencia 75 podría conmutarse entre las señales  $+e_y$  y  $-e_y$ . Se ilustra un esquema general algo más complicado para que el esquema general de la figura 1 coincida con la realización prefe-

15 rente ilustrada en la figura 3.

De modo similar, la señal  $-e_z$  se aplica al amplificador inversor 81 por medio del conmutador 60 y de la resistencia 79 y la señal  $+e_z$  se aplica a la entrada del amplificador 81 por medio del conmutador 70 y de la

20 resistencia 80. Se emplea el amplificador 81 como amplificador inversor según sea la resistencia 82 conectada paralelamente a la salida del amplificador 81 y a la entrada negativa de este amplificador. También será evidente para los especialistas que el amplificador 81 no

25 es un elemento necesario en la descripción de un esquema general del circuito de computador analógico de esta invención. En otras palabras, la salida del amplificador 81, que activa la entrada positiva del amplificador comparador 85 podría haber sido conectada al polo de un conmutador

30 bidireccional y las dos posiciones del conmutador conectarse

a la señal  $-e_z$  y señal  $+e_z$ . Nuevamente, aunque el amplificador 81 y sus piezas correspondientes no sean esenciales a la descripción funcional del esquema general de esta invención, se incluyen para que la figura 1 coincida  
5 directamente con la realización preferente descrita con detalle en relación a la figura 3.

La salida del amplificador integrador 77 activa una entrada del amplificador comparador 85 mientras la salida del amplificador 81 activa la otra entrada del  
10 amplificador comparador 85. La salida del circuito comparador 85 es una señal de onda rectangular con un primer nivel de corriente cuando la corriente en el terminal negativo de entrada del amplificador comparador 85 es menor que la corriente en el terminal positivo de entrada de este  
15 amplificador comparador y tiene un segundo nivel de corriente cuando la corriente en el terminal negativo de entrada del amplificador comparador 85 es mayor que la corriente del terminal positivo de entrada. Los conmutadores 40, 50, 60 y 70 trabajan en respuesta al nivel de corriente  
20 de salida del amplificador comparador 85, lo cual se ilustra por medio de la línea discontinua 86 que conecta la salida del amplificador 85 con los conmutadores 40, 50, 60 y 70. Cuando la corriente del terminal negativo del amplificador comparador 85 es menor que la corriente del terminal positivo  
25 de este amplificador, la primera salida del nivel de corriente del amplificador comparador 85 situará a los conmutadores 40, 50, 60 y 70 en la posición ilustrada en la figura 1. Cuando la corriente del terminal negativo de entrada del amplificador comparador 85 es mayor que la corriente del terminal positivo  
30 de entrada de dicho amplificador comparador, la segunda

salida del nivel de corriente del amplificador 85 obligará a los conmutadores 40 y 60 a que se abran y a los conmutadores 50 y 70 a que se cierren.

Los circuitos descrito hasta el momento presente  
5 obligarán a la salida del amplificador comparador 85 a que oscile a una frecuencia proporcional a la relación de amplitud de la corriente de entrada analógica Y con la amplitud de la señal de entrada analógica Z. Si los conmutadores 40, 50, 60 y 70 se hallan en la posición  
10 ilustrada en la figura 1, la señal  $-e_y$  se aplicará a la entrada del amplificador integrador 77. El amplificador integrador 77 además de realizar la integral de tiempo de la corriente de entrada también multiplica por un factor de menos 1 al ser aplicada la señal de entrada al terminal  
15 negativo del amplificador 77. Por tanto, como resultado de la aplicación de la corriente  $-e_y$  a la entrada del amplificador integrador 77, la salida de este amplificador integrador será una corriente de transición que aumenta en la dirección positiva a una intensidad constante. Esta  
20 corriente de transición se aplica a la entrada negativa del amplificador comparador 85. De modo similar, la señal de entrada  $-e_z$  se multiplica por un factor de menos 1 por el amplificador 81 con lo que se aplica una corriente igual a  $+e_z$  en el terminal positivo de entrada del amplificador  
25 comparador 85. Inicialmente, la salida de corriente del amplificador integrador 77 será menor que la corriente  $+e_z$  y la salida del amplificador comparador 85 se hallará en el primer nivel de corriente el cual mantendrá la señal  $-e_y$  y  $-e_z$  conectada a los amplificadores 77 y 81 respectivamente. Cuando la corriente de transición es igual a la  
30 corriente  $+e_z$  del terminal positivo de entrada del amplifi-

cador comparador 85, la salida del comparador se conmutará al segundo nivel de corriente obligando a los conmutadores 40 y 60 a abrirse y a los conmutadores 50 y 70 a cerrarse y se conectará ahora la señal  $+ey$  al amplificador integrador 77 y la señal  $+ez$  se conectará al amplificador 81. En este punto, la corriente de salida del amplificador integrador 77 empezará a deslizarse en dirección negativa a una inclinación constante y se podrá observar el nivel de corriente  $-ez$  en el terminal positivo de entrada del amplificador comparador 85. La señal del terminal negativo de entrada del amplificador comparador 85 será mayor que la señal del terminal positivo de entrada mientras la salida del amplificador comparador 85 se halla en el segundo nivel de corriente, lo cual mantendrá la condición de los conmutadores 40, 50, 60 y 70. Conforme la salida del amplificador integrador 77 continúe deslizándose en dirección negativa, eventualmente puede activar el terminal negativo de entrada del amplificador comparador 85 por debajo de la corriente  $-ez$  que aparece en el terminal positivo de entrada del amplificador comparador 85 con lo que se conmuta nuevamente la salida del amplificador comparador 85 al primer nivel de corriente lo que a su vez causa que los conmutadores 40, 50, 60 y 70 vuelvan a la posición ilustrada en la figura 1. Por todo ello puede apreciarse como el circuito es autooscilante y la salida del comparador será una onda rectangular. Además, la magnitud de la corriente  $Y$  determina la inclinación de la corriente de transición y al aumentar la inclinación de la corriente de transición, la salida del amplificador 77 alcanza la corriente de comparación  $ez$  más rápidamente lo cual significa que la

frecuencia de la salida de la señal de la onda rectangular del amplificador comparador 85 aumenta. Igualmente, a medida que la amplitud de la señal analógica de entrada Z aumenta, la magnitud de la corriente en la entrada positiva al amplificador comparador aumenta, lo cual significa que la salida del amplificador integrador precisará de mayor tiempo para alcanzar el nivel de comparación que tiene el efecto de reducir la frecuencia de la salida de la señal de la onda rectangular del amplificador comparador 85. En otras palabras, la frecuencia de oscilación del amplificador comparador es directamente proporcional a la amplitud de la señal analógica de entrada Y e inversamente proporcional a la amplitud de la señal analógica de entrada Z.

La salida de la onda rectangular del amplificador comparador 85 activa un circuito 90 que genera un impulso una sola vez durante cada ciclo de la onda rectangular, cada impulso tiene un intervalo fijo. La señal de la onda rectangular del amplificador comparador 85 activa una red divisora de corriente que consiste en las resistencias 91 y 92. La señal de la onda rectangular del amplificador comparador 85 activa también una segunda red que consiste en la resistencia 93 en serie con el condensador 94. Con el condensador 94 hay un diodo 95 en paralelo y polarizado para que se pueda formar una corriente negativa en el condensador 94. El terminal positivo de entrada de un amplificador diferencial 96 es activado desde la red divisora de corriente, siéndolo el terminal negativo de entrada del amplificador diferencial 96 desde la conexión de la resistencia 93 y del condensador 94. Cuando la señal de la onda rectangular del amplificador comparador 85 se halle en el

nivel de corriente positiva, se establecerá un nivel de referencia positiva en el terminal positivo de entrada del amplificador diferencial 96 según resulta de la relación de las resistencias 91 y 92. Al aplicarse la

5 corriente positiva de la frecuencia de la onda rectangular a la red que consiste en la resistencia 93, el condensador 94 y el diodo 95, se polariza el diodo 95 en la dirección de avance y actúa para impedir que el condensador 94 forme una corriente positiva. En consecuencia, el terminal negativo

10 de entrada del amplificador diferencial 96 se fija al circuito con toma de tierra por el diodo 95. Mientras la salida del amplificador comparador 85 permanece positiva, el terminal negativo de entrada del amplificador diferencial 96 quedará fijo a masa y será menor que la corriente aplicada

15 al terminal positivo de entrada del amplificador diferencial 96, teniendo el amplificador diferencial 96 una corriente de salida con el primer nivel de corriente. Cuando la señal que sale del amplificador de comparación 85 es una corriente negativa, se aplicará una corriente de referencia negativa

20 al terminal positivo de entrada del amplificador diferencial 96 según resulte de la relación de las resistencias 91 y 92. Cuando la corriente negativa del amplificador comparador 85 se aplica a la red que consiste en la resistencia 93, el condensador 94 y el diodo 95, se polariza otra vez el diodo

25 95 y el condensador 94 se dejará que forme una corriente negativa. La corriente que atraviesa el condensador 94 se formará exponencialmente según resulte de los valores de la resistencia 93 y del condensador 94. Cuando la salida del amplificador comparador 85 inicialmente sea negativa, la

30 corriente que atraviesa el condensador 94 y en consecuencia

la corriente en el terminal negativo de entrada del amplificador diferencial 96 estará muy cerca de cero, siendo la corriente del terminal positivo de entrada del amplificador diferencial 96 el nivel negativo de referencia.

5 Puesto que la corriente del terminal negativo de entrada del amplificador diferencial 96 es mayor que la corriente del terminal positivo de entrada, la salida del amplificador diferencial 96 tendrá el segundo nivel de corriente. Eventualmente la corriente negativa se forma en el condensador 94  
10 y pasa a exceder la corriente establecida por la red divisora de corriente, obligando por tanto a la salida del amplificador diferencial 96 que vuelva a conmutarse al primer nivel de corriente. El intervalo en que el amplificador diferencial 96 se hallará en el segundo nivel de  
15 corriente se determina directamente por la constante de tiempo establecida por la resistencia 93 y el condensador 94 y será el mismo por cada ciclo de la señal de salida del amplificador comparador 85.

La señal analógica de entrada X activa un circuito  
20 convertidor 30 que tiene una salida  $I_{ex}$ . La corriente  $I_{ex}$  se conecta a la posición normalmente cerrada del conmutador 100, cuyo polo se conecta a un circuito integrador 110 que consiste de una resistencia 111 y de un condensador 112. La red integradora 110 se conecta a una referencia, particularmente con toma de tierra por medio del contacto normalmente abierto del conmutador 100. El circuito convertidor  
25 30 de esta figura tampoco es necesario en esta descripción del esquema general. La señal de entrada X podría haber sido conectada directamente al polo de conmutador 100.  
30 Describimos en esta memoria el circuito convertidor 30 al

objeto de que este esquema general coincida con la última descripción de la realización preferente expuesta en relación a la figura 3. El conmutador 100 es activado por la salida de corriente del amplificador diferencial 96 como puede verse por la línea discontinua 87. Cuando el amplificador diferencial 96 de salida se halla en el segundo nivel de corriente, se conecta la señal  $+e_x$  al circuito integrador 110. Cuando el primer nivel de corriente existe en la salida del amplificador diferencial 96, el conmutador 100 trabaja para conectar el circuito con toma de tierra al circuito integrador 110. La salida W del circuito del computador analógico se toma a través del condensador 112. La corriente que aparece a través del condensador 112 será proporcional a la amplitud de la señal  $+e_x$ , al intervalo en que el conmutador 100 conecta la señal  $+e_x$  a la red integradora 110, y a la frecuencia de aparición de los impulsos generados por el amplificador diferencial 96. La amplitud de la señal  $e_x$  es proporcional a la amplitud de la señal analógica de entrada X. La amplitud del impulso o intervalo en que el amplificador diferencial 96 tiene el segundo nivel de salida es fijo y la frecuencia de aparición de los impulsos es proporcional a la relación de la amplitud de la señal de entrada Y con la amplitud de la señal de entrada Z. Por tanto, la salida W es proporcional a  $\frac{XY}{Z}$ .

Si se aplica una señal analógica Y a la entrada de un circuito convertidor 10 y de un circuito convertidor 20, la señal de salida W será proporcional a  $\frac{Y^2}{X}$ .

Si la entrada del circuito convertidor 20 es activa por la señal W como por la conexión 97, la salida W

será proporcional a  $\frac{XY}{W}$ . La solución de esta relación para  $W$  produce el resultado en donde  $W$  equivale a  $\sqrt{XY}$ .

La figura 2a representa la salida de forma de onda triangular,  $e_{int}$ , del amplificador integrador 77 como función de tiempo. El período  $T$  invertido por la señal  $e_{int}$  para deslizarse entre  $-e_z$  y  $+e_z$  es igual a  $\frac{2 R_1 C_1 e_z}{e_y}$  en donde  $R_1$  es el valor de las resistencias 75 y 76 y  $C_1$  es el valor del condensador 78. La frecuencia de la forma de onda triangular  $e_{int}$  es igual a  $\frac{e_y}{4 R_1 C_1 e_z}$ .

La figura 2b representa la salida de onda rectangular,  $e_{comp}$ , del amplificador comparador 85 como función del tiempo.

La figura 2c representa la corriente,  $e_{plus}$ , que aparece en el terminal positivo de entrada del amplificador diferencial 96 como función de tiempo. El nivel negativo de corriente de la señal,  $e_{plus}$ , ha sido designado como  $-e_r$ .

La figura 2d representa la forma de onda,  $e_{minus}$ , que aparece en el terminal negativo de entrada del amplificador diferencial 96. También se ilustra con línea de puntos el nivel de corriente  $-e_r$ , o sea el nivel negativo de la señal que aparece en el terminal positivo de entrada del amplificador diferencial 96. El intervalo durante el cual la señal,  $e_{minus}$ , es mayor que el nivel  $-e_r$ , se determina por la constante de tiempo de la resistencia 93,  $R_2$  y del condensador 94,  $C_2$ . Este intervalo ha sido designado  $t_k$  y es proporcional a  $R_2 C_2$ .

La figura 2e presenta a la señal,  $e_s$ , que constituye la salida del amplificador diferencial 96. La señal,  $e_s$ , resulta positiva para el intervalo  $t_k$  y negativa en los demás.

Al llegar a este punto conviene hacer algunas observaciones con respecto a la selección y empleo de los condensadores 78,  $C_1$  y 94,  $C_2$ . Puesto que la corriente que atraviesa al condensador 78 continuamente se desliza entre  
5 -ez y +ez, el error antes mencionado debido a la absorción dieléctrica o efecto de memoria, queda bastante reducido con respecto a este condensador. Además, la salida, W, es proporcional a la relación  $\frac{t_k}{T}$  que se determina por la relación de  $\frac{C_2}{C_1}$ . En otras palabras, la estabilidad de la  
10 salida está relacionada con la estabilidad de los condensadores 78,  $C_1$ , y 94,  $C_2$ . En la realización preferente de esta invención, los condensadores 78 y 94 están emparejados para que el circuito quede relativamente insensible a cualquier desviación debida al envejecimiento y cambio térmico de los  
15 condensadores.

La figura 3 es una realización preferente del circuito ilustrado en forma esquemática general en la figura 1. Para mayor comodidad, ciertos elementos expuestos en la figura 3 mantienen las designaciones fijadas en la  
20 figura 1. La señal analógica de entrada Y se aplica a un potenciómetro escalonado 11. La señal que aparece en el brazo del potenciómetro 11 se designa KY y se aplica a la entrada positiva del amplificador 12. Puesto que la salida del amplificador 12 se realimenta al terminal negativo de  
25 entrada del amplificador 12, actúa como seguidor de corriente o amplificador separador. La salida del amplificador separador 12 se aplica al amplificador 15 por medio de la resistencia 13. El terminal positivo de entrada del amplificador 15 se conecta a masa y la resistencia 14 se conecta  
30 entre la salida del amplificador 15 y el terminal negativo

de entrada de este amplificador. La salida del amplificador 15 ha sido designada  $-e_y$  y será de polaridad opuesta a la salida del amplificador 12. La salida del amplificador 15 activa el terminal negativo de entrada del amplificador 18 por medio de la resistencia 16. La salida del amplificador 18 se realimenta a su terminal negativo de entrada por medio de la resistencia 17. Las resistencias 17 y 16 tendrán el mismo valor al objeto de que el amplificador 18 tenga una ganancia de  $-1$ . Por tanto, la salida del amplificador 18 será igual a  $+e_y$ .

De modo similar, se aplica la señal analógica de entrada  $Z$  al potenciómetro escalonado 21, y la señal escalonada  $KZ$  se aplica al amplificador separador 22 que activa al amplificador inversor 25. La ganancia del amplificador inversor 25 se determina por las resistencias 23 y 24, y la salida del amplificador inversor 25 ha sido designada  $-e_z$ . El amplificador 25 activa el amplificador inversor 28 el cual tiene una ganancia de  $-1$  determinada por las resistencias 26 y 27. En consecuencia, la salida del amplificador 28 es  $+e_z$ .

El conmutador 40 consiste en un transistor NPN 42, que polariza las resistencias 41 y 44 y acelera al condensador 43, y el conmutador 50 consiste en un transistor PNP 52, que polariza las resistencias 51 y 54 y acelera al condensador 53. Los conmutadores 40 y 50 están controlados por la salida de nivel de corriente del amplificador comparador 85. Los niveles positivo y negativo de corriente de la salida del amplificador comparador 85 se eligen de modo que el transistor 42 o el transistor 52 sea conductor. Cuando el nivel positivo de corriente aparece en la salida del amplificador 85, la unión emisor-base del transistor 42 quedará polarizada hacia

adelante y este transistor será conductor permitiendo entonces que la señal  $-e_y$  del amplificador inversor 15 sea aplicada a la resistencia 75. El nivel de la corriente positiva del amplificador 85 también vuelve a polarizar la  
5 unión emisor-base del transistor 52 haciéndolo por tanto no conductor, lo cual abre realmente el paso del circuito entre la salida  $+e_y$  del amplificador inversor 18 y la resistencia 76. Cuando la salida de corriente negativa aparece en la salida del amplificador 85, el transistor  
10 42 volverá a polarizarse y el transistor 52 quedará polarizado hacia adelante, lo cual desconecta la señal  $-e_y$  de la resistencia 75 y conecta la señal  $+e_y$  a la resistencia 76. De modo similar, el conmutador 60, que consiste en el transistor NPN 62 y las resistencias de  
15 polarización 61 y 64, y el conmutador 70 que consiste en el transistor PNP 72 y las resistencias de polarización 71 y 74, controlan la aplicación de las señales  $-e_z$  y  $+e_z$  al amplificador 81. Luego, cuando el nivel de la corriente positiva aparece en la salida del amplificador 85, el  
20 transistor 62 será conductor y la señal  $-e_z$  será aplicada a la resistencia 79 y el transistor 72 no será conductor, lo cual desconecta la señal  $+e_z$  de la resistencia 80; y cuando el nivel de la corriente negativa aparece en la salida del amplificador 85, el transistor 62 no será conductor y la  
25 señal  $-e_z$  será desconectada de la resistencia 79, y el transistor 72 será conductor y la señal  $+e_z$  se conectará a la resistencia 80.

Como se menciona en la descripción de la figura 1, el amplificador integrador 77 integra sucesivamente las  
30 señales  $-e_y$  y  $+e_y$ . La salida del amplificador integrador 77

se aplica al terminal negativo de entrada del amplificador comparador 85 por medio de la resistencia 83, y la salida del amplificador 81 se aplica a la entrada positiva del amplificador comparador 85 por medio de la resistencia 84.

5 El circuito 90 genera un impulso que tiene una duración fija y uno solo durante cada ciclo de la onda rectangular que aparece en la salida del amplificador 85. En el esquema general de la figura 1, se ilustra un diodo 95 en paralelo con el condensador 94. En esta realización  
10 preferente, el diodo 95 ha sido sustituido por el transistor NPN 95<sup>c</sup> y las resistencias de polarización 95<sup>a</sup> y 95<sup>b</sup> para cumplir la misma función. Cuando el nivel de corriente positiva aparece en la salida del amplificador 85, la unión emisor-base del transistor 95<sup>c</sup> quedará polarizada hacia  
15 adelante y este transistor será conductor con lo cual el terminal negativo de la entrada del amplificador 96 queda en cortocircuito con la masa. Cuando el nivel de corriente negativa aparece en la salida del amplificador 85, la unión emisor-base del transistor 95<sup>c</sup> volverá a polarizarse y el  
20 circuito emisor-colector de este transistor aparecerá como un circuito abierto efectivo permitiendo por tanto al condensador 94 y al terminal negativo de entrada del amplificador 96 cargarse a una corriente negativa.

La señal analógica de entrada X se aplica al  
25 potenciómetro escalonado 31 y la corriente KX que aparece en el brazo del potenciómetro 31, se aplica al terminal positivo de entrada del amplificador 32. Puesto que la salida del amplificador 32 se conecta al terminal negativo de entrada de este amplificador, actúa como seguidor de corriente del  
30 amplificador separador. La salida del amplificador separador

32 se aplica al terminal negativo de entrada del amplificador 35 por medio de la resistencia 33. El terminal positivo de entrada del amplificador 35 se conecta a masa y la ganancia del amplificador 35 se determina por la relación de la  
5 resistencia 34 con la resistencia 33. La salida del amplificador 35 ha sido designada  $-e_x$ . El conmutador 100 actúa para conectar la señal  $-e_x$ , que aparece en el emisor del transistor 105, o la toma de tierra, que aparece en el emisor del transistor 102 al circuito integrador 110. El  
10 conmutador 100 consiste del transistor NPN 102 y de sus correspondientes resistencias de polarización 101 y 103 y del transistor PNP 105 y de sus correspondientes resistencias de polarización 104 y 106. El conmutador 100 está controlado por el nivel de corriente que aparece en la salida del  
15 amplificador 96. Cuando aparece una corriente suficientemente positiva en la salida del amplificador 96, la unión emisor-base del transistor 102 quedará polarizada hacia adelante permitiendo así que el transistor 102 sea conductor y la toma de tierra pueda conectarse al circuito integrador  
20 110. Igualmente cuando aparece el nivel de corriente positiva en la salida del amplificador 96, la unión emisor-base del transistor 105 vuelve a polarizarse y el transistor 105 no es conductor y presenta un circuito abierto efectivo entre la señal  $-e_x$  y la entrada del circuito integrador 110. De  
25 igual modo, cuando aparece una corriente suficientemente negativa en la salida del amplificador 96, el transistor 102 no será conductor y existirá un circuito abierto entre la toma de tierra y la entrada al circuito integrador 110, y el transistor 105 se hará conductor permitiendo así se  
30 aplique la señal  $-e_x$  a la entrada del circuito integrador 110.

En la figura 1, se emplea un simple filtro  
resistencia-condensador para integrar la señal que pasa  
por el conmutador 100. En la realización preferente de la  
figura 3, se obtiene un filtraje adicional por medio de  
5 las resistencias 119, 121 y el condensador 120 y la resis-  
tencia 124, el condensador 125 y el amplificador inversor  
123. La entrada positiva del amplificador 123 tiene toma de  
tierra por medio de la resistencia 122. El amplificador no  
inversor 115 junto con las resistencias 116 y 117 y el  
10 potenciómetro 118 actúan para impedir la carga de la señal  
que aparece en la salida del condensador 112, y facilita  
también un ajuste de ganancia fino de la señal de salida, W.  
Se emplea un circuito interruptor 130 de señal de bajo nivel  
para eliminar las señales de salida indeseables debidas a  
15 una ganancia elevada en los niveles bajos de entrada. El  
circuito interruptor 130 de señal de bajo nivel consiste  
del amplificador diferencial 131, el transistor del conmu-  
tador 133 y las resistencias de polarización 132 y 134. Se  
aplica una señal de referencia de interrupción, LCO, de bajo  
20 nivel al terminal negativo de entrada del amplificador 131.  
Se aplica la señal analógica de entrada X al terminal  
positivo de entrada del amplificador 131 y cuando la señal  
analógica de entrada X es menor que la señal de interrupción,  
LCO, de bajo nivel, la salida del amplificador 131 será un  
25 nivel de corriente negativa, el cual ocasiona que la unión  
emisor-base del transistor 133 sea conductora y esto en  
realidad pone en cortocircuito la salida del amplificador  
15 con respecto al terminal negativo de entrada de dicho  
amplificador proporcionando en consecuencia al amplificador  
30 15 que tenga una ganancia de cero.

Aunque la presente invención haya sido descrita con referencia a una realización preferente de la misma, resultará evidente para los especialistas la posibilidad de efectuar diversos cambios y modificaciones sin apartarse  
5 de la invención en sus aspectos más amplios.

En las reivindicaciones anexas se pretenden cubrir todas las variaciones y modificaciones de la invención que puedan abarcarse dentro del verdadero espíritu y ámbito de la invención.

10 A todos los efectos pertinentes se hace constar con la presente solicitud de patente de invención que se invoca la prioridad de 2 de Febrero de 1973, correspondiente a la patente U.S.A. 328.911.

N O T A

15 Se reivindica como objeto de la presente patente de invención:

1.- Procedimiento perfeccionado para realizar multiplicaciones, divisiones y raíces cuadradas, mediante un circuito computador analógico, caracterizado porque dicho  
20 circuito, con corriente de salida condicionada a las señales de entrada primera, segunda y tercera, comprende:

(a) medios del primer circuito sensibles a la primera señal de entrada y a la segunda señal de entrada para generar una señal de frecuencia proporcional a la  
25 relación de amplitud de la primera señal de entrada con la amplitud de la segunda señal de entrada; y

(b) medios del segundo circuito sensibles a dicha frecuencia de señal y a la tercera señal para generar una señal con una amplitud proporcional al producto de dicha

relación por la amplitud de la tercera señal de entrada.

2.- Procedimiento, como se expone en la reivindicación 1, caracterizado porque la amplitud de la primera señal de entrada equivale a la amplitud de la tercera señal de entrada, con lo que la señal generada por los medios del segundo circuito es directamente proporcional al cuadrado de la amplitud de la primera señal e inversamente proporcional a la amplitud de la segunda señal.

3.- Procedimiento, como se expone en la reivindicación 1, caracterizado porque la segunda señal de entrada es igual a la señal generada por los medios del segundo circuito con lo cual la amplitud de la señal generada por los medios del segundo circuito es directamente proporcional a la raíz cuadrada del producto de las amplitudes de las señales de entrada primera y tercera.

4.- Procedimiento, como se expone en la reivindicación 1, caracterizado porque los medios del segundo circuito comprenden:

(a) medios de circuito lógico sensibles a dicha frecuencia de señal y a la tercera señal de entrada para pasar la tercera señal de entrada a la salida del circuito lógico durante un intervalo fijo a una velocidad determinada por dicha frecuencia de señal y

(b) medios de circuito de filtro sensibles a la salida del circuito lógico para promediar la señal de salida del circuito lógico.

5.- Procedimiento, como se expone en la reivindicación 1, caracterizado porque los medios del segundo circuito comprenden:

(a) medios de circuito activador sensibles a dicha

frecuencia de señal para generar un impulso activador con duración fija una sola vez durante cada ciclo de dicha frecuencia de señal.

(b) un circuito de filtro; y

5 (c) medios de conmutación sensibles al impulso activador para aplicar selectivamente la tercera señal de entrada al filtro para dicho intervalo fijo y un potencial de referencia al circuito de filtro durante el resto de cada ciclo de dicha  
10 frecuencia de señal.

6.- Procedimiento, según la reivindicación 1, caracterizado porque comprende:

(a) medios del primer circuito sensibles a la primera señal de entrada para generar las  
15 señales primera y segunda de polaridad opuesta y magnitud proporcional a la amplitud de la primera señal de entrada;

(b) medios del segundo circuito sensibles a la segunda señal de entrada para generar las  
20 señales tercera y cuarta de polaridad opuesta y magnitud proporcional a la amplitud de la segunda señal de entrada;

(c) medios del circuito integrador sensibles selectivamente a las señales primera y segunda para  
25 generar una quinta señal que es la integral de tiempo de las señales primera y segunda.

(d) medios del circuito comparador con una primera entrada sensible a la quinta señal y una  
segunda entrada sensible selectivamente a las señales  
30 tercera y cuarta para generar una frecuencia de señal

con un primer nivel cuando la señal en la primera entrada es menor que la señal de la segunda entrada y un segundo nivel cuando la señal en la primera entrada es mayor que la señal de la segunda entrada;

5                   (e) medios de conmutación sensibles al primer nivel del comparador para conectar la señal de polaridad positiva del primer circuito al circuito integrador y la señal de polaridad positiva del segundo circuito a la segunda entrada del circuito comparador y sensibles al segundo nivel comparador  
10 para conectar la señal de polaridad negativa del primer circuito al circuito integrador y la señal de polaridad negativa del segundo circuito a la segunda entrada del circuito comparador con lo que la salida  
15 del circuito comparador tiene una frecuencia proporcional a la relación de la amplitud de la primera señal de entrada con la amplitud de la segunda señal de entrada;  
y

                  (f) medios del tercer circuito sensibles a  
20 dicha señal de frecuencia y la tercera señal de entrada para generar una corriente proporcional al producto de dicha relación por la amplitud de la tercera señal de entrada.

7.- Procedimiento, como se expone en la  
25 reivindicación 6, caracterizado porque la amplitud de la primera señal de entrada equivale a la amplitud de la tercera señal de entrada con lo cual la señal generada por los medios del tercer circuito es directamente proporcional al cuadrado de la amplitud de la  
30 primera señal e inversamente proporcional a la

amplitud de la segunda señal.

8.- Procedimiento, como se expone en la reivindicación 6, caracterizado porque la segunda señal de entrada es igual a la señal generada por los medios del tercer circuito con lo cual la señal generada por los medios del segundo circuito es directamente proporcional a la raíz cuadrada del producto de las amplitudes de las señales de entrada primera y tercera.

9.- Procedimiento, como se expone en la reivindicación 6, caracterizado porque los medios del tercer circuito comprenden:

(a) medios del circuito lógico sensibles a dicha frecuencia de señal y a la tercera señal de entrada para pasar la tercera señal de entrada a la salida del circuito lógico durante un intervalo fijo a una velocidad determinada por dicha frecuencia de señal y

(b) medios de circuito de filtro sensibles a la salida del circuito lógico para promediar la señal de salida del circuito lógico.

10.- Procedimiento, como se expone en la reivindicación 6, caracterizado porque los medios del tercer circuito comprenden:

(a) medios de circuito activador sensibles a dicha frecuencia de señal para generar un impulso activador con intervalo fijo una sola vez durante cada ciclo de dicha frecuencia de señal;

(b) un circuito de filtro; y

(c) medios de conmutación sensibles al

impulso activador para aplicar selectivamente la  
tercera señal de entrada al filtro en dicho intervalo  
fijo y para aplicar un potencial de referencia al  
circuito de filtro durante el resto de cada ciclo de  
5 dicha frecuencia de señal.

11.- Procedimiento, según la reivindicación  
1, caracterizado porque comprende:

(a) medios de circuito integrador selectiva-  
mente sensibles a la primera señal de entrada y a una  
10 segunda señal, siendo dicha segunda señal de igual  
magnitud y de polaridad opuesta a la primera señal  
de entrada para generar una tercera señal que  
constituya la integral de tiempo de la primera señal  
de entrada y la segunda señal;

15 (b) medios de circuito comparador con una  
primera entrada sensibles a la tercera señal y una  
segunda entrada selectivamente sensible a la segunda  
señal de entrada y a una cuarta señal siendo esta  
cuarta señal de igual magnitud y de polaridad opuesta  
20 a la segunda señal de entrada para generar una frecuen-  
cia de señal con un primer nivel cuando la señal en  
la primera entrada del comparador sea menor que la  
señal en la segunda entrada del comparador y un segundo  
nivel cuando la señal en la primera entrada del  
25 comparador sea mayor que la señal en la segunda  
entrada del comparador;

(c) medios de conmutación sensibles al  
primer nivel comparador para conectar el positivo  
polarizado de dicha primera señal de entrada y dicha  
30 segunda señal al circuito integrador y el positivo

polarizado de dicha segunda señal de entrada y dicha  
cuarta señal a la segunda entrada del circuito del  
comparador y sensibles al segundo nivel comparador  
para conectar el negativo polarizado de dicha primera  
5 señal de entrada y dicha segunda señal al circuito  
integrador y el negativo polarizado de dicha segunda  
señal de entrada y dicha cuarta señal a la segunda  
entrada del circuito comparador con lo cual la salida  
del comparador tiene una frecuencia proporcional a  
10 la relación de la amplitud de la primera señal de  
entrada con la amplitud de la segunda señal de  
entrada; y

(d) medios de circuito sensibles a dicha  
frecuencia de señal y a la tercera señal de entrada  
15 para generar una corriente proporcional al producto  
de dicha relación con la amplitud de la tercera señal  
de entrada.

12.- Procedimiento, como se expone en la  
reivindicación 11, cuyo circuito computador analógico  
20 comprende además:

(a) medios de primer circuito sensibles a  
la primera señal de entrada para generar la segunda  
señal; y

(b) medios de segundo circuito sensibles a  
25 la segunda señal de entrada para generar la cuarta  
señal.

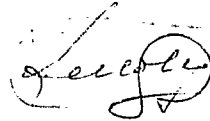
13.- "PROCEDIMIENTO PERFECCIONADO PARA  
REALIZAR MULTIPLICACIONES, DIVISIONES Y RAICES  
CUADRADAS, MEDIANTE UN CIRCUITO COMPUTADOR ANALOGICO".

30 Consta la presente memoria descriptiva de

veintinueve hojas mecanografiadas y de dos hojas  
dobles de dibujos.

Madrid, a 31 de Enero de 1.974

THE BAILEY METER COMPANY  
p. a.

A handwritten signature in cursive script, appearing to read "Lecole", is written over a faint horizontal line.

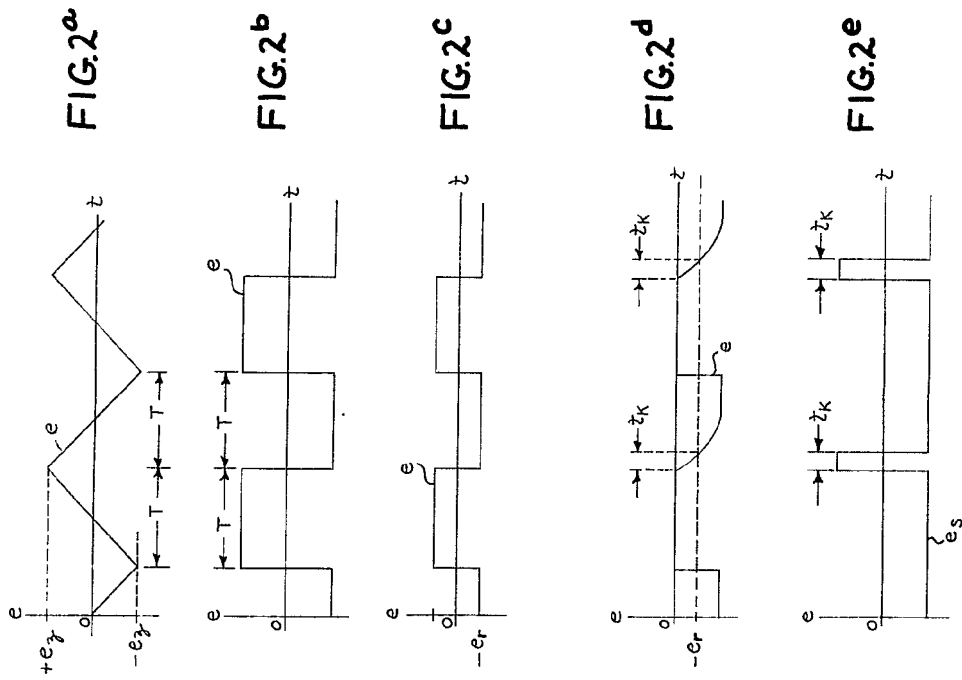
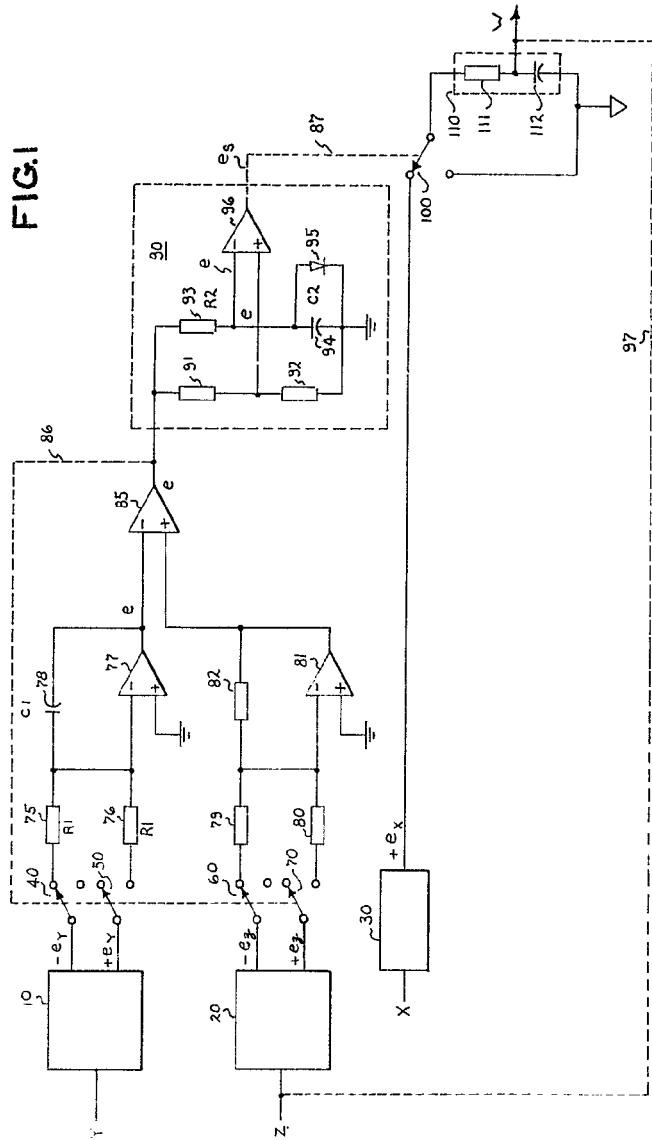


FIG. 1



Madrid, 31 de Enero de 1974

*[Handwritten signature]*

# THE BAILEY METER COMPANY

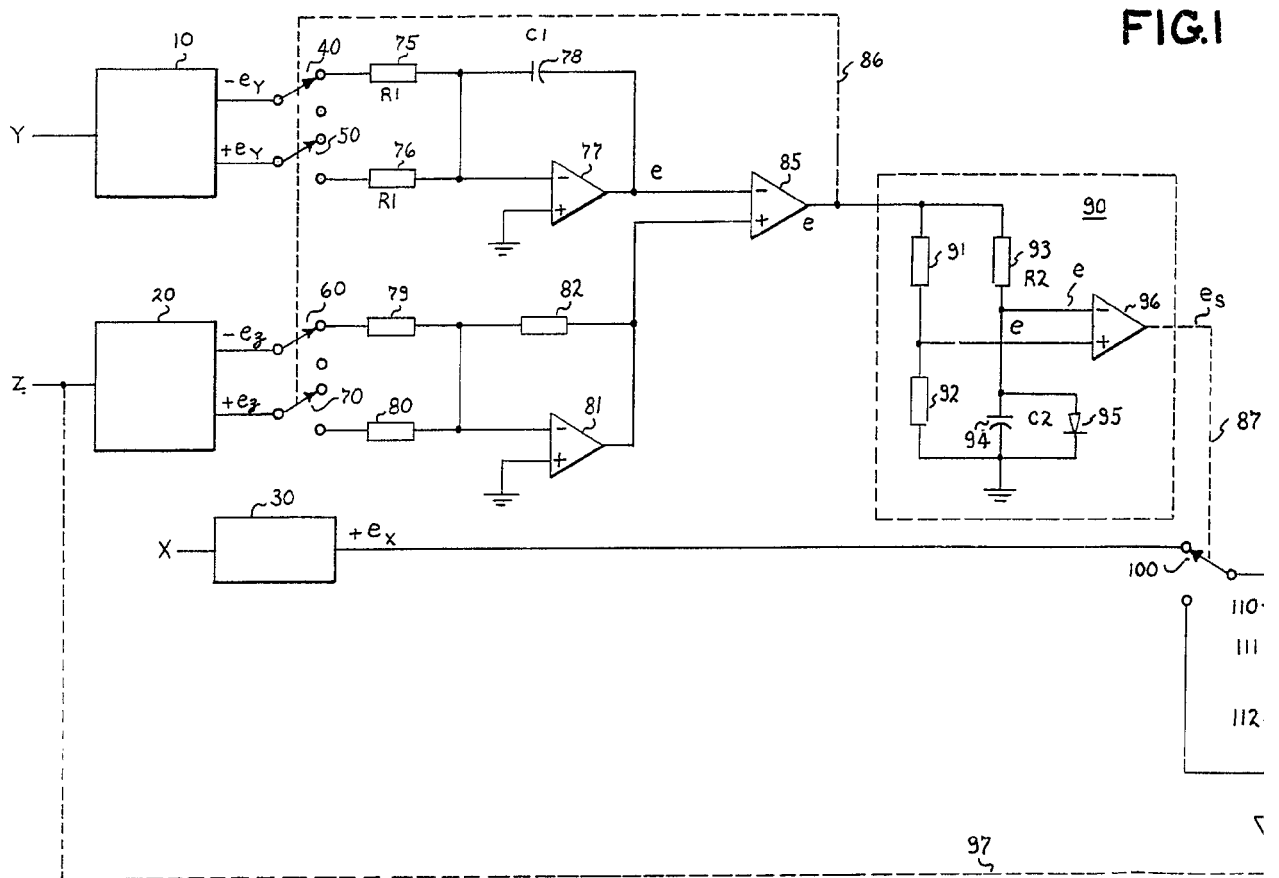


FIG. 1

FIG.1

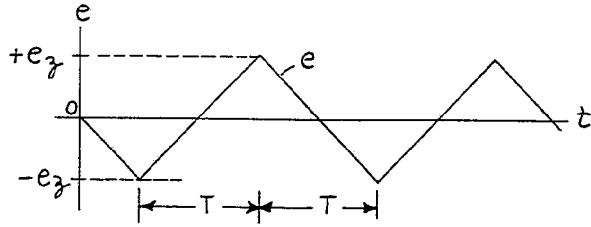
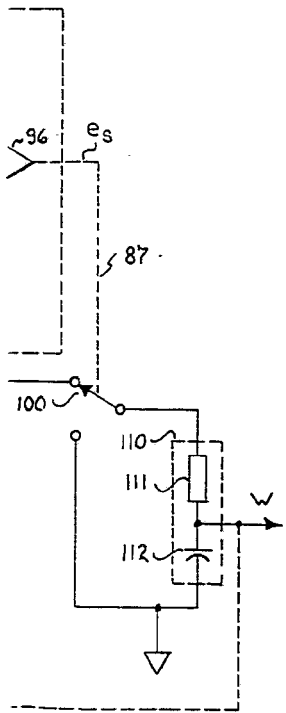


FIG.2<sup>a</sup>

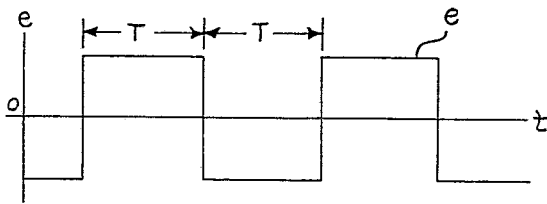


FIG.2<sup>b</sup>

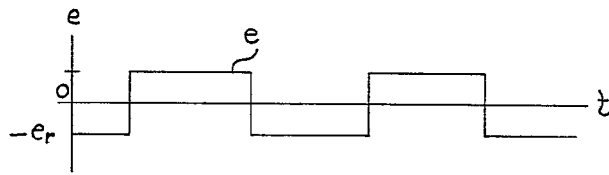


FIG.2<sup>c</sup>

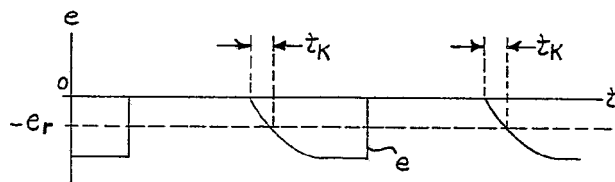


FIG.2<sup>d</sup>

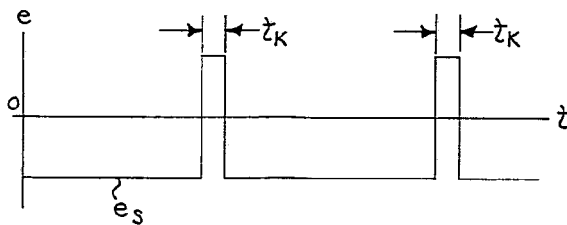


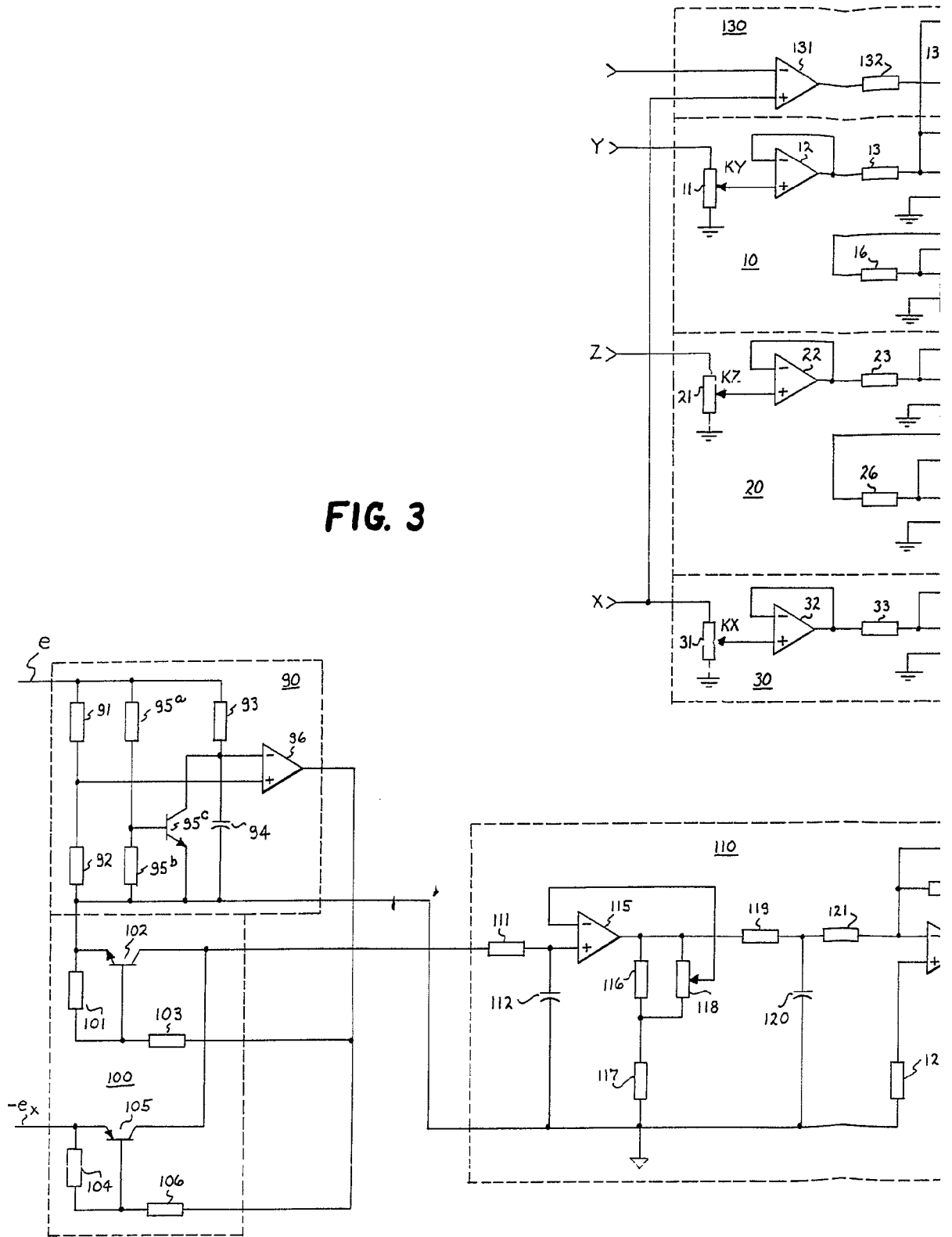
FIG.2<sup>e</sup>

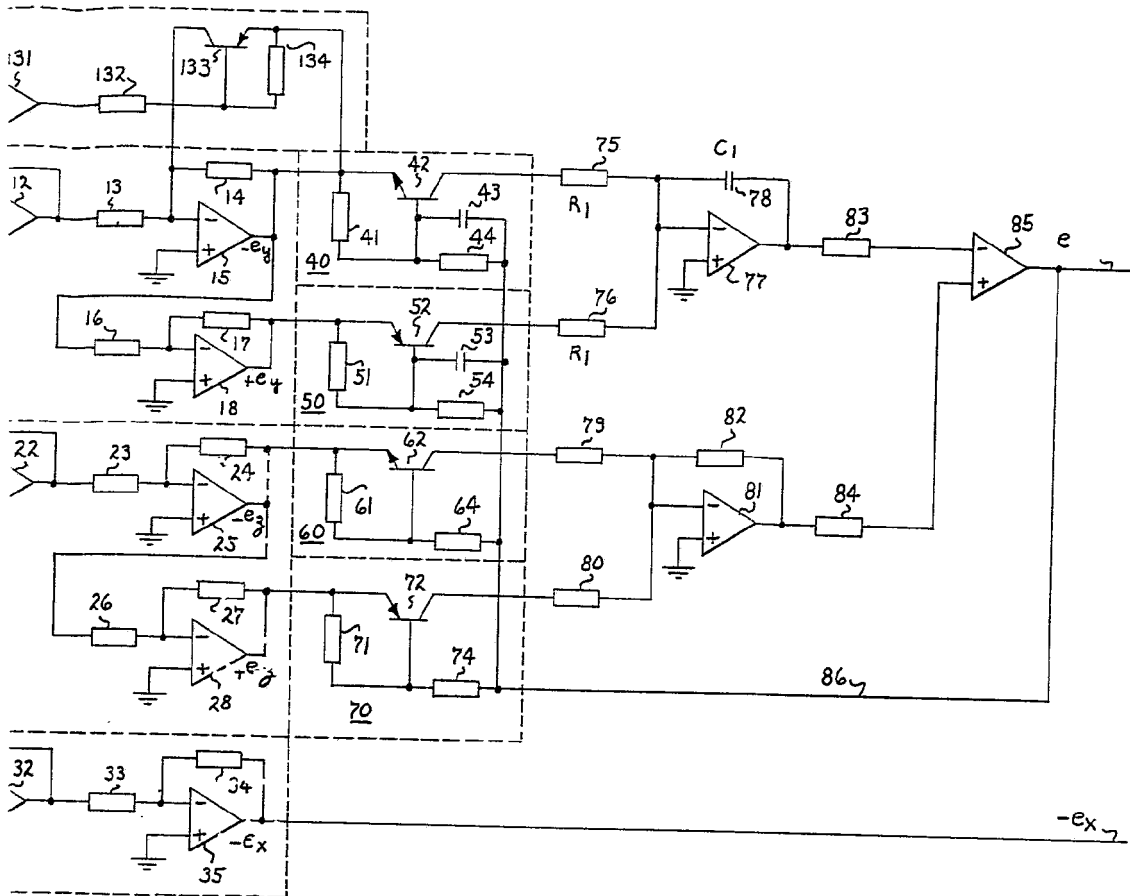
Madrid, 31 de Enero de 1974



# THE BAILEY METER COMPANY

FIG. 3





Madrid, 31 de Enero de 1974

MARCO ANTONIO  
P. - *(Signature)*