

REF: Case D/ 72342.

- 9 JUN. 1976

CONCEDIDA

Cl. G 06 F

Nº 422.491.

MEMORIA DESCRIPTIVA

correspondiente a la solicitud de una

PATENTE DE INVENCION

Solicitante: XEROX CORPORATION

Domicilio: XEROX SQUARE.- ROCHESTER.- N.Y.- ESTADOS UNIDOS.

Enunciado: UN METODO Y SU CORRESPONDIENTE APARATO DE PROCESO DE DATOS.

Prioridad: de la solicitud de patente estadounidense 325.479 del 22 enero de 1.973.

---

EXTRACTO DE LA DESCRIPCION

Periódicamente se describen circuitos de detección de fallos de funcionamiento para sistemas de proceso de datos que contienen una memoria de control microprogramable. Dicha detección de fallos se realiza simultáneamente con el tratamiento de datos normal en tiempo compartido. Se han descrito igualmente unos medios para almacenar la información de fallos y el estado de dicho sistema en el momento de la detección de los fallos, así como un terminal conectado con el sistema por medio de líneas de comunicación para permitir la realización de diagnósticos de "software" y la lectura de toda la información de fallos almacenada.

ANTECEDENTES DEL INVENTO

El invento está relacionado con circuitos de detección de fallos que funcionan continuamente y que están destinados a ser utilizados en un sistema de proceso de datos, y más particularmente el invento se refiere a circuitos de aislamiento de fallos utilizados en una memoria de control microprogramada. Esta capacidad de detección de fallos se utiliza conjuntamente con equipos de registro de fallos así como un terminal situado a distancia para permitir la detección de los fallos en los sistemas de proceso de datos por personal de conservación situado a distancia.

Los sistemas de proceso de datos incluyen usualmente un archivo de programas de diagnóstico. Estos programas se llevan a efecto bien cuando existe una indicación de un defecto de funcionamiento, o en cualquier intervalo periódico determinado por un programa de conservación. En cualquier caso, si se encuentra un defecto de funcionamiento, no se sabrá claramente, en razón de la falta de un historial de

los datos, durante cuanto tiempo se ha producido el defecto de funcionamiento, y cual era el ambiente en el momento en que apareció inicialmente el defecto de funcionamiento. La mejora descrita aquí consiste en circuitos de detección de fallos que funcionan continuamente. Cuando se detectan fallos, el software registra toda la información pertinente existente en este momento y continúa con el proceso de datos normal. De este modo se puede conservar en memoria para su análisis futuro un historial continuo de todos los defectos de funcionamiento. De hecho, puede utilizarse un análisis estadístico de los datos de error acumulados para predecir los defectos de funcionamiento antes de que se produzcan, o para facilitar el rediseño de la computadora.

Un problema relacionado con lo que antecede incluye una computadora situada a distancia del personal de conservación. En el caso de fallos del sistema, la organización del servicio, en razón de la falta de información, puede delegar la persona no adecuada o puede delegar una persona provista de herramientas o piezas inadecuadas. Una mejora consistiría en disponer de un terminal situado a distancia de tal manera que la organización del servicio pueda realizar una operación de detección de fallo preliminar en el sitio situado a distancia, bien mediante la lectura de los datos de error recogidos por los procedimientos de detección de error mencionados más arriba, o utilizando aquellos programas de diagnóstico archivados que son aplicables al defecto de funcionamiento que se investiga. De este modo la organización de servicio dispondría de más información antes de mandar personal y piezas.

RESUMEN DEL INVENTO

Un objeto del invento consiste en proporcionar la facilidad de obtener una información continua de los fallos y de detectar los errores de un sistema de proceso de datos.

5 Esto se hace de dos maneras. En primer lugar, la memoria de control de un dispositivo microprogramado puede contener en ella un comprobador de circuito programado para ser activado periódicamente. Un temporizador genera una interrupción de prioridad apropiada de modo que los circuitos sean comprobados

10 y que los fallos sean transmitidos a un registrador de faltas. Otra fuente de información de los defectos de funcionamiento está constituida por los circuitos de detección de error y las estructuraciones de software que existen normalmente en los sistemas de proceso de datos. Ejemplos de ellos son las comprobaciones de paridad y las sumas de comprobación de los

15 flujos de datos. Los defectos de funcionamiento registrados a través de estos dispositivos serán transmitidos igualmente al registrador de faltas. Cuando se transmite una falta al registrador de faltas, la computadora se pone inmediatamente

20 en posición de espera para preservar toda la información ambiental. En este punto, se interrumpe el programa para pasar a una sub-rutina de software que interroga el registrador de faltas, determina el tipo de defecto de funcionamiento existente, y registra todos los datos apropiados relacionados con

25 el estado del sistema de proceso de datos en el momento de producirse el defecto de funcionamiento. Por tanto es posible generar en tiempo real un historial del funcionamiento del sistema.

Otro objeto del invento consiste en proporcionar un equipo tal que la investigación del fallo pueda reali-

30

zarse por personal de conservación situado a distancia. Para facilitar la descripción, se supondrá que existen varios sistemas de proceso de datos en la zona de acción de una organización de conservación. En el caso de un defecto de funcionamiento en cualquier punto, si el personal de conservación tiene la posibilidad de realizar en cierto grado un trabajo de detección de fallos en el sistema de proceso de datos mientras está todavía en la central de mantenimiento, se obtendrá una reducción importante de los costes de conservación. En el modo de realización descrito, el sistema de proceso de datos está conectado a través de un conjunto terminal de contacto interfacial de control y de datos, y a través de líneas telefónicas, o equipo equivalente, a un terminal remoto situado en el local de la organización de conservación. De este modo, el personal de conservación podrá realizar en el sistema de proceso de datos diagnósticos independientes y en directo, y podrá igualmente leer toda la información contenida en los registros de error.

Los objetos anteriores así como otros objetos, características y ventajas del invento podrán entenderse más claramente leyendo la siguiente descripción tomada conjuntamente con los dibujos adjuntos, y en los cuales:

La figura 1 es un diagrama en bloques general que representa los principales componentes del sistema de proceso de datos configurado para utilizar el invento;

La figura 2A representa un diagrama en bloques del equipo necesario para llevar a la práctica la memoria de control y el generador de dirección siguiente del Elaborador de Entrada-Salida, que se representa en la figura 1;

La figura 2B representa el flujo de datos desde

los varios puntos de contacto a través de los componentes principales del Elaborador de Entrada-Salida;

5 Las figuras 3A y 3B constituyen un diagrama de conexionado simplificado de la estructuración de la memoria de control;

Las figuras 4A, 4B, 4C y 4D representan un diagrama de conexionado simplificado del Multiplexor 4 a 1 y del Registrador D;

10 La figura 5A y la figura 5B son diagramas de conexionado simplificados del Multiplexor 2 a 1 y de la Memoria a Corto Plazo;

La figura 6 es un diagrama de conexionado simplificado de la Unidad Aritmética;

15 La figura 7 es un diagrama de conexionado simplificado del Generador de Paridad y de La Lógica de Comprobación de Paridad, así como del Selector de grupos de posiciones binarias;

Las figuras 8A, 8B y 8C constituyen un gráfico de circulación de la secuencia de comprobación de circuito;

20 La figura 9A es un diagrama lógico simplificado de la estructuración del Registro de Fallos;

La figura 9B representa el formato de los seis primeros bitios de información contenidos en el Registro de Fallos;

25 La figura 10 representa una lista de la memoria de control aplicable; y

La figura 11 representa una tabla de conversión entre términos nemónicos y el lenguaje de la máquina.

#### DESCRIPCION GENERAL DEL INVENTO

30 La figura 1 es un diagrama en bloques de un

sistema de proceso de datos que incorpora el invento. La Unidad de Proceso Central (CPU) 104 es una CPU microprogramada que se conecta con hasta ocho Módulos de Memoria 101, proporcionando un máximo de 64K de dieciseis bitios, a través de un Módulo de Control de Memoria (MCM) 102 que proporciona la lógica de conexión apropiada. El CPU funciona conjuntamente con un Cuadro de Control de Elaborador 103 y la lógica de interrupción apropiada contenida en el Interruptor Principal 106.

10                   Para eximir el CPU 104 del proceso que requiere tiempo y que consiste en transferir la información desde y hasta los Módulos de la Memoria y los Dispositivos Periféricos 111, se ha diseñado en este sistema un Elaborador de Entrada-Salida (IOP) 105 separado. En este caso, el IOP 105  
15                   constituye por sí mismo un dispositivo tipo CPU microprogramado con su propia memoria a corto plazo y su memoria de control. La información es transmitida desde un Dispositivo Periférico 111 a través de un Controlador de Dispositivo 110 al Nuevo Equipo de Conexión Interfacial Entrada-Salida (NIO)  
20                   109, a través del IOP 105, a través de la Barra de Memoria 107, y a través del MCM 102, hasta los Módulos de Memoria 101. Esta transferencia de la información es iniciada por el CPU. El CPU mandará al IOP por la línea de Conexión Interfacial  
25                   DIO 108 el mando apropiado que especifica el Dispositivo Periférico 111 particular, el número de palabras que han de ser afectadas y los emplazamientos de memoria en cuestión. Al recibir dicha información el IOP 105 iniciará y mantendrá esta transferencia de información sin que ninguna intervención ulterior sea necesaria por parte del CPU 104. Una  
30                   secuencia de comprobación de circuitos existe en la memoria de

control del IOP o del CPU. Para evitar la duplicación de la información, se describirá en lo que sigue solamente la estructuración del IOP.

5                   Además del circuito de detección de faltas, cada unidad del sistema tiene dispositivos de detección de faltas de software y de hardware incorporados. Todas las faltas de CPU se transmiten a un registrador de faltas del CPU. Todas las faltas en el resto del sistema se transmiten a un registrador de faltas situado en el Interruptor Principal 106. En cualquier caso, la detección de una falta da lugar a una interrupción que permitirá al CPU realizar el grado apropiado de registro de error antes de que el control de programa vuelva nuevamente a su función de tratamiento de datos normal. Estos circuitos de detección y de transmisión de fallos así como el software de registro de error se describirán más completamente en lo que sigue.

10

15

El operador local comunica con el sistema a través de un Terminal Local 113 que está conectado a la Unidad Interfacial NIO a través de la Unidad Interfacial Terminal de Control 112. De manera similar, un operador situado a distancia comunica con el sistema de proceso de datos a través de un Terminal Remoto 117 conectado al sistema por las líneas telefónicas 116 conectadas al conjunto de datos 115 y al controlador de conjunto de datos 114. Los controladores de unidad terminales previstos para conectarse con las máquinas de proceso de datos son bien conocidos en la técnica. Ejemplos de los mismos son el Controlador de Conjunto de Datos Xerox modelo 7601 y el Conjunto de Datos 103A de Bell System.

20

25

30                   Las figuras 2A y 2B constituyen un diagrama en

bloques general del IOP y la figura 2A en particular representa la estructuración de la Memoria solo para consulta (ROS) 201 que contiene el programa supervisor y la disposición de los circuitos generadores de dirección siguiente, y la figura 2B representa en particular los trayectos de circulación de datos a través del IOP hasta la Via de Memoria 258, el DIO 261 y las Unidades Interfaciales NIO 262.

En la figura 2A, el programa supervisor que controla todo el proceso de entrada-salida de datos está contenido en trece chips de memoria solo para consulta (ROM) que constituyen el Registro de Memoria solo para Consulta (ROS) 201. El ROS 201 está estructurado de tal manera que su capacidad sea de 256 palabras, cada una de 52 bitios de largo. Cinco de las líneas de salida 205 están conectadas de nuevo de manera directa a las líneas de direccionamiento del ROS para constituir los cinco bitios más significativos de la siguiente palabra en el programa al cual se debe acceder. Tres conjuntos de tres líneas cada uno 207, 208, 209, se utilizan para controlar tres chips de multiplexión, FA 202 FB 203 y FC 204. Las salidas de estos multiplexores se utilizan para determinar los tres bitios menos significativos de la siguiente dirección a la cual se desea acceder. Cada uno de dichos tres multiplexores tiene ocho funciones lógicas de entrada seleccionables. Por consiguiente, el programa tiene veinticuatro opciones de bifurcación para la generación de la siguiente dirección. Con esta estructuración, todas las contingencias relacionadas con el programa supervisor pueden ser especificadas como entradas de multiplexor que dan lugar a una bifurcación hacia la parte del programa supervisor que habia sido estructurado para prestar

servicio a esta contingencia. Las treinta y cinco líneas de Microcontrol restantes 206 se utilizan para controlar la circulación de datos y de informaciones a través de las porciones restantes del IOP o se utilizan como salidas discretas hacia el CPU o el Controlador de Periféricos. Estos se describirán más adelante.

La figura 2B representa la circulación de datos e informaciones de dirección a través del IOP 105 de la figura 1. Una transferencia de datos típica se inicia cuando el IOP recibe del CPU por la Unidad Interfacial DIO 261 una orden para suministrar a, o recibir de algún Dispositivo Periférico 111 un cierto número de grupos de posiciones binarias y el emplazamiento de la palabra en la Memoria Principal 101 que corresponde a la primera palabra del bloque de memoria que ha de ser afectada. La dirección de la primera palabra del bloque de memoria en cuestión es la dirección de la palabra y el número de grupo de posiciones binarias que ha de ser afectado en esta transferencia de datos es el recuento de grupos de posiciones binarias. Cuando recibe esta información, el IOP empieza la transferencia de la información entre la Vía de Memoria 258 y la Unidad Interfacial NIO 262 sin otra intervención del CPU.

La Memoria a Corto Plazo 251 está constituida por ocho chips bipolares de memoria de acceso aleatorio (RAM) con una capacidad de almacenado total de treinta y dos palabras de dieciseis bitios. Esta memoria está dividida en dieciseis canales que contienen cada uno trece palabras dobles de dos bitios. Los primeros dieciseis bitios contienen la dirección de palabra de la primera palabra del bloque de memoria. Ya que la dirección de palabra tiene una

longitud de dieciseis bitios, puede designar cualquier emplazamiento en toda la memoria 101 de 64K. La segunda mitad de la primera palabra doble contiene tres bitios indicadores en los tres bitios más significativos, seguidos por trece bitios de la cuenta de grupos de posiciones binarias.

Durante una transferencia típica de datos, cuando cada grupo de posiciones binarias es transferido hasta o a partir de la Memoria Principal, la dirección de palabras se incrementará en una unidad en cada segundo grupo de posiciones binarias para indicar la siguiente palabra que ha de ser tratada y la cuenta de grupos de posiciones binarias se reducirá en una unidad para indicar el número de grupos de posiciones binarias que quedan por transferir. Estas funciones se realizan en la Unidad Aritmética 252. Al ser transferido cada grupo de posiciones binarias, el programa de memoria de control cicla el contenido de la Memoria a Corto Plazo 251 a través de la Unidad Aritmética 252 donde el contenido será reducido o aumentado de manera correspondiente, a través del Multiplexor 2 a 1 250 y volverá de nuevo a la Memoria a Corto Plazo 251. Las funciones aritméticas necesarias para el IOP son disponibles en el control de microprograma.

La dirección de palabra y la cuenta de grupos de posiciones binarias se reciben a partir del CPU por la Unidad Interfacial DIO 261 y se aplican eventualmente a la Memoria a Corto Plazo 251. Sin embargo, la información recibida en el convertidor de dirección 259 es de hecho el indicador de número de un dispositivo periférico y no puede utilizarse directamente para direccionar una posición en la Memoria a Corto Plazo. Para realizar este traslado, el Con-

vertidor de Dirección 259, constituido por un ROM, se programa para convertir las direcciones de dispositivos periféricos en direcciones de Memoria a Corto Plazo de modo que la cuenta de grupos de posiciones binarias y la dirección de palabras puedan aplicarse al canal adecuado de la Memoria a Corto Plazo. Como se sabe ya, si una palabra se encuentra ya en la Memoria a Corto Plazo 251 puede ser modificada en la Unidad Aritmética 252 y circular por la línea 264 volviendo a través del Multiplexor 2 a 1 250 a la Memoria a Corto Plazo. Sin embargo, se utiliza un circuito diferente para cargar inicialmente la Memoria a Corto Plazo. En particular, la dirección de palabra y la cuenta de grupos de posiciones binarias se reciben a partir del CPU por la Unidad Interfacial DIO 261, se elige y se dirige a través del Multiplexor 4 a 1 253 y se sincroniza en el Registrador de Datos 254. A continuación, esta información es disponible a través de la línea 263, se selecciona en el Multiplexor 2 a 1 250 y se sincroniza en la Memoria a Corto Plazo sobre el siguiente impulso de reloj.

A partir de este punto, el número especificado de palabras puede ser transferido entre la Memoria Principal 101 y el Dispositivo Periférico 111 sin intervención del CPU 104 de la manera siguiente. Cuando se carga la Memoria a partir de un Periférico, la información se manda a través de un Controlador de Periféricos 110, a través de la Unidad Interfacial NIO 262, a través del Multiplexor 4 a 1 253 y se sincroniza en el Registrador de Datos 254 sobre el primer impulso de reloj. La información es ahora disponible en la línea 263 para la Via de Memoria 258. Para transferencia desde la Memoria hasta un dispositivo periférico, los datos

se mandarán a través de la Línea de Datos de Via de Memoria 265 al Multiplexor 4 a 1 253 y a continuación se sincronizará en el Registro de Datos 254. En este momento, los datos serán disponibles en la Unidad Interfacial NIO 262 a través  
5 del Selector de Grupos de posiciones binarias 260.

Una característica del sistema consiste en que la Via del NIO 262 que conecta el IOP 105 y el Controlador de Periféricos 110, es una Via de nueve líneas que puede manejar a la vez un grupo de posiciones binarias más la paridad,  
10 mientras que la Memoria 258 y las Vias DIO 261 son Unidades Interfaciales de dieciocho líneas que manejan dos grupos de posiciones binarias en paralelo. De este modo, tomando el ejemplo de una transferencia de datos desde un Periférico a la Memoria, los grupos de posiciones binarias serán sincronizados por grupos en serie, se unirán en el Registro de Datos 254 y a continuación se transferirán en paralelo a la  
15 Memoria. Por otra parte, los datos recibidos a partir de la Memoria se introducirán en el Registro de Datos y a continuación se elegirán bajo la forma de un grupo de posiciones binarias a la vez por el Selector de Grupo de posiciones binarias 260 para ser mandadas por la Unidad Interfacial NIO 262 al Controlador de Periféricos.  
20

Las partes restantes de la figura 2B están relacionadas con consideraciones de paridad. Normalmente,  
25 los datos son transferidos bajo la forma de uno o dos grupos de posiciones binarias a la vez, consistiendo cada grupo de posiciones binarias en ocho bitios de datos y un bitio de paridad. Cada vez que dieciseis bitios de datos se sincronizan fuera del Registro de Datos 254 se aplican a un Generador de Paridad 255 que produce dos bitios de paridad. Es-  
30

tos bitios se comparan con los dos bitios de paridad que han sido transferidos con los datos. Este proceso de comprobación asegura que los datos son transmitidos sin pérdida de información ni generación de error. Mientras que la lógica asociada con el Registro de Datos 254 manipula los bitios de paridad, la Memoria a Corto Plazo 251 no lo hace. Por consiguiente, cuando la información de dirección sale de la Unidad Aritmética 252 por la línea 264 hacia la Via de Memoria 258, es preciso generar un bitio de paridad por cada grupo de posiciones binarias. Esto se hace en el Generador de Paridad 257. Este generador de paridad está situado en realidad en el Módulo de Control de Memoria 102 pero se representa en la figura 2B para ilustrar todo el sistema de paridad.

El análisis del esquema de IOP que se da en las figuras 3 a 7 puede hacerse de la siguiente manera: en primer lugar se hará una descripción de la organización de la Memoria solo para Consulta y de los circuitos que general la siguiente dirección del programa. En segundo lugar se hará un análisis de aquellos circuitos necesarios para realizar la circulación de datos descrita en la figura 2B; es decir la circulación de informaciones y datos a través del IOP desde y hasta el DIO, el NIO y las Unidades Interfaciales de Memoria. En tercer lugar, se definirán las líneas de control del microprograma supervisor que controla la lógica y la circulación de datos en el Elaborador de Entrada-Salida. En cuarto lugar se dará una explicación de las funciones lógicas de las opciones bifurcadas proporcionadas en la porción de generador de dirección siguiente del circuito de control de programa. En quinto lugar, se describirá la comunicación real entre dispositivos en una secuencia de transferen

cia de datos típica.

Haciendo ahora referencia a la estructuración de la Memoria de Control de las figuras 3A y 3B, el microprograma supervisor está contenido en la Memoria solo para Consulta que está constituida por los chips de memoria solo  
5 para Consulta 305 a 308 y 312 a 320. Cada uno de estos ROM tiene ocho líneas de entrada codificadas y una salida de cuatro bitios que dotan cada ROM de una capacidad de 256 por 4 bitios. Ya que existen 13 ROM, la capacidad total de memoria  
10 es de 256 palabras y cada palabra tiene una longitud de 52 bitios. Las líneas de salida de los ROM son las Líneas de Microcontrol IOP y se describirán más adelante. La dirección de programa siguiente es generada por las Unidades de Arrastre de Dirección 301 a 304. Las unidades de arrastre  
15 301 y 302 funcionan en paralelo con las unidades de arrastre 303 y 304 en razón de la carga de las líneas. Los cinco bitios más significativos de la salida de las Unidades de Arrastre de Dirección son determinados directamente a partir del campo FD, de las líneas FD00-FD04, mientras que los tres  
20 bitios menos significativos son funciones de los multiplexores bifurcados 309, 310 y 311. Cada multiplexor de bifurcación tiene ocho entradas de funciones lógicas y tres líneas de control codificadas de modo que cada multiplexor puede elegir una de las ocho funciones para aplicarla a las Unidades de Arrastre de Dirección, dando al programa un total  
25 de 24 opciones bifurcadas posibles. Estas entradas de función lógica se describirán más adelante.

Las figuras 4A, 4B, 4C y 4D representan el Multiplexor 4 a 1 253 y el Registro de Datos 254. El Registro de Datos está constituido por cuatro registros de datos de  
30

cuatro bitios 402, 404, 425 y 427 y maneja 16 bitios en paralelo. Las entradas son obtenidas a través de una red de puertas que funcionan como un multiplexor inversor 4 a 1. Las entradas de esta red de puertas proceden de la Unidad Aritmética 252 o del DIO 261, del NIO 262 o de la Unidad Interfacial de Memoria 263. Ya que la lógica del multiplexado y los Registros de Datos para cada grupo de 4 bitios son idénticos, la figura 4C representa solamente el detalle del circuito de los primeros 4 bitios del segundo grupo de posiciones binarias. Los multiplexores 401, 403 y 426 son de construcción similar a la red representada por las puertas 405 a 424. De manera similar, los Registros de Datos 402, 404 y 427 son similares al Registro de Datos 425 que se representa detalladamente. Se observará que los bitios de paridad que acompañan normalmente los datos de memoria y los datos procedentes de un dispositivo de entrada-salida no son manejados por este canal. Se aplican directamente al Generador de Paridad 255 a través de una lógica separada. Las puertas 405 a 409 constituyen un elemento del Multiplexor de 16 elementos 4 a 1. Las líneas de control y las líneas de entrada de datos para este elemento son las siguientes: DXIO es la línea de control de NIO, DXM es la línea de control de memoria, DXS es la línea de control de sumador y DXDIO es la línea de control de DIO. NIDAR00 es un bitio de datos de NIO. NMRD08 es un bitio de datos de memoria. S08 es un bitio de datos de Sumador y NDB08 es un bitio de datos de DIO. Se hace constar que el bitio menos significativo de los datos de NIO se aplica al segundo grupo de posiciones binarias del Registro de Datos. Esto se debe a que la Unidad Interfacial NIO es una Unidad Interfacial de 9 líneas

que maneja a la vez un grupo de posiciones binarias. Por consiguiente, dos grupos de posiciones binarias completos procedentes de la Unidad Interfacial NIO deberán ser introducidos en el Registro de Datos antes de que la palabra de 16 bitios completa pueda ser mandada a la Via de Memoria (a no ser que se necesite una escritura parcial).

Las figuras 5A y 5B contienen los esquemas del Multiplexor 2 a 1 250, de la Memoria a Corto Plazo de acceso aleatorio 251 y del Convertidor de Dirección de Memoria 259 del IOP 105. Ya que ambos grupos de posiciones binarias son manipulados de manera idéntica a través del Multiplexor 2 a 1 y de la Memoria a Corto Plazo, se suministra solamente un esquema del primer grupo de posiciones binarias. La figura 5A representa cuatro chips de Memoria a Corto Plazo de acceso aleatorio 501 a 504, que contienen cada uno 32 por 2 bitios de información y que proporcionan una memorización de palabra total de 32 palabras de 16 bitios. Las 32 palabras de la memoria contienen 16 direcciones de memoria y 16 recuentos de grupos de posiciones binarias. Cada dirección de palabra indica una posición en la Memoria Principal 101 a la cual puede tenerse acceso o que puede ser almacenada por un Dispositivo Periférico 111, y la cuenta de grupos de posiciones binarias corresponde al número restante de Grupos de Posiciones Binarias que deben ser tratados por este Dispositivo Periférico particular. Las 5 líneas de dirección de entrada codificadas hacia la Memoria a Corto Plazo están marcadas RA0-RA4 y las 16 líneas de salida están marcadas R00-R15. Las 16 líneas de datos de entrada, marcadas R100 a R115, son accionadas por los dos Multiplexores 2 a 1 509 y 510 en la figura 5A. Estos Multiplexores son controlados

por la línea de microcontrol RXD, que determina si se sincronizará en la Memoria a Corto Plazo la salida del Registro de Datos o la salida del Sumador. Las salidas del Sumador están marcadas S00-S07 y las salidas del Registro de Datos están marcadas D00-D07.

En la figura 5B, los chips de memoria solo para consulta 514 y 515 son necesarios para transferir los números de dispositivos periféricos que entran por las Unidades Interfaciales DIO y NIO en emplazamientos de la Memoria a Corto Plazo. Esto es necesario porque los números de dispositivos periféricos asignados a los Dispositivos Periféricos durante la generación de software no corresponden a los emplazamientos de la Memoria a Corto Plazo. Por tanto, es necesario realizar una traslación. La información de direcciones procede del NIO por la línea NIDAR00 a través del NIDAR07 y a partir del DIO por las líneas NDA11-NDA14. El Registro de Datos 516 asegura que la información será fichada en las líneas de dirección con la secuencia de tiempo apropiada.

Una función del chip 517 de Multiplexor 2 a 1 consiste en proporcionar la estructuración adecuada de los bitios indicadores de encadenamiento de datos y de interrupción. Tal y como se ha indicado más arriba, los tres primeros bitios de la palabra de recuento de grupos de posiciones binarias son el bitio de error, el bitio de encadenamiento de datos y el bitio de interrupción. Cuando se trata un recuento de grupos de posiciones binarias, el Multiplexor 2 a 1 517 elegirá el bitio R01 y utilizará este como bitio indicador de encadenamiento de datos. Elegirá también el bitio R02 y lo utilizará como bitio indicador de interrupción.

Esta selección es producida por la línea RA4 que indica que un recuento de grupos de posiciones binarias ha sido tratado. Las dos señales de salida DC/S y IF/S se aplican al Registro de Datos 518 y la salida de este Registro de Datos se aplica a su vez de nuevo a este Multiplexor 2 a 1 517. El resultado es que si se trata un recuento de grupos de posiciones binarias, los bitios 1 y 2 se utilizarán como bitios indicadores de encadenamiento de datos y de interrupción. Por otra parte, mientras no se realiza un recuento de grupos de posiciones binarias, el Registro de Datos 518 mantendrá en vigor el estado apropiado de estos dos bitios indicadores.

La figura 6 es un esquema de la Unidad Aritmética 252 del IOP 105 que ha sido estructurada para realizar las siguientes funciones: transmitir sin cambio los datos, reducir en 1 R03 a R15, incrementar en 1 R00 a R15, obligar todos los bitios de salida a tomar el valor 1 o invertir R00 a R15. Normalmente, una Unidad aritmética de 16 bitios está compuesta de 4 chips de unidad lógica aritmética de 4 bitios. Sin embargo, en razón de consideraciones de precio y de la capacidad de función aritmética limitada necesaria en este caso, la unidad aritmética ha sido estructurada con 7 ROM. Para demostrar el funcionamiento de esta unidad aritmética, se indica que bajo el control de microprograma, la línea SPO es activa y solicita un incremento de una unidad de los datos de entrada. Las unidades ROM 605, 606 y 607 generan solamente datos de acarreo. La conversión real, en este caso el incremento real en una unidad, se hace en los ROM 601 a 604. Los bitios menos significativos están contenidos en el ROM 604 que está ajustado de tal manera que los datos de salida sean siempre superiores en una unidad a los datos de en

trada. Si de hecho las entradas R12, R13, R14 y R15 son todas iguales a 1, entonces un acarreo será generado y será producido en el ROM 607. El acarreo generado se aplica al ROM 603 por la línea IS11CB que produce una cuenta incrementada en este ROM. Además, si los R08 - R15 son todos unos 1 entonces se generará un acarreo en ambos ROM 606 y 607 y se aplicará a los ROM 601 y 602. Finalmente, si todos los bits R04 a R15 son unos 1 se generará un acarreo y se mandará al ROM 601. En todos los casos, la salida será incrementada en un 1 respecto a la entrada.

La figura 7 es un esquema de las líneas de salida que conduce a la Unidad Interfacial NIO 262, al Generador de Paridad 255 y al Dispositivo de Verificación de Paridad 256. Los 16 bits de datos procedentes de los Registros de Datos D00 a D15, se aplican a los chips 721 y 722 de Selector de Grupos de Posiciones Binarias. La multiplexión es necesaria en este caso ya que la Unidad Interfacial NIO puede manejar solamente un grupo de posiciones binarias. Por tanto, bajo el control del microprograma, los datos son fichados a la salida un grupo de posiciones binarias a la vez. Los bits de paridad son generados en los Generadores de Paridad 723 y 724 y mandados por las líneas DBPO y DBP1. Cuando se introducen datos en el Registro de Datos a partir del DIO, del NIO o de la Memoria, serán normalmente acompañados por un bit de paridad por cada grupo de posiciones binarias. Estos dos bits de paridad, DPO y DP1 aparecen bajo la forma de entradas en el ROM 725. De manera simultánea, las salidas del Registro de Datos son recibidas en las entradas del ROM 723 y 724 que generan también los bits de paridad DBPO y DBP1. Estos 4 bits de paridad se mandan al

ROM 724 que está mecanizado para indicar cualquier error de paridad. El bitio de error de paridad sale por la línea DPE, y bajo el control de microprograma, puede ser fichado a través de la Puerta 726 para aparecer en la línea EBR, es decir la línea indicadora de error de bifurcación.

Volviendo a los esquemas de Memoria de Control de las figuras 3A y 3B, la circulación de la información y de los datos a través del Elaborador de Entrada-Salida es controlada por el microprograma supervisor situado en la Memoria solo para Consulta, y más particularmente, cada función del Elaborador de Entrada-Salida es controlada por una de las 49 líneas de control procedentes de la Memoria solo para Consulta. Las funciones realizadas por estas líneas de control son las siguientes.

La línea RXD controla el Multiplexor 250 2 a 1. Si el nivel de la línea RXD es elevado, la Memoria a Corto Plazo 251 recibirá el contenido del Registro de Datos 254. Si el nivel de la línea RXD es bajo, la salida del Sumador 252 se introducirá en la Memoria a Corto Plazo. Esta línea se representa en la figura 5A bajo la forma de una entrada a los Multiplexores 2 a 1, 509 y 510.

La línea RA4X1 es una línea de selección preajustada de recuento de grupos de posiciones binarias de RA4. RA4 es una entrada al Registro de Datos 517 de la figura 5B que ha sido descrita más arriba con referencia a los bitios indicadores de encadenamiento de datos y de interrupción. La misma línea se utiliza también como bitio menos significativo en el esquema de direccionamiento de memoria de acceso aleatorio en la figura 5A. Por tanto los recuentos de grupos de posiciones binarias se introducirán en las direc-

ciones impares de la Memoria a Corto Plazo.

La línea RAXIN permite al Convertidor de Dirección 259 transferir el número de dispositivo periférico que llega a la Unidad Interfacial DIO en un emplazamiento de la Memoria a Corto Plazo. Esta línea es una entrada del Registro de Datos 516 de la figura 5B, cuya salida permite que las salidas de los Convertidores de Dirección 514 y 515 sean fichados en las líneas de dirección de Memoria a Corto Plazo.

La línea RWX1 es la línea de preajuste de Memoria a Corto Plazo que indica que una dirección de palabra o un recuento de grupos de posiciones binarias será actualizado en el siguiente impulso de reloj.

La línea SMO permite que la salida del Sumador 252 sea reducida en una unidad respecto a la entrada. Esta línea constituye una de las entradas de los RCM 601 a 607 en la figura 6. La línea SPO es similar a la línea SMO salvo que la salida del Sumador será incrementada en lugar de ser reducida. La línea STO permite que la salida del Sumador indique la terminación de la transferencia de datos por medio de uno de cinco tipos de órdenes de terminal. Las líneas SMO, STO y SPO se utilizan conjuntamente para hacer que la salida del Sumador genere el orden de terminal apropiado. La primera se emplea cuando la transmisión de datos ha sido interrumpida por la existencia de una prioridad más importante pero se reanudará después de que la interrupción ha sido arreglada. La segunda se produce como resultado del hecho de que el recuento de grupos de posiciones binarias ha tomado el valor cero. La tercera es una simple pausa en la transmisión de datos. La cuarta es una pausa debida a un error de conexión y la quinta es una orden de terminal ba-

sada en una interrupción y una pausa cuando no se prevé que la transmisión de datos se reanudará después de tratar la interrupción. Estos son los cinco tipos de órdenes de terminal que pueden ser mandadas en todas las condiciones posibles y son necesarias para que el Supervisor de Periféricos pueda proseguir eficazmente su operación siguiente.

Las cinco siguientes líneas de control constituyen el campo DC de la salida del microprograma. Estas líneas controlan el Multiplexor 4 a 1 253 y por tanto determinan lo que se introducirá en el Registro de Datos de la figura 4C. La línea DXS permite introducir los datos en el Registro de Datos a partir del Sumador 252. La línea DXDIO permite que dos grupos de posiciones binarias procedentes de la Via de Datos DIO sean fichados en el Registro de Datos. La línea DX10 permite que los datos sean fichados en el Registro de Datos a partir de la Unidad Interfacial NIO 262. Sin embargo, la Unidad Interfacial NIO trata cada vez un solo grupo de posiciones binarias y por tanto es preciso tomar una decisión respecto a la mitad del Registro de Datos en la cual estos datos de NIO se introducirán. Esta decisión se hace por las siguientes dos líneas DOINH y D1INH cada una de las cuales bloquea una mitad del Registro de Datos, permitiendo que los datos sean fichados en la otra mitad correcta del Registro de Datos.

Las siguientes tres líneas constituyen el campo de IT y controlan las pruebas que se realizan durante una comunicación IO. La línea FSTXSC tiene la función lógica de fichar la llamada de mantenimiento en el flip-flop FST 518 de la figura 5B cuando la llamada de mantenimiento procedente del Periférico es importante. Esta señal de FST se utili

za en el Mux FC 309 de la figura 3A para controlar la bifurcación del programa hacia una sub-rutina que tratará esta llamada de mantenimiento. La línea FNCTXR que está conectada a las puertas 727 y 728 en la figura 7 permite el posicionamiento de la línea FNCT1, una salida del Registro 730, en una de dos condiciones posibles, o bien la línea EBR, entrada de la puerta 727 tiene un potencial alto indicando un estado de error de bifurcación o REO, o bien una salida en paralelo de los ROM 723 y 727, tiene un nivel elevado indicando que la cuenta de grupos de posiciones binarias es un 1. En cualquier caso, el significado del FNCT1 será que la siguiente transmisión será la última de esta serie de transmisiones de datos. Esta característica se utiliza también en la Unidad de Auto-comprobación, que se describe más adelante.

La línea FNCTXS selecciona los resultados de la prueba del Sumador de la cuenta de grupos de posiciones binarias en el flip-flop 730 de la línea FNCT1 a través de las puertas 731, 734, 735. El nivel de la línea FNCT1 será bajo si la cuenta de grupos de posiciones binarias no es un 1. La línea FNCT1 es disponible en el Mux del FC para proporcionar bifurcaciones hacia sub-rutinas apropiadas en el programa supervisor.

Continuando la descripción de las líneas de control de la figura 3, las siguientes dos líneas constituyen el campo del IF. La línea FNCT1X1, aplicada a la puerta 732, ajusta simplemente el flip-flop 730 del FNCT1 en un nivel elevado. Esto existe como opción del microprogramador en la generación de su programa supervisor. De manera idéntica, la línea FSTX1, entrada hacia el registro 518, ajusta la línea del FST en un nivel elevado. Esto se describirá más adelante con la descripción de la comunicación entre el

Controlador de Periféricos, el CPU y el IOP durante una transferencia de datos normal.

5 Las cinco líneas siguientes, que constituyen el campo IO, son una continuación del grupo de líneas de control de comunicación que son necesarias para la transferencia de datos. La línea TMX1 de la figura 5B obliga al IOP a funcionar en uno de sus dos modos de inversión de línea. Uno o ambos pueden ser utilizados según el contenido del Registro de Datos cuando se recibe este bitio indicador. Es-  
10 tos niveles de comprobación del IOP se producen como sub-rutinas de programa supervisor y se obtienen de la siguiente manera.

15 El primer nivel de comprobación consiste en mandar datos a partir de la Unidad Interfacial NIO 262 a través del IOP y de nuevo al Módulo de Control de Memoria 102 ajustando FST en un valor alto (figura 5B, puerta 520). Esto asegura la comprobación de los circuitos de lógica IOP-Memoria, algunos de los circuitos de Unidades Interfaciales IO y el microcódigo (llamado modo interno de inversión de línea).  
20 El nivel del segundo modo de inversión de línea se utiliza conjuntamente con el software de diagnóstico de nivel de sistema que ejercita las capacidades completas de transferencia de datos. Esto se hace por medio de una inversión de línea en un controlador externo conectado a la Unidad Interfacial NIO. La línea de control IOXDO es una entrada al  
25 Registro de Datos 721 y 722 en la figura 7. Controla cual de los dos grupos de posiciones binarias de datos contenidos en el Registro de Datos se mandará a la Unidad Interfacial NIO de un grupo de posiciones binarias. Si el nivel de esta  
30 línea es elevado, se emite el primer grupo de posiciones bi

narias y si el nivel de esta línea es bajo se emite el segundo grupo de posiciones binarias. La línea DSOX1 dispara el flip-flop DSO 737 de la figura 7 cuando su nivel es alto y lo hace volver a cero cuando su nivel es bajo. El flip-flop DSO es un flip-flop repetidor que solamente tiene en cuenta la línea DSOX1 que tendrá un nivel alto si los datos recibidos o emitidos por la IOP son válidos. La línea de mantenimiento se aplica a la Puerta 738 de la figura 7. El objeto de esta línea consiste en detener el ritmo en el IOP hasta que se reciba un DSI. La línea de control de DSI asegura la comunicación con el Controlador de Periféricos 110 y se utiliza cuando el IOP ha terminado una transmisión de datos al Controlador de Periféricos y está esperando una señal procedente del Controlador de Periféricos indicando que el Controlador de Periféricos ha procesado los datos y está ahora dispuesto para la siguiente transmisión. La línea IRELX1 se utiliza como parte de la lógica de prioridad. Normalmente, cualquier transmisión de DIO tiene prioridad sobre una transmisión de NIO. Sin embargo, se plantea un problema durante el tiempo en que este control es transmitido desde un Controlador de Periféricos a otro. Durante este periodo de reloj el IRELX1 es activo para liberar la lógica de prioridad y permitir que el siguiente Controlador de Periféricos sea conectado para el servicio antes de permitir que actúe en él una llamada de mantenimiento de DIO de prioridad superior. La entrada del Mux FC 309, ISAMP/EN es una función lógica de IRELX1 y tienen como resultado una bifurcación hacia una subrutina supervisora de memoria de control.

En la figura 3B, las siguientes cuatro líneas, que constituyen el campo de MI, controlan la Via de Memoria

258. La línea LXS conduce a un registro de dirección IOP y permite que la salida del Sumador, la cual en este caso es una dirección de palabra, sea fichada en un registro de dirección de memoria, y a continuación en el MCM 102. Estos registros están asociados con la Via de Memoria 258. El MWOX1 y MW1XL preajustan los flip-flops que se mandan igualmente al MCM y son las dos líneas de control de grupos de posiciones binarias que permite que cada grupo de posiciones binarias sea registrado independientemente del otro. Cuando ambos son exactos, los dos grupos de posiciones binarias se registran en la Memoria Principal. Cuando ambos grupos tienen un nivel bajo, los dos bitios se extraen de la memoria y en los casos de combinación existe la posibilidad de hacer un registro parcial. El programa de memoria de control de IOP tiene la posibilidad de microprogramar estas cuatro operaciones posibles de la Memoria. El último término en el campo MI es la línea MRX1. Esta preajusta un flip-flop repetidor y se emite al Módulo de Control de Memoria como solicitud de memoria para dejar que el Módulo de Control de Memoria sepa que el siguiente ciclo necesitará el acceso de los datos hacia o a partir de la Memoria.

Las cinco líneas siguientes constituyen el campo de DI. Este campo controla la Unidad Interfacial DIO. La línea CC3X1 y la línea CC4X1 dispara o reposiciona las líneas de código que vuelven al CPU y se utilizan para disparar o para reposicionar los bitios de desbordamiento y los bitios de acarreo. Estos dos bitios no se utilizan en sus funciones nominales durante la transferencia de datos y por tanto son disponibles para funciones de comunicación y funciones lógicas durante las transferencias de datos. Por

ejemplo, si los bitios de rebasamiento y de acarreo se producen ambos, esto significa que el código de dispositivo periférico no ha sido reconocido por el Controlador de Periféricos. La línea DFSAX1 preajusta un flip-flop repetidor que activa la línea de acuse de recibo emitida hacia el CPU para informarlo de que el IOP ha recibido y ha emitido una respuesta a la Unidad Interfacial DIO. Las líneas DIOXD1, DIOXDO encaminan la mitad adecuada o ambas mitades del Registro de Datos hacia las líneas de datos NDIO (del NDB) durante una lectura directa a partir del CPU. En particular, la línea DIOXDO, cuando es correcta, dirige el grupo de posiciones binarias más significativo del Registro de Datos hacia el grupo de posiciones binarias más significativo de la Via de Datos del DIO.

Continuando con la figura 3B, las siguientes tres líneas constituyen el campo de ST. La línea DPEN permite que el IOP realice una verificación de paridad controlada a partir del contenido del Registro de Datos. Cuando su valor es bajo, se desactiva el control de paridad. Esto es necesario ya que existen momentos durante el funcionamiento normal en los cuales se producen bitios aleatorios en el Registro de Datos. A continuación, esta línea permite que se haga una verificación de paridad solamente cuando el contenido del Registro de Datos es apropiado para los bitios de paridad que están disponibles en el circuito de verificación de paridad en este momento. La línea STXSTR es una línea de control que se utiliza solamente durante la auto-comprobación para realizar funciones que son propias de las condiciones de auto-comprobación. Una función consiste en anular el bitio indicador de auto-comprobación. El bitio indicador

de auto-comprobación se produce 60 veces por segundo y en el programa de auto-comprobación está contenida la instrucción que anulará nuevamente este bitio indicador. Esta línea sincroniza la salida de error de paridad procedente del circuito de verificación de paridad 725 en la figura 7 sobre la línea de EBR o de error de bifurcación. Esto da al error de paridad una forma apropiada para que pueda actuar en él el Mux FC 309 de la figura 3. Esta señal de error de bifurcación se mantiene en vigor por medio del flip-flop repetidor 740 de la figura 7 y puede ser interrogada más tarde por el programa de memoria de control. La línea STXSTR inicializa también la línea FNCT1 a partir del registro 730 de la figura 7 de modo que FNCT1 pueda ser utilizado repetitivamente para verificar los errores durante la auto-comprobación.

La línea IDLE se utiliza como indicador lógico para indicar que el microprograma supervisor está en su estado desprovisto de carga y está preparado para procesar las llamadas de servicio. Las líneas de control restantes que constituyen los campos de FA, FB, FC y FD se utilizan para controlar las opciones de bifurcación en el programa y han sido descritas conjuntamente con el esquema de la figura 3.

En la descripción de los esquemas se ha indicado que los Multiplexores FA, FB y FC tienen la posibilidad de seleccionar entre dieciocho funciones lógicas las que podrían ser utilizadas para bifurcaciones en el programa supervisor. Se da a continuación una descripción de estas dieciocho funciones lógicas. En primer lugar se observará que cada Multiplexor tiene una entrada con un nivel elevado y una entrada conectada a masa. Esto permite que el microprogra-

mador controle la salida de cada Multiplexor de modo que represente un nivel alto, un nivel bajo o una función.

En la figura 3A, la primera línea de función lógica es la línea FNCT1. Se trata de una señal de final de datos que permite la derivación del microcontrol sobre una  
5 señal de final de datos generada por el IOP. La señal de final de datos generada por el IOP, REO en la figura 7, es una salida de los ROM 723 y 724. Cuando el Registro de Datos contiene una cuenta de grupos de posiciones binarias, y  
10 es igual a 1, REO es generado para indicar que la siguiente transmisión es la última palabra. EBR es un estado de error de bifurcación producido por la detección de un error de paridad en el circuito de verificación de paridad 725 de la figura 7. La línea de microcontrol FST toma un valor elevado cuando se necesita una transferencia de datos. Esta señal es examinada cuando el IOP está en su bucle descargado y origina una transferencia de datos. ROO es el bitio más significativo de la salida de la Memoria a Corto Plazo.  
15 Cuando se procesa la cuenta de grupos de posiciones binarias, sin embargo, el significado de este bitio es de un bitio indicador de error. Sin embargo, una bifurcación sobre este bitio es de hecho una bifurcación sobre un error. ISAMP/EN es una indicación que se manda al IOP de que el dispositivo bajo control está contestando a una instrucción de AIO y  
20 permite igualmente una bifurcación a este estado. Una instrucción de AIO en este sistema es producida por CPU como resultado de una interrupción generada por un dispositivo I/O que hace que el dispositivo I/O se identifique por sí mismo. IDIODECO, 1 y 2, son términos utilizados por el microprogramador como controles bifurcados. ISRV1 es una señal de "da-  
25  
30

tos no terminados" recibida a partir del Controlador de Periféricos que indica que el proceso de transferencia de datos está continuando. FNCT2 es un indicador de final de servicio a partir del IOP hacia el Controlador de Periféricos. Se trata de una comunicación para informar el dispositivo de que la transmisión de datos está terminada o ha sido interrumpida por un error. IDIOMODE es una línea de control de codificada a partir del DIO que indica que el IOP debe tratar una instrucción reconocida de DIO de algún tipo. Se utiliza como control bifurcado cuando el IOP está en estado de descarga. La señal IDX2 se recibe a partir de un Controlador de Periféricos y es una indicación de que el Controlador de Periféricos está tratando dos grupos de posiciones binarias por cada servicio en lugar de uno. El bitio indicador IF es el bitio indicador de interrupción. Forma parte del grupo de posiciones binarias de orden, derivado del tercer bitio indicador contenido en la palabra de grupos de posiciones binarias e informa el IOP que es preciso generar una interrupción después de terminar la transferencia de datos en curso.

La línea RODD tendrá un nivel alto si el contenido de la Memoria a Corto Plazo es un número impar. Esta línea es útil en el programa de auto-comprobación que se describirá más adelante. ISELFT es activado por el flip-flop temporizador de auto-verificación una vez cada 16,6 milisegundos. Este bitio indicador es comprobado durante el proceso de decisión de bifurcación hacia la auto-comprobación. NDA15 es el bitio menos significativo de la dirección efectiva de la Unidad Interfacial DIO y es utilizado por el IOP durante una función de canal de registro o de lectura. El

CPU emite los datos y la dirección por la Unidad Interfacial DIO, y el IOP decide si se trata de un canal par o impar examinando el bitio menos significativo de la dirección. ISRVO es un bitio de final de servicio procedente del Controlador de Periféricos. Cuando el IOP se conecta al Dispositivo Periférico para el servicio, este bitio indicador se utiliza conjuntamente con la línea ISRV1 descrita más arriba para indicar al IOP que tipo de operación va a realizar, es decir si se trata de una instrucción de entrada, una instrucción de salida, un registro de datos o una lectura de datos. En este caso, el IOP debe examinar ambos ISRV1 e ISRVO para determinar cual de estas cuatro posibilidades es la buena. La línea DC es el bitio indicador de encadenamiento de datos asociado con el dispositivo que se trata en este momento. Cuando la cuenta de grupos de posiciones binarias alcanza el valor cero, la presencia del bitio indicador de encadenamiento de datos iniciará automáticamente la transferencia de datos a partir de la nueva dirección de palabra basándose en la nueva cuenta de grupos de posiciones binarias.

Una transferencia típica de información a partir de la Memoria Principal 101 hacia un Dispositivo Periférico 111 se realizará de la siguiente manera. En primer lugar el CPU registrará una dirección de palabra y una cuenta de grupos de posiciones binarias en un canal de la Memoria a Corto Plazo 251. Esto se hace con una instrucción de lenguaje de ensamblaje "de registro directo" que transfiere el contenido del totalizador CPU en el canal IO apropiado de la Memoria a Corto Plazo. En este caso, la dirección del dispositivo es decodificada por el Convertidor de Dirección de Memoria a Corto Plazo 259 en las líneas de dirección de Memo-

ria a Corto Plazo mientras que los datos, en este caso la dirección de palabra y la cuenta de grupos de posiciones binarias, se fichan por medio del Registro de Datos 254 y en la Memoria a Corto Plazo. El CPU realizará a continuación una orden de "poner en marcha IO". Funcionalmente, esta orden se utiliza para iniciar una operación de entrada o de salida y debe especificar el dispositivo seleccionado por el número de dispositivo contenido en las posiciones de bitios 8 a 15 del totalizador CPU. Cuando esta orden es recibida por el IOP, es emitida directamente al Controlador de Periféricos por la Unidad Interfacial NIO. Si el dispositivo particular necesario está conectado al Controlador de Periféricos, entonces el Controlador de Periféricos contestará al CPU a través del IOP. Esta contestación consiste en dos partes. La primera parte es el estado del dispositivo que está contenido en un grupo de posiciones binarias de ocho bitios y se registrará en los bitios 0 a 7 del totalizador CPU. Estos bitios están codificados para indicar varias posibilidades es decir si el dispositivo está dispuesto, ocupado, no disponible, no operacional, etc. La otra mitad de la respuesta es una activación o reposición del flip-flop de rebasamiento y de acarreo en el CPU. Como se ha indicado más arriba, los flip-flops de rebasamiento y de acarreo no se utilizan en esta calidad durante la transmisión de datos. Por tanto, están disponibles para transferir información respecto a la dirección IO, concretamente, para hacer saber si la dirección IO ha sido reconocida por el Controlador de Periféricos, y en caso afirmativo, la orden de "iniciación de entrada-salida" puede ser aceptada. Si la respuesta es positiva, la orden de "iniciación de en-

trada-salida" ha terminado su operación y el Controlador de Periféricos emitirá ahora una llamada de servicio que producirá la activación del flip-flop FST 518 de la figura 5B. Esta señal es una entrada al Mux FC 309 de la figura 3 y

5 produce una bifurcación hacia la parte adecuada del programa supervisor de memoria de control. El IOP acusará recibo de esta llamada de servicio elevando el potencial de la línea FST, y reduciendo el potencial de FNCT0, FNCT1 y FNCT2. Esta disposición particular de las líneas de control se

10 extiende al Controlador de Periféricos y es reconocida como acuse de recibo de la llamada de servicio. El servicio mandará igualmente dos bits codificados por la línea ISRVO y la línea SRV1, accionando mientras tanto el DSI. Estas líneas son entradas al Multiplexor FB310 y al Multiplexor FC

15 309 que controlan una bifurcación a aquella parte del programa supervisor que iniciará una "orden de salida". Este proceso resulta de introducir la primera palabra en el bloque de datos que ha de ser transmitido que es de hecho un grupo de posiciones binarias de orden. El grupo de posiciones binarias de orden se sitúa antes de la primera palabra

20 de la tabla de datos y está codificado para indicar el tipo de funcionamiento que se necesita realizar. Las posibilidades son el registro, la lectura, la lectura hacia atrás, el control, la detección y la parada. En el ejemplo que estamos describiendo supondremos que se trata de una orden de lectura.

25 Al recibir esta orden, el Controlador de Periféricos producirá ahora por segunda vez una llamada de servicio y esta vez empezará la secuencia de transferencia de datos real dando lugar a la lectura de toda la tabla de datos a partir

30 de la Memoria Principal 101 en el dispositivo periférico 111.

En la memoria de control está contenida una auto-verificación de diagnóstico que se realizará 60 veces por segundo. La figura 10 es una lista de este programa y representa la dirección simbólica y real de cada línea y el contenido de los trece campos microprogramados. Esta lista se leerá conjuntamente con la figura 11 que indica las conversiones desde el lenguaje mnemónico hasta el código hexadecimal de la máquina. Para ilustrar este proceso examinaremos la primera línea de la lista simbólica. La indicación simbólica OXO2 corresponde a la dirección hexadecimal 9A. El campo RC contiene una mnemotécnica RWRXD que significa que las líneas de microcontrol RXD y RWX1 serán activas. El campo SC contiene un SINV. Sin embargo, no existe línea de control con esta indicación. La figura 11 indica que SINV tiene el código de máquina equivalente a 1001 el cual a su vez se traduce en tres microcódigos mnemotécnicos SMO, SPO y SF1. Por tanto, esta palabra en el campo SC de la lista indica que las tres líneas de control mencionadas más arriba tendrán un nivel elevado. Los campos FA, FB, FC y FD se representan vacíos pero en realidad contienen un código en lenguaje de máquina ya que estos campos deben designar la siguiente dirección de programa la cual en este caso es 9B 1001 1011. Los cinco bits más significativos estarán contenidos en el campo FD. Los campos FB y FA deben generar unos 1 lo que se hace aplicando un código de 001 a los campos FA y FB, seleccionando así el número de entrada cuatro que es elevado. FC se programará con un 000 para elegir una entrada baja, la cual se utilizará como tercer bitio menos significativo de la dirección. De esta manera, los campos FD, C, B y A generarán la siguiente dirección, 9B. Para hacer que la lista sea menos

complicada y más fácil de entender, en lugar de indicar los campos F en su código de máquina, la lista indica simplemente la siguiente indicación simbólica, en este caso OX03. Estos cuatro campos tendrán una entrada de lista simbólica solamente si está en juego una decisión de bifurcación. Por ejemplo, una entrada de campo FC de FNCT1 contendrá la palabra binaria de máquina 100 ya que en este caso el Multiplexor FC está eligiendo la línea de entrada FNCT1 como su función de bifurcación. El resultado de este grupo particular de instrucciones de microcódigo es el siguiente. El código mnemotécnico SINV acoplado con el código mnemotécnico DXS hará que el contenido de la Unidad Aritmética se invierta y se registre en el Registro de Datos a través del Multiplexor Inversor. STXSTR anulará el bitio indicador de auto-verificación, el programa bifurcará hacia la posición 9B en razón del contenido del campo F; y el RWRXD preajustará una dirección de palabra de modo que el contenido obtenido a partir de la Memoria a Corto Plazo la vez siguiente pueda ser obtenido a partir de una posición de dirección de palabra. RWRXD transfiere igualmente el contenido del Registro de Datos a la Memoria a Corto Plazo.

Toda la auto-verificación de diagnóstico podrá ser descrita más fácilmente haciendo referencia al gráfico de circulación de la figura 8. Inicialmente el Registro de Datos contendrá todo los ceros, ya que ha sido puesto a cero por el microprograma supervisor al ser introducida la prueba de diagnóstico. Igualmente el Convertidor de Dirección contendrá la dirección que corresponde al último dispositivo cuyo acceso ha sido facilitado por el programa. En estas condiciones iniciales, la prueba de diagnóstico ejercitará la ca-

pacidad del IOP para transferir ceros a través del circuito  
constituido por la Memoria a Corto Plazo 251, la Unidad Arit-  
mética 252 y el Multiplexor 2 a 1 250 en la figura 2B. En  
5        primer lugar, se registra en el Registro de Datos la direc-  
ción de palabra inicial u original. Como se ve en la lista  
de símbolos, el contenido de la Memoria a Corto Plazo se in-  
vierte por medio de la Unidad Aritmética para compensar el  
hecho de que el Multiplexor 4 a 1 253 es por sí mismo un in-  
versor, y, por tanto, la dirección de palabra se almacena  
10        adecuadamente en el Registro de Datos. A continuación, los  
ceros que están contenidos en el Registro de Datos se regis-  
tran en la dirección de Memoria a Corto Plazo. En OX03 el  
contenido de la Memoria a Corto Plazo, en este caso unos ce-  
ros se hace circular a través del Sumador 252, a través del  
15        Multiplexor 2 a 1 250 y de nuevo se introduce en la Memoria  
a Corto Plazo 251. Naturalmente no debe haber variado. En  
este punto, el programa verifica el bitio más significativo  
de los datos de memoria que ha de ser un cero. En caso con-  
trario, el programa bifurca hacia la posición 2X04 donde se  
20        introduce nuevamente la dirección de palabra inicial en la  
Memoria a Corto Plazo, se dispara el flip-flop FNCT2 indi-  
cando un error y el programa bifurca hacia la posición STEND  
que selecciona el bitio de flip-flop FNCT2 en el bitio indi-  
cador de fallo de IOP. Si la prueba en OX03 es favorable,  
25        el programa empieza nuevamente en la posición OX04 que es el  
comienzo de la prueba para hacer circular unos 1 a través del  
circuito de Memoria a Corto Plazo. En OX04, el contenido de  
la Memoria a Corto Plazo se introduce en el Registro de Datos  
a través del Multiplexor Inversor 253. Por tanto, el conte-  
30        nido del Registro de Datos será FFFF (o todos unos 1). En

OX05, estos 1 se introducen en la Memoria a Corto Plazo y en OX06 circulan a través del Sumador y vuelven a la Memoria a Corto Plazo. A continuación se hace una prueba de error de paridad. De hecho el error de paridad es solamente una verificación del contenido del Registro de Datos y por tanto la circulación de los 1 en la posición de programa OX06 no se comprueba por medio de esta verificación de error de paridad. Sin embargo, si el contenido de la Memoria a Corto Plazo, después de la circulación en OX06 es incorrecto, esta circunstancia será captada más adelante en el programa. En el caso de fallo, el programa bifurca hacia la posición 2X07 donde la dirección de palabra inicial se reintroduce en la Memoria a Corto Plazo y se activa el flip-flop FNCT2. A continuación, el programa bifurca hacia STEND tal y como se ha descrito más arriba.

El programa en las posiciones OX07, OX08 y OX09 comprueba la capacidad del IOP para transferir todos los 1 y todos los 0 a través de todo el circuito constituido por la Memoria a Corto Plazo 251, la Unidad Aritmética 252, el Multiplexor 4 a 1 253, el Registro de Datos 254 y el Multiplexor 2 a 1 250. Todos los errores generados en esta parte del programa serán detectados más adelante en el programa.

La figura 8B es una verificación de la lógica de control de grupos de posiciones binarias. En la figura 10, en la posición OX09 puede verse que el campo RC contiene el código mnemotécnico RW4XD. La figura 11 indica que este código mnemotécnico contiene en él el sub-código mnemotécnico RA4X1 que es la función de preselección de recuento de grupos de posiciones binarias. Por tanto, puede verse en la lista que las funciones de recuento de grupos de posi-

ciones binarias será ejercitada a partir de ahora en la auto-  
verificación de diagnóstico. Las fases OX10 a OX14 ejerci-  
tan la capacidad de la lógica para transferir todos los 1 o  
todos los 0 a través de todo el circuito constituido por  
5 los elementos de Memoria a Corto Plazo y los elementos de  
Registro de Datos. La fase OX15 ejercita la capacidad de  
las Unidades Aritméticas para incrementar el contenido de  
la Memoria a Corto Plazo en una unidad. Si todas las fases  
anteriores en ambas figuras 8A y 8B han sido realizadas ade-  
10 cuadamente, el número contenido bajo la forma de cuenta de  
grupos de posiciones binarias ha de ser 0001. Esto se ve-  
rifica examinando el bitio menos significativo de los datos  
de Memoria a Corto Plazo, lo que equivale a preguntar si la  
palabra de Memoria a Corto Plazo es un número impar. Si la  
15 cuenta de grupos de posiciones binarias en este punto no es  
un número impar, la prueba ha sido un fracaso y en la posi-  
ción 2X16 se restablece la cuenta de grupos de posiciones  
binarias en la Memoria a Corto Plazo, se activa el flip-flop  
de defecto y el programa bifurca hacia Final de Auto-Verifi-  
20 cación. Si la cuenta de grupos de posiciones binarias en es-  
te punto es un número impar, la prueba continúa. En la po-  
sición OX16 y en la posición OX17, la cuenta de grupos de  
posiciones binarias se incrementa, y a continuación se redu-  
ce. La cuenta de grupos de posiciones binarias ha de ser  
25 nuevamente un número impar. OX18 comprueba la capacidad de  
los Sumadores, para hacer circular un número diferente de  
cero a través del circuito de Memoria a Corto Plazo. En es-  
te punto, la prueba se hace en la línea FNCT1. Tal y como  
se ha descrito más arriba, esta línea tendrá un potencial  
30 alto cuando existe una cuenta de grupos de posiciones bina-

rias de 0001 o un error de paridad detectado a partir del contenido del Registro de Datos cuando se ha programado FNCTXR. En este caso el nivel debe ser bajo, las pruebas OX19 a OX21 verifican la capacidad del sistema para hacer circular un número diferente de cero, en este caso un 1, a través del circuito importante constituido por los circuitos de Memoria a Corto Plazo y Registro de Datos. Las pruebas consisten bien en que el Sumador contiene un número impar o que la cuenta de grupos de posiciones binarias es un 1. OX22 es una posición en reserva. Finalmente, en la posición OX23 se ficha la llamada de servicio en la línea FST para permitir que el IOP realice una transferencia de datos en el caso de que sea requerida a partir de un Dispositivo Periférico.

El sistema de información de fallos, que proporciona dieciseis bitios de información de fallos, está representado esquemáticamente en la figura 9A. Un Registro IM 901 de quince bitios está contenido en el Interruptor Principal y un Registro CPU 902 de diez bitios está contenido en el CPU. Esta información está dividida en dos campos. El primer campo identifica la unidad que reporta la falta detectada y está compuesto de seis bitios, 0 a 5. El segundo campo identifica la naturaleza particular de la falta detectada y está compuesto de los restantes diez bitios es decir 6 a 15. Cada bitio del campo de unidad está asociado exclusivamente con un componente particular según se representa en la figura 9B. El registro de faltas del sistema será estructurado en el Interruptor Principal con el objeto de facilitar la comunicación con todas las unidades del sistema central. En el caso de una configuración doble

del CPU, cada CPU tendrá su propio registro de faltas de sistema asociado con él. Además, cada CPU contendrá un registro de faltas de CPU propio idéntico en formato al registro de faltas del sistema pero conteniendo solamente diez bitios. En cualquier registro de faltas, los diez bitios de información podrán ser divididos además en sub-campos para permitir la utilización generalizada de esta estructura de información de faltas. Por ejemplo, los bitios 6 y 7 podrán ser utilizados para especificar uno de los cuatro modos de faltas. Para cada uno de estos cuatro modos de faltas, los restantes ocho bitios podrán representar una información de falta particular a la unidad que informa de esta falta y particular a este modo de falta. En este caso, existirá una posibilidad de treinta y dos tipos de indicaciones de falta particulares en comparación con los diez tipos originales. En el caso de que una memoria informe de una falta, los tres bitios de orden más alto de la dirección asociada con la solicitud de memoria que produce la falta deberán ser comunicados conjuntamente con la identificación particular del tipo de la falta. Esto indicará en cual de los ocho módulos de memoria se ha producido la falta.

El resultado de la comunicación de una falta al Registro de Faltas da lugar a la generación inmediata de una interrupción que sitúa la computadora en el estado de espera. Esta interrupción es generada haciendo pasar por una puerta 0 los bitios 0 a 5 conjuntamente. Si se ha comunicado una información de falta, uno de estos bitios tomará un valor elevado y se producirá una interrupción. La computadora se sitúa en posición de espera al recibir una interrupción de falta para asegurar la conservación de todas las condiciones hasta después del registro de la información apropiada por la sub-rutina de interrupción.

Cuando se ha hecho el registro de error, el control del CPU se devuelve al programa de funcionamiento.

La sub-rutina de registro de error realizará una instrucción de acceso de lectura con el registro de faltas como operando. Si el bitio de falta del CPU es bastante elevado, esta "instrucción de lectura" producirá la lectura del registro de faltas del CPU. Si el bitio de falta del CPU es bajo, el interruptor principal realizará una lectura de su registro de faltas. Si ambos registros contienen una información de fallo, la sub-rutina de interrupción debe proporcionar dos "instrucciones de lectura" para realizar la lectura de ambos registros de faltas. La lectura de una falta repone automáticamente la información a cero en este Registro de faltas.

El registro de los errores es el procedimiento de acumulación en el tiempo de una información de errores suficiente que satisface todos los usuarios y no se limita a los errores de equipo detectados sino que incluye también los errores detectados por el software. La información respecto a un error, puede mediante su interpretación revelar la causa más probable del error. El registro de error debe contener una información suficiente para facilitar los requisitos de conservación tanto de los equipos como del software. En caso de errores intermitentes o de problemas de interacción, es difícil conseguir el aislamiento de la causa del error. Sin embargo, la acumulación de una cantidad suficiente de datos puede proporcionar una tendencia que ayuda a realizar el aislamiento de la causa del error. La acumulación en el tiempo de las condiciones de funcionamiento es importante para obtener todas las condiciones de error antes de que se produzca el siguiente error. Cualquier entrada en

el registro de error debe contener información general tal como la manera de detectar el error, la fecha y la hora (en milisegundos) y el programa, utilizando el número de tarea, que ha sido afectado por el error, y la palabra de estado de programa así como el contenido del registro de faltas. Además, para una falta I/O el registro deberá contener el número y el estado del dispositivo. Si se produce un defecto de funcionamiento en el CPU dando lugar a una parada imprevista, la indicación del error que ha producido el fallo puede verse localmente en el panel de control situando el conmutador de modo sobre el Modo de Faltas. El contenido del registro de faltas puede así verse directamente en el panel de control.

En lo que antecede, se han descrito métodos y aparatos para comprobar continuamente unos circuitos asociados con una memoria de control microprogramable de un elaborador de Entrada-Salida. Aunque los circuitos en cuestión han sido descritos conjuntamente con circuitos lógicos específicos, estos circuitos se dan solamente a título de ejemplo ya que podrían utilizarse otros circuitos y aparatos para realizar las funciones descritas. Por ejemplo, el método descrito podría ser aplicado a elaboradores centralizados, comprobadores de periféricos o cualquier otro componente del sistema de proceso de datos conteniendo una memoria de control programable.

Igualmente, podrían utilizarse lógicas DTL y TTL o lógica positiva o negativa, para la estructuración de los circuitos destinados a realizar las funciones descritas.

El invento no se limita a los modos de realización descritos más arriba y por el contrario todos los cam-



pios y modificaciones de los mismos que no se alejan del espíritu y del alcance del invento están cubiertos por las siguientes Reivindicaciones.

5 En resumen la Patente de Invención que se solicita deberá recaer sobre las siguientes:

REIVINDICACIONES

1. Un método y su correspondiente aparato de proceso de datos incorporando este último una unidad de proceso central, una memoria principal y un elaborador de entrada-salida capaz de introducir un programa de diagnóstico procedente de un dispositivo periférico en la memoria principal, en el cual dicho aparato de proceso de datos contiene por lo menos una memoria de control microprogramable, caracterizado el aparato porque incluye en combinación:

15 un dispositivo de detección de faltas para ejercitar los circuitos asociados con dicha memoria de control y para detectar en ellos las faltas,

un dispositivo de registro para registrar la información de faltas generada por dicho dispositivo de detección de faltas, y

20 un dispositivo de almacenado para almacenar dicha información de faltas y la información de estado del sistema que define el estado de dicho sistema de proceso de datos en el momento de la detección de dicha falta.

2. Aparato según la reivindicación 1, caracterizado porque dicho dispositivo de detección de faltas incluye:

una secuencia de prueba microprogramada contenida en dicha memoria de control para ejercitar los circuitos asociados con dicha memoria de control, y

30 unos circuitos de detección para detectar las faltas



que se producen durante la realización de dicha secuencia de prueba microprogramada.

5 3. Aparato según la reivindicación 2, caracterizado porque dicho dispositivo de detección de faltas incluye además un dispositivo interruptor que responde a la detección de una falta generando una interrupción del sistema y unos medios que responden a dicha interrupción del sistema iniciando la realización de dicho almacenado.

10 4. Aparato según la reivindicación 3, caracterizado porque dicho dispositivo de detección de faltas incluye además: unos medios para obligar el sistema de proceso de datos a situarse en posición de espera al ser detectada una falta hasta que el control del sistema de proceso de datos haya sido transferido a dicho dispositivo de almacenado.

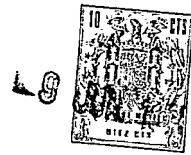
15 5. Aparato según la reivindicación 4, caracterizado porque incluye un dispositivo temporizador para indicar a dicha memoria de control que ha transcurrido un tiempo predeterminado a partir del momento de la ejecución de la última secuencia de prueba microprogramada, y

20 un dispositivo de prioridad conectado con dicho dispositivo temporizador que permite la realización de dicha secuencia de prueba microprogramada en tiempo compartido con otras funciones de la memoria de control.

25 6. Aparato según la reivindicación 5, caracterizado porque incluye:

unos rutinas de control de software contenidas en la memoria principal para comprobar la transmisión de datos entre los dispositivos periféricos y la memoria principal,

30 unos circuitos de detección de falta de paridad para comprobar la paridad de las palabras en las que se trabaja por medio del sistema de proceso de datos, y



unos medios que responden a la detección de una falta por dichas rutinas de total de control de software y de dichos circuitos de detección de falta de paridad para informar de dicha falta dicho dispositivo de registro.

5                   7. Aparato según la reivindicación 6, caracterizado porque incluye:

un dispositivo de terminales alejado de dicho sistema de proceso de datos para la lectura de dicha falta y de la información relacionada con el estado del sistema.

10                   8. Aparato según la reivindicación 7, caracterizado porque dicho dispositivo de terminales incluye:

unos medios para introducir en dicha memoria dicho programa de diagnóstico procedente de un dispositivo periférico, y

15                   unos medios para asegurar la realización de dicho programa de diagnóstico por dicho sistema de proceso de datos.

9. Aparato según la reivindicación 8, caracterizado porque incluye:

20                   unos medios para informar dicho dispositivo de registro de las faltas detectadas por dicho programa de diagnóstico.

25                   10. Método y su correspondiente aparato de proceso de datos según las reivindicaciones 1 a 9, que incorpora una unidad de proceso central, una memoria principal y un terminal remoto, en el cual dicho método de proceso de datos contiene por lo menos una memoria de control microprogramable, caracterizándose el método porque consiste en:

30                   comprobar dicha memoria de control y los circuitos asociados con ella por medio de una secuencia de prueba microprogramada situada en dicha memoria de control, y

almacenar en dicha memoria principal la información



que define la falta detectada por dicha comprobación y el estado del sistema de proceso de datos en el momento de la detección de dicha falta.

5 11. Método según la reivindicación 10, caracterizado porque incluye además la etapa que consiste en:

la lectura de dicha falta y la información del sistema en dicho terminal remoto.

10 12. Método según la reivindicación 10, en el que la memoria de control microprogramable contiene en ella una prueba de auto-diagnóstico, caracterizado porque consiste en:

iniciar periódicamente dicha prueba de auto-diagnóstico en tiempo compartido con otras funciones del sistema de proceso de datos,

15 generar la información de falta resultante de dicha comprobación para identificar el circuito defectuoso particular y el estado de dicho sistema de proceso de datos en el momento de la detección de la falta,

20 generar una información de falta suplementaria permitiendo que el operario situado en dicho terminal remoto introduzca en dicha memoria principal un programa de diagnóstico procedente de un dispositivo periférico y realice dicho programa, y almacenar dicha información de falta en la memoria principal.

25 13. Método según las reivindicaciones 10 y 12, caracterizado porque consiste además en:

leer dicha información de falta en el terminal remoto.

30 14. Se reivindica por último como objeto sobre el que ha de recaer la Patente de Invención que se solicita: UN METODO Y SU CORRESPONDIENTE APARATO DE PROCESO DE DATOS.



Todo conforme queda descrito y reivindicado en la presente memoria descriptiva que consta de cuarenta y ocho páginas mecanografiadas y dibujos que se acompañan.

Madrid, 21 Enero 1.974  
BERNARDO UNGRIA  
P.P.

5

10

15

20

25

30

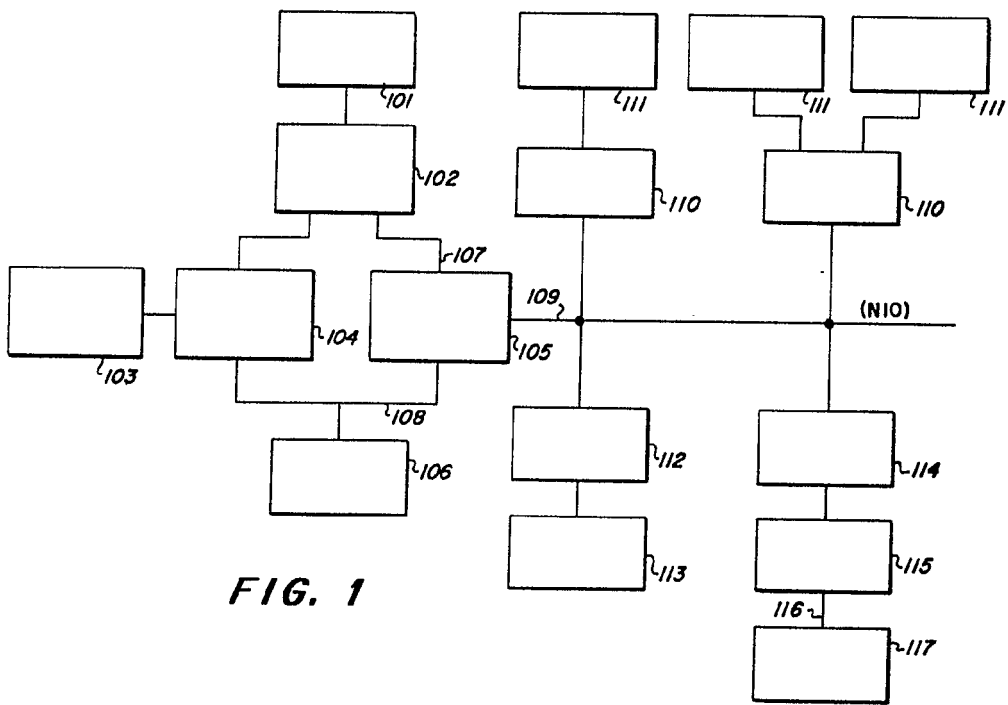


FIG. 1

MADRID, 21 de enero de 1974  
BERNARDO URRUTIA  
R.P.

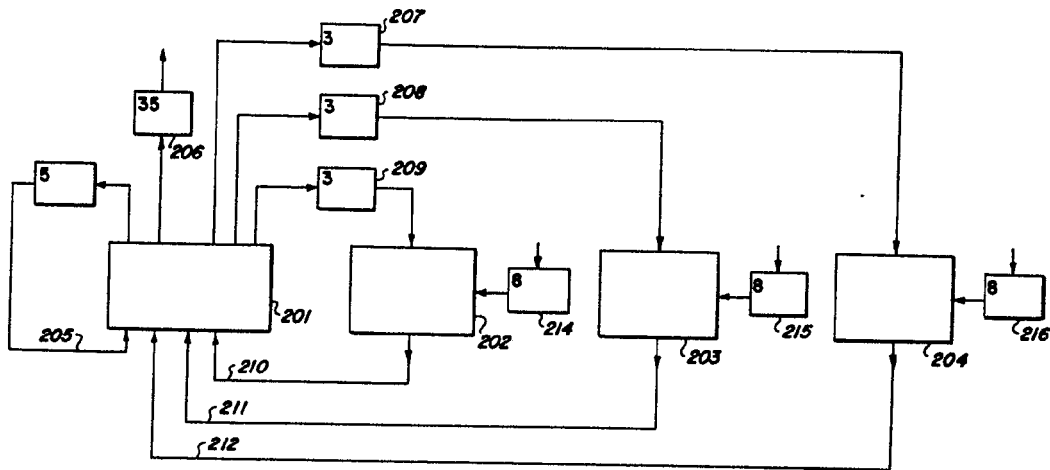
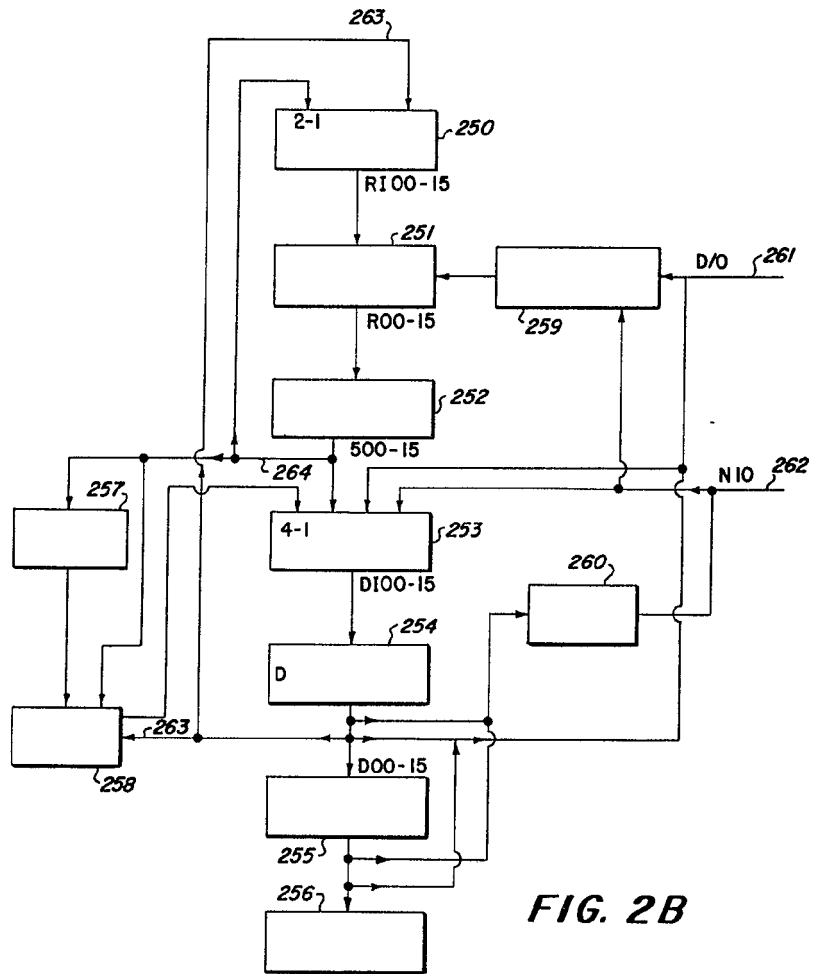


FIG. 2A

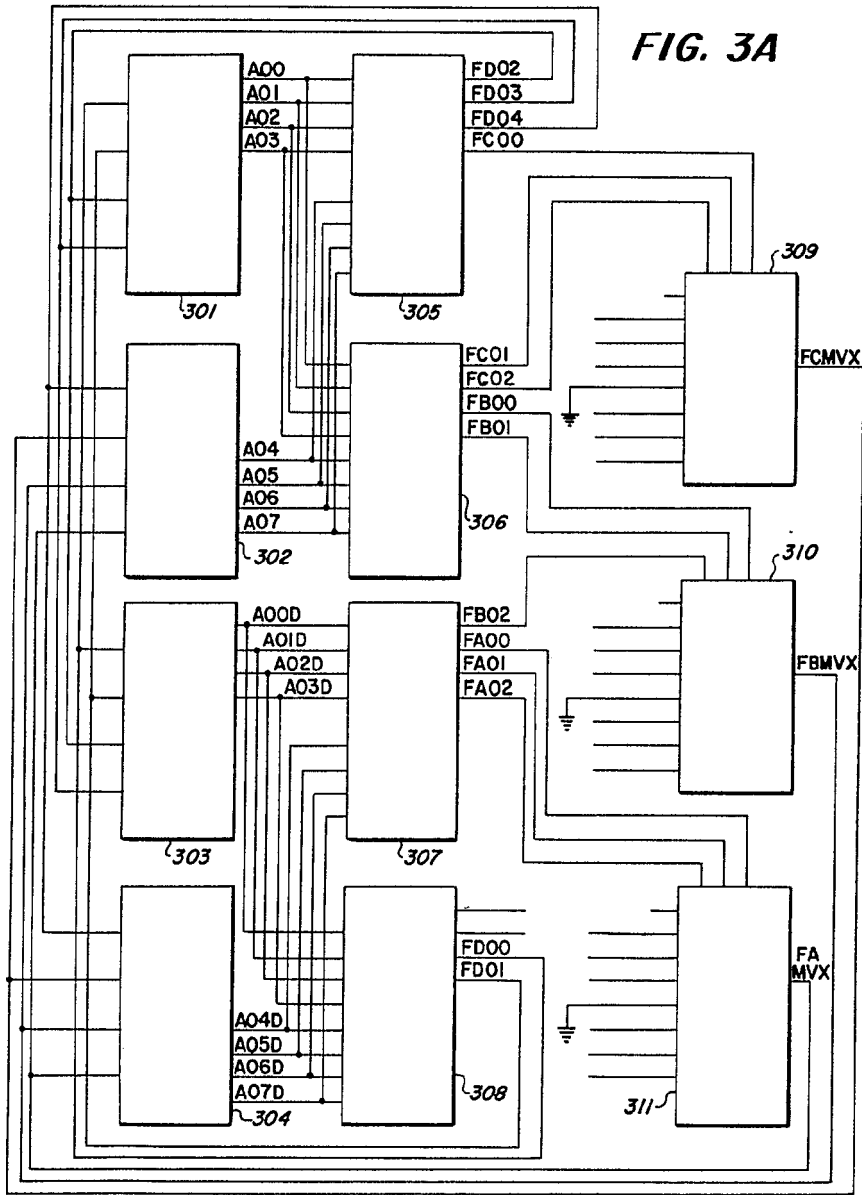
ESCALA VARIABLE  
MADRID, 21 de enero de 1974  
BENJAMIN ...  
P.P.



**FIG. 2B**

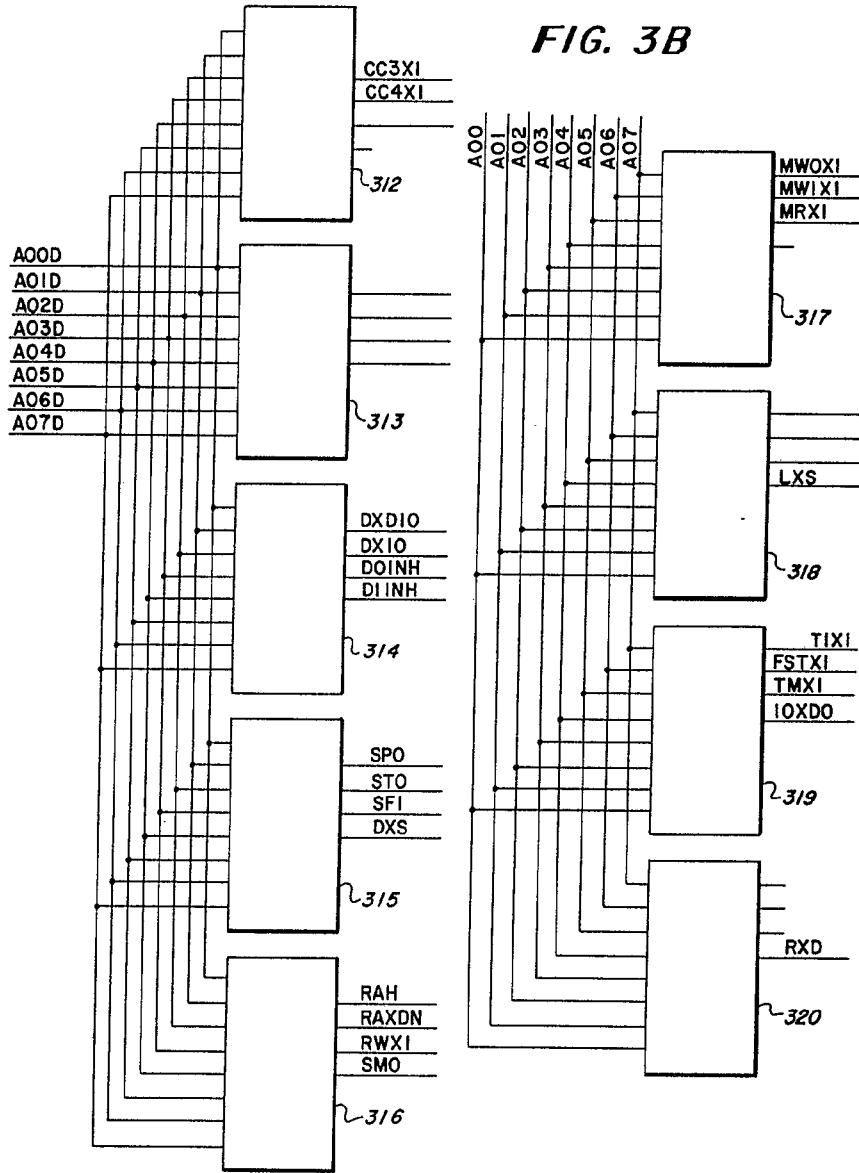
ESCALA VARIABLE  
MADRID, 21 de Enero DE 1974

W. E.  
*[Handwritten Signature]*



ESCALA VARIABLE  
MADRID, 21 DE enero DE 74

ESP. 940.107  
P. 1.



ESCALA VARIABLE  
MADRID, 21 DE enero DE 1974  
BERNARDO UNGERIN

FIG. 4A

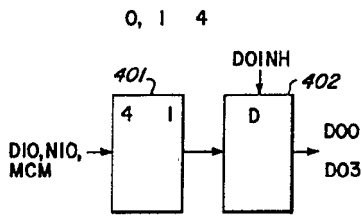
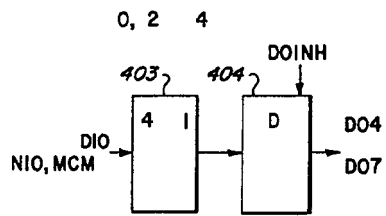
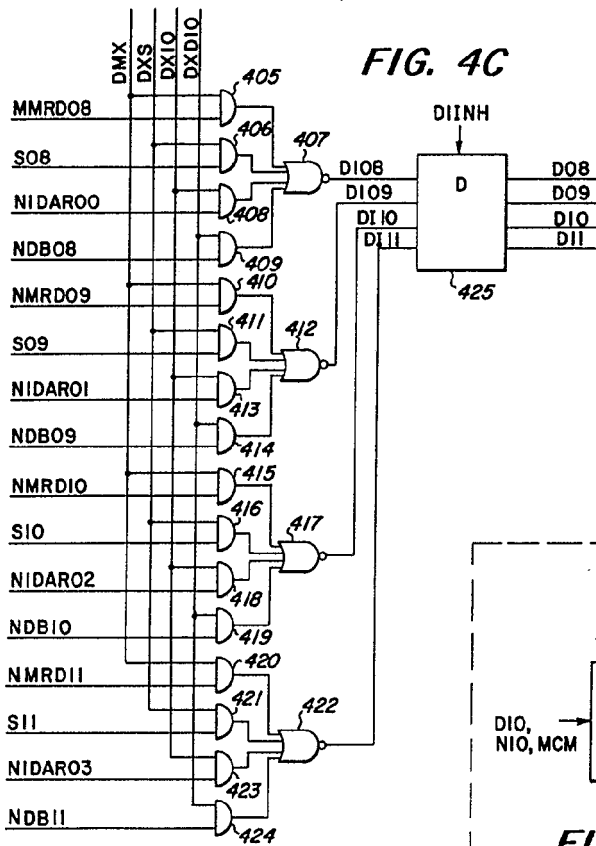


FIG. 4B



1, 1 4

FIG. 4C



1, 2 4

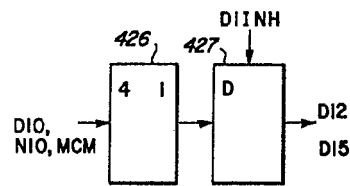
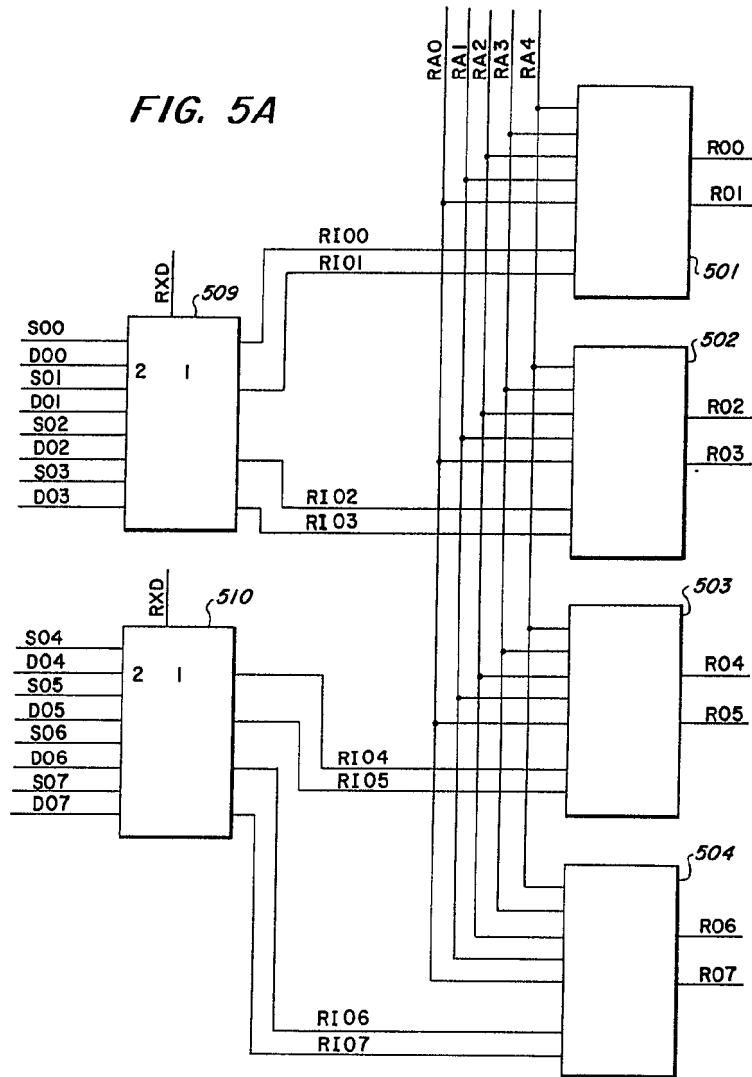


FIG. 4D

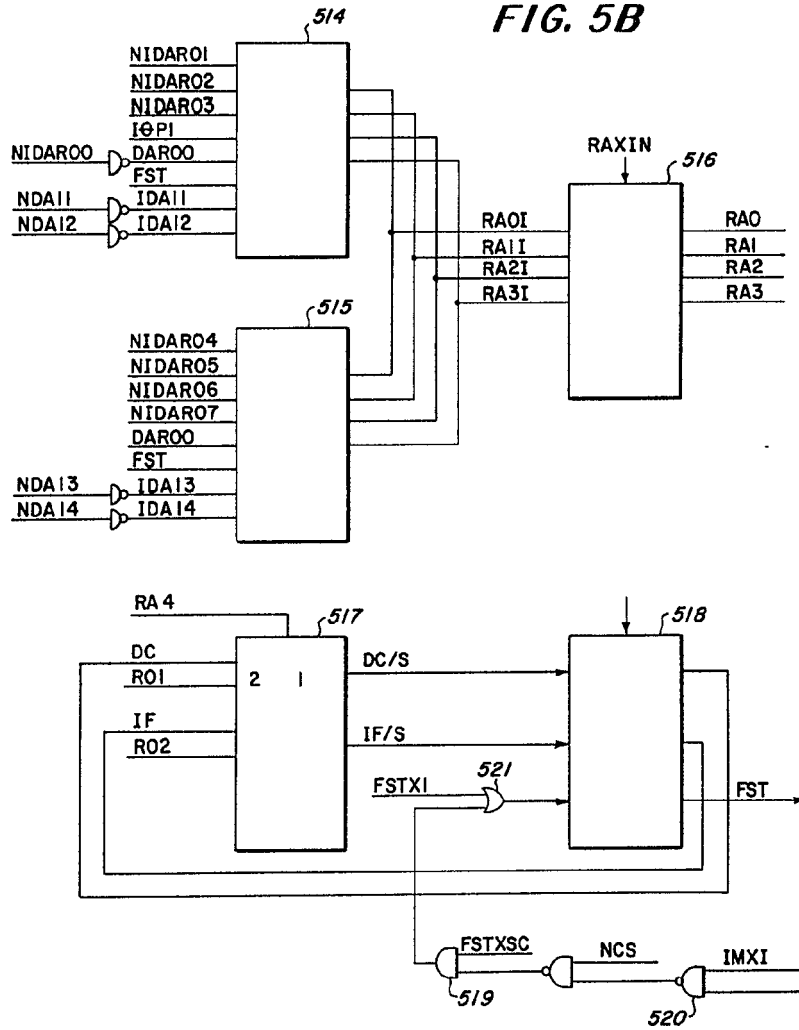
ESCALA VARIABLE  
 MADRID, 21 DE enero DE 1974  
 BERNARDO UNGRÍA  
 P. D.

FIG. 5A



ESQUEMA VARIABLE  
MADRID, 21 de enero de 1974  
BERNARDI

FIG. 5B



ESCALA VARIABLE  
MADRID, 21 de enero de 1974

Handwritten signature

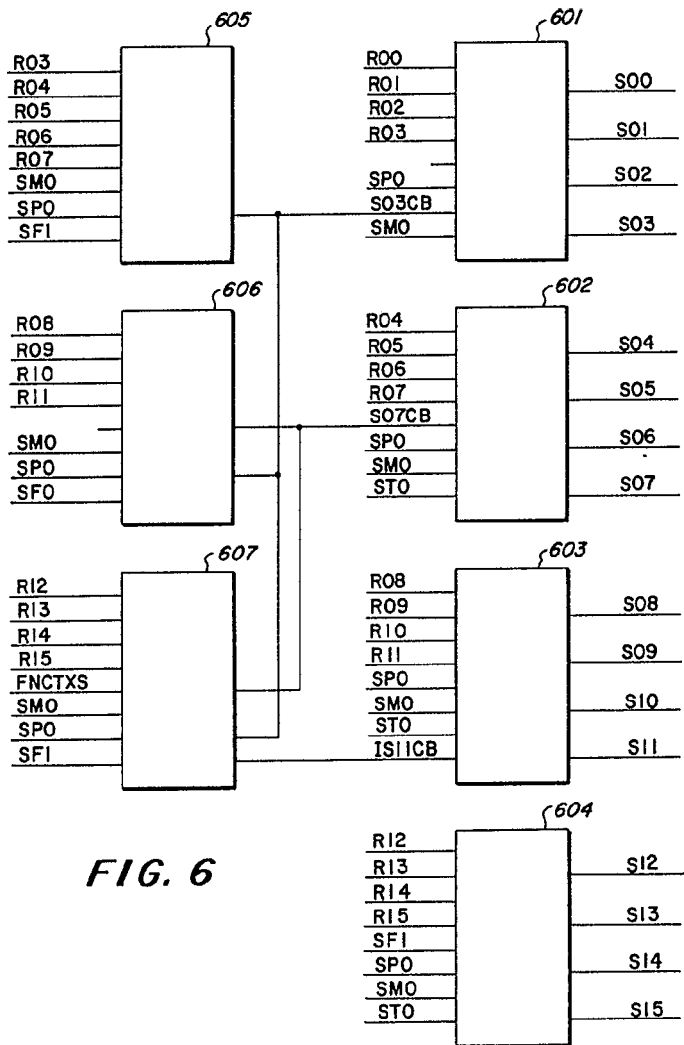
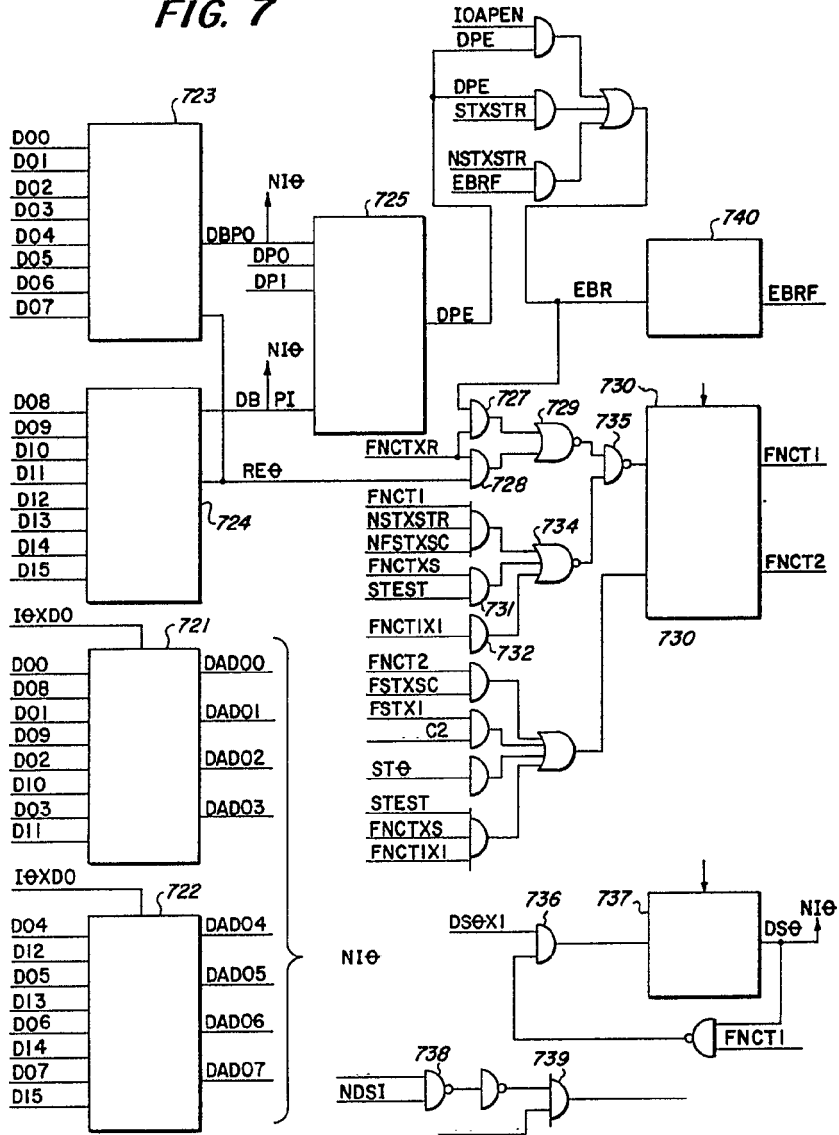


FIG. 6

ESCALA VARIABLE  
 MADRID, 21 de enero de 1974  
 BEA... ..

FIG. 7



ESCALA VARIABLE  
MADRID, 21 de enero de 1974

*[Handwritten signature]*

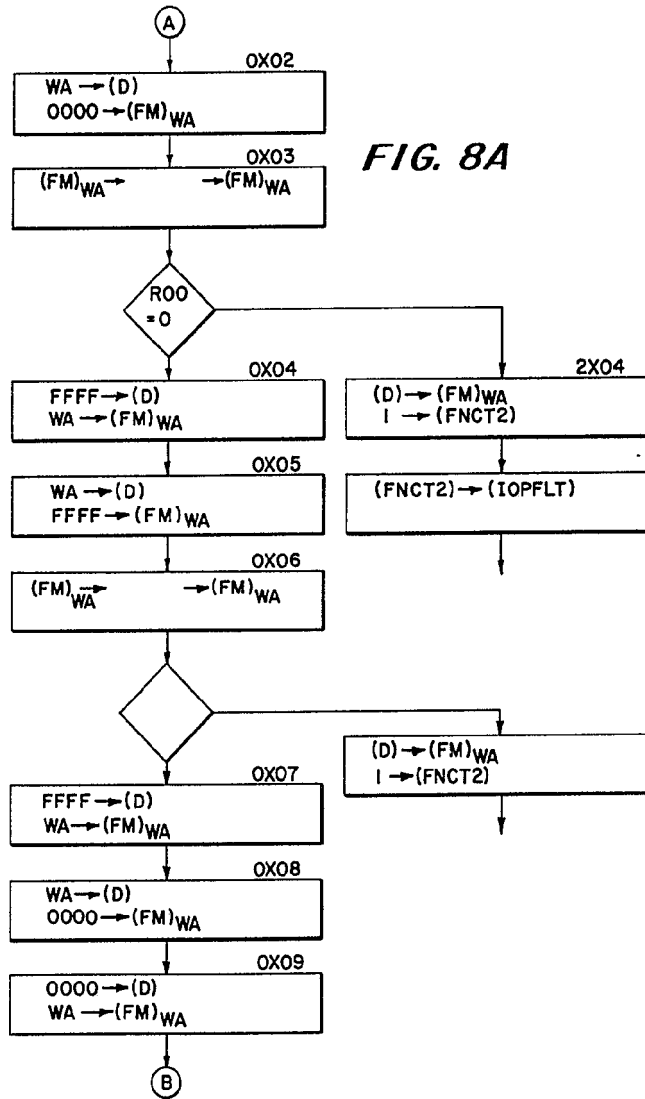


FIG. 8A

ESCALA VARIABLE  
MADRID, 21 DE Enero DE 1974

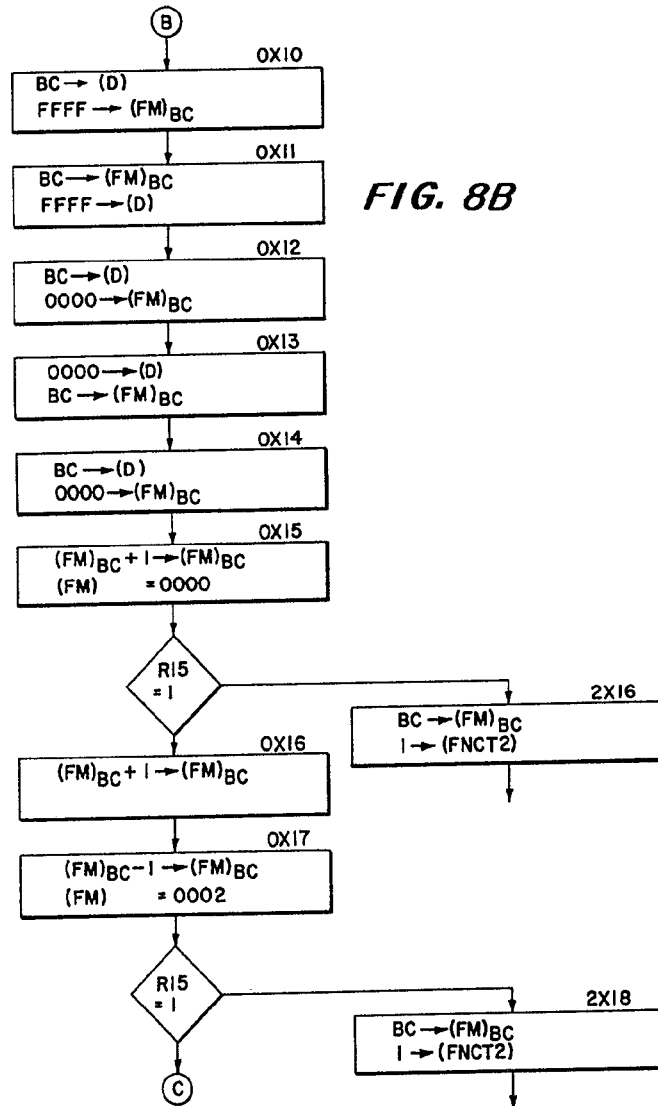


FIG. 8B

ESCALA VARIABLE  
MADRID, 21 de enero de 1974



FIG. 9A

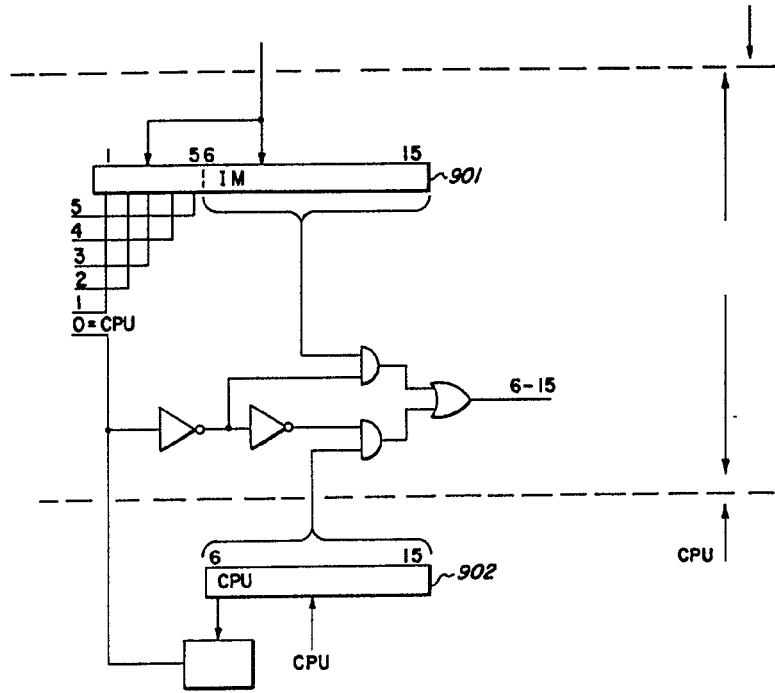


FIG. 9B

0	1	2	3	4	5	
0	0	0	0	0	0	
1	-	-	-	-	-	
-	1	-	-	-	-	
-	-	1	-	-	-	IOP 2
-	-	-	1	-	-	IOP 1
-	-	-	-	1	-	
-	-	-	-	-	1	

ESCALA VARIABLE  
 MADRID, 21 de Enero 1974

	RC	SC	DC	IT	IF	IO	MI	DI	ST	FD	FC	FB	FA
STOXX02	009A	RWRKD	SINV	DXS					STXSTR	*AL-STOXX03			
STOXX03	009B	RWX1								*AL-STOXX04	NROO		
STOXX04	00AC	RWRKD		DXS						*AL-STOXX05			
STOXX05	009D	RWRKD	SINV	DXS					STXSTR	*AL-STOXX06			
STOXX06	009E	RWX1								*AL-STOXX07	NBR		
STOXX07	00A4	RWRKD		DXS						*AL-STOXX08			
STOXX08	009F	RWRKD	SINV	DXS					STXSTR	*AL-STOXX09			
STOXX09	00A1	RW4XD		DXS						*AL-STOXX10			
STOXX10	00A2	RW4XD	SINV	DXS						*AL-STOXX11			
STOXX11	00A3	RW4XD		DXS	FNCTXR					*AL-STOXX12			
STOXX12	00A5	RW4XD	SINV	DXS					STXSTR	*AL-STOXX13			
STOXX13	00A6	RW4XD	SINV	DXS	FNCTXR					*AL-STOXX14			
STOXX14	00A7	RW4XD	SINV	DXS					STXSTR	*AL-STOXX15			
STOXX15	00A9	RWRA4	SPO							*AL-STOXX16			NRODD
STOXX16	0027	RWRA4	SPO		FNCTXR					*AL-STOXX17			
STOXX17	00AA	RWRA4	SPO							*AL-STOXX18			NRODD
STOXX18	0063	RWRA4	SPO							*AL-STOXX19	FNCT1		
STOXX19	00B0	RW4XD	SINV	DXS	FNCTXR					*AL-STOXX20			NRODD
STOXX20	0072	RW4XD	SINV	DXS					STXSTR	*AL-STOXX21	FNCT1		
STOXX21	00BC	RXD	STO		FNCTXR					*AL-STOXX22			NRODD
STOXX22	00BE									*AL-STOXX23	FNCT1		
STOXX23	00C4				FSTXSC					*AL-			
STOXX04	00A8	RXD	STO							*AL-STEND			
STOXX07	00A0	RXD	STO							*AL-STEND			
STOXX16	0026	RXD	STO							*AL-STEND			
STOXX18	0062	RXD	STO							*AL-STEND			
STOXX19	00B4	RXD	STO							*AL-STEND			
STOXX20	0073	RW4XD	SINV	DXS						*AL-STOXX21			
STOXX21	00B8	RXD	STO							*AL-STEND			
STOXX22	008F		STO							*AL-STEND			
STOXX23	00C0		STO							*AL-STEND			
STEND	00AB				FSTXSC				STXSTR	*AL-			

FIG. 10

ESCALA VARIABLE  
 MADRID, 21 de enero de 1974  
 BERNARDO GONZÁLEZ  
 P. D.

FIG. 11A

RC	0000		IO	00000	
RC	0001	RWX1	IO	00001	RELX1
RC	0010	RAXLN	IO	00010	
RC	0011	RWXLN	IO	00011	RELH
RC	0100	RA4X1	IO	00100	DSOX1
RC	0101	RWRA4	IO	00101	DSOREL
RC	1000	RXD	IO	00110	DSOH
RC	1001	RWRXD	IO	01000	ISXDO
RC	1101	RW4XD	IO	10011	DSODO
			IO	01110	DSOHDO
			IO	10000	TMX1
SC	0000				
SC	0001	SF1			
SC	0010	STO	MI	0000	
SC	0011	IHTO	MI	0001	MRD
SC	0100	SPO	MI	0010	MWLX1
SC	0110	HTO	MI	0011	MWB1
SC	1000	SMO	MI	0100	MWOX1
SC	1010	CTO	MI	0101	MWBO
SC	1100	SOOXO	MI	0111	MW
SC	1101	SINV	MI	1000	LXS
SC	1110	HCETO	MI	1001	MLRD
			MI	1011	MLWB1
			MI	1101	MLWBO
			MI	1111	MLW
DC	10000				
DC	00000	DXS			
DC	00001	DOXS			
DC	00010	DIXS	DI	00000	
DC	10001	DINH	DI	00001	DFSAX1
DC	10010	DOINH	DI	00010	CC4X1
DC	10100	DXIO	DI	00011	DIXO4
DC	10101	DOXIO	DI	00100	CC3X1
DC	10110	DIXIO	DI	00101	DIX30
DC	11000	DXDIO	DI	01000	DIOXD1
DC	11001	DOXDI	DI	10000	DIOXDO
DC	11010	DIXDI	DI	10001	DIXODO
			DI	10011	DIXO4DO
			DI	10101	DIX3ODO
			DI	10111	DIX34DO
IT	000		DI	11001	DIXOOD
IT	001	FNCTXS	DI	11011	DIXO4D
IT	010	FNCTXR	DI	11101	DIX3OD
IT	100	FSTXSC	DI	11111	DIX34D
IF	00	NOOP			
IF	01	FSTX1			
IF	10	FNCT1X1			

ESCALA VARIABLE  
MADRID, 21 de enero de 1974  
BERNARDINO GONZALEZ  
P. C.

**FIG. 11B**

ST	000
ST	001
ST	010
ST	100
FC	000
FC	001
FC	010
FC	011
FC	100
FC	101
FC	110
FC	111

FB	000
FB	001
FB	010
FB	011
FB	100
FB	101
FB	110
FB	111
FA	000
FA	001
FA	010
FA	011
FA	100
FA	101
FA	110
FA	111

RECIBO DE VARIABLES  
MADRID, 21 de enero de 1974

RECEIVED

