



G. MENICOU 3

422031

Int. Cl.: G06F//H04M;
G05B

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR: "UN SISTEMA DE PROCESO DE DATOS CONTROLADO POR
PROGRAMA ALMACENADO", A NOMBRE DE STANDARD ELECTRICA, S.A.
CON DOMICILIO EN MADRID, CALLE DE RAMIREZ DE PRADO Nº 5.

El presente invento se refiere a un sistema de pro
ceso de datos controlado por programa almacenado, apropiado pa
ra controlar un sistema de telecomunicación automático, pero
utilizado en unión de otros sistemas, en donde la carga de
5 trabajo sea tal que se necesite más de un procesador durante
el funcionamiento normal.

En el presente invento existe un sistema de proce
so de datos de programa almacenado para su uso en la adminis-
tración de un sistema externo, que incluye varios procesadores
10 de datos que pueden operar separadamente e intercambiables
funcionalmente, entre algunos de los cuales, al menos, están
distribuidos los diferentes programas necesarios para adminis
trar el mencionado sistema externo, de tal manera que las ta-
reas a realizar por el sistema están distribuidas entre algu-



nos, al menos, de los procesadores, como una base funcional, y un dispositivo de rotación de función asociado con todos los procesadores y dispuesto para asignar los programas a los procesadores, y alterar dicha asignación en respuesta a la detección de condiciones de avería, o automáticamente, en respuesta a ciertas condiciones predeterminadas.

Describiremos seguidamente diferentes configuraciones del invento, refiriéndonos a los dibujos que se acompañan, en los cuales:

- 10 - la Fig. 1 es un esquemático generalizado de sistemas multiprocesadores, según el invento,
- la Fig. 2 es una representación esquemática sencilla del bloque FTA de la Fig. 1,
- la Fig. 3 es un diagrama que explica ciertos aspectos de la estructura del software y del flujo de datos en el sistema de la Fig. 1,
- las Figs. 4 y 5 son diagramas de temporización,
- la Fig. 6 es un esquemático, similar al de la Fig. 1, para un sistema de dos procesadores.

20 1.- CONCEPTO DEL SISTEMA

El Sistema Multiprocesador que describimos aquí está concebido para el control de un sistema de Conmutación Telefónica, e incluye tres elementos básicos: un sistema operacional físico, un sistema operacional lógico en tiempo real y los Programas de Usuario (o aplicación). El proceso está dividido en seis funciones principales: Manejo Entrada/Salida, Asignación y Programación de prioridades y Ejecutivo Principal, Proceso y Manejo Interno de las Llamadas, Control y Prueba de Encaminamiento, Análisis de Diagnóstico y Ejecutivo Menor.



das en sub-funciones menores según la naturaleza de la malla que debe controlarse. La entrada al sistema es un gran número de tareas, cada una de las cuales consistente en una o más tareas asignadas a una clase de prioridad. Una tarea es, basicamente, una llamada telefónica, y el número de tareas, dentro
5 de una llamada, depende del tipo de llamada por ejemplo, llama da de la propia central, llamada local, llamada interurbana, llamada internacional, llamada a la operadora, y las facilidades asociadas con cada tipo de llamada. Una tarea puede ser
10 también una función de Gestión, o una llamada de Mantenimiento o Administrativa, que requiere servicios.

Las funciones se asignan a los procesadores por una rotación de función, basado en un ciclo de rotación de tiempo compartido, bajo el control de un Sistema Operacional Fisi
15 co. Las tareas se asignan a las funciones por programación, ba jo el control del sistema Operacional Lógico en Tiempo Real. Después de haber sido programada y asignada una tarea, se completa por un Programa de Aplicaciones.

Las ventajas principales de este sistema son:

- 20 (1) Su capacidad para ampliarse sin impacto sobre la función en curso del sistema.
- (2) Utilización eficiente de las posibilidades de computación para una carga de trabajo dada.
- 25 (3) Elevada confiabilidad cuando se utiliza redundancia de proceso y memoria, de tal manera que averias lógicas y físicas causen degradación (esto es, cuando falla algún elemento, el sistema todavía trabaja, pero con una capacidad de manejo de carga menor) y la probabilidad de fallo total del sistema
30 queda disminuido.



4.

(4) Es posible el crecimiento del módulo desde un tamaño mínimo a uno máximo, resultando una solución de coste efectivo.

2.- EL SISTEMA OPERACIONAL FISICO (Fig. 1)

5 Este sistema comprende las interconexiones de los módulos de hardware, para constituir la arquitectura del multiprocesador, más el Distribuidor de Tiempo y Funciones FTA. El número de cada tipo de módulo es, en teoría, ilimitado pero, en la práctica, el número de módulos está limitado por las características físicas de cada tipo de módulo.

2.1 - UNIDADES CENTRALES DE PROCESO

15 El sistema utiliza Unidades Centrales de Proceso de uso general CPU1 a CPUn, y las estructuras lógicas del software; el encaminamiento y asignación de las áreas de memoria depende del tipo de CPU elegido. Cada CPU tiene acceso a cualquier bloque de memoria disponible de M1 a Mn mediante puertas individuales en la Unidad de Control de Memoria (MCU). Además, cada CPU puede comunicar con otras partes del sistema y con la 20 maila externa de adaptadores, a través de la memoria. Puede controlar las funciones de las Unidades Multiplexoras de Canal CMU1 a CMUn cuando tales funciones estan asignadas al mismo. Cada CPU puede realizar cualquiera de las funciones del sistema cuando ello esta previsto así, y cada uno tiene, por lo menos, dos de sus líneas de Interrupción conectadas al Distribuidor de Tiempo y Funciones FTA.

25 El número de CPUs depende de la cantidad de tráfico telefónico que debe ser manejado y del grado de servicio requerido, la cantidad de facilidades de abonado y administración que ofrece el sistema y de los requerimientos de confiabilidad. La velocidad de proceso del CPU y su software, así

30

6 MAR
5.



como su eficiencia, son otros de los factores determinantes.

2.2 - MEMORIA Y UNIDADES DE CONTROL DE MEMORIA

La memoria comprende varios módulos standard (M1-Mn) de 16K palabras. Cada palabra tiene una longitud de 8 bits, o múltiplos de 8 bits, hasta 32 bits, más un bit de paridad en cada caso. El número de bloques de memoria depende de los siguientes items de la memoria:

- (a) Cantidad de programas de aplicación (24K-48K palabras).
- (b) Software del sistema Operacional Lógico (4K-16K palabras).
- (c) Datos Permanentes y Semipermanentes que dependen del tamaño de la red telefónica a ser controlada.
- (d) Espacio de memoria, que depende de la cantidad de tráfico telefónico a ser manejado.

Cada bloque de memoria es accesible por todos los CPA's y CMU's, a través de la MCU asociada con el bloque. Nótese que cada bloque de memoria, tal como el M1, tiene su propio MCU, pero que los números de bloques de memoria, unidades multiplexoras de canal y unidades de proceso, pueden diferir.

Un MCU es una unidad de utilización especial que interconecta el tipo apropiado de bloque de memoria, por ejemplo 16K palabras cada una de 32 bits más un bit de paridad de la memoria de núcleo de ferrita, con el tipo apropiado de CPU y CMU. El MCU consiste de un lógico de control de memoria común asociado con el bloque de memoria, y varias puertas de entrada/salida que varían desde una hasta un máximo de 16 puertas, dependiendo del tamaño del sistema. Cada puerta está conectada individualmente a un CPU ó CMU.

Una puerta puede estar armada, a fin de que los



5 datos puedan fluir a y desde la memoria, o pueda estar desarmada, de tal modo que los datos que fluyen son inhibidos. El armado y desarmado de puertas puede conseguirse manualmente, por controles manuales en el MCU, o por intrucciones de programa desde los CPUs.

2.3 - UNIDAD MULTIPLEXORA DE CANAL (CMU)

10 Una CMU puede estar conectada a un máximo de seis CPUs, y cuando está ocupada en una operación controlada por un CPU, no está disponible para otras CPUs, hasta que se repone por una instrucción particular. Excepto cuando estan ejecutando una instrucción CPU, el canal y el CPU trabajan independientemente uno del otro.

15 Varios adaptadores de Equipo Controlados CEIi-CEIn estan conectados a cada canal tal como C1 (controlado por CMU1) y los mensajes en forma de sartas de caracteres que llegan a través de cada adaptador periférico son multiplexados sobre el canal y transferidos directamente a localizaciones de la memoria definidas por el controlador CPU. Como puede verse en la malla bus, cada CMU tiene acceso directo a todos los bloques de memoria. Cuando una CMU esta disponible y llega un mensaje, esta CMU interrumpe todos los CPUs conectados, a él, y solamente responde un CPU, que maneja la entrada/salida, enviando las instrucciones necesarias para la transferencia de la información a la memoria común. De la misma manera, cuando el CPU que maneja la entrada/salida tiene mensajes que enviar a los adaptadores periféricos, prepara el canal apropiado para realizar las transferencias.

25 El número de canales depende de la cantidad de tráfico de entrada/salida, del número de adaptadores controlados y de los requerimientos de confiabilidad.

30



2.4 - EL DISTRIBUIDOR DE TIEMPO Y FUNCION (Fig. 2)

Este dispositivo proporciona interrupciones de reloj a cada CPU excitando las líneas de interrupción conectadas directamente al FTA. Cada procesador tiene dos líneas de interrupción, designadas por líneas I1 e I2. Cuando un CPU va a ser interrumpido, este tiene conocimiento de la interrupción por la instrucción de salida normal a través de la apropiada CMU, y FTA edita entonces instrucciones al CPU que indican las funciones que serán ejecutadas durante el siguiente período de Ciclo de Rotación. FTA rota las funciones y las asigna a los CPUs sobre la base de un algoritmo ajustable y, como veremos, FTA proporciona también interrupciones de reloj sobre una segunda línea de interrupción a todos los CPUs, pero solamente el CPU asignado para programar las funciones, responde a estas interrupciones, que se utilizan para sincronizar los programas e impedir los sobrepases de programa.

El FTA consiste de tres unidades "replicadas", Fig. 2, y está conectado al sistema a través del lógico de decisión de mayoría MDL.

Cada unidad replicada consiste de un generador de reloj, tal como CL3, sincronizado con los generadores de reloj de las otras unidades, un registro Entrada/Salida, un lógico de decisión simple y una memoria de microprograma. Estas dos están en la unidad de control, tal como CUI, y todas las Entradas/Salidas de cada unidad están conectadas a través del lógico de mayoría MDL.

Las líneas de interrupción están conectadas directamente entre los CPUs y el FTA. Todas las instrucciones entrada/salida entre el FTA y el sistema se intercambian a través de las CMUs, como mensajes normales de entrada/salida.



La memoria de microprograma (en CUI) es variable desde 2 palabras a un máximo de 32 palabras de 16 bits cada una, más un bit de paridad. La memoria almacena el estado de cada CPU, y dos algoritmos ajustables que controlan las funciones de rotación y tiempo. La lectura/escritura del contenido de la memoria puede conseguirse manualmente por controles manuales en el panel FTA y/o mediante programa desde los CPUs. Proporciona indicaciones de alarma que representan el estado del sistema en una unidad de representación DU, este estado del sistema incluye sus propios estados.

El FTA es modular y está equipado según las necesidades del sistema, dado que dicho sistema crece desde un sistema de 2-CPU a un sistema de 6-CPU.

2.5 - OTROS PERIFERICOS STANDARD (Fig. 1)

La memoria de masa MM consiste de tambores o discos magnéticos que contienen copias de los programas y datos usados infrecuentemente por el sistema. El acceso a MM se realiza a través de los CMUs como transferencias normales entrada/salida. Otros periféricos standard (indicados como SP) tales como teleimpresores, impresores de línea, etc., están conectados, similarmente, a través de las CMUs.

3.- EL SISTEMA OPERACIONAL LOGICO EN TIEMPO REAL (Fig. 3)

El Sistema Operacional Lógico en Tiempo Real es un sistema organizado de programas que se ejecutan sincronizadamente bajo el control de interrupciones de reloj regulares desde el FTA. El sistema de programas incluye el Manejo de Entrada y Salida, la Asignación de Prioridades de Tareas, la Catalogación y Puesta en Cola, y el Ejecutivo Principal. La estructura lógica de estos programas se muestra en la Fig. 3.

3.1 - MANEJO DE ENTRADA Y SALIDA

6 MAR 9.



Este programa esta asignado normalmente al procesador que realiza las funciones del Sistema Operacional Lógico en Tiempo Real, pero el programa es modular, por lo que si la carga de entrada y salida es suficientemente elevada para justificar la capacidad de un CPU, la función puede ser asignada separadamente a un CPU. El programa maneja todos los acontecimientos generados por la red externa y que llegan como sarta de datos a través de la CMU. La función debe estar preparada para hacerse cargo de los datos de entrada a una cadencia que, menudo, no puede ser controlada.

La función controla también las CMUs de tal modo que la información que llega a la CMU como sartas de datos se sitúan en la memoria común, en localizaciones y direcciones especificadas por el Ejecutivo Principal (ver debajo) y llevadas a cabo por la función de control entrada/salida. Los CMUs estan siempre preparados de antemano, de tal manera que cuando llegan los datos pueden introducirlos en la memoria sin necesidad de interrumpir la función de control de entrada/salida. Sin embargo, si los datos llegan a un CMU que no está preparado, este CMU interrumpe todos los CPUs y sólo responderá el CPU al que se le ha asignado la función de control de entrada/salida, editando instrucciones al CMU para la transferencia de los datos a la memoria.

La función de control de entrada/salida organiza también la entrada de datos en la memoria en forma apropiada de tal manera que puedan ser manejados más eficientemente por los programas sucesivos, principalmente por los programas de previsión y asignación de prioridades. Puede también explorar las tablas o llamar a las memorias intermedias que contengan los resultados de tareas procesadas por otras funciones. Estas



tareas de salida son de tres categorías:

- (a) Tareas que esperan futuros acontecimientos (por ejemplo, que conteste un abonado llamado).
- 5 (b) Tareas que tienen que ser re-configuradas para otro procesamiento (por ejemplo, el reencaminamiento de una llamada debido a un bloqueo del sistema).
- (c) Tareas que han producido una salida correcta y que debe ser enviada a la red externa. En este caso, la función de control de entrada/salida edita instrucciones al CMU y organiza la transferencia de 10 datos desde la memoria a la red externa.

3.2 - ASIGNACION DE PRIORIDADES; CONFIGURACION Y PUESTA EN COLA

Las tareas son, básicamente, requisiciones de proceso y pueden venir de:

- 15 (a) La red externa a través de las funciones de control de entrada/salida, incluyendo la comunicación hombre-máquina.
- (b) De los CPUs mismos, que al ejecutar sus tareas normales, determinan la necesidad de procesar tareas subsecuentes, incluyendo los errores descubiertos 20 en los puntos de comprobación del programa.
- (c) Circuitos de detección de fallos o rutinas de comprobación que requieren tareas de diagnóstico de averías o errores.

25 El programa de asignación de prioridades divide los trabajos en varias tareas: algunas veces el trabajo completo puede consistir de una sola tarea; de tal manera que la entrada a la función es una gran cantidad de trabajos, cada uno de los cuales consiste de una o más tareas, a las que la función debe asignar una clase de prioridad. Este problema esta 30



constituído por la interdependencia entre las tareas, ya que algunas de ellas producen salidas que son entradas para las siguientes y cuyas salidas pueden ser aún entradas para otras, etc. La regla de asignación de prioridades afecta al orden en que se procesan las tareas, y se necesita una regla de configuración que configure estas tareas según su nivel de prioridad y según a cómo se satisfacen las dependencias de las tareas. Las tareas se colocan entonces en una cola, según las funciones que tiene que procesar la tarea, y existen tantas colas como funciones. Cada disciplina de cola es una prioridad no preentiva, esto es, cuando un CPU completa una tarea, se asigna a la tarea de prioridad más elevada existente en la cola. Las tareas de igual prioridad se procesan sobre el principio del primer-llegado primer-servido. Un CPU asignado a una tarea puede procesarla por completo, tomando un número finito de unidades de tiempo. Si un CPU completa una tarea y la cola está vacía, el CPU ejecuta las funciones del Ejecutivo Menor, hasta que la siguiente tarea entra en la cola.

Ya que los CPUs se asignan a tareas sobre una base de función, y las funciones están asignadas a CPUs por el FTA, realmente asignamos trabajos o tareas a CPUs y configuramos los programas que serán utilizados por los CPUs para ejecutar estas tareas. Si se asigna más de un CPU a las mismas funciones, existiendo más de una copia de los programas en la memoria por razones de confiabilidad, las funciones de configuración darán la dirección de la instrucción de comienzo tal que cada CPU ejecute el mismo programa en paralelo pero teniendo acceso estos programas desde diferentes áreas de la memoria, lo que disminuye el conflicto de acceso a la memoria.



Se trata de un controlador total del sistema y ejecuta las siguientes funciones:

5 (a) Temporización. Después de que una tarea se ha configurado y situado en la cola apropiada, comienza una temporización asociada con cada tarea. Una tarea debe ejecutarse dentro de un período de tiempo finito, y el CPU que la ejecuta debe producir una salida de tarea o mensaje de error dentro de este período de temporización. Esto se controla por el Ejecutivo Principal, para asegurar que un CPU que ejecuta una tarea no sobrepasa su período de temporización. Si un CPU sobrepasa el período de temporización para la tarea que esta siendo ejecutada y no produce un mensaje de error, el ejecutivo principal genera una tarea de diagnóstico para investigar esta anomalía y mantener un registro de todos los acontecimientos asociados con esta tarea.

10
15
20 (b) Comprobaciones de Validez. Basado sobre un algoritmo de muestreo periódico, el ejecutivo principal copia una tarea de una cola pero sin hacerla desaparecer, y la ejecuta en paralelo con el CPU asignado a esta tarea. Controla la salida de tarea y la compara con su propia salida de tarea y, si no se detecta ninguna discrepancia, destruye su propia salida de tarea. Si se detecta alguna discrepancia, el ejecutivo principal genera una tarea de diagnóstico y mantiene un registro de todos los acontecimientos que siguen.

25
30 (c) Gestión de Memoria. La asignación de áreas de memoria a programas, datos y espacios de trabajo se



5

10

15

20

25

30

realiza por el ejecutivo principal, como son las transferencias de programas y datos desde la memoria de masas. Son posibles dos métodos de asignación de áreas de memoria, dependiendo del tipo de CPU que se utilice. Si el CPU tiene un registro de capacidad de encaminamiento de memoria limitado, la asignación de áreas de memoria a programas y datos se determina inicialmente sobre bases permanentes, realizándose dinámicamente la asignación de espacios de trabajo en la memoria para la ejecución de tareas bajo el control del ejecutivo principal. Por el contrario, si el CPU tiene una capacidad de encaminamiento ampliada tal como registros límites y base, todas las áreas de memoria se asignan dinámicamente a programas, datos y espacios de trabajo. Las secciones de programas y datos circulan por todas las áreas de memoria bajo el control del ejecutivo principal.

(d) Manejo de Averías y Errores. Una avería en el hardware o un error en el software, o datos y código de programa en malas condiciones por acontecimientos externos o transitorios, producirá un mal funcionamiento en algún punto del curso del programa. Dicho mal funcionamiento tiene que ser identificado, así como el ítem averiado (hardware, programa o datos). Ya que el mal funcionamiento tiene lugar durante el curso del programa, este es el momento para detectarlo. Cada programa tiene puntos de comprobación en ciertos puntos estratégicos, y se toman decisiones dinámicamente en cada punto de com-



probación de la manera siguiente:

(i) Todos los datos se mantienen durante, por lo menos, dos pe
ríos de puntos de comprobación, esto es, los datos que
ya no son necesarios no se destruyen hasta el tercer punto
de comprobación.

(ii) En cada punto de comprobación, se realiza un sencillo cálcu
ló de tiempo, consultando los índices de tiempo datos por
la sección 3.3(2). Si el tiempo no es mayor que Y o no me-
nor que X, el programa pasa a la siguiente sección. Si el
tiempo es mayor que Y o menor que X se realiza una compro-
bación de código, y si se detecta un mal funcionamiento,
se genera una tarea de diagnóstico.

(iii) Ya que todos los datos han sido almacenados y se conoce
la sección del programa durante la que ha ocurrido el mal
funcionamiento, el programa puede ser recommenzado para
observar la repetición del mal funcionamiento como parte
de la rutina de diagnóstico.

No es posible predecir con precisión cuánto tiempo
de proceso necesitará una sección de programa dada, y se inser
tan puntos de comprobación dinámicamente para que esten en pun
tos diferentes con datos diferentes. La decisión debe tomarse
en tiempo real, con tan pequeño margen como sea posible.

El algoritmo elegido es óptimo para satisfacer am
bos requerimientos.

(e) Reconfiguración del Sistema. El Ejecutivo Princi-
pal es responsable de la reconfiguración del sis-
tema bajo las siguientes condiciones:

(i) Cuando se ha identificado un CPU como averiado se sitúa
fuera de servicio y se genera y envía un mensaje de estado
al FTA, para que tenga lugar la rotación de función y la



re-asignación de trabajo.

- 5 (ii) Si un bloque de memoria está averiado, se sitúa fuera de servicio desarmando todas sus puertas de entrada. Un bloque de memoria de repuesto (si existe) está dando el valor del bloque de memoria situado fuera de servicio, y con todas sus puertas de entrada armadas. Antes de esto, el nuevo bloque de memoria debe ser recargado con programas o datos a partir de otra copia idéntica.
- 10 (iii) Cuando una sección de programa o datos (de tipo permanente o semipermanente) se ha identificado como en malas condiciones, será sustituido por otra copia.
- 15 (iv) Cuando se han identificado los datos dinámicos como en malas condiciones serán reconstruidos en lo que sea posible, o el área en malas condiciones borrada y dadas por terminadas todas las llamadas asociadas con ella.

El algoritmo de reconfiguración está basado sobre información estadística y de estado, que está triplicado, con una copia en el núcleo, otra en la memoria de masas y otra en el FTA.

20 4.- EL EJECUTIVO MENOR

A pesar de las facilidades existentes para la detección de averías y errores, con ciertas averías del CPU o ciertos errores de datos o programas, el Ejecutivo Principal podría continuar bajo condiciones de avería no detectadas. Para 25 disminuir la frecuencia de tales ocasiones, la función del Ejecutivo Menor es controlar al Ejecutivo Principal.

Cada CPU, distinto del asignado para la función del Ejecutivo Principal, está asignado, además de a otras funciones, a la función de Ejecutivo Menor, que se efectúa por 30 un CPU bajo las siguientes condiciones:



(i) Cuando la cola está vacía y un CPU no tiene trabajo que hacer, se hace cargo de la función de Ejecutivo Menor.

(ii) Un CPU puede ser interrumpido por otro CPU para hacerse cargo de la función mediante una interrupción de software a través de una localización de la memoria común que es interrogada por todos los CPUs cuando se hacen cargo de las operaciones propias.

(iii) El CPU asignado para Probar, Controlar y/o Análisis de Diagnóstico, y la función de Ejecutivo Menor, tiene la prioridad más alta.

Ya que la capacidad de proceso es siempre mayor que la necesaria a fines de confiabilidad, esta función ocurre a menudo. Bajo condiciones de fallo, cuando la capacidad de proceso disminuye, la función tiene prioridad más elevada. Bajo condiciones de avería extremas, cuando la capacidad de proceso cae por debajo de cierto valor, la función no tiene lugar.

Cuando se REALIZA LA FUNCION de Ejecutivo Menor en un CPU, controla las actividades del Ejecutivo Mayor y, si se detecta una mala función, se genera un mensaje que se introduce en una localización de la memoria común con una interrupción del software dirigida a otro CPU, cuya identidad se elige de una manera aleatoria.

El último CPU que, después de repetir el procedimiento encuentra un voto mayoritario en la localización de la memoria común del mal funcionamiento del Ejecutivo Mayor, asume temporalmente una función de salida. Genera un mensaje de estado, captura un CMU libre (o fuerza la captura después de una segunda tentativa), y envía el mensaje al FTA que provoca una rotación de función, cambiando las funciones de Ejecutivo



Mayor a una unidad distinta de la que funciona defectuosamente.

Cuando existen averías simultáneas, se repite el procedimiento y se rotan las funciones hasta que se obtiene una posición segura. De otro modo, el sistema necesita intervención manual.

5 5.- LOS PROGRAMAS DE USUARIO (O APLICACION)

Estos programas incluyen La Elaboración de una Llamada (incluyendo el Mantenimiento y Administración) Prueba y Control (Red y Periféricos), Análisis de Diagnóstico y ciertos Programas "Domésticos".

10 El Sistema Operacional Físico y el Sistema Operacional Lógico en Tiempo Real son comunes a todas las aplicaciones, pero los Programas de Usuario son aplicaciones-dependientes y no forman parte del sistema descrito aquí.

15 6.- ROTACION DE FUNCION Y REASIGNACION

En cualquier sistema multiprocesador, cuando tiene lugar una avería o un error, cambia el comportamiento del sistema y se reducen los recursos útiles disponibles. Por estas razones se hace necesario la reconfiguración, reagrupamiento y reasignación de funciones.

20 (a) Obtener la máxima eficiencia posible con los recursos disponibles.

25 (b) Disminuir la posibilidad de acumulación de averías o errores. Cuando un conjunto de programas y datos está rigidamente asociado al mismo hardware, todas las partes relacionadas con el tiempo del sistema no se ejercitan adecuadamente, y las averías o errores en estas partes pueden permanecer no detectadas. Tales averías pueden producir códigos falsos que parecerían válidos y podrían provocar un mal proce

30



samiento de las llamadas, esto es, peor conexión, reposición prematura, perores posibilidades, etc. Cuando tales averias permanecen no detectadas, se podrian acumular durante más de un período y ciertas combinaciones de averias y/o errores llevarían el sistema al colapso. La rotación de función permite que todas las partes del sistema se ejerciten frecuente y suficientemente, de tal manera que, todas las averias y errores se clasifiquen sistemáticamente y se disminuya la posibilidad de acumulación y colapso del sistema.

El reagrupamiento y reasignación de funciones puede hacerse de tres modos básicos:

(i) Mediante software y bajo el control del Sistema Operacional Lógico en Tiempo Real sobre una base dinámica. Esto resulta difícil, por que el software puede estar en malas condiciones y los errores ser difíciles de detectar. Para asegurar el software es necesario un código de comprobación y diagnóstico, el cual aumenta realmente la complejidad del software de tal manera que puede ser difícil de manejar. Esto también aumenta las necesidades de tiempo y espacio, reduciendo la eficiencia total del sistema.

(ii) Mediante hardware y bajo el control del Sistema Físico Operacional. El hardware puede asegurarse por repetición y sus averias son fáciles de detectar. Para una seguridad máxima y para cumplir los requerimientos de confiabilidad, esto resulta caro y difícil de mantener sin interrupción del servicio.

(iii) Mediante una combinación óptica de software y hardware.

Se ha elegido el tercer método para este sistema,



que emplea ambas técnicas mencionadas en (i) e (ii), pero con un mínimo sobrecoste y más elevado grado de seguridad.

6.1 - FUNCIONAMIENTO DE LA ROTACION DE FUNCION - CASO NORMAL

5 Bajo condiciones normales, cuando el sistema esta libre de averias y/o errores importantes, la rotación de función está bajo el control del Sistema Operacional Físico y, en particular, del FTA. La decisión para reagrupar y/o reasignar las funciones al sistema CPUs, se realiza por el FTA, basado en el resultado de un cálculo. Este cálculo se realiza
10 por un algoritmo ajustable de rotación en el FTA, examinando la información de estado del sistema proporcionada por el Sistema Operativo Lógico en Tiempo Real, y almacenado en FTA. El comienzo del cálculo que afecta a la rotación de las funciones, puede dispararse por uno de:

- 15 (a) Cuando se detecta o sospecha un fallo en el CPU.
- (b) Cuando un CPU produce errores sistemáticos y el Sistema Operativo Lógico no puede corregir dichos errores.
- (c) Cuando (en el caso de un sistema telefónico) el dispositivo de medición de tráfico indica que el tráfico ha caído
20 por debajo de un nivel preseleccionado y durante un periodo preseleccionado.
- (d) Cuando se ha recibido una señal de interrupción desde el Reloj de Tiempo Real.
- (e) Por una señal generada manualmente.
- 25 (f) Por una instrucción desde el Sistema Operativo Lógico que indica que un CPU ha cambiado desde un estado on-line a otro off-line o estado de mantenimiento, y viceversa.
- (g) Por averias que conducen a una reducción considerable de la memoria disponible.

30

 Cuando FTA recibe una de las indicaciones anterioro



res, el algoritmo de rotación calcula lo siguiente:

(i) El número de CPUs a los que se permite permanecer on-line, según la información de estado disponible.

5 (ii) El reagrupamiento de funciones, según el número de CPUs calculados en (i).

(iii) El orden en el que tienen que ser interrumpidos los CPUs y asignados los nuevos grupos de función, con interés particular en el estado y posición del Ejecutivo Principal, la posición de la última avería (detectada o sospechada) y la identidad del CPU que reportó la avería.

10

Cuando se ha completado el cálculo, el FTA interrumpe cada CPU según el orden calculado, y lo reasigne un grupo de función. Si la indicación para rotar las funciones se origina debido a (a), (b), (f) y (g) anteriores, solamente se interrumpen ciertos CPUs, mientras que si la indicación se origina debida a (c), (d) y (e), serán interrumpidos todos los CPUs en su orden.

15

El CPU interrumpido tiene conocimiento de la interrupción después del siguiente punto de comprobación del programa en curso (esto permite que las tareas se completen después). Si el CPU interrumpido no tiene conocimiento de dicha interrupción dentro de un período de tiempo medido en el FTA, se interrumpe entonces el siguiente CPU y cuando se completa la secuencia de interrupción, el CPU que falló en su respuesta es interrogado nuevamente. Si falla otra vez, el FTA edita una interrupción que indica la identidad del CPU, y hace una requisición para una tarea de diagnóstico. Esta tarea entra en el sistema como una tarea normal I/O, pero el Ejecutivo Principal la reconoce y la da una prioridad apropiada.

20

25

30

El CPU interrumpido, después de reconocer la inte



rrupción, investiga continuamente una instrucción en ciertas localizaciones de la memoria común, que indique su nueva función. La instrucción se edita por el FTA, siguiendo el reconocimiento de la interrupción, como una instrucción normal I/O. Si el CPU hace un número predeterminado de investigaciones y no se encuentra instrucciones, asume entonces la función del Ejecutivo Menor.

Si el CPU que falla en el reconocimiento de la interrupción es el Ejecutivo Principal en curso, el siguiente CPU que tiene conocimiento de la interrupción es instruido por el FTA para asumir las funciones de Ejecutivo Principal, desarmando las puertas de memoria del Ejecutivo Principal en curso. El CPU que asume las funciones de Ejecutivo Principal edita una instrucción de estado que indica que él es ahora el Ejecutivo Principal, y dicha instrucción debe llegar al FTA dentro de un período de tiempo dado, medido por el FTA. Si la instrucción de cambio de estado no se recibe dentro de ese período de tiempo, se interrumpe el siguiente CPU, y así sucesivamente. Ya que el CPU que falló en el conocimiento de la interrupción fué el Ejecutivo Principal, es posible que las instrucciones editadas por el FTA no alcancen el sistema. Bajo estas circunstancias, todos los CPUs interrumpidos asumen la función del Ejecutivo Menor, y el primer CPU que encuentra un voto mayoritario contra el Ejecutivo Principal en curso, asume esta función y desarma al Ejecutivo Mayor en curso. El Ejecutivo Principal elegido ahora, edita un cambio de estado al FTA quien, a su vez, devuelve una instrucción que indica el período de tiempo total tomado para reconfigurar el sistema. Si este período de tiempo es menor que un tiempo dado, se completan todas las tareas. Si el período de tiempo es mayor que el



dado, se destruyen todas las tareas que esperan y sólo se pro
cesan nuevas tareas.

6.2 - LA ROTACION DE FUNCION BAJO EL CONTROL DEL SOFTWARE TOTAL

5 Se supone la rotación de función bajo el control
del software total, cuando falla completamente el FTA. Como se
ha mencionado en la sección 2.4, el FTA es una pequeña unidad
triplicada con una elevada confiabilidad, y para aumentar la
confiabilidad total del sistema, se prevé el funcionamiento
del sistema sin FTA.

10 La unidad se controla e interroga por el sistema,
con instrucciones de rutina, a intervalos regulares. El Ejecu
tivo Principal genera una tarea de diagnóstico del FTA a inter
valos regulares, y el CPU que realiza la tarea envía instruc-
ciones específicas al FTA, las cuales requieren respuestas es
15 pecíficas. Si el CPU recibe una respuesta falsa, o no recibe
ninguna, almacena la información en ciertas áreas de la memo-
ria común y genera una llamada al Ejecutivo Principal, lo que
lleva como consecuencia la generación de otras tareas de diag-
nóstico. Cuando dos o más CPUs encuentran que falla el FTA,
20 el Ejecutivo Principal lo pondrá fuera de servicio. Los progra
mas de rotación de función están siempre previstos en los pro
gramas de sincronismo del Ejecutivo Principal, pero cuando FTA
está en servicio, este programa se salta. Cuando el FTA esta
fuera de servicio, será ejecutado el programa solamente cuando
25 un CPU haya detectado un fallo. La información de estado y de
algoritmo de rotación se almacenan en la memoria de masa back-
up y se actualiza cuando se actualiza la información del FTA.

30 Se requiere el control de la rotación de función
mediante software solamente durante unas pocas horas del pe-
ríodo en que el FTA esta fuera de servicio. El sistema perma-



nece estacionario durante el total de este período, sin importar que ocurra un fallo del CPU, como se ha mencionado antes.

Los impulsos de interrupción de reloj empleados para sincronizar los programas del Sistema Operativo Lógico en Tiempo Real, están producidos por el FTA, y cuando éste está fuera de servicio, tiene lugar un cambio automático que conecta las líneas interrumpidas a una línea particular del Reloj en Tiempo Real. Si no se reciben impulsos de interrupción dentro de un período de tiempo fijo, el Ejecutivo Principal utiliza como base de tiempo, el reloj del CPU sobre el que se ejerce el Ejecutivo Principal. Los impulsos de Interrupción, en este caso, son de igual duración.

Cuando ha quedado separado el FTA, se repone para entrar en servicio bajo el siguiente procedimiento:

- 15 (i) Se interrumpe el sistema mediante una comunicación hombre-máquina.
- (ii) Se genera una tarea que carga la información de estado y el algoritmo de rotación en el FTA. Estos se representan en el panel del FTA y se comprueba manualmente.
- 20 (iii) Se generan las tareas de diagnóstico, y se comprueba el FTA por el sistema varias veces.
- (iv) Si el FTA pasa la prueba, una instrucción, procedente del sistema, lo pone en servicio. Esta situación se representa en el panel del FTA.
- 25 (v) Si el FTA no pasa la prueba, el sistema imprime un mensaje para un posterior análisis manual y comprobación fuera-de-línea del FTA.
- (vi) Cuando el FTA ha entrada en servicio, tiene lugar la primera rotación de función, cuando se ha recibido la primera condición de (a) a (g) dada en la sección 5.1.
- 30

24. 6 MAR



Esto permite otra comprobación del FTA antes de que tenga lugar una rotación. Se inicia también automáticamente un cambio a la interrupción del reloj del FTA para controlar los programas de sincronismo.

5. 6.3 - LA FUNCION DE ROTACION BAJO CONTROL MANUAL

El reagrupamiento de funciones, la rotación de funciones y las modificaciones al algoritmo de rotación, pueden realizarse por controles manuales e indicadores en el panel del FTA. Este se requiere:

- 10 (a) Durante la instalación del sistema.
(b) Durante la ampliación del sistema, esto es, cuando se añada un nuevo CPU.
(c) Durante el funcionamiento, cuando el sistema aparece inestable.

15 6.4 - INFLUENCIA DE LAS AVERIAS EN LA MEMORIA

La condición (g) de la sección 5.1 conduce a un reagrupamiento y reasignación de funciones en sentido negativo, mientras que con las averías del CPU, los procedimientos se aplican en sentido positivo. Esta condición tiene lugar cuando los módulos de memoria fuera de servicio, exceden a los módulos de memoria de respuesta on-line. Bajo estas condiciones, el número de CPUs disponibles on-line es demasiado elevado en relación con el número de bloques de memoria disponibles on-line, lo cual aumenta el conflicto de acceso a la memoria y provoca ineficiencia en la tarea que se está procesando. El reagrupamiento y reasignación de funciones es tal que, a uno o más CPUs no se les asigna ninguna función, por lo que, en realidad, están fuera de servicio.

30 Cuando los módulos de la memoria son reparados y vuelven a prestar servicio, los CPUs vuelven también a entrar



en servicio según el resultado de los cálculos realizados por el algoritmo de rotación.

7.- LA FUNCION DE ROTACION EN RELACION CON EL TAMAÑO DEL SISTEMA Y LAS ETAPAS DE AMPLIACION.

5 7.1 - General

El sistema descrito con un mínimo de dos CPUs y una cantidad de memoria apropiada, puede ampliarse, en etapas apropiadas, hasta un máximo de seis CPUs y la máxima cantidad de memoria requerida.

10 El número de CPUs en el sistema, incluyendo CPUs de redundancia activa, y el número de módulos de memoria, incluyendo módulos de redundancia activa, influye en el resultado de los cálculos realizados por el Algoritmo de Rotación (Sección 5.1) y el Algoritmo de Tiempo (Sección 6.2). El resultado del cálculo es un valor que representa los recursos del sistema que pueden emplearse en cualquier momento, y no los recursos reales del sistema.

15 7.2 - LAS FUNCIONES DE TIEMPO Y EL ALGORITMO DE TIEMPO

Ya se ha mencionado que cada CPU tiene dos de sus líneas de interrupción conectadas al FTA, las cuales se utilizan como sigue:

20 7.2.1 - PRIMERA LINEA DE INTERRUPCION

A esta línea se le asigna el nivel de prioridad más elevado y se utiliza para la función de rotación. Los períodos de tiempo se muestran en la Fig. 4 y son:

- 25 (i) El período a es el tiempo requerido para comunicar un suceso al FTA, y varía según la procedencia y naturaleza del suceso. En la sección 5.1 los sucesos que se refieren a las condiciones (a), (b), (f) y (g) son las instrucciones I/O enviadas por los CPUs a FTA, las
- 30



cuales se almacenan y decodifican por el FTA antes de procesadores al cálculo. Los sucesos que se refieren a las condiciones (c), (d) y (e) son impulsos de reloj y pueden procederse al cálculo casi inmediatamente.

5 (ii) El período b es el tiempo requerido por el algoritmo de rotación para realizar los cálculos, y varía según el estado previo del sistema, el estado actual del sistema y el tiempo para alcanzar y resolver una matriz de esta
10 do a fin de obtener la solución óptima para el reagrupamiento y relocalización de funciones.

Bajo las condiciones (c), (d) y (e) de la sección 5.1, donde el estado anterior del sistema es igual al estado actual, se utiliza el resultado del cálculo anterior, almacenado en la memoria FTA, y los grupos de funciones
15 se reasignan a los CPUs en orden numérico.

(iii) El período c es el período de interrupción del CPU. El FTA interrumpe cada CPU, y si un CPU se interrumpe en el momento x debe tener conocimiento de la interrupción en el momento y . El período c se calcula sobre la base
20 de un tiempo máximo entre dos puntos de comprobación en un programa que puede ser ejecutado en un CPU cuando ocurre la interrupción, el número de CPUs en el sistema, y el número de CPUs a ser interrumpidos, según el cálculo del algoritmo de rotación.

25 (iv) El período de interrupción del sistema SI es un resultado directo del cálculo en (iii) anterior y el número de CPUs a ser interrumpidos. Como se ha mencionado en la sección 5.1, un CPUs que falla el conocimiento de una interrupción, se interrumpe de nuevo y se amplía
30 el período SI. Al final de la rotación, se envía el



- valor del período SI al Ejecutivo Principal como una instrucción normal I/O, así como los datos para indicar si las tareas que esperan durante este período han de ser completadas o destruidas. Las condiciones bajo las cuales ocurriría esto se explican en la sección 5.1.
- 5
- (v) El período del ciclo de rotación de función FRC es un suceso dependiente, y existen tres tipos de sucesos:
- (1) Averías en el hardware y errores del software, que se suponen son aleatorios. Sin embargo, no todos los tipos de averías y errores provocan rotación de función.
- 10
- (2) Períodos de actividad de bajo tráfico, que son sistemáticos, pero no necesariamente regulares en el tiempo.
- (3) El Tiempo de Calendario Real y sucesos manuales, que pueden ser determinados y previstos en momentos definidos durante el período de 24 horas, y modificados en
- 15
- períodos diferentes del año.

La señal de interrupción real es un impulso de amplitud y duración definidas, aplicado por el FTA a la primera línea de transmisión de interrupción del CPU a ser interrumpido.

20

7.2.2 - SEGUNDA LINEA DE INTERRUPCION

Se asigna al segundo nivel de prioridad más elevada, y controla la realización de los programas de sincronismo. Los programas que forman parte del Sistema Operacional Lógico en Tiempo Real se realizan sincronicamente bajo el control de la secuencia de interrupción aplicada por el FTA a la segunda línea de interrupción. Todos los otros programas se realizan asincrónica y dinámicamente así como la previsión y puesta en cola de las diferentes tareas. De esta manera, solamente es

25

30

activada la segunda línea de interrupción del CPU a la que se



han asignado las funciones del Sistema Operacional Lógica en Tiempo Real. Las segundas líneas de interrupción de los otros CPUs permanecen inactivas. El primer FTA aplica las señales de interrupción al CPU elegido e inhibe la segunda línea de interrupción de los otros CPUs, y una segunda máscara del software se almacena en la memoria común, lo que permite que solamente el CPU elegido acepte estas interrupciones e impide aceptarlas a cualquier otro CPU. Esto asegura que cualquier fallo o error no activa ninguna CPUs que no esté previsto para aceptar esta interrupción.

Las funciones de grupo que están bajo el control de la secuencia de interrupción son el Handler de Entrada/Salida, la Asignación de Prioridades, La Previsión y puesta en Cola de las Tareas, el Ejecutivo Principal, y el Procesamiento de la Tarea.

Estos grupos de funciones se realizan en la secuencia dada, y cada sección comienza al principio de la interrupción y termina al final de la interrupción. Se permite un pequeño período de sobre-ejecución, temporizado por el FTA. Si falla el CPU en el que se están realizando estas funciones en el conocimiento de la interrupción, después de haber pasado el tiempo de sobre-ejecución, el FTA inicia una rotación forzada para trasladar esta función a una posición segura, en el caso de fallar el CPU o que un error impida su funcionamiento normal.

Las diferentes secciones de programa, dentro de cada uno de los grupos de función anteriores, se realizará sincrónica y dinámicamente, según las demandas del sistema.

La Fig. 5 muestra la estructura y derivación de la secuencia de interrupción donde:

29. 6 MAR



- (i) La forma de onda del Reloj Básico tiene un período ci
clico t que está definido y fijo en el momento de ins
talación del sistema. Puede ser modificado manualmente
en cualquier momento desde el panel de control del FTA.
- 5 (ii) Las formas de onda de reloj W, X, Y y Z se derivan di-
rectamente de T.
- (iii) Las formas de onda de reloj (i) y (ii) se puertean se-
gún el resultado de un cálculo realizado por el Algorit
mo de Función de Tiempo, para producir la secuencia de
10 interrupción requerida. Las secuencias de interrupción
A y B son dos ejemplos de tales secuencias, donde a, b,
c, d y e son los períodos durante los que se realizan,
respectivamente, los grupos de funciones anteriores.
Los períodos a, b, c, d, e y, consecuentemente, el ci-
15 clo de interrupción IC, están determinados mediante
cálculo por el Algoritmo de Función de Tiempo sobre la
base:
- (1) Un juego de parámetros constantes definidos y fijos en
el momento de instalación del sistema, que puede ser
20 modificado manualmente desde el panel de control del FTA,
cuando se requiera.
- (2) A partir de la información del sistema derivada dinámi
camente durante el funcionamiento y empleada para pro-
ducir ajustes finos en los parámetros constantes, tanto
25 en dirección positiva como en la negativa. Los datos
empleados para modificar estos parámetros son las lon-
gitudes de las diferentes colas y memorias intermedias,
asi como la cadencia a la que las tareas entran y salen
de estas colas y memorias.
- 30 (3) El número de CPUs on-line. Normalmente, el período de



proceso de una tarea (e) es muy pequeño, dado que el Sistema Operacional Lógico en Tiempo Real tiene muy pequeño proceso que hacer, pero en una situación de dos CPU, este período (e) puede ser sensiblemente mayor.

5. 7.3 - TRANSFERENCIA DE DATOS ENTRE EL FTA Y LOS CPUS

Los cálculos realizados por los algoritmos de función de tiempo y rotación dependen en gran medida de los datos recibidos por el FTA desde los CPUs y debe asegurarse grandemente la transferencia de datos. Cuando se envía una instrucción o palabra de datos al FTA, el CPU envía la palabra por tres (o al menos dos) CMUs, de tal manera que la información alcanza el FTA por triplicado.

Los datos se utilizan en el FTA después de que el lógico de decisión mayoritaria haya realizado su función. Una instrucción o palabra de datos desde el FTA a los CPUs, se trata de la misma manera.

7.3 - UN SISTEMA CON DOS PROCESADORES

En la Fig. 6 se muestra la configuración de un sistema con dos procesadoras, donde las unidades están parcialmente equipadas con posición de repuesto para futuras ampliaciones del sistema. El FTA, en particular, está equipado solamente para proporcionar las interrupciones de reloj fijas, la información de estado para interrogación y representación y un mínimo de lógicos de decisión. En este caso, la rotación de función es fija y continua y no es un suceso dependiente.

La primera línea de interrupción, con el más elevado nivel de prioridad, de cada CPU, se activa por una secuencia de reloj continua, donde el ciclo y relación de interrupción del nivel de baja actividad al nivel de alta actividad, se define y fija durante el tiempo de instalación del sistema.



Un CPU está en estado de alta actividad y uno en estado de ba
ja actividad, alternándose estos estados. Esta situación con-
tínua hasta que un CPU es puesto off-line por el otro CPU, .
cuando se detecta un fallo, y el reloj permanece en el nivel
5 de alta actividad sobre la línea de interrupción del CPU que
permanece on-line. Cuando el CPU off-line vuelve a on-line,
las interrupciones de reloj se reactivan automáticamente.

Los diferentes grupos de funciones se rotan conti-
nuamente entre los dos procesadores CPUs, uno de ellos maneja
10 A, B y C y el otro D, E y F, cuando ambos funcionan.

Con una simple operación del CPU, todos los grupos
de función se realizan por el CPU on-line, según una secuencia
de interrupción modificada en la segunda línea de interrupción.

La segunda línea de interrupción, con el segundo
15 nivel de prioridad más elevado, de cada CPU, se activa por una
secuencia de interrupción de reloj continua, cuyo ciclo de
interrupción IC y sus períodos componentes básicos a, b, c, d
y e (ver sección 6.2.2) están basados en los parámetros constan-
tes definidos y fijados durante el tiempo de instalación. Estos
20 períodos no varían dinámicamente, como en el caso de un sis-
tema con más de dos CPUs, sino que pueden alterarse manualmen-
te si se requiere. Tiene lugar un cambio básico cuando uno de
los CPUs queda off-line. Ya que se activa el nivel de interrup-
ción del CPU que permanece on-line, aumenta el período e en la
25 segunda línea de interrupción, de tal manera que pueden ejecu-
tarse las funciones de baja actividad. Cuando el CPU off-line
vuelve a on-line y se reactiva la secuencia de interrupción
en la primera línea de interrupción de cada CPU, la secuencia
de interrupción en la segunda línea de interrupción vuelve
30 automáticamente a su forma original.



7.5 - UN SISTEMA CON TRES PROCESADORES

La configuración para un sistema con tres procesadores representa una etapa de ampliación a partir del sistema con dos procesadores. La cantidad de memoria necesaria depende de las necesidades de la red controlada. El FTA está ahora completamente equipado, como se describe en la sección 2.4.

Se suponen tres CMUs, lo que representa el máximo necesario para la requerida confiabilidad, pero puede aumentarse el número de CMUs, dependiendo del número de adaptadores controlador (CEI), la cantidad de tráfico de señalización en ambas direcciones de transmisión, y el método de conectar los enlaces de llegada para asegurar cada ruta de señalización y conseguir la confiabilidad requerida para cada ruta. Se incluyen completamente la rotación y reasignación de función y las funciones de tiempo de las secuencias de interrupción, como se describe en la sección 5.

Cuando trabajan los tres procesadores, la función se divide en tres conjuntos A y B, C y F, y D, E y F, mientras que si trabajan solamente dos la división es A, B y D, y C, E y F.

7.6 - UN SISTEMA CON CUATRO PROCESADORES

La configuración para un sistema con cuatro procesadores es similar a la del sistema con tres procesadores. Con los cuatro CPUs on-line, la división de función es A y B, C, D y F y E y F.

7.7 - UN SISTEMA CON CINCO PROCESADORES

Por la simple adición de otro procesador CPU y la cantidad requerida de memoria al sistema de cuatro procesadores, obtenemos un sistema de cinco procesadores; se incluyen todas las condiciones dadas en la sección 5.



7.8 - UN SISTEMA CON SEIS PROCESADORES

Mediante otra adición de un CPU y la memoria requerida al sistema de cinco procesadores, obtenemos el sistema de seis procesadores en el que se incluyen todas las condiciones dadas en la sección 5.

Un cambio significativo en este caso es la separación de las funciones de Entrada/Salida y la Asignación de Prioridades, de las funciones del Sistema Operacional Lógico en Tiempo Real, de tal manera que dichas funciones pueden ser asignadas a un sólo CPU, que todavía permanece bajo el control de la función de Ejecutivo Principal. Este cambio puede no ser necesario, pero se supone que con un sistema de seis procesadores, la cantidad de trabajo de Entrada/Salida es suficientemente grande como para justificar la capacidad de un solo CPU. El mismo cambio puede incluirse en cualquier otro tamaño del sistema si existe una necesidad de tal cambio.

8 - UN SISTEMA MULTIPROCESADOR ILIMITADO

La estructura del software del Sistema Operacional Lógico en Tiempo Real y su separación de los programas de Aplicación permite, en teoría, añadir tantos CPUs y bloques de memoria como se requiera, para forman un Sistema Multiprocesador. Las principales limitación están en las configuraciones físicas e interconexiones de los diferentes módulos que, cuando se amplía el sistema, introduce retrasos en el mismo y distorsión en las señales transmitidas entre los módulos. Por la medida de estos parámetro físicos se puede establecer el tamaño del sistema por encima del cual cualquier nueva edición de CPUs no lleva como consecuencia ningún aumento de capacidad o eficiencia, lo que determina el tamaño máximo del sistema.

Ha de quedar entendido que la anterior descripción



34 MA

de una forma determinada del invento se hace a modo de ejemplo, y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Gran Bretaña, el día 4 de Enero de 1973, señalada con el Nº 560/73, y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

----- NOTA -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente por veinte años son los siguientes:

1.- Un sistema de proceso de datos controlado por programa almacenado, utilizad^o para administrar un sistema externo, que incluye diferentes procesadores de datos capaces de funcionar por separado e intercambiables funcionalmente, entre algunos de los cuales, al menos, estan distribuidos los diferentes programas necesarios para administrar dicho sistema externo, de tal manera que las tareas a realizar por el sistema se distribuyen entre algunos, por lo menos de los procesadores como una base funcional. Incluye también un dispositivo de rotación de función asociado con todos los procesadores, para asignar los programas a los procesadores y alterar dicha asignación como respuesta a la detección de condiciones de avería o, automáticamente, como respuesta a ciertas condiciones predeterminadas.

2.- Un sistema, según el punto 1, que incluye varios canales de entrada cada uno de los cuales tiene acceso a cualquier procesador, y varias unidades de memoria, cada una de las cuales es accesible desde cualquier canal de entrada y desde cualquier procesador, de tal manera que la información que entra o sale del sistema por cualquiera de dichos canales



puede ser encaminada a o desde cualquiera de las unidades de memoria bajo el control del procesador que en ese momento maneja la función entrada/salida.

5 3.- Un sistema, según el punto 2, en el que cada canal de entrada sirve a varias unidades de adaptados y esta equipada con un multiplexor, de tal manera que la información a o desde las unidades de adaptador de un canal son tratadas en múltiplex por división de tiempo.

10 4.- Un sistema, según el punto 3, en donde, cuando un mensaje a ser situado en la memoria, se recibe por uno de dichos canales, el múltiplex de este canal provoca las señales de interrupción que se envían a todos los procesadores, después de lo cual, solamente el procesador que esta manejando la función entrada/salida, responde para editar las instrucciones necesarias a fin de encaminar el mensaje a una de las unidades
15 de memoria. Cuando la operación realizada por un procesador indica que la información debe dejar el sistema, este procesador edita las debidas instrucciones para que esta información deje el sistema por el canal apropiado.

20 5.- Un sistema, según los puntos 1, 2, 3 ó 4 en el dispositivo de rotación de función incluye elementos de temporización adaptados para producir señales de interrupción de reloj a intervalos de tiempo seleccionados para alterar la asignación de funciones, de tal modo que las funciones sean re-asignadas a intervalos regulares.
25

6.- Un sistema, según el punto 5, en el que el dispositivo de rotación de función proporciona otras interrupciones de reloj, cada una de las cuales se envía a todos los procesadores pero a la que solo responde el procesador cuyas funciones asignadas incluyen la previsión de tareas a realizar



por el sistema, y en los que dichas interrupciones adicionales sincronizan dicha previsión e impiden que se sobrepase el programa.

5 7.- Un sistema, según los puntos 5 y 6, en el que el dispositivo de rotación de función incluye también una memoria en la que se almacenan los estados de todos los procesadores y que también almacena algoritmos de programa para el control de la re-asignación de funciones, y en la que pueden efectuarse manualmente alternaciones de dichos algoritmos, o
10 mediante un control de programa desde dicho procesador.

8.- Un sistema, según el punto 7, en el que, cuando un mensaje que llega al sistema indica que ha de ejecutarse una tarea de proceso, se sitúa una indicación de tarea en un circuito de cola, junto con una indicación del momento en
15 que dicha tarea ha de ejecutarse. Cuando el procesador que maneja esa tarea completa su ejecución, edita una señal de salida de tarea y si falla, edita una señal de error. Si transcurre el tiempo asignado a una tarea sin la edición de una señal de error o una señal de salida de tarea, los elementos de
20 control ponen en marcha un programa de diagnóstico para investigar y registrar los detalles.

9.- Un sistema, según el punto 8, en el que dichos elementos de control incluyen otros pares para incluir periódicamente una secuencia de comprobación de validez, de tal modo
25 que cuando se inicia una secuencia de comprobación de validez, estos elementos de control realizan una tarea de atención de espera y comparan la instrucción que producen con la producida por el procesador que esta manejando esta tarea, de tal manera que, si dicha comparación indica cualquier discrepancia, se pone en marcha dicho programa de diagnóstico.
30





10.- Un sistema, según los puntos 8 y 9, en el que cada programa a ser ejecutado contiene puntos de comprobación, en cada uno de los cuales se comprueba la corrección de la ejecución del programa, y en donde todos los datos en relación a o producidos por un programa se retienen durante un número pre determinado de proceso de punto de comprobación después del punto de comprobación que sigue a su utilización o producción. Si dicha comprobación indica cualquier mal funcionamiento, se inicia el programa de diagnóstico para encontrar la avería y con la ayuda de dichos datos retenidos el concepto del programa.

11.- Un sistema, según los puntos 8, 9 ó 10 en el que el elemento de control inicia una reconfiguración del sistema cuando se avería un procesador o una unidad de memoria. En ambos casos, la unidad averiada se desconecta y el sistema, ya reconfigurado, toma nota de este hecho. Dicha reconfiguración se efectúa por el dispositivo de rotación de función bajo el control de dicho elemento de control, y si un programa o dato almacenado se encuentra incorrecto, dicho programa o dato se sustituye por otra copia del mismo.

12.- Un sistema, según los puntos 8, 9, 10 ó 11, en donde el elemento de control esta constituido por uno de los procesadores.

13.- Un sistema, según el punto 12, en donde existe otro elemento de control para comprobar el funcionamiento del procesador que realiza dicho elemento de control. Si dicho cuarto elemento de control detecta un error, incluye una re- asignación funcional para desligar dicha función como elemento de control del procesador averiado. Esta otra función como elemento de control se realiza también por uno de los procesadores.



1278

38.



5

14.- Un sistema, según los puntos 12 y 13, en donde el procesador que realiza dicha función de elemento de control, comprueba también el dispositivo de rotación de función y lo desconecta si se avería. Cuando dicho sistema ha sido desconectado, el sistema funciona sin él y la función de reasignación se realiza por el procesador que efectúa la función de elemento de control, bajo el control de un programa almacenado, pero sólo en respuesta a una indicación de avería.

10

15.- Un sistema, según el punto 14, en donde, cuando se ha reparado el dispositivo de rotación de función, vuelve a ponerse en servicio mediante la siguiente secuencia:

15

- (a) el sistema se interrumpe manualmente.
- (b) se genera una tarea para cargar la indicación de estado en curso de los procesadores y los programas de rotación de función en el dispositivo de rotación de función, y
- (c) los programas de tarea de diagnóstico comprueban si el dispositivo que ha entrada nuevamente en servicio esta reparado y para las pruebas.

20

19.- Un sistema de proceso de datos controlado por programa almacenado.

3, 1976



Eugenio Barroso
EUGENIO BARROSO
Secretario General





6 MAR. 1974

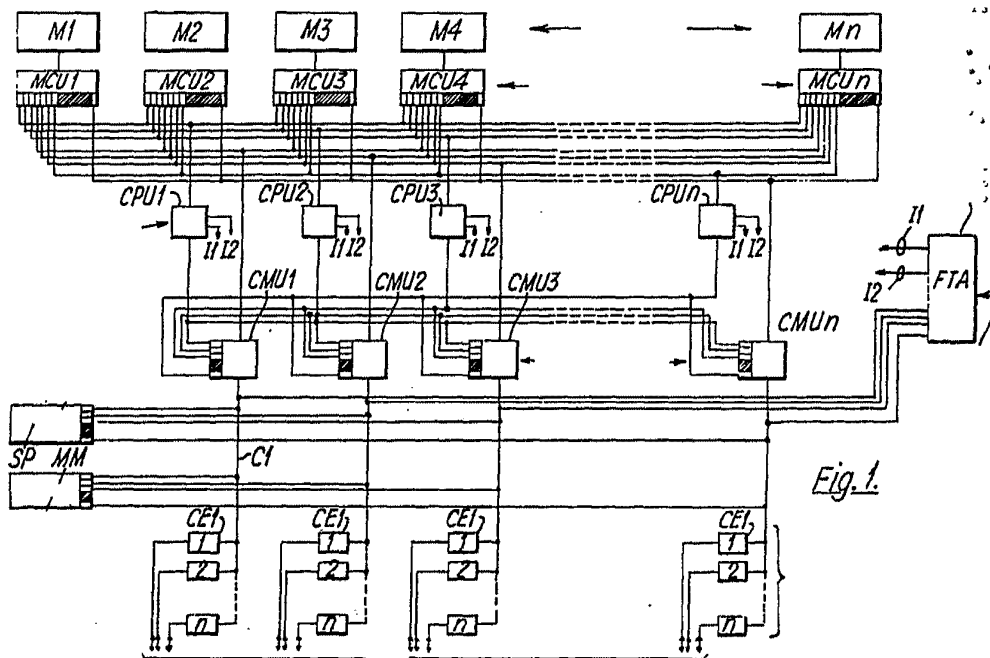


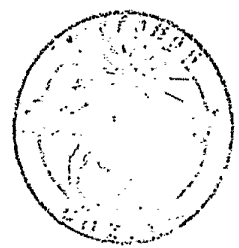
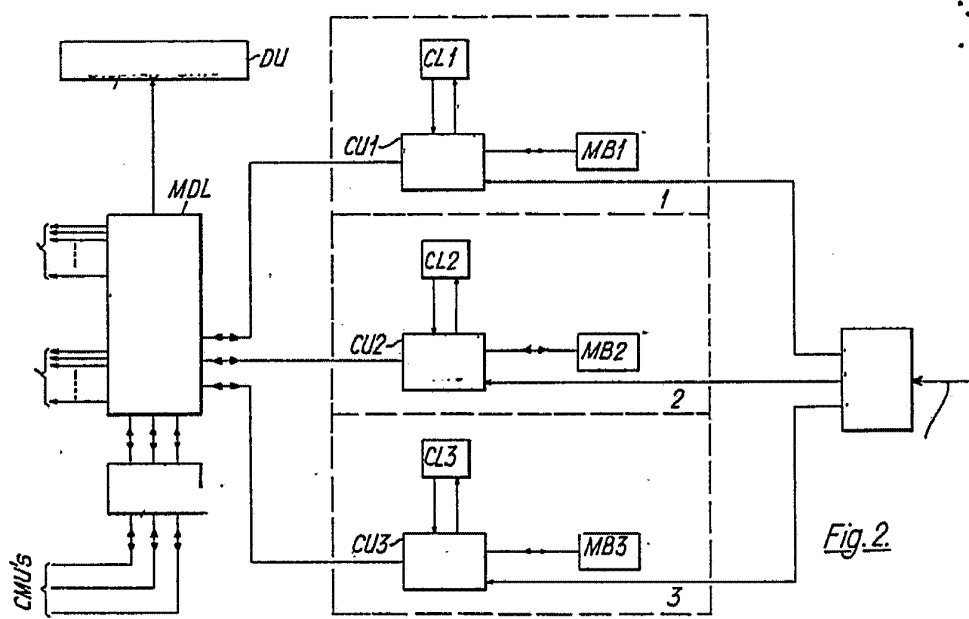
Fig. 1.



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL



6 MAR. 1974



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



6 MAR. 1974

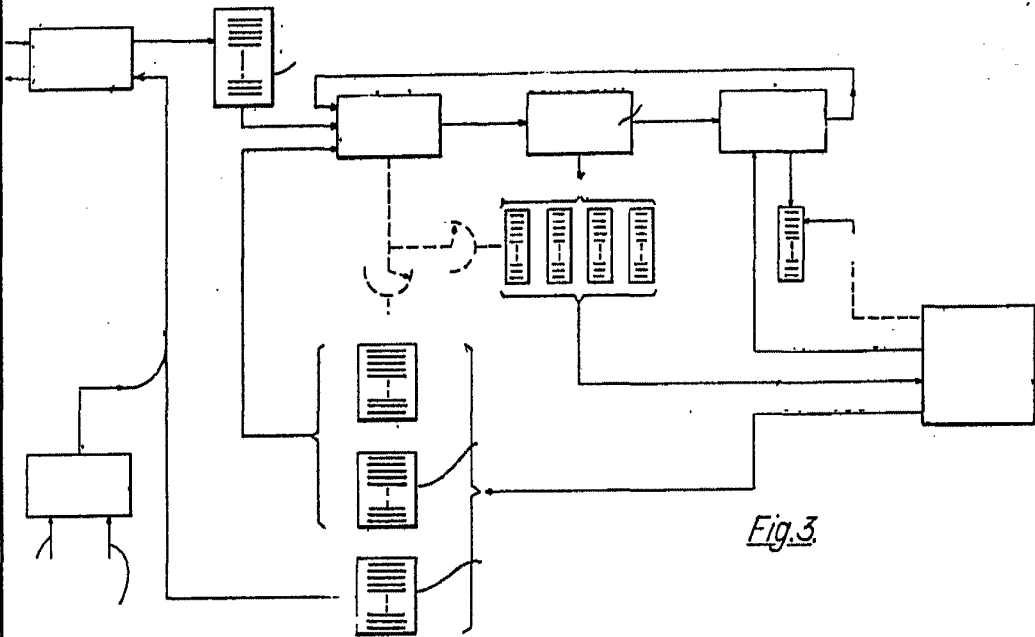
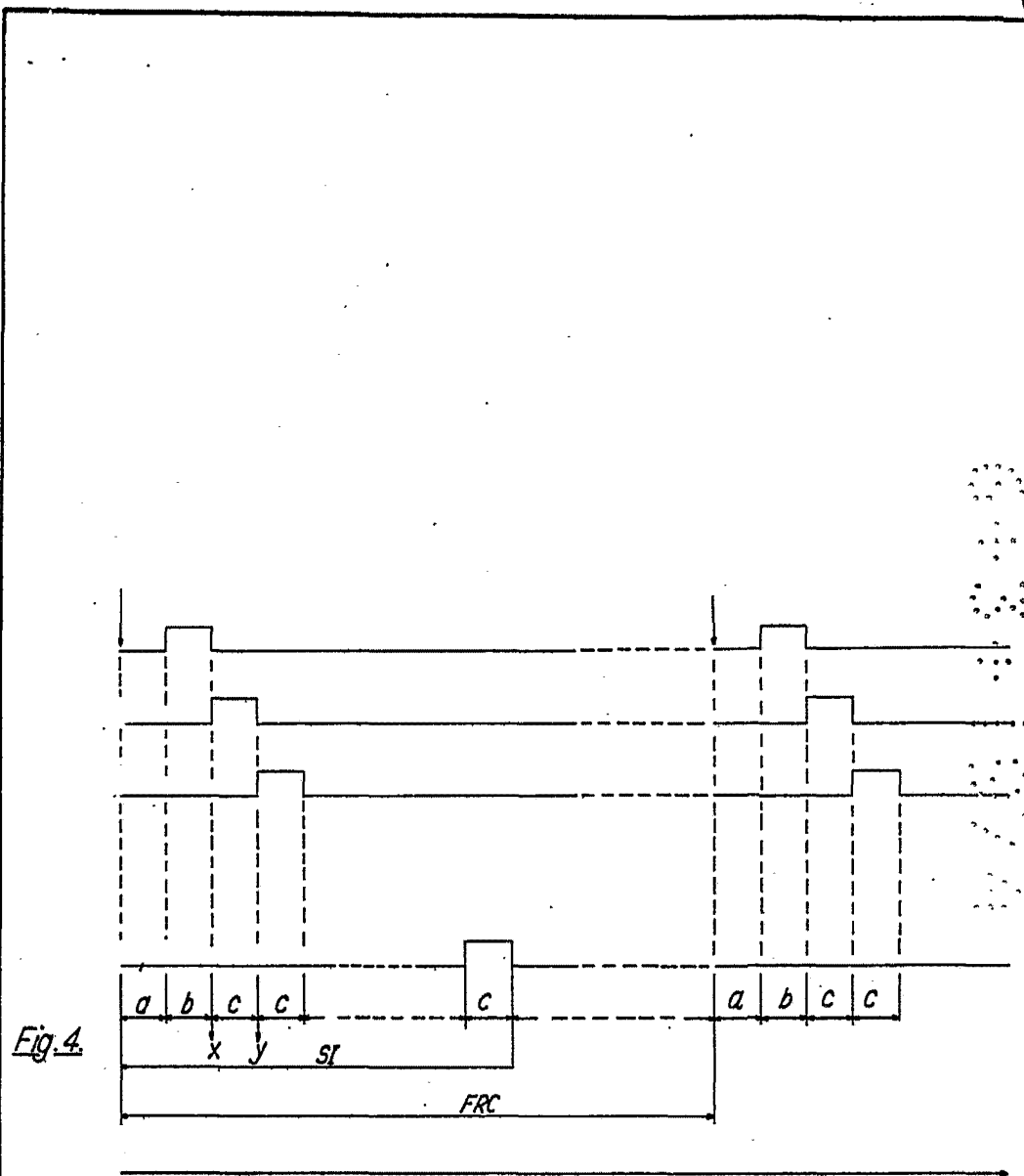


Fig. 3



M. G. Santamaría
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



6 MAR. 1974

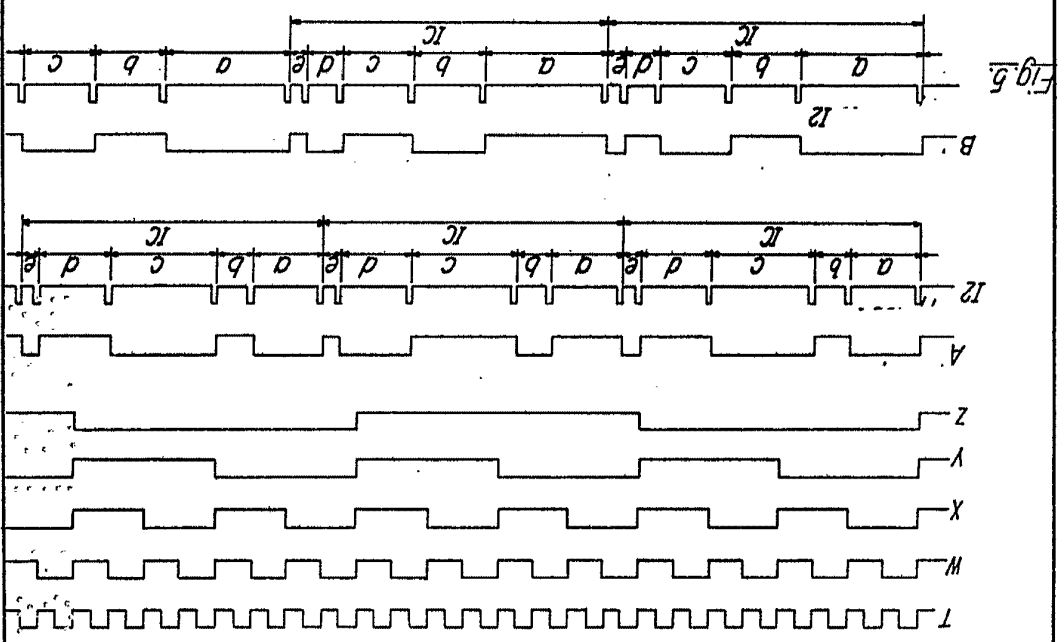


M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

[Handwritten signature]
VICE-SECRETARIO GENERAL
W. G. SANTAMARIA



6 MAR 1974



6 MAR. 1974



8

6/5

STANDARD TELEPHONE EQUIPMENT CO., S.A.

6/6

6 MAR. 1974



6 MAR. 1974

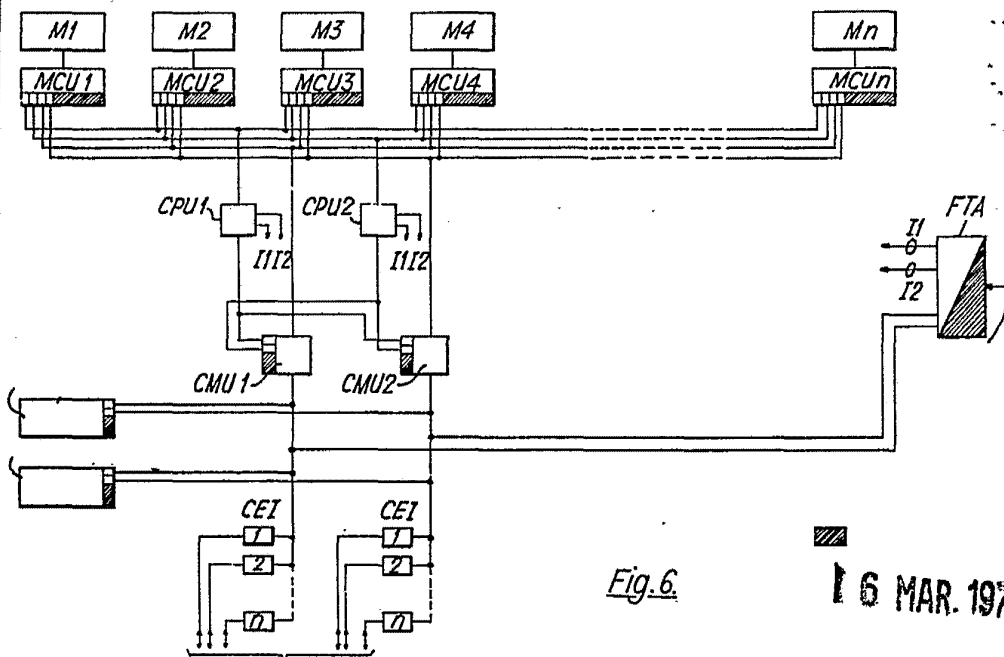


Fig. 6

6 MAR. 1974



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL