



H03K; H03F

421871

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR: "UN CIRCUITO PARA AMPLIFICAR, ALMACENAR Y CODI-
FICAR SEÑALES ELECTRICAS", A NOMBRE DE STANDARD ELECTRICA,
S.A., CON DOMICILIO EN MADRID, CALLE DE RAMIREZ DE PRADO,
Nº 5.

El presente invento se refiere a un circuito para
amplificar, almacenar y codificar señales eléctricas, que
incluye un amplificador y elementos de conmutación para
seleccionar un valor de ganancia alto o bajo para dicho
5 amplificador.

Un dispositivo de este tipo ya se ha descrito en
la patente norteamericana 3 482180 (J. MARTENS 25). Allí,
el amplificador era parte de un circuito compresor emplea
do por sistemas de codificación MIC (modulación por impul-
10 sos codificados) y comprendía dos pares de transistores,
constituyendo cada par un amplificador diferencial con
entradas y salidas comunes. El otro par de transistores
se utilizaba como elemento de conmutación para suministrar



una corriente constante a los amplificadores diferenciales. Las salidas de los dos amplificadores diferenciales eran comunes en los colectores respectivos, y ambos amplificadores estaban alimentados desde la fuente de corriente constante y a través de los transistores de conmutación respectivos para los dos amplificadores diferenciales. El dispositivo de amplificación combinado proporcionaba una ganancia relativamente elevada. Empleando una señal puerta, uno de los transistores conmutadores podía bloquearse de tal manera que sólo funcionara un amplificador diferencial y el dispositivo combinado proporcionaría solamente una ganancia relativamente baja. También se consideraba el caso de que las señales puerta controlaran a ambos pares de transistores que actuaban como amplificadores diferenciales asegurándose una diferencia en la ganancia total si cada uno de los amplificadores diferenciales se diseñaba para proporcionar ganancias diferentes.

El invento está conseguido parcialmente con la realización de un amplificador conmutado del tipo general descrito anteriormente, pero de tal manera que uno de los dos valores de ganancia pueda ser muy bajo.

De acuerdo con una característica del presente invento, un circuito de amplificación de señal del tipo definido anteriormente está caracterizado porque dicho elemento de conmutación incluye una impedancia variable acoplada a través de la salida de dicho amplificador.

De acuerdo con otra característica del invento, el amplificador y la parte de impedancia variable del elemento de conmutación están constituidos por amplificadores diferenciales con salidas en común y solamente uno de dichos



amplificadores se alimenta por las señales de entrada. Un generador de corriente prácticamente constante alimenta al primero o al segundo amplificador diferencial, respectivamente, a través de un primero o un segundo conmutador, de acuerdo con una señal de control enviada a dicho elemento de conmutación. Dicho amplificador diferencial que constituye la impedancia variable tiene una cantidad sustancial de realimentación negativa, de tal modo que posee una impedancia de salida relativamente baja.

Realizado de esta manera, tal amplificador conmutado puede emplearse en un circuito de codificación MIC a fin de aislar efectivamente la muestra de tensión, en ese momento en el canal superior, a la entrada del amplificador y que corresponde a un canal determinado, a partir de la señal tomada del canal anterior y almacenada a través de un condensador mientras se codifica en señales MIC. Cuando funciona parte del amplificador diferencial, con una muy baja impedancia debida a su circuito de realimentación negativa, esta impedancia aparece a la salida del amplificador que está inactivo durante ese período. Esto impedirá cualquier transferencia indeseada de señales desde el canal superior, que se debe a una derivación capacitiva espúrea a través del amplificador diferencial bloqueado. Tal solución ofrece también la ventaja de que los circuitos analógicos que proceden al codificador pueden estar equilibrados respecto a tierra debido al empleo de amplificadores diferenciales, a fin de proporcionar la amplificación necesaria durante el ciclo activo del amplificador y mientras el último está bloqueado. Tal solución reduce la sensibilidad al ruido generado no solamente en la parte del múltiplex del circuito, sino el



que llega de generadores externos, tales como convertidores DC/AC y dispositivos de señalización y conmutación. Adicionalmente, con almacenaje de muestra equilibrado, las operaciones de conmutación de la señal analógica y su codificación en el código MIC que corresponde al valor analógico, puede realizarse mejor mediante amplificadores diferenciales que proporcionan un grado de desacoplo entre las tensiones de control y el camino analógico.

De la misma manera, empleando amplificadores diferenciales tanto para la parte activa del circuito de amplificación como para los elementos de conmutación empleados para completar el bloqueo del circuito de amplificación, y alimentando ambos amplificadores diferenciales desde un común generador de corriente constante, está claro que la operación de conmutación del estado activo al bloqueado no dará lugar a tensiones transitorias apreciables, ya que la corriente total suministrada a los dos amplificadores diferenciales se mantiene constante.

El invento se refiere también a un circuito de almacenaje de señal eléctrica que incluye una capacitancia de almacenaje y elementos puerta de entrada para cargar dicha capacitancia a partir de un generador de señales de entrada.

Tal dispositivo se ha descrito, por ejemplo, en el artículo de C.G. Davis titulado "Un sistema experimental de modulación por código de impulsos para enlaces de corto alcance" y publicado en las páginas 1 a 24 de "The Bell System Technical Journal" de Enero de 1962. Este aspecto del invento puede ser relacionado con los sistemas de conversión analógico digital, tal como los circuitos de codificación MIC. Como se describiría en el artículo mencionado, la capa



cidad de almacenaje recibe sucesivamente muestras de canal de amplitud analógica desde los diferentes circuitos de frecuencia vocal y después de la amplificación a través de un amplificador compresor, cada muestra que aparece a través de la capacidad se codifica en señales MIC multibits. Como se mencionaba en el artículo, cada muestra de amplitud analógica puede transferirse a la capacidad de almacenaje común a través de un inductancia en serie con una puerta. Empleando el método de transferencia resonante tal que la puerta conduzca durante la mitad del periodo resonante de la inductancia con el condensador, en principio no existe pérdida de energía en la transferencia. Esta aproximación de energía-muestreo no es esencial en la codificación MIC, pero su utilización se consideraba atractiva a fin de mantener el nivel de señal tan elevado como fuere posible antes de la codificación. El elevado nivel de los impulsos de control significa problemas de diafonía y, de este modo, se podría esperar reducir la interferencia a un nivel razonable. También, la señal almacenada no variaría mientras que se estuviera codificando, ya que no causaría diafonía. Naturalmente, la impedancia de entrada del amplificador siguiente se debería mantener tan alta como fuera posible para mantener la tensión en la capacidad de almacenaje esencialmente constante, mientras que está siendo codificada.

Además, parte del tiempo disponible estaría reservado entre la codificación de cada muestra de canal para rechazar cualquier señal residual que aparezca a través de la capacidad de almacenaje después de la codificación. Esto es solamente el modo de limitar la diafonía entre canales.

Otro objetivo del presente invento para mejorar ta-

les capacidades de almacenaje y más concretamente, se ha vis
to posible diseñar un circuito de almacenaje prácticamente
inmune a las señales de ruido sin necesidad de dispositivos
redundantes.

5 De acuerdo con otra característica del invento, un
circuito de almacenaje de señal eléctrica como se ha defi-
nido está caracterizado porque los elementos puerta de entra
da estan constituidos por un amplificador diferencial cuya
entrada está acoplada al generador de señales de entrada,
10 porque dicha capacidad está derivada entre los terminales
de salida de dicho amplificador diferencial y porque las co
rrientes de salida de dicho amplificador diferencial fluyen
bajo el control de elementos de conmutación en puerta conec
tados a dichos terminales de salida.

15 De acuerdo con otra característica del invento, di-
chos elementos de conmutación en puerta proporcionan una
corriente prácticamente constante a los terminales de sali-
da desde un generador común.

De esta manera, se tiene un dispositivo no solamen-
20 te equilibrado debido a que la capacidad de almacenaje se
alimenta desde las salidas de un amplificador diferencial
sino que el último permanece inactivo hasta que se hacen
activos los elementos de conmutación para suministrar las
corrientes a los terminales del amplificador diferencial.
25 Esta corriente puede entonces pasar a través de la capa-
cidad de almacenaje en una o en otra dirección, dependien-
do de la polaridad de la tensión presente en la entrada del
amplificador diferencial, y puede conseguirse una carga li-
neal de la capacidad de almacenaje, hasta que la tensión
30 a través de la misma sea igual a la de la nueva muestra pre



sente en la entrada del amplificador diferencial. No se requieren dispositivos de seguridad que necesiten medidas extras para evitar la diafonía entre canales, las tensiones muestreadas pueden permanecer a través del condensador de almacenaje mientras que no se alimente con corriente al amplificador diferencial.

El invento también se refiere a un circuito de codificación en el que una señal analógica muestreada se suma algebraicamente a una sucesión de otras señales analógicas proporcionadas por el convertidor digital/analógico y a fin de codificar dicha señal analógica muestreada.

Tales dispositivos son bien conocidos y pueden emplearse en codificadores MIC.

Otro objetivo del presente invento es realizar un circuito de codificación mejorado de este tipo y particularmente, uno menos sensible al ruido y con un alto grado de inmunidad a la diafonía.

De acuerdo con otra característica del invento, un circuito codificador del tipo definido está caracterizado porque la señal analógica muestreada está proporcionada a la salida de un amplificador diferencial que envía salidas de corriente diferenciales proporcionales a dicha señal y que las otras señales analógicas son también señales de corriente inyectadas en dicha salida.

Con dicha aproximación de circuito equilibrado, el rechazo del amplificador diferencial puede ser particularmente elevado alimentándolo con un generador de corriente constante común a las dos mitades del amplificador equilibrado.

Según una configuración del invento, un circuito



codificador MIC incluye una capacidad de almacenaje que pro
porciona una tensión a un amplificador de tensión de impe-
dancia elevada de entrada equilibrada FET de los circuitos
de codificación y comparación. Esta capacidad de almacenaje
5 está aislada del canal superior de entrada sobre el que apa-
recen sucesivamente las muestras de canal mediante un dispo-
sitivo amplificador conmutado que utiliza amplificadores di-
ferenciales. Un primer amplificador diferencial de entrada
pasa la señal desde el canal superior a un segundo amplifi-
10 cador diferencial que utiliza circuitos seguidores de emisor
y que tienen sus salidas acopladas a los respectivos termi-
nales de la capacidad de almacenaje y a conmutadores a
transistor conectados a un generador de corriente constante.
Adicionalmente, el amplificador conectado al canal superior
15 tiene sus terminales de salida en común con los de un ampli-
ficador diferencial similar que no recibe señal de entrada
y que tiene una realimentación shunt negativa a fin de pro-
porcionar una muy baja impedancia de salida cuando se hace
operativa bajo el control de otros elementos de conmutación
20 que acoplan otra fuente de corriente constante el amplifi-
cador diferencial de entrada o el dispositivo de impedancia
de salida baja cortocircuitando sus terminales de salida.

Los anteriores y otros objetivos del presente inven-
to, así como el mejor modo de conseguirlos, aparecerá más
25 claramente y serán mejor expuestos en la descripción que
sigue de una configuración del invento, en unión de los di-
bujos que se acompañan, en los cuales:

- la Fig. 1 representa un diagrama de circuito general de :
los elementos de almacenaje para circuitos codificadores
30 MIC;



- la Fig. 2 representa el circuito de los elementos de conmutación normales CSW representados en el bloque de la Fig. 1;
- la Fig. 3 representa el amplificador de salida y el dispositivo de comparación conectado a la capacidad de almacenaje de la Fig. 1;
- la Fig. 4 representa las formas de onda de las señales de control aplicadas al circuito de la Fig. 1, y
- la Fig. 5 representa un juego explicativo de formas de onda en relación con el almacenaje de una nueva muestra a través de la capacidad de la Fig. 1.

Refiriéndonos a la Fig. 1, la entrada IN del circuito, que puede ser un canal superior, sobre el que aparecen diferentes muestras de los diferentes canales sucesivamente durante una abertura de tiempo, aparece conectado a la entrada de un primer amplificador AMP1. Como se ve, el último está pensado como un amplificador diferencial que utiliza dos transistores semejantes NPN, T1 y T'1, cuyas bases están conectadas a los terminales de entrada, el segundo a través del condensador de acoplo C'1. Estas bases están polarizadas a tierra a través de las resistencias R1/T'1. Los colectores de T1/T'1 están acoplados a un generador de +20V a través de las resistencias R2/R'2 y la resistencia común R3. Un condensador C2 puenteado a través de la salida del amplificador AMP1, esto es, los colectores de T1/T'1, extrae las componentes indeseadas de frecuencia elevada de la muestra amplificada entre los colectores. Los puntos de unión de las tres resistencias R2/R'2 y R3 están desacoplados respecto de tierra a través del condensador C3. Finalmente, los emisores de T1/T'1 están acoplados a un ter-



minal de control del amplificador AMPl a través de las respectivas resistencias de emisor R_4/R'_4 .

Como se indica, este terminal va a los elementos de conmutación controlados CSW que se muestran en detalle en la Fig. 2 y que pueden proporcionar, selectivamente, una corriente constante al terminal de control cuando se desea hacer operativo el amplificador AMPl para actuar sobre la muestra de entrada. Fuera del período activo de AMPl, durante el cual amplifica la tensión de muestra presente en el canal superior, este amplificador bloquearía cualquier señal presente en el mismo.

Para conseguir esto, y para asegurar una cantidad adecuada de rechazo de modo común, así como para cancelar las señales de ruido que pueden estar presentes en los dos terminales de entrada simultáneamente, no solamente se incluye AMPl como un amplificador diferencial, sino que existe también un amplificador similar diferencial que constituye el elemento de corto circuito equilibrado BSC, y como muestra la Fig. 1, este circuito BSC está también gobernado por un terminal de control desde el elemento de conmutación CSW detallado en la Fig. 2. El último funciona de tal manera que, dependiendo de la condición de la tensión de control en el terminal SA1 del dispositivo CSW, proporciona una corriente constante al amplificador AMPl o al dispositivo de cortocircuito equilibrado BSC.

Este último es también un amplificador diferencial que incluye los transistores NPN, T2/T'2, pero estos también tienen sus bases polarizadas a -10V a través de las resistencias R_5/R'_5 que son parte de un circuito de realimentación shunt negativo, incluyendo también las resisten-



cias $R6/R'6$ que interconectan cada colector a la base del mismo transistor. Lo mismo que para el amplificador AMP1, los emisores de $T2/T'2$ están acoplados a un terminal de control que viene de CSW a través de las resistencias $R7/R'7$.

5 Normalmente, el terminal de salida del dispositivo de conmutación CSW mostrado en la Fig. 2 recibe corriente que hace operativo al dispositivo de corto circuito equilibrado BSC. En tal caso, su impedancia de salida entre los colectores de $T2/T'2$ es pequeña, debido a la realimentación shunt aplicada, y es igual a la suma de las resistencias de emisor $R7$ y $R'7$, incluyendo las resistencias de emisor equivalentes de los transistores $T2$ y $T'2$, multiplicadas por un factor igual a la relación entre la suma de las resistencias $R5$ y $R6$ y la resistencia $R5$, suponiendo que el circuito mostrado es simétrico. De este modo, la impedancia de salida en los colectores de $T2/T'2$ puede ser hecho lo suficientemente baja para corto circuitar efectivamente la salida del amplificador inactivo AMP1. Esto es de utilidad porque aún cuando este amplificador puede estar inactivo, 10 los acoplamientos debidos a la capacidad de fuga entre sus terminales de entrada IN y los colectores de $T1/T'1$ pueden conducir a la aparición de señales espúreas indeseadas entre los colectores. El límite inferior para los valores permisibles de las resistencias $R5/R'5$ vendrá determinado por 15 consideraciones de estabilidad del amplificador de realimentación negativa que constituye BSC. 20

Por el contrario, cuando AMP1 se hace operativo, el dispositivo de conmutación CSW mostrado en la Fig. 1, proporcionará la corriente que debe encaminarse hacia los 25 emisores de $T1/T'1$, en lugar de hacia $T2/T'2$, y esto tendrá 30

28 DIC

12.



lugar cuando una señal de control apropiada aparezca en el terminal de control SAL de CSW.

La señal de control aplicada al terminal SAL está representada en la Fig. 4 junto con otras dos formas de onda y, en particular, una zona HW que ilustra cómo las muestras de amplitud aparecen sobre el canal superior común. Como se muestra, cada período de canal está dividido en ocho aberturas de tiempo de las que las tres últimas, esto es, N6, N7 y N8 se representan parcialmente por la muestra Nth. Las dos primeras después de las ocho aberturas de tiempo, esto es, $(N+1)_1$ y $(N+1)_2$ están parcialmente representadas por la siguiente muestra $(N+1)$ th. Estas aberturas de tiempo corresponden a los 8 bits empleados para codificar la muestra de amplitud en una señal MIC y está de acuerdo con los métodos a que se refiere el presente invento.

Como se indica, la forma de onda de control SA está elevada durante un intervalo de tiempo que corresponde a 2, fuera de las 8 aberturas de tiempo, y hacia el final de un canal de tiempo asignado a la aparición de una muestra de amplitud sobre el canal superior común. Durante este tiempo, la tensión presente en el canal superior sería amplificada y pasaría a lo largo de otros circuitos por medio del amplificador AMPL. Fuera de este intervalo, durante el cual SA es elevada, el amplificador AMPL estaría bloqueado como ya se explicó, y además, esto ocurriría de una manera realmente efectiva, para evitar la aparición de cualquier señal espúrea significativa a la salida de AMPL. De otro modo, durante el siguiente intervalo de tiempo $N+1$, la muestra de amplitud $(N+1)$ th, entonces presente en el canal superior,



interferiría con la codificación de la muestra anterior Nth tomada del canal superior y almacenada del modo que describiremos después, a fin de permitir la codificación de la muestra de amplitud en una señal MIC de 8 bits.

5 Cuando AMP1 se hace efectivo bajo el control de la parte elevada de SA, la impedancia de salida a través de los colectores ya no está proporcionada por BSC, sino por la impedancia de salida de AMP1 que será prácticamente igual a la suma de las resistencias de colector R2 y R'2. En ese
10 momento, la ganancia de AMP1 será igual a la relación entre la resistencia de colector, esto es, $R_2=R'_2$ y la resistencia de emisor, por ejemplo, R4 más la resistencia de emisor equivalente de T1.

La Fig. 2 representa el circuito esquemático para
15 CSW, que constituye el generador de corriente, que puede ser conmutado bien hacia AMP1 o hacia BSC bajo la acción de la forma de onda de control SA. La señal de control aplicada al terminal SA1 alcanza la base del transistor NPN, T3 a través de la resistencia R8 y, cuando la forma de onda
20 de la señal es baja, su tensión es negativa respecto a tierra, de tal modo que el transistor NPN, T'3, que tiene su base acoplada a tierra por la resistencia R'8, se hace conductivo. Esto significa que la corriente constante aplicada al colector del transistor NPN, T4, puede pasar a través de T'3, de tal modo que la corriente constante será
25 aplicada por el colector de este transistor hacia el dispositivo en corto circuito equilibrado BSC de la Fig. 1. Las bases de T3/T'3 están polarizadas a -10V a través de las resistencias R9/R'9, que están desacopladas por los condensadores C4/C'4, respectivamente.
30



Los transistores T3/T'3 están alimentados por la corriente constante proporcionada en el colector del transistor T4, que es un transistor NPN, y que tiene su base polarizada por un potenciómetro resistivo entre tierra y -10V, y que consiste de una resistencia R10 en serie con otra R11 y un diodo D1, según se muestra. El emisor está polarizado a -10V a través de la resistencia R12 y está desacoplado respecto a la base a través de la resistencia C5.

De este modo, al hacerse alta la forma de onda SA, el impulso positivo en su terminal de entrada SA₁ hará conductivo al transistor T3, mientras que T'3 está bloqueado. Esto conmutará la corriente constante proporcionada por T4 al amplificador AMP1 el cual proporcionará una versión amplificada de la tensión analógica sobre el canal superior.

Esta tensión amplificada en los colectores T1/T'1 (Fig. 1) se aplica a otro amplificador diferencial AMP2 el cual, según se indica, es también un amplificador puerta alimentado por una corriente constante, que llega de un dispositivo de alimentación de corriente equilibrado BCS que está controlado en el terminal de entrada TS1 por otra forma de onda TS representada también en la Fig. 4.

Como se muestra en la Fig. 1, el amplificador diferencial AMP2 incluye pares de transistores similares NPN, T5/T'5 y T6/T'6 que están acoplados como seguidores de emisor en cascada T5/T6 y T'5/T'6 con los emisores de T5/T'5 conectados directamente a las bases de T6/T'6 y polarizados respectivamente a tierra a través de las resistencias R13/R'13. Los cuatro colectores están polarizados directamente a +20V. Los emisores de T6/T'6 constituyen los terminales de salida que están acoplados al condensador de almacenaje



C y, por otra parte, estos emisores reciben la corriente a través de los transistores T7/T'7 que también son NPN, incluidos en el dispositivo de alimentación de corriente equilibrado BCS. Estos transistores tienen sus bases directamente a tierra y sus emisores unidos al colector del transistor NPN, T8, que es el transistor de salida de un dispositivo de corriente constante que incluye también el transistor PNP, T9.

Este último está controlado por la forma de onda TS que aparece en el terminal de salida TS1 de BCS, Este terminal de control está conectado a la base de T9 a través de la resistencia R14 shuntada por el condensador C6 y con la base a -10V a través de la resistencia R15, mientras que el emisor de T9 está directamente a tierra. Normalmente, cuando la forma de onda de TS es elevada, T9 está bloqueado. A su vez, ya que su colector está también polarizado a -10V a través de las resistencias R16 y R17 en serie, el punto de unión de las mismas acoplado a la base del transistor de salida NPN, T8, el último transistor estará también bloqueado.

Cuando baja la forma de onda TS (Fig. 4), al mismo tiempo que sube la forma de onda SA para hacer operativo AMP1, AMP2 se hará también operativo debido a que T9 y T8 no están bloqueados y suministran corriente constante en el colector de T8 que puede dividirse a través de los caminos paralelos ofrecidos por T7/T'7. Al disminuir la tensión en el terminal de entrada TS1, el condensador C6 acelerará la respuesta de T9 y, por otra parte, el emisor de T8 está polarizado a -10V no solamente a través de la resistencia R18, sino también a través de una combinación shunt compues



ta por la resistencia R19 en serie con el condensador C7; y esta combinación serie proporcionará una cantidad extra de corriente para hacer conductivo a T8.

Téngase en cuenta que el condensador C está acoplado entre los colectores de T6/T'6 a través de una inductancia L shuntada por una pequeña resistencia R. Esto no juega un papel esencial en la configuración básica, que puede ser considerada como incluyendo una conexión directa del condensador de almacenaje C entre los colectores de los transistores. Sin embargo, se ha encontrado que la inserción serie de la combinación shunt LR es beneficiosa en ciertas circunstancias, cuando se desea una inmunidad a la diafonía muy elevada. En este caso, la adición de este circuito puede ocasionar una ligera sobrecresta en la característica de descarga del condensador de almacenaje, lo que conduce a efectos beneficiosos para la compensación de una eventual tensión residual a través de este condensador de almacenaje C. Este efecto de diafonía entre la muestra N y la siguiente N+1 debido a la parte residual de la muestra que queda a través del condensador C después de la codificación, se debe esencialmente a las capacidades espúreas a tierra en cada placa de C y que pueden tener valores desiguales.

El funcionamiento básico del circuito de la Fig. 1, bajo el supuesto de que el condensador de almacenaje C está conectado directamente a los colectores de T6/T'6 y T7/T'7, lo describiremos seguidamente refiriéndonos al diagrama tensión/tiempo de la Fig. 5. A la izquierda de este diagrama, los niveles de tensión en los colectores y bases de los transistores T6/T'6 se han representado en la situación en que deben estar antes de que baje la forma de onda



de control TS (Fig. 4), para activar la alimentación de corriente equilibrada BCS de la Fig. 1.

Tan pronto como sube TS, el amplificador AMP2 queda inoperativo, no estando disponible la alimentación de corriente constante puerteadada BCS, dado que los transistores T8/T9 están bloqueados. En ese momento, llamando V al potencial en la placa derecha del condensador de almacenaje C, esto es, en el lado del emisor de T6, y V' al que existe en la placa izquierda, esto es, en el lado del emisor de T'6 la diferencia de tensión $V-V'$, presente a través del condensador de almacenaje C, corresponde a la muestra de tensión anterior del canal superior presente en este condensador de almacenaje y codificada con la ayuda de los dispositivos de codificación apropiados y conocidos, acoplados a través del condensador C con la ayuda de un amplificador apropiado y un comparador como se indica en la Fig. 3, y que describiremos después. Por el momento, se puede suponer que la impedancia de entrada de este dispositivo amplificador y comparador es tan elevada que solamente puede pasar a través de los terminales de salida conectados al condensador de almacenaje C una muy pequeña corriente de fuga. Con los transistores NPN empleados para T6/T'6, la placa positiva de C tenderá a adquirir un potencial ligeramente por debajo de la que existe en las bases de T6/T'6 en su condición de reposo. Esta placa se ha supuesto que es V' , la cual se muestra en la Fig. 5 que es menos positiva que el potencial de base E/E' de T6/T'6 en una cantidad v que, en la práctica, se puede suponer que es igual a 0,7 Voltios.

Tan pronto como los transistores T6/T'6 conducen

28 DIC
18.



debido al descenso de la forma de onda TS y que conduce al dispositivo de alimentación de corriente equilibrada BCS debido a la aplicación de una tensión negativa al terminal TS1, los potenciales V y V' quedarán modificados.

5 En ese momento, también la forma de onda SA pasa al nivel superior (Fig. 4) lo que significa que una réplica amplificada de la nueva muestra de tensión sobre el canal superior está ahora presente a través de los transistores T5/T'5 y, como consecuencia, en las bases de los transis-
10 tores T6/T'6, lo que lleva a los potenciales respectivos E/E'. Suponiendo que, como se muestra en la Fig. 5, el nuevo potencial E' es más positivo que el nuevo potencial E, V' será el potencial en el emisor de T'6 que corresponde a un potencial E' en su base, el cual seguirá rápidamente este
15 nuevo valor más positivo en la base, manteniendo una diferencia de v voltios debido a la caída a través de la unión base-emisor de T'6.

En el mismo momento, la corriente que pasa a través del transistor T7 provoca la descarga del condensador C y
20 al ser aplicada una corriente de descarga constante, la variación de tensión de V será lineal, como se muestra en la Fig. 5. Este cambio lineal de V continuará hasta que el potencial en el emisor del transistor T6 se establezca al nivel de v voltios más negativo que el potencial E en la base de T6. En ese momento, este transistor también conduce
25 y mantiene el potencial V en el valor indicado.

De esta manera, después de un tiempo t, que puede ser muy pequeño si existe un elevado ritmo de descarga lineal, la nueva diferencia de potencial que se establecerá
30 a través del condensador de almacenaje C será igual a la



amplitud de la muestra presente, después de la amplificación por AMP1, entre las bases de T6/T'6, existiendo un cambio de nivel de v voltios. El ritmo de descarga lineal sería tal que, para el cambio más extremo de V (o V'), esto es, desde el valor más positivo al más negativo y viceversa, el tiempo t no excedería a la fracción de tiempo durante el que desciende la forma de onda TS (Fig. 4). Este modo de funcionamiento ofrece la considerable ventaja de que cualquier señal indeseada que pueda aparecer en las bases de T6/T'6, durante el tiempo en que la tensión a través del condensador de almacenaje adquiere su nuevo valor, no afectaría al valor final de la muestra almacenada. Esta situación sería diferente si C se cargara desde un generador de baja impedancia. Entonces, la característica de carga sería exponencial y las señales indeseadas se reflejarían en la muestra indeseada con una atenuación que dependería del momento en que tuvieran lugar.

Al subir nuevamente TS, el amplificador AMP2 no funciona y, con tal de que el circuito de codificación y lectura acoplado a través de las placas del condensador de almacenaje C ofrezca una impedancia suficientemente elevada, dicho condensador mantendrá la diferencia de potencial obtenida hasta que la nueva muestra esté presente a través del amplificador AMP2. Inmediatamente después de que la forma de onda TS se eleve de nuevo, la forma de onda SA (Fig. 4) baja nuevamente y repone el dispositivo de corto circuito equilibrado BSC a su estado activo, impidiendo que la tensión del canal superior afecte a la muestra de tensión almacenada y que se está codificando en ese momento.

Aunque esta operación de codificación que hace uso

28 DIC 1973
20.

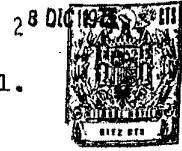


de un codificador del tipo de realimentación no la describi-
remos aquí, ya que nos podemos referir a los sistemas pu-
blicados anteriormente y, en particular, en la patente Fran-
cesa Nº 1 518 697 (A.Y. LE MAOUT, C.P.H. LEROUGE 3.6), des-
cribiremos seguidamente el circuito de comparación y ampli-
ficación de alta impedancia acoplado a través del condensa-
dor de almacenaje C.

La Fig. 3 representa este circuito en el que los ter-
minales de entrada acoplados a las placas del condensador C
(Fig. 1) están conectados directamente a un elemento tran-
sistor doble T10/T'10 que se muestra polarizado a +20V y
que funciona como un seguidor de alimentación doble. Esta
configuración de amplificador diferencial proporciona una
muy elevada impedancia de entrada que depende del tipo de
los transistores FET empleados. Pueden emplearse resisten-
cias adicionales entre los terminales de entrada conectados
al condensador de almacenaje y a la alimentación de +20V.

La finalidad de este amplificador es, esencialmente,
convertir la tensión a través de C en una corriente que
pase por el circuito de salida del convertidor (analógico-
digital)(no mostrado) que suministra una corriente equili-
brada a la entrada indicada por D/A de la Fig. 3. Al mismo
tiempo, el dispositivo de amplificación de la Fig. 3 pro-
porcionaría una impedancia de entrada que no cargaría apre-
ciablemente C.

La señal real entre las fuentes de T10/T'10 se
aplica a las bases de dos transistores PNP, T11/T'11 que
constituyen un amplificador diferencial con un elevado re-
chazo en el modo común debido a que su corriente total de
emisor está suministrada desde una fuente de corriente cons



tante constituida por un dispositivo que incluye el transistor T12. Este transistor PNP tiene su colector acoplado a los emisores de T11/T'11 a través de las resistencias R20/R'20. El transistor T12 tiene su base polarizada mediante el
5 potenciómetro que constituyen las resistencias R21 y R22 en serie, entre la fuente de +20 V y tierra, estando la resistencia R21 en serie con el diodo D2, según se indica. El transistor T12, que suministra la corriente constante, tiene su emisor polarizado a +20V a través de la resistencia R23
10 y, finalmente, la resistencia R24 entre los emisores de T11/T'11 tiene como fin ajustar la impedancia efectiva entre los emisores de estos transistores. La última determina la cantidad de corriente de salida constante que se envía como respuesta a la tensión de entrada, de tal manera que el ajuste
15 proporcionado por la resistencia R24 es útil para adaptar las variaciones eventuales en la corriente de salida de (D/A) convertidor digital-analógico (no mostrado). Como se muestra en la Fig. 3, las salidas del colector del amplificador diferencial T11/T'11 se utilizan como puntos de inser
20 ción para la corriente equilibrada que llega del convertidor digital-analógico, la suma algebraica de la corriente que corresponde a la señal analógica muestreada y la que se recibe desde el convertidor analógico-digital que pasa a través de las resistencias R25 y R'25, que conectan, respec-
25 tivamente, los colectores de T11/T'11 con las bases de los transistores NPN, T12/T'12.

La función del convertidor digital-analógico es cons
truir una señal analógica que, después de cada decisión bi
naria, se aplica a la entrada del comparador en oposición
30 a la señal desde el amplificador de sentido y que corresponde



a la tensión almacenada a través de C(Fig. 1), a fin de preparar la siguiente decisión binaria. Son ya bien conocidos tales sistemas de codificación MIC del tipo de realimentación. La tensión muestra que se ha de codificar se compara sucesivamente con tensiones de referencia que se construyen sucesivamente en un convertidor digital-analógico, de tal manera que cada paso en el proceso de codificación lleva, a la tensión de referencia, más cerca de la tensión muestra, y los resultados binarios sucesivos de las comparaciones dan el código de la tensión muestra. Un convertidor digital-analógico muy apropiado para su utilización con el dispositivo de la Fig. 3 es el descrito en la patente Francesa nº 1 518 697 ya mencionada, y en donde la corriente analógica de salida, esto es, en los terminales D/A, pasa por dos cuadripolos en escalera separados y alimentados en puntos apropiados por fuentes de corriente también apropiadas. Con un dispositivo de codificación MIC de 8 bits, existirán 8 decisiones binarias después de que la forma de onda de control SA (Fig. 4) haya vuelto a su condición baja. Estos espaciamientos de tiempo en los que se toman estas decisiones, no es necesario que sean equidistantes, sino que pueden venir determinados por la condición de mejorar la linealidad. El primer bit puede estar relacionado con la polaridad de la muestra, los tres siguientes, pueden definir el segmento aplicable de la característica de compresión para el dispositivo de codificación MIC, mientras que los cuatro últimos bits pueden definir los $2^4=16$ pasos dentro de cada segmento.

Las corrientes combinadas que pasan por las resistencias R25/R'25 darían lugar a voltajes suficientes para



disparar el circuito comparador binario CMP a una u otra con
dición. De este modo, la función de CMP es proporcionar una
señal de salida binaria que está determinada por el signo
de la diferencia de tensión que aparece entre los colecto-
res de T11/T'11. Entre estos puntos, la Fig. 3 muestra los
5 diodos D3 y D4 conectados en o posición paralelo, uno res-
pecto a otro, a fin de limitar las excursiones de tensión
positivas y negativas entre los colectores. De otro modo,
pueden ocurrir efectos no lineales en el convertidor digi-
tal-analógico.
10

El elemento comparador está constituido por un cir-
cuito integrado de alta velocidad, por ejemplo, del tipo
LM306. Dado que la tensión DC media entre los colectores
de T11/T'11 es demasiado positiva para ser aplicada direc-
tamente al comparador, las resistencias R25/R'25 junto con
15 los transistores NPN, T12/T'12 proporcionan una predeter-
minada caída de tensión DC. Estos transistores T13/T'13
proporcionan corrientes a través de las resistencias R25/R'25
y que pueden ajustarse con la ayuda de las resistencias de
emisor R26/R'26 de la tensión $-V_Z$ que polariza las bases de
20 estos transistores. Esta tensión $-V_Z$ puede obtenerse con la
ayuda de un diodo Zener (no mostrado) derivado entre los
-10V de alimentación y tierra, y en serie con una resisten-
cia, además de un condensador de desacoplo. De esta manera,
25 con las resistencias de emisor R26/R'26 ajustables, es posi-
ble asegurar una ecualización de las tensiones en los
colectores de T11/T'11 en ausencia de corriente desde la
entrada D/A y con la entrada del codificador en corto.

Los transistores T12/T'12 funcionan como un seguidor
30 de emisor doble para transferir la tensión diferencial cam-



24.

biada DC a la entrada del comparador CMP. Esto proporciona una baja impedancia necesaria para conseguir una rápida respuesta del comparador. Como se muestra, los colectores en común de T12/T'12 están polarizados $+V'_Z$, que se obtiene de un apropiado diodo Zener, de la misma manera que $-V_Z$, pero utilizando esta vez tierra y los +20V de la alimentación. Los emisores de T12/T'12 están polarizados a -10V a través de las resistencias R27/R'27. Además de tierra, las tensiones de alimentación para el comparador CMP son $-V_Z$ y $+V_Z$ ya mencionadas. Puede conectarse un seguidor de emisor T14 empleando transistores NPN a la salida de CMP para conseguir una ligera mejora en su sensibilidad. El seguidor de emisor T14 tiene su base conectada directamente a la salida de CMP, su colector polarizado a $+V'_Z$ voltios y su emisor a -10V, a través de la resistencia R28. Las señales de salida binarias que aparecen sucesivamente en el emisor de T14, esto es, en el terminal OUT, pueden encaminarse a una serie de 8 flip-flops (no mostrados) a fin de almacenar el código MIC en serie y que corresponde a la tensión analógica a través del condensador C (Fig. 1).

Como ya se ha indicado, puede mejorarse la linealidad del codificador adoptando intervalos variables entre las decisiones del comparador, que pueden calcularse a fin de optimizar la exactitud del conjunto, teniendo en cuenta el tiempo de respuesta del convertidor digital-analógico para grandes variaciones de señal y el tiempo de respuesta del comparador CMP para pequeñas señales de entrada diferenciales. Por ejemplo, en un dispositivo del tipo considerado en el que el primer bit determina la polaridad de la muestra, los tres siguientes el segmento aplicable de la característica



de compresión y los cuatro restantes que definen los 16
pasos dentro de cada segmento, las 8 decisiones del compa-
rador relativas a la muestra N tomadas durante el tiempo de
muestra N+1, como aparece en el canal superior (Fig. 4), pue
5 de tomarse en los tiempos 0,25, 1,25, 2,25, 3,3. 3,75, 4,50,
5 y 5,75 tomando el tiempo 0 como el momento de comienzo de
la N+1 abertura de tiempo y 8 unidades de tiempo que co-
rresponden a una abertura de tiempo de canal completa, como
se muestra en la Fig. 4, de tal modo que la última decisión
10 se toma al final del período bajo de la forma de onda SA.
Entonces, durante la muestra de tiempo N+2 que aparece en
el canal superior, pueden ser transmitidos sucesivamente los
8 impulsos de dos valores que corresponden a la muestra co-
dificada y a los valores almacenados en los 8 flip-flops.

15 Ha de quedar entendido que la anterior descripción
de una forma determinada del invento se hace a modo de ejem-
plo, y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de
patente formulada en Bélgica, el día 29 de Diciembre de
20 1972, señalada con el N° 793.482 y se acoge por tanto, a
los beneficios que otorgan los convenios internacionales
vigentes.

-----NOTA-----

25 Los puntos de invención propia y nueva que se prese-
tan para que sean objeto de esta patente por veinte años
son los siguientes:

1.- Un circuito para amplificar, almacenar y codifi-
car señales eléctricas, que incluye un amplificador y ele-
mentos de conmutación para seleccionar un valor de ganancia
30 alto o bajo para dicho amplificador. Caracterizado porque



dichos elementos de conmutación incluyen una impedancia variable acoplada a través de la salida de dicho amplificador.

2.- Un circuito para amplificar, almacenar y codificar señales eléctricas, según el punto 1, caracterizado porque tanto el amplificador como la parte de impedancia variable de los elementos de conmutación están constituidos por amplificadores diferenciales con salidas en común. Solamente uno de dichos amplificadores diferenciales se alimenta por las señales de entrada. Una fuente de corriente prácticamente constante alimenta a los amplificadores diferenciales primero y segundo a través, respectivamente, de un primero y segundo conmutador, de acuerdo con una señal de control enviada a dichos elementos de conmutación. El amplificador diferencial que constituye la impedancia variable incluye una cantidad sustancial de realimentación negativa a fin de que tenga una impedancia de salida relativamente baja.

3.- Un circuito para amplificar, almacenar y codificar señales eléctricas, según el punto 2, caracterizado porque los amplificadores diferenciales utilizan transistores con emisor a tierra y los colectores, que forman la impedancia variable, acoplados resistivamente a las bases respectivas. Estas bases están polarizadas, a través de resistencias separadas, hacia un potencial distinto del potencial que polariza las resistencias conectadas a las bases de los transistores que forman dicho amplificador.

4.- Un circuito para amplificar, almacenar y codificar señales eléctricas según el punto 1 que incluye una reactancia de almacenaje y elementos puerta de entrada para almacenar la energía en dicha reactancia, caracterizado porque, dicha reac-



tancia está acoplada a dichos elementos puerta a través de un circuito equilibrado.

5.- Un circuito para amplificar, almacenar y codificar señales eléctricas, según el punto 4, caracterizado por que, dicha reactancia está constituida por una capacidad con ninguno de sus terminales conectados a un punto o potencial fijo.

6.- Un circuito para amplificar, almacenar y codificar señales eléctricas, según el punto 5, caracterizado por que dichos elementos puerta de entrada están constituidos por un amplificador diferencial cuya entrada está acoplada a la fuente de señales de entrada, porque dicha capacidad está derivada entre los terminales del amplificador diferencial y porque las corrientes de salida de dicho amplificador diferencial fluyen bajo el control de elementos de conmutación puerta conectados a dichos terminales de salida.

7.- Un circuito para amplificar, almacenar y codificar señales eléctricas, según el punto 6, caracterizado por que los elementos de conmutación puerta proporcionan una corriente prácticamente constante a dichos terminales de salida, a partir de un generador común.

8.- Un circuito para amplificar, almacenar y codificar señales eléctricas, según el punto 7, caracterizado porque la capacidad está derivada entre los emisores de los transistores del amplificador diferencial y porque cuando pasan dichas corrientes de salida, el potencial en una placa de la capacidad salta hacia el potencial que prevalece en la base del transistor del lado de dicha placa, mientras que el potencial en la otra placa varía linealmente hacia el potencial que prevalece en la base del otro transistor, hasta

13 FEB
28.



que ambos transistores conducen.

5 9.- Un circuito para amplificar, almacenar y codificar señales eléctricas, según el punto 6, caracterizado por que dicha capacidad está derivada entre dichos terminales de salida a través de una inductancia serie.

10.- Un circuito para amplificar, almacenar y codificar señales eléctricas, según el punto 9, caracterizado porque la inductancia esta shuntada por una resistencia.

10 11.- Un circuito para amplificar, almacenar y codificar señales eléctricas, según los puntos 9 y 10, caracterizado porque la característica de descarga de dicha capacidad tiene una sobrecresta causada por dicha inductancia y que compensa una tensión residual que aparece a través de dicha capacidad como resultado de la tensión almacenada en dicha capacidad antes de que la corriente haya pasado para
15 almacenar una nueva tensión.

20 12.- Un circuito para amplificar, almacenar y codificar señales eléctricas según el punto 1 en donde una señal analógica muestreada sumada algebraicamente a una sucesión de otras señales analógicas proporcionadas por un convertidor digital-analógico, a fin de codificar dicha señal analógica muestreada. Caracterizado porque, dicha señal analógica muestreada aparece a la salida de un amplificador diferencial, que envía salidas de corriente diferenciales proporcionales a dicha señal, y
25 porque dichas señales analógicas son también señales de corriente inyectadas en dicha salida.

30 13.- Un circuito para amplificar, almacenar y codificar señales eléctricas, según el punto 12, caracterizado porque dichas sumas algebraicas de corrientes pasan a través de las resistencias que alimentan los seguidores de emisor,



proporcionando una tensión equilibrada a la entrada de un comparador de tensión binario.

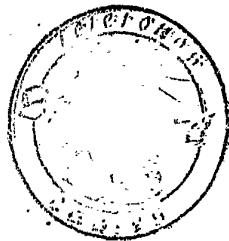
5 14.- Un circuito para amplificar, almacenar y codificar señales eléctricas, según el punto 13, caracterizado porque existen generadores de corriente para proporcionar corrientes de alimentación prácticamente constantes a través de dichas resistencias.


15.- Un circuito para amplificar, almacenar y codificar señales eléctricas.

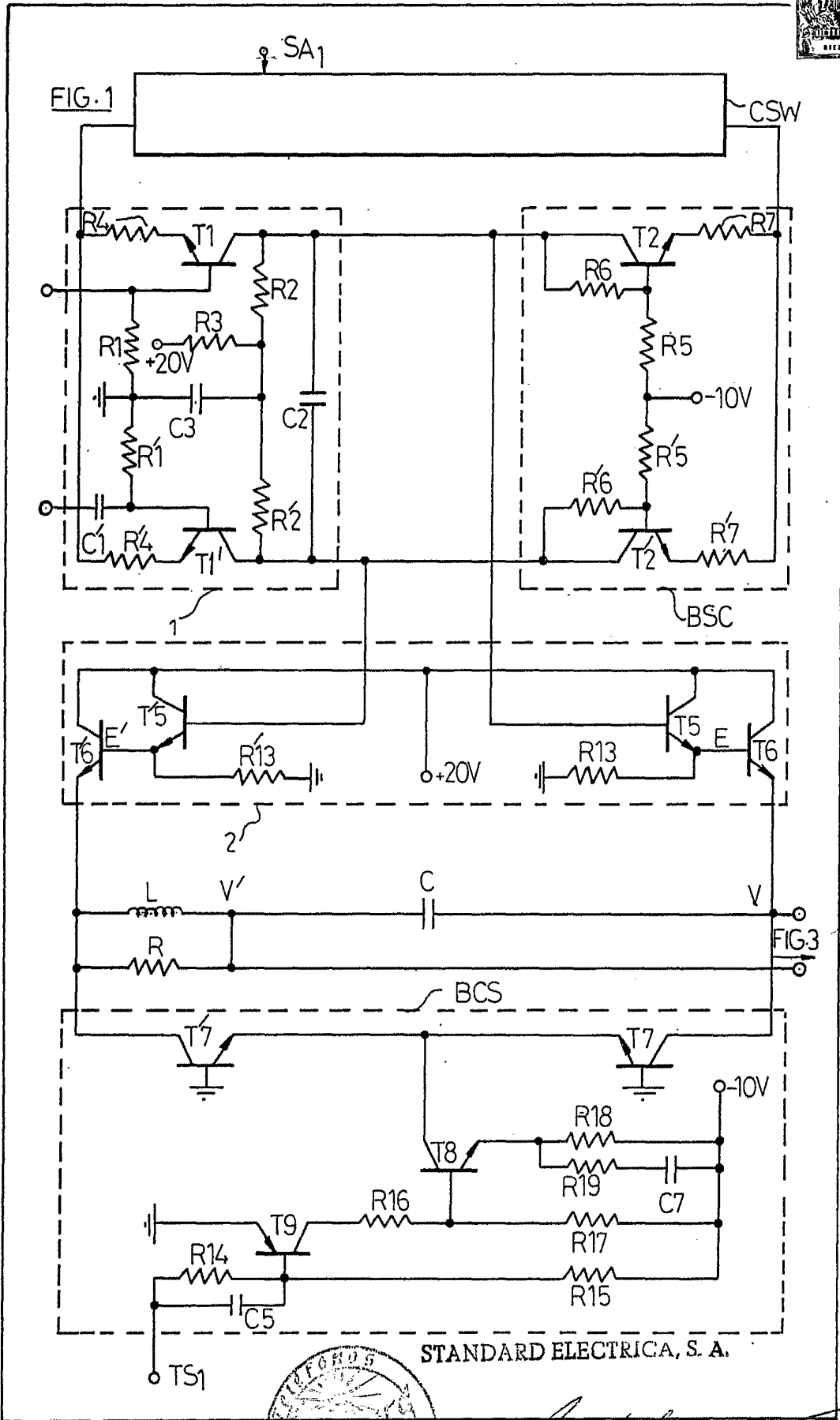
10 Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de 29 hojas escritas por una sola cara.

Madrid,




EUSEBIO BARROSO
Secretario General



STANDARD ELECTRICA, S. A.



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

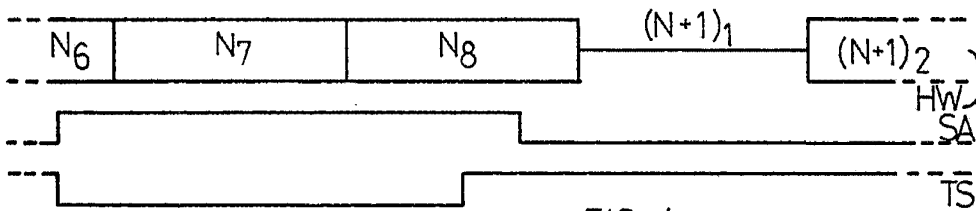
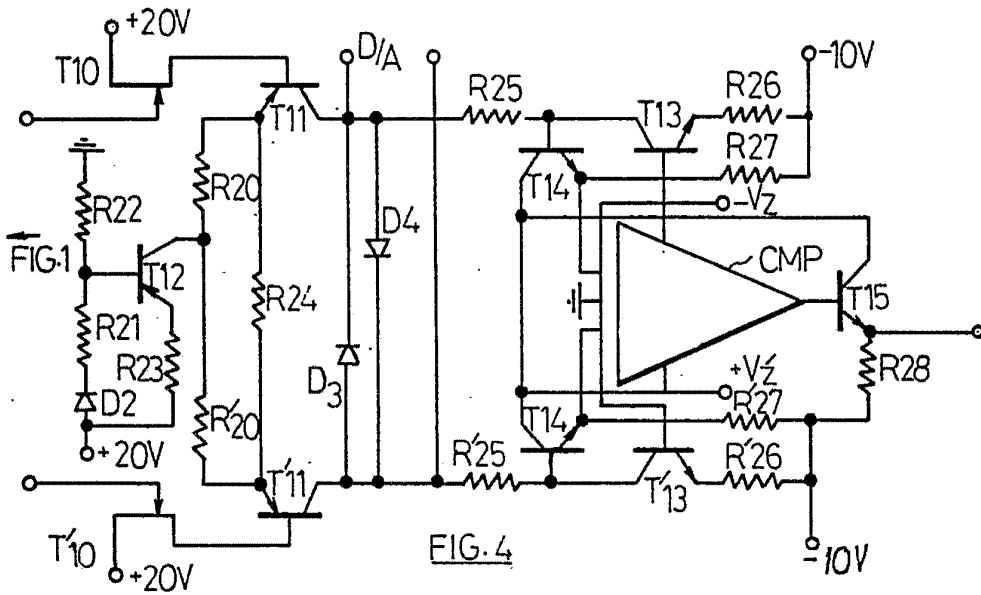
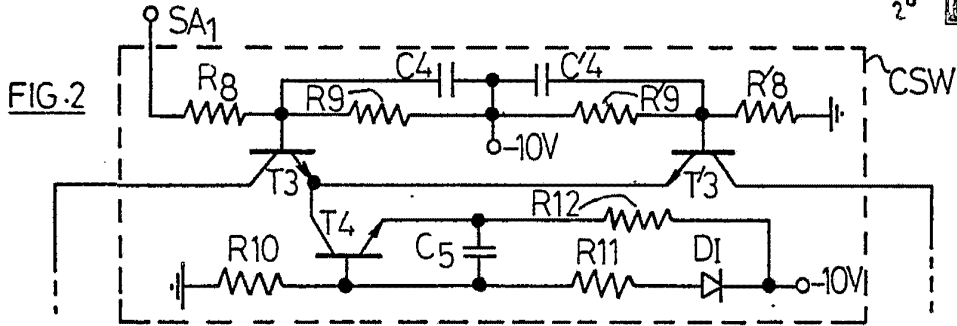


FIG. 4

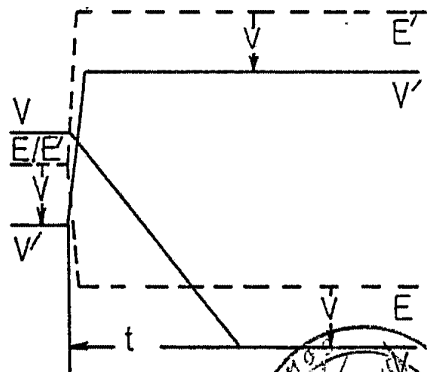
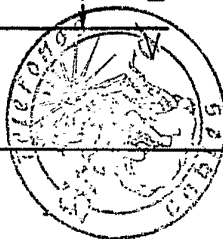


FIG. 5

STANDARD ELECTRICA, S. A.



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL