T. NGUYEN 10.17.1

A1 421680 760416 H04L 11/00

421680

Int. Cl.²: H04L

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN ESPAÑA POR: "UN SISTEMA PARA ANALIZAR Y ALMACENAR CARACTERES TELEGRAFICOS RECIBIDOS POR DIVERSAS LINEAS", A NOMBRE DE STANDARD ELECTRICA, S.A., CON DOMICILIO EN MADRID, CALLE DE RAMIREZ DE PRADO Nº 5.

El presente invento se refiere a un sistema para analizar y almacenar caracteres telegráficos procedentes de diferentes líneas, en un centro de conmutación telegráfica.

El sistema para analizar y almacenar los caracteres telegráficos del invento puede ser aplicado en centros de conmutación o recepción de mensajes telegráficos, en una central automática telegráfica o en cualquier otra instalación similar.

La transmisión de mensajes telegráficos se efectúa, normalmente, por medio de señales que pueden tomar los dos valores 0 y 1. La transmisión se realiza carácter a carácter. Un carácter incluye siempre una señal de comienzo de carácter denominada"arranque", de valor 0, diferentes seña-

les significativas o elementos de unidad, de valor 0 ó 1, y una señal de final de carácter denominada "parada" de valor 1. El número de elementos de unidad varía entre 5 y 8, según el alfabeto que se utilice. La longitud de tiempo unitario del elemento unidad esta definida por la velocidad de transmisión adoptada.

La recepción de señales telegráficas implica dos operaciones: observación de la línea para detectar, en el tiempo, el valor de las señales recibidas, y el proceso de los datos resultantes de dicha observación, a fin de determinar el valor de cada uno de los elementos unidad y reconstruir los caracteres recibidos. La observación de línea no es necesario que sea permanente. El estado de la línea tiene que ser observado periódicamente durante un muy corto período de tiempo. La frecuencia de observación debe tener en cuenta la longitud en tiempo de los elementos unidad así como la posible distorsión. Además, es posible comparar el resultado de cada observación con el de la observación anterior, a fin de que solamente se hagan aparentes los cambios de un estado a otro, o transiciones. Al comienzo de un carácter, existe siempre una transición del estado 1 al 0. Entonces alterna la dirección de las transiciones.

Las características mencionadas anteriormente fueron tenidas en cuenta en un sistema de recepción de señal telegráfica descrito en la Patente Francesa Nº 1 578 837, del 28 de Marzo de 1968 a nombre de CGCT, por "Perfeccionamientos en sistemas de recepción de señales telegráficas". Este sistema comprende, más concretamente, un bloque de detección de transición y reconstitución de carácter, denominado bloque de línea, que puede almacenar en una cola de espera los

caracteres telegráficos reconstruidos, acompañados por la identificación de la línea. Una unidad central de proceso lee estos caracteres en la cola de espera para reconstruir los mensajes, analizar sus contenidos y, más concretamente, las direcciones y sus almacenamientos en una memoria para una retransmisión subsecuente sobre las líneas de salida apropiadas. Esta tarea constituye un trabajo pesado para la unidad central, y es aconsejable aligerarla todo lo posible. El presente invento se ocupa de esto, dando a un sistema independiente el análisis y almacenamiento de los caracteres que se reciben, que constituyen simples funciones repetitivas.

El sistema para analizar y almacenar caracteres telegráficos del invento está constituído principalmente por un conjunto lógico de caracteres que se denominará bloque de carácter. Está dispuesto entre uno o varios bloques de línea y una unidad central de proceso que puede conmutar y encaminar los mensajes recibidos en un centro de conmutación de señal telegráfica.

El bloque de carácter del invento tiene que extraer los caracteres telegráficos almacenados por el bloque de línea en una cola de espera y almacenarlos en unas memorias intermedias, para analizar, durante la transferencia, los diferentes caracteres a fin de detectar los caracteres o secuencias de caracteres significativos, y transmitir las señalizaciones correspondientes a la unidad central. Esto aligera apreciablemente la carga de la unidad central.

Una característica del invento se refiere a un sistema previsto para analizar y almacenar los caracteres telegráficos recibidos por diversas líneas en un centro de conmu

tación telegráfica que comprende, más concretamente, un bloque de linea provisto de medios para detectar las transiciones en las líneas y reconstruir los caracteres telegráficos recibidos por estas líneas, y medios para almacenar los caracteres telegráficos, así como la identificación de las líneas correspondientes en las células de memoria de una cola de espera, y una unidad central de proceso de datos. Este sistema de análisis proporciona, entre tal bloque de línea y la unidad central, un bloque de carácter que comprende, más concretamente una memoria de acceso directo constituída principalmente por una cola de espera, un almacenaje intermedio y células de memoria de línea, un bloque de control secuencial para extraer un carácter y una dirección de la cola de espera, dirigir una de las células de memoria de línea, extraer de ella una dirección de almacenaje intermedio tener acceso al denominado almacenaje intermedio almacenando allí dicho carácter, de tal manera que la unidad central pueda procesar después los grupos de caracteres ensamblados en almacenajes intermedios, en lugar de caracteres separados, lo cual aligera su proceso.

Otra característica del invento está en el hecho de que la memoria de acceso directo incluye elementos para proporcionar la dirección de un almacenaje intermedio libre cuando la célula de memoria de línea leída por el bloque de carácter no contiene ninguna dirección de almacenaje intermedio.

Otra característica del invento está en el hecho de que los elementos empleados para proporcionar la dirección de un almacenaje intermedio libre incluyen una tabla de disponibilidad en la que cada almacenaje intermedio está repre

sentado por un bit.

Otra característica del invento está en el hecho de que se incluyen elementos para dirigir una de las células de la tabla de disponibilidad, para leer en la misma bit a bit la palabra que está almacenada en la misma y entonces encaminar la siguiente célula, para leer en ella bit a bit la palabra almacenada allí y así sucesivamente, hasta la lectura del primer bit que caracteriza un almacenaje libre.

Otra característica del invento está en que incluye medios para actuar cuando todas las palabras de la tabla de disponibilidad han sido leidas sin haberse identificado un bit que caracterice un almacenaje intermedio libre, para transmitir una señal de requisición de interrupción a la unidad central de proceso en interrupción a la unidad central de proceso en interrumpir el funcionamiento del bloque de caracter hasta que la unidad central, después de desocupar, por lo menos, un almacenaje intermedio, y actualizar la tabla de disponibilidad, provoca el nuevo arranque del funcionamiento del bloque de carácter.

Otra característica del invento está en que incluye medios para identificar la dirección de escritura en el almacenaje intermedio, siendo la dirección de la última célula de un almacenaje intermedio. Estos medios hacen posible el almacenaje del carácter incidente en esta célula y actúa solamente para escribir en la célula de memoria de línea correspondiente una dirección característica de escritura de explotación en el almacenaje intermedio.

Otra característica del invento está en que incluye una información secuencial dispuesta en cada una de las células de memoria de línea para seguir el progreso de la

recepción de cada mensaje recibido, un traslator para recibir un carácter telegráfico incidente, la posición de la información secuencial de la línea en cuestión y para proporcionar una nueva posición de la información secuencial, y si fuera necesario, una señalización, elementos para transmitir señalizaciones hacia la unidad central de proceso, y elementos de control, en el bloque de carácter, dispuestos para tomar un carácter incidente, leer en la célula de memoria de línea que corresponde a la línea a través de la cual se transmite la posición de la información secuencial para suministrar al traslator el carácter y la posición de la información secuencial y, si es necesario, una señalización, para almacenar en dicha célula de memoria de línea la nueva posición de la información secuencial, si fuera necesario, para proporcionar a los elementos de transmisión de señalización una información, más concretamente, la señalización e identidad de la línea en cuestión:

Otra característica del invento está en que los elementos de transmisión de señalización consisten en un área de almacenaje dispuesta como una cola de espera.

Otros diferentes objetivos y características del invento aparecerán en la siguiente descripción de una configuración del mismo, junto a los dibujos que se acompañan, en los cuales:

- la Fig. 1 muestra un diagrama bloque de un centro de conmutación y recepción de mensajes telegráficos que incluye el bloque de carácter que constituye el objetivo del presente invento;
- la Fig. 2 muestra el diagrama de una configuración detallada del bloque de carácter del invento;

- las Figs. 3, 4 y 5 muestran ejemplos de composiciones de palabras de memoria en el sistema del invento;
- la Fig. 6 muestra un diagrama de flujo que resume el funcionamiento del bloque de carácter BC de la Fig. 2;
- la Fig. 7 muestra un diagrama de flujo detallado que indica el funcionamiento del bloque de carácter BC para realizar la función RMT del diagrama de flujo de la Fig. 6;
- la Fig. 8 muestra una configuración del diagrama MTL de la Fig. 2;
- la Fig. 9 muestra una configuración de los medios empleados para realizar las operaciones ilustradas en el diagrama de flujo de la Fig. 7;
- la Fig. 10 muestra un diagrama de flujo detallado que indica el funcionamiento del bloque de caracter BC para realizar la función SMT del diagrama de flujo de la Fig. 6.

Describiremos seguidamente un centro de conmutación y recepción de mensajes telegráficos en donde se emplea el bloque de caracteres que constituye el objetivo del presente invento.

El diagrama de la Fig. 1 representa los elementos esenciales de dicho centro. Estan constituídos por un grupo de líneas telegráficas lg, un bloque de líneas BL un bloque de caracteres BC, una unidad central de proceso o bloque de programas BP y una memoria MEM. Esta memoria, que puede ser de núcleos de ferrita de tipo convencional, comprende una cola de espera FAR, una memoria de línea ML, un área MT de almacenajes intermedios MTO a MTn y una cola de espera de señalización FASR.

El bloque de líneas BL examina periódicamente el estado de las líneas lg. Cada cambio de estado o transición

provoca un proceso particular que ayuda a la reconstrucción de un caracter telegráfico. Cada carácter reconstruído enteramente CAR, acompañado por la identidad NL de la línea telegráfica sobre la cual ha alcanzado el bloque de líneas BL, se almacena por este bloque en una célula de memoria, tal como fa, de la cola de espera de recepción FAR.

El bloque de caracteres BC, cuando está disponible, extrae de esta cola de espera FAR un caracter telegráfico CAR y la identidad NL de la línea en cuestión. Analiza el caracter CAR afin de detectar si pertenece a una parte de mensaje significativa, como el rumbo o la secuencia de final de mensaje. A este fin, el bloque de caracter BC consulta el contenido de una célula de memoria MLx de la memoria de línea ML. La dirección de esta célula se deduce del número de línea NL. En esta célula están almacenadas una indicación PH empleada como información secuencial, y una dirección ACMT de una célula de almacenaje intermedio asignada a la línea NL considerada.

El carácter CAR y la posición PH de la información secuencial se combinan para dirigir un translator TR. Como respuesta, este último proporciona una nueva posición de la información secuencial PH', como una posible señalización SIG. Si el carácter es, por ejemplo, el último del encabezamiento se compone en el bloque de caracteres una señal de final de encabezamiento. La señalización SIG está almacenada en una célula de memoria de la cola de espera de señalización FASR acompañada por el número de la línea NL. En otras palabras, el bloque de caracteres BC almacena el carácter CAR en la célula de uno de los almacenajes intermedios del área MT definida por la dirección ACMT. Simulta-

neamente, el bloque de caracteres BC sustituye, en la célula de memoria de línea MLx, la primera posición PH de la información secuencial por la nueva posición PH', mientras que a través del operador denominado "+1", pone en índice la dirección ACMT antes de almacenarlo de nuevo en la célula de memoria MLx.

El bloque de caracteres BC puede ahora extraer otro carácter de la cola FAR.

En otras palabras, los elementos CE pueden examinar la dirección ACMT. Si esta dirección es la última de un almacenaje intermedio, estos elementos proporcionan una señalización SIG que incluirá, concretamente, la dirección base de este almacenaje intermedio y una indicación que significa "almacenaje intermedio lleno" esta señalización se almacena en la cola de espera FASR, acompañada por el número de línea NL. Simultaneamente, y a través de una conexión adz, los elementos CE provocan, durante el almacenaje de la dirección ACMT en la célula de memoria MLx, una inhibición que provoca la escritura de un valor nulo.

Consecuentemente, cuando un carácter llega por la misma línea, la presencia de una dirección nula ACMT, será interpretada como una requisición de asignación de un nuevo almacenaje intermedio, por medios no representados en la Fig. 1.

El bloque de programa BP, cuando está disponible, lee la señalización en la cola de espera FASR. Las señalizaciones que resultan del análisis de los caracteres determinan las operaciones de conmutación que se refieren al encaminamiento del mensaje hacia las líneas de salida. Las señalizaciones "almacenaje intermedio lleno" se utilizan dentro

del conjunto de estas operaciones de conmutación para encaminar, dentro del centro de conmutación, de una sola vez, los caracteres proporcionados por un almacenaje intermedio. El bloque de programa BP no tiene que realizar más tareas repetitivas que requieren tanto tiempo como el análisis y almacenaje de caracteres uno después de otro. Estas tareas son ahora realizadas por el bloque de caracteres. De esto resulta un muy significativo aumento de resultados eficientes.

Describiremos seguidamente con referencia a la Fig. 2, una configuración de un bloque de caracteres BC según el presente invento.

En la Fig. 2 aparecen el bloque de caracteres BC y la memoria MEM de la Fig. 1.

La memoria MEM está constituída por la cola de espera de recepción FAR, la memoria de línea ML, el área de almacenaje intermedio MT y la cola de espera de señalización FASR. Además, incluye, una tabla de disponibilidades de los almacenajes intermedios MTL.

La cola de espera de recepción FAR está constituída por una sucesión de células de memoria tal como fa1, fa2, usada cada una, como se ha indicado anteriormente, para almacenar un carácter reconstruido CAR y el número NL de la línea sobre la cual ha sido recibido. Además, incluye dos células de servicio ade y adl cuyos contenidos respectivos son ADE y ADL, que indican la célula de memoria de cola de espera de recepción FAR a ser usada para la siguiente escritura, y la célula a ser consultada durante la siguiente operación de lectura.

La memoria de línea ML incluye localizaciones de

almacenaje tal como m10 asignadas a las líneas telegráficas. Cada localización incluye tres células de memoria consecutivas m100, m101 y m102 en las cuales se almacenan las palabras de memoria MLE1, MLE2 y MLE3. que serán descritas seguidamente.

La cola de espera de señalización FASR está constituída por una sucesión de células de memoria tales como fs1 y fs2 empleadas para almacenar una señalización SIG, el número de línea NL, si fuera necesario, y la dirección ACMT. Además, incluye dos células de servicio bde y bdl que contienen las informaciones BDE y BDL. El item de información BDE indica la célula de memoria de la cola de espera de señalización FASR a ser usada para la siguiente escritura; el item de información BDL indica la célula de memoria FASR a ser consultada durante la siguiente operación de lectura.

El área de almacenaje intermedio MT incluye diferentes localizaciones consecutivas MT0, MT1, ... MTn. Cada una de estas localizaciones está asignada a una línea telegráfica según las verdaderas necesidades y disponibilidades. Cada una de ellas está constituída por direcciones consecutivas previstas para recibir cada uno de los caracteres CAR. Para hacer más fácil el encaminamiento, las localizaciones, tal como MT0, están constituidas por un número de direcciones igual a una potencia de 2 (64 por ejemplo).

La tabla de disponibilidad MTL de los almacenajes intermedios es un diagrama de situación de completo de los almacenajes intermedios del área MT; cada uno de los cuales está representado en el mismo por un bit; este bit es nulo si el almacenaje intermedio está disponible y es uno si di-

cho almacenaje esta completo.

En el bloque de caracteres de la Fig. 2, aparece un grupo de circuitos que tienen acceso a la memoria CAM, un grupo de registros REG, la unidad de translación TR y un grupo de circuitos lógicos de control CLC.

Los circuitos que tienen acceso a la memoria CAM incluyen varios circuitos lógicos que realizan las requisiciones de lectura y escritura y que recibe a cambio un item de información que indica qué operaciones de las requeridas se han realizado; un registro de dirección A en donde se escribe la dirección a ser seleccionada en la memoria MEM, y un registro de memoria M en donde se escribe el item de información a ser transferida a la memoria MEM o en el cual se escribe el item de información leído en la memoria MEM. El circuito para encaminar las direcciones en el registrador A ha sido representado por una ecuación lógica que incluye diez términos que corresponden a diez casos a donde debe dirigirse la memoria. El diseño efectivo de este circuito no representa dificultad (combinación de puertas "AND" y "OR"). Este es el circuito previsto para que la información escrita sea almacenada en el registro M.

Cuando el bloque de caracteres deba leer un item de información en la memoria MEM; la dirección se escribe en el registro A y se activa un biestable PR. Este transmite una señal de llamada por un conductor pr de un canal de encaminamiento ca de la memoria MEM, mientras que la dirección presentada por el registro A se transmite por los conductores AD del canal ca. La memoria MEM efectúa la operación de lectura requerida y proporciona un item de información por los conductores ISM de un canal de datos cd. Este item de

información se escribe en el registro M. Cuando se completa la operación de lectura, la memoria MEM proporciona una señal de fin de operación por un conductor fm del canal ca. Entonces se repone el biestable PR, a fin de detener la llamada de memoria MEM.

Cuando el bloque de caracteres deba almacenar un item de información en la memoria MEM, la dirección se escribe en el registro A, el item de información a ser almacenado se escribe en el registro M y se activan los biestables PR e IN. Éstos transmiten una señal de llamada por el conductor pr y una orden de escritura por un conductor in del canal de dirección ca. La dirección se representa en los conductores AD y el item de información a ser almacenado aparece por los conductores IS del canal cd. Cuando se completa la operación de escritura, la memoria envía una señal por el conductor fm, del mismo modo que para la operación de lectura. Se reponen entonces los circuitos biestables PR e IN.

El grupo de registradores REG incluye tres registros X, Y, y Z. Estos registros son auxiliares, cuya función es almacenar temporalmente la información proporcionada por los registros A y M y dentro de los cuales serán reenviados a su debido tiempo.

La unidad de translación TR incluye un translator TRS y un comparador COM.

El translator TRS recibe la lectura CAR de carácter de una célula de la cola de espera FAR y la posición o fase PH de la información secuencial almacenada como se indicó anteriormente, es una célula de la memoria de línea ML (Fig. 1). El translator TRS proporciona, como respuesta, una nueva fase PH', que puede ser la misma que anteriormente y, si

fuera necesario, una señalización SIG.

El comparador COM recibe, por una parte, el item de información ADE, por otra parte, el item de información ADL contenido en las células de servicio de la cóla de espera de recepción FAR. Las compara y, en caso de igualdad, envía una señal por un conductor eg.

Los circuitos lógicos de control CLC incluyen un distribuidor de tiempo DT, una unidad secuencial SQR y un biestable INT y un circuito de disparo RD.

El distribuidor de tiempo DT proporciona series de impulsos de reloj t1, t2, t3, t4 y t5. La duración total de una serie de impulsos de reloj puede ser, por ejemplo, de dos microsegundos. La generación del primer impulso de una serie está, de un modo general, condicionado por el estado de la operación en curso; lo que se simboliza por el control dc. Los otros impulsos se generan entonces automaticamente. Los circuitos que producen estos impulsos pueden ser, como ya es conocido, una cadena de circuitos monoestables cada uno de los cuales se dispara por el borde posterior del impulso generado por el monoestable que le precede.

La unidad secuencial SQR se dispara dentro de cada una de las posiciones asi definidas, bajo el control de una señal o combinación de señales indicadas en la Fig. 2, antes de la posición considerada. Según se emplea en el álgebra de Boolean, en una combinación de señales, un punto representa una función "AND" y un signo (+) representa una función "OR".

El biestable INT se activa a la recepción de una señal por un conductor tmp. Este biestable transmite hacia el bloque de programa BP, una requisición de interrupción por un conductor int. Se repone por una señal proporcionada por

el bloque de programa BP por un conductor rz. Entonces transmite una señal por el conductor rd hacia el circuito de disparo RD. Como respuesta, el último envía una señal por un conductor rdc. Esta señal da lugar a un impulso de disparo dc del distribuidor de tiempo DT.

Describiremos seguidamente, refiriéndonos a las Figs. 3, 4 y 5, las palabras de memoria, MLE1, MLE2 y MLE3.

La palabra de línea MLE1, representada en la Fig. 3, está escrita por el bloque de programa BP. En el ejemplo elegido, esta palabra incluye 16 elementos binarios o bits, de los cuales solamente unos pocos se emplean dentro del conjunto del presente invento y, más concretamente, el elemento de rango 15, BLO, y los elementos de rango, 3, 4 y 5 llamados PRO.

Según el bit BLO sea 1 o 0, la línea está inhibida o no. Los bits PRO definen el número del procedimiento de análisis a ser empleado.

La palabra de línea MLE2 representada en la Fig. 4 esta constituída principalmente, por una fracción de palabra PH. Esta parte de palabra constituye una información secuencial, proporciona el número de fase PH mencionado anteriormente.

La palabra de línea MLE3 representada en la Fig. 5 proporciona la dirección de marcha para almacenar los caracteres en un almacenaje intermedio. Esta dirección esta constituída por una parte (los bits más significativos) que da la dirección inicial de un almacenaje intermedio del área MT, y una parte (los 6 bits menos significativos) que define una célula de memoria de este almacenaje.

Describiremos seguidamente el funcionamiento détallado

del bloque de caracteres EC de la Fig. 2, refiriéndonos también a la carta de flujo de la Fig. 6. Cada rectángulo de dicha carta corresponde a una función del bloque de caracteres BC, caracterizada por una posición de la unidad secuencial SQR. Las flechas que conectan estos rectángulos materializan el encadenamiento de las funciones.

Puede considerarse que el diagrama de la Fig. 2 y los diagramas de flujo de las Figs. 6 y 7 corresponden al diagrama detallado del bloque de caracteres BC.

Es fácil de establecer, a partir de este diagrama y de los diagramas de flujo: una lista que indique, para cada elemento de circuito, las operaciones en las que toman parte como transmisores de datos; una lista que indique para cada elemento de circuito las operaciones en que toma parte como receptores de datos; una lista de operadores necesarios para ejecutar las operaciones previstas. En otras palabras, estas operaciones están definidas claramente (fuente de datos, tipos de operaciones, receptores de datos) y son todas bien conocidas en esta técnica (carga, descarga de registros, incremento, decremento de un número binario suma y producto de datos según el álgebra de Boolean, etc.) y los elementos que hacen posible su realización. Consecuentemente, se puede deducir que estos diagramas de flujo, y este diagrama constituyen un modo de representación particular de circuitos lógicos detallados. Estos ofrecen la ventaja de proporcionar una descripción clara de un equipo lógico complicado.

Inicialmente, supondremos que el bloque de caracteres está en condición de reposo y la unidad secuencial SQR esta en una posición REP.

Un reloj no representado, envía al distribuidor de tiempo DT un impulso de disparo dc. El distribuidor DT produce después una serie de impulsos de reloj t1, t2, t3, t4 y t5.

Las operaciones siguientes, referentes a la captura de un carácter en una cola de espera cuando el carácter es analizado y almacenado en un almacenaje intermedio, será controlado por estos impulsos de reloj y, para ser más precisos, el lector será referido a cada uno de ellos mencionando simultaneamente la posición de la unidad secuencial (REP.t1, REP.t2, etc).

El impulso REP.t1, a través de elementos que no se representan en la Fig. por motivos de simplicidad, repone todos los circuitos con la excepción del biestable REP de la unidad secuencial SQR.

El impulso REP.t2 hace avanzar a la unidad secuencial SQR a la posición LAL (escribiendo 0 en el biestable REP y 1 en el biestable LAL). Nótese como consecuencia que la unidad secuencial está siempre moviéndose hacia adelante bajo el efecto de un impulso t2.

De un modo general y para simplificar, solo se han representado las señales para controlar la activación de cada uno de los circuitos biestables que constituyen la unidad secuencial SQR. Quedará entendido que cada señal controla también la reposición del biestable previamente en el estado 1.

El impulso LAL.t3 no se emplea. De una manera general, el impulso t3, que es el primero de cada función, hace posible simplemente la introducción de un retraso para preparar los circuitos. Su función no es efectiva, por lo que no la

mencionaremos en lo que sigue.

El impulso LAL.t4 conttola la transferencia de una constante C1 en el registro de dirección A, que viene indicado en la Fig. 2 por una entrada C1.t4.LAL del registro A. La constante C1 es la dirección de la célula de servicio adl de la cola de espera FAR.

El impulso LAL.t5 activa el biestable PR de los circuitos CAM. Este biestable genera entonces una señal de llamada por el conductor pr del canal de encaminamiento ca, hacia la memoria MEM. La ausencia de cualquier señal en el conductor in indica que el bloque de caracteres BC requiere una lectura. En este mismo instante, el item de información escrito en el registro A aparece por los conductores AD del canal ca, para indicar la dirección que debe leerse.

Para simplificar el diagrama de la Fig. 2, se ha omitido deliberadamente mencionar las condiciones de funcionamiento de los circuitos biestables, PR e IN, estas condiciones se deducen claramente de la descripción.

La operación de lectura se efectúa, tan pronto como la memoria ME esta disponible, y el item de información leído aparece por los conductores ISM del canal de datos cd. Esto se escribe en el registro M.

La memoria MEM junto con el item de información leído, proporciona una señal por el conductor fm. Esta señal se emplea para provocar un nuevo disparo del distribuidor de tiempo DT (aparición de un impulso de disparo dc). Como respuesta, el distribuidor DT comienza un nuevo ciclo y proporciona un impulso t1. El funcionamiento del bloque de caracteres BC está sincronizada con el funcionamiento de la memoria MEM, y el final de la operación de la memoria MEM hace

hace posible que se ejecuten las operaciones siguientes, dis parando el distribuidor de tiempo.

El impulso LAL.t1 repone el biestable PR, que detiene la llamada de la memoria MEM.

El impulso LAL.t2 controla la conmutación de la unidad secuencial SQR a la posición LAE. El registro M contiene entonces el item de información ADL leido en la célula adl. Este item de información es la dirección de la célula de memoria de la cola de espera FAR que contiene el primer carácter telegráfico almacenado por el bloque de línea.

Como la unidad secuencial SQR está en una posición LAE, el impulso LAE.t4 controla la transferencia del contenido del registro M al registro auxiliar X(entrada M.t4.LAE del registro X); también controla la transferencia de una constante C2 al registro de dirección A(C2.t4.LAE). La constante C2, que en el registro A sustituye a la constante C1, es la dirección de la célula de servicio ade de la cola de espera FAR.

El impulso LAE.t5 activa el biestable PR de los circuitos CAM. El biestable PR proporciona entonces una señal de llamada hacia la memoria MEM. En este mismo instante, el item de información escrito en el registro A aparece por los conductores AD del canal ca, para designar la dirección a ser leída.

Se efectúa la operación de lectura tan pronto como la memoria MEM está disponible, y el item de información leido, ADE, aparece por los conductores ISM del canal de datos cd. Esto se escribe en el registro M.

La memoria MEM, junto con el item leido proporciona una señal por el conductor fm. Esta señal se emplea para

crear un nuevo impulso dc para disparar el distribuidor DT. Como respuesta, el último comienza un nuevo ciclo y proporciona un impulso t1.

El ámpulso LAE.t1 repone el biestable PR, que detiene la llamada de la memoria MEM.

Durante ese tiempo, el comparador COM recibe el contenido del registro Y (entrada X.LAE), esto es, la dirección ADL y el contenido del registro M (entrada M.LAE) esto es, la dirección ADE.

La continuación de la operación depende de la señal de salida EGT proporcionada por el conductor eg, por el comparador COM. Esta señal está en el nivel lógico 1 si no está almacenado ningún carácter reconstruido en la cola de espera FAR. La célula de memoria a ser empleada por la siguiente escritura es también la célula de memoria a ser consultada durante la operación de lectura. En el caso contrario, la señal EGT esta en el nivel lógico 0, si existe, por lo menos, un carácter reconstruido almacenado en la cola de espera FAR.

Esta alternativa esta ilustrada, en la carta de flujo de la Fig. 6, por el rombo D1.

Estudiaremos primeramente el primer caso (EGT=1): el siguiente impulso (LAE.t2) controla la vuelta de la unidad secuencial SQR a la posición REP. Esta vuelta está representada, en la carta de flujo de la Fig. 6, por la conexión llamada EGT=1 entre el rombo D1 y el rectángulo REP. En la Fig. 2, está simbolizado por la condición llamada LAE.t2.EGT proporcionada en una entrada del biestable REP de la unidad secuencial SGR. La operación del bloque de caracteres continúa como se ha descrito anteriormente. Practicamente, los

impulsos REP.t4 y REP.t5 no se emplean. Entonces, el distribuidor DT se dispara solamente después de un cierto tiempo. Esto hace posible que el bloque de caracteres BC no recomience la operación antes de que el carácter reconstruído esté almacenado en la cola de espera.

En ausencia de la condición EGT, o más bien en presencia de la condición complementaria $\overline{EGT}$ , el impulso LAE.t2.$\overline{EGT}$ controla la conmutación de la unidad secuencial SQR a la posición LCF (conexión EGT=0 de la carta de flujo de la Fig. 6).

El impulso LCF.t4 controla la transferencia del contenido del registro X, ADL, al registro A (X.t4.LCF). El impulso LCF.t5 controla la activación del biestable PR. De la manera descrita anteriormente, el contenido de la célula de memoria de la cola de espera FAR designado por la dirección ADL, fal, por ejemplo, se transfiere al registro M. Un impulso de disparo dc aparece después de la señal fm.

El impulso LCF.t1 controla entonces la reposición del biestable PR y, por una parte, la transferencia del contenido del registro M al registro X(entrada M.t1.LCF del registro X), por otra parte, el aumento del contenido del registro A en una unidad (entrada LCF.t1 de un operador "+1" asociado con el registro A).

El registro auxiliar X contiene ahora el carácter telegráfico CAR acompañado por el número NL de una línea por la que se ha recibido, previamente almacenado en la célula de memoria fal de la cola de espera FAR. El item de la memoria situada inmediatamente después de la célula que ha sido justo leida, en el ejemplo elegido, la dirección de la célula fa2.

El impulso LCF.t2 controla la conmutación de la unidad secuencial SQR a la posición MAJ. En esta posición, se realizarán las operaciones de actualización de la célula de servicio ADL de la cola de espera FAR.

El impulso MAJ.t4 controla la transferencia del contenido del registro A al registro M (A.t4.MAJ) y la inserción del contenido C1, dirección de la célula de servicio adl, en el registro A (C1.t4.MAJ).

El impulso MAJ.t5 controla la activación de los biestables PR e IN. El biestable IN proporciona entonces una señal por el conductor in; a fin de indicar a la memoria que el bloque de caracteres lo llama para una operación de escritura.

Se efectúa entonces la escritura, y se transfiere el contenido del registro M, esto es, la dirección de la célula de memoria fa2 que constituye la nueva indicación ADL, a la célula de memoria adl. La señal de fin de operación proporcionada por la memoria, como para la operación de lectura, controla el disparo del distribuidor de tiempo DT que proporciona un impulso t1. El último repone el biestable PR, a fin de detener la llamada de la memoria. También se repone el biestable IN.

El impulso MAJ.t2 controla la conmutación de la unidad secuencial SQR a la posición LM1. En esta posición, el bloque de caracteres BC leerá la palabra de línea MLE1 que define, como anteriormente, las características principales de la línea telegráfica considerada.

El impulso LM1.t4 controla la adición de una constante C3 al número de línea NL, cuya suma se suministra al registrador A. Practicamente, para 64 líneas por ejemplo,

el número NL esta definido por 6 bits de una palabra de 16 bits, siendo los otros bits cero. De la misma manera, la constante C3 está definida por 8 bits cuyos rangos son diferentes de los del número NL en una palabra de 16 bits, la suma se obtiene por una simple yuxtaposición de los bits durante su transferencia al registro A(C3, NL.t4.LM1). Los dos bits menos significativos de esta dirección son nulos. La constante C3 es la dirección de la primera célula de memoria de la memoria de línea ML en la memoria MEM. El registro A contiene ahora la dirección de la primera de las tres células de memoria de la localización de memoria asignada a la línea telegráfica considerada. Supongamos que esta localización es la ml0. El registro A contiene entonces la dirección de la célula de memoria ml00.

El impulso LM1.t5 controla la activación del biestable PR para llamar a la memoria MEM.

Se efectúa la operación de lectura tan pronto como la memoria MEM está disponible, y el item de información leído, la palabra MLE1, aparece en los conductores ISM del canal de datos cd. Esto se escribe en el registro M.

La memoria MEM, con la información leida, proporciona una señal por el conductor fm. Esta señal se emplea para crear un nuevo impulso dc para disparar el distribuidor DT. Como respuesta, el último comienza un nuevo ciclo y proporciona un impulso t1.

El impulso LM1.t1 controla la reposición del biestable PR.

La operación siguiente depende del valor del bit de rango 15, BL0, de la palabra MLE1. Esta alternativa está representada en el diagrama de flujo de la Fig. 6 por el rombo

D2.

Si este bit es 1, se inhibe la línea telegráfica. El registro M proporciona entonces una señal BLO. El impulso LM1.t2, en el caso de la existencia de la señal BLO, contro la el rctorno de la unidad secuencial a la posición REP. Esto viene ilustrado en el diagrama de flujo de la Fig. 6 por una conexión llamada BLO=1 entre el rombo D2 y el rectángulo REP. Esta simbolizado en la Fig. 2 por una condición LM1.t2.BLO que controla el biestable REP. En este caso, se rechaza el caracter CAR extraido de la cola de espera FAR.

Si el bit BLO es cero, aparece la señal $\overline{BLO}$. En presencia de esta señal, el impulso LM1.t2.BLO controla la conmutación de la unidad SQR a la posición LM2. Esta conmutación está ilustrada, en el diagrama de flujo de la Fig. 6, por la conexión BLO=0.

El impulso LM2.t4 controla la adición de una unidad (entrada LM2.t4 del operador "+1" asociado con el registro A)al contenido del registro A. Este registro contiene ahora la dirección de la célula de memoria de línea m101. Este impulso controla también la transferencia del contenido del registro M, de la palabra MLE1, al registro Y (entrada M.t4. LM2). El bloque de caracteres, según lo descrito anteriormente, lee ahora el contenido de la célula de memoria m101, esto es, la palabra de línea MLE2 que se transfiere al registro M. La señal de final de operación proporcionada por la memoria controla el disparo del distribuidor de tiempo DT que proporciona un impulso no usual t1 cuando un impulso t2.

El impulso LM2.t2 controla la conmutación de la unidad secuencial SQR a la posición TRP. En este momento, el registro

M contiene la palabra de memoria MLE2 y, concretamente, la parte de palabra cuyo valor real PH de la fase del análisis de la información secuencial. El bloque de caracteres, gracias a, más concretamente, esta información secuencial, está en una posición para anotar si el carácter extraído de la cola de espera pertenece al texto del mensaje o si se refiere a uno de los caracteres de los denominados significativos que pertenece, por ejemplo, al rumbo o al final de secuencia. La información secuencial es una especie de contador que adquiere una determinada posición cuando recibe un carácter significativo. Así, por ejemplo, cuando el mensaje comienza por la secuencia ZCZC, la información secuencial estará en la posición 1 después de que el bloque de caracteres haya identificado la primera Z. Si el segundo carácter recibido es una C la información secuencial cambiará a la posición 2; en caso contrario cambia, por ejemplo, a la posición 5. Después de la recepción del tercer carácter, una Z, la información secuencial, previamente en la posición 2, cambia a la posición 3. Si estaba en la posición 5, puede decidirse que el segundo carácter era una carácter erróneo y los dos caracteres previamente identificados no son considerados en este caso, cambiando la información secuencial a la posición 1.

Cuando los mensajes comienzan por una secuencia diferente, el principio del análisis es el mismo pero, como las secuencias a ser identificadas son diferentes, esta previsto utilizar un item adicional de información que define el principio o procedimiento de composición de mensaje empleado.

Practicamente, además del análisis de la información secuencial almacenada en una palabra de memoria, se utiliza

un translator. Este translator recibe el carácter incidente y la posición de la información secuencial, proporcionando la nueva posición que debe tomar la información secuencial y, si fuera necesario, una señalización particular tal como "comienzo de mensaje" después de leer en la cola de espera de la segunda C de secuencia ZCZC, o "final de rumbo" o "final de mensaje".

Este translator puede tener la forma de una localización de almacenaje en el que cada célula dirigida con el carácter incidente y la posición real de la información secuencial contiene la nueva posición de la información secuencial.

Para simplificar la Fig. , este translator se ha representado por el translator TRS contenido en el bloque de caracteres BC.

Como la unidad secuencial SRQ está en la posición TRP, los ocho bits menos significativos de la palabra MLE2 escritos en el registro M se transfieren al translator TRS ($M_{(0-7)}$·TRP). Nótese que estos bits definen la fase real del análisis de información secuencial. De la misma manera, los ocho bits que definen el caracter escrito en el registro X se transfieren al translator TRS ($X_{(0-7)}$.TRP) y los tres bits que definen el procedimiento en la palabra MLE1 ahora escrita en el registro Y ($Y_{(3-5)}$.TRP). El translator proporciona, como respuesta, el nuevo valor PH' del análisis de la información secuencial y, si es necesario, una señalización SIG.

El impulso TRP.t4 no se emplea.

El impulso TRP.t5 suministra un impulso de disparo dc al distribuidor DT.

El impulso TRP.t1 controla la transferencia del

nuevo valor PH' del análisis de la información secuencial en el registro M(PH'.t1.TRP) y la señalización SIG en el registro auxiliar Z(SIG.t1.TRP).

La fase PH' sustituye, en el registro M, a la fase anterior PH.

El impulso TRP.t2 controla el cambio de la unidad secuencial SQR a la posición EM2. En esta posición de la unidad secuencial, el bloque de caracteres escribe la palabra de memoria MOE2, ahora contenida en el registro M, en la célula de memoria de línea m10 cuya dirección esta todavía escrita en el registro de dirección A. La escritura se realiza de la forma descrita anteriormente.

La señal final de operación proporcionada por la memoria da lugar a un impulso de disparo dc para el distribuidor DT que proporciona un impulso t1.

El impulso EM2.t1 controla la transferencia del contenido del registro A, esto es, la dirección de la célula de memoria de línea m101, al registro Y(A.t1.EM2).

Se ha supuesto anteriormente (en TRP) que el translator TRS proporciona una señalización SIG. Esta señalización se escribe en el registro Z, en t1.TRP. Este registro transmite, como respuesta, una señal SG. Cuando el translator TRS no envía señalización, el registro Z recibe, por su entrada SIG.t1.TRP, un item nulo. Como respuesta, suministra una señal $\overline{SG}$.

La operación siguiente depende de la señal proporcionada por el registro Z. Esta alternativa esta ilustrada en el diagrama de flujo de la Fig. 6 por el rombo D3. La operación del bloque de caracteres BC será descrita cuando el translator TRS envía una señalización SIG y, consecuente

mente, el registro Z proporciona una señal SG. En caso contrario, cuando el registro Z proporciona una señal $\overline{SG}$, no serán afectadas las operaciones siguientes, y la unidad secuencial cambia directamente a la posición LM3(LM2.t2.$\overline{SG}$).

Se supone que el carácter CAR leído en la cola de espera es un C que sigue a la secuencia ZCZ. El translator TRS ha proporcionado una señalización SIG de "comienzo de mensaje".

En presencia de la señal SG, el impulso EM2.t2 controla el cambio de la información secuencial a la posición LBE. El bloque de caracteres lee ahora la célula de servicio bde de la cola de espera de señalización FASR según el proceso descrito anteriormente: el impulso LBE.t4 controla la transferencia de una constante C4, que define la dirección de esta célula de servicio en el registro de dirección A(C4.t4.LBE); se efectúa la operación de lectura, el item de información BDE contenido en la célula de servicio bde se transfiere al registro M. Se proporciona un impulso de disparo dc. El impulso LBE.t1 controla la reposición del biestable PR.

El impulso LBE.t2 controla el cambio de la unidad secuencial SQR a la posición ESG. El bloque de caracteres almacena, en la célula de memoria de la cola de espera FASR definida por el item de información BDE, la señalización SIG y el número de linea NL escrito ahora en los registros Z y X. Se supone que esta célula es la célula de memoria fsl. A este fin, la dirección de la célula fsl se transfiere desde el registro M al A(M.t4.ESG), la información SIG y NL se transfieren desde los registros Z e Y al registro M(Z.t4.ESG+Y.t4.ESG). Esta operación de escritura tiene lugar del

29 DIC

modo descrito anteriormente.

El impulso de disparo dc se transmite al distribuidor DT, que transmite uno t1.

El impulso ESG.t1 controla la reposición de los circuitos biestables PR e IN de los circuitos CAM.

El impulso ESG.t2 controla el cambio de la unidad secuencial SQR a la posición MA2. El bloque de caracteres BC actualizará ahora los contenidos BDE de la célula de memoria bde.

El impulso MA2.t4 controla la adición de una unidad al contenido del registro A (entrada MA.t4 del operador "+1" asociado con el registro A).

El impulso MA2.t5 controla, por una parte, la activación de los circuitos biestables PR e IN de los circuitos CAM y, por otra parte, la transferencia del contenido del registro A(la dirección de la célula de memoria fs2 de la cola de espera FASR) al registro M(A.t5.MA2) y la salvaguardia de esta dirección en el registro Z(A.t5.MA2), y la inserción de la constante C4 en el registro A. Se efectúa la operación de escritura, Se transfiere el contenido del registro M, esto es, la dirección de la célula de memoria fs2, que se convierte en la nueva indicación BDE en la célula de memoria bde. Al final de la operación de escritura, se aplica un impulso de disparo dc al distribuidor DT, el cual transmite un impulso t1.

El impulso MA2.t1 controla la reposición de los circuitos biestables PR e IN de los circuitos CAM.

El impulso MA2.t2 controla el cambio de la unidad secuencial SQR a la posición LM3.

El impulso LM3.t4 controla la transferencia del con

tenido del registro Y, esto es, la dirección de la célula de memoria de línea m101 conservada en t1.EM2, en el registro A(Y.t4.LM3). Los contenidos de este registro se aumentan en una unidad (entrada LM3.t5 del operador "+1" asociado con el registro A). El contenido de este registro A se convierte en la dirección de la siguiente célula de memoria m102.

El impulso LM3.t5 controla también la activación del biestable PR de los circuitos CAM. En este momento, el item de información escrito en el registro A aparece por los conductores AD.

Se efectúa la operación de lectura y el item de información leído, esto es, el MLE3; se escribe en el registro M. Esta palabra contiene la dirección de escritura en curso en el almacenaje intermedio ACMT.

Se aplica un impulso de disparo dc al distribuidor DT, el cual envía un impulso t1.

El impulso LM3.t1 controla la reposición del biestable PR de los circuitos CAM.

La operación siguiente depende del valor de la dirección ACMT contenida en la palabra MLE3. Si la dirección ACMT es igual a cero, no existe almacenaje intermedio asignado a la línea considerada. Si un almacenaje estuviera asignado a dicha línea, la dirección ACMT será diferente de cero. Esta alternativa está ilustrada en la carta de flujo de la Fig. 6 por un rombo D4. Dicho rombo está conectado a un rectángulo RMT a través de una conexión ACMT=0. El rectángulo RMT y el biestable correspondiente de la unidad secuencial SQR, simbolizan una secuencia de operaciones efectuada por el bloque de caracteres BC cuando la dirección ACMT contenida en la palabra MLE3 es nula.

Describiremos primeramente la operación del bloque de caracteres BC considerando que la dirección ACMT es diferente de cero (ACMT≠0). En este caso, el registro M que contiene la dirección ACMT no proporciona ninguna señal ZR, sino su complemento $\overline{ZR}$ .

El impulso LM3.t2 controla el cambio de la unidad secuencial SQR a 1 posición EMT (LM3.t2.$\overline{ZR}$). Simultaneamente, transfiere la dirección m102 del registro A al registro Y (A.t2.LM3).

El impulso EMT.t4 controla la transferencia al registro A de la dirección ACMT, que es la dirección de una célula del almacenaje intermedio, MTO por ejemplo, asignado a la línea considerada (entrada M.t4.EMT del registro A). Este impulso controla también la transferencia del carácter telegráfico CAR desde el registro X al registro M (X.t4.EMT). Este impulso controla, finalmente, como previsión, la transferencia al registro Z de los seis bits menos significativos de la dirección ACMT que dan el número de la célula del almacenaje intermedio MTO a ser usado, y una señalización "almacenaje intermedio completo) ($M_{(0-5)}$, SIG.t4.EMT).

El impulso EMT.t5 controla la activación de los circuitos biestables PR e IN de los circuitos CAM.

Se realiza entonces la operación de escritura, que transfiere el contenido del registro M, esto es, el caracter CAR, a una célula del almacenaje intermedio MTO. La señal de final de operación proporcionada por la memoria, como para una operación de lectura, controla entonces el disparo del distribuidor de tiempo DT, el cual envía un impulso t1. Este último repone el biestable PR, a fin de detener la llamada de la memoria. También se repone el bies

table IN.

El biestable EMT.t2 controla, según el proceso mencionado anteriormente, el aumento en una unidad de la dirección ACMT contenida en el registro A (entrada EMT.t2 del operador "+1" asociado con el registro A). Como respuesta, el registro A proporciona una señal que depende de los seis bits menos significativos de la palabra ACMT que define el número de la célula del almacenaje intermedio MTO. Si este número es cero, el bloque de caracteres BC ha almacenado en ese momento el carácter CAR en la última célula del almacenaje intermedio MTO. Como consecuencia, este almacenaje esta lleno. El registro A proporciona una señal adl. Si el almacenaje intermedio MTO no esta lleno todavía, el número de la célula de almacenaje contenido en la dirección ACMT es diferente de cero. El registro A no proporciona una señal adl sino su complemento $\overline{adl}$. Esta alternativa esta representada en la carta de flujo de la Fig. 6 por un rombo D8. Este rombo esta cohectado a un rectángulo SMT por una conexión adl. El rectángulo SMT y el biestable correspondiente de la unidad secuencial SQR simbolizan una secuencia de operaciones efectuadas por el bloque de caracteres BC cuando el almacenaje intermedio MTO está lleno.

Describiremos seguidamente la operación subsiguiente de los bloques de caracteres, considerando que el almacenaje intermcdio MTO no esta lleno (camino $\overline{adl}$ de la carta de flujo de la Fig. 6).

El impulso EMT.t2 controla el cambio de la unidad secuencial SQR a la posición EM3.

El impulso EM3.t4 controla la transferencia del contenido del registro A al registro M(A.t4.EM3) y la transfe-

rencia del contenido del registro Y, la dirección de la célula de memoria ml02, al registro A(Y.t4.EM3).

Del modo descrito anteriormente, el bloque de caracteres escribe, en la célula de memoria ml02, la nueva dirección de escritura en curso en el almacenaje intermedio.

El impulso EM3.t2 controla el cambio de la unidad secuencial SQR a la posición REp y el bloque de caracteres está listo para un nuevo ciclo de proceso similar al que se ha descrito anteriormente.

De este modo, el bloque de caracteres ha extraído un carácter reconstruido y lo ha almacenado en la cola de espera, después de analizarlo. El análisis ha resultado en la evolución de la unidad secuencial, y ha dado lugar al almacenamiento de una señalización ("comienzo de mensaje", según el ejemplo considerado). Entonces, el carácter se ha almacenado en el almacenaje intermedio asignado a la línea.

Cuando ningún almacenaje intermedio está asignado a la línea telegráfica considerada, la dirección ACMT contenida en la palabra de memoria MLE3 es nula y el bloque de caracteres BC procede al proceso concreto que se ha denominado RMT.

Describiremos seguidamente el funcionamiento del bloque de caracteres BC refiriéndonos a las Figs. 7, 8 y 9, estando la unidad secuencial SQR en la posición RMT. El bloque de caracteres efectuará una secuencia de operaciones con la intención de asignar a la línea un almacenaje intermedio para almacenar el carácter recibido. Estas operaciones diferentes necesitan, paracticamente, varias posiciones de la unidad secuencial SQR; el bloque de caracteres procederá a las operaciones de lectura y escritura en la memoria.

Sin embargo, en lo que las operaciones han sido ampliamente detalladas en la descripción precedente, y a fin de simplificar la Fig. 2, las diferentes posiciones de la unidad secuencial AQR se han representado por la posición única RMT.

Se ha indicado anteriormente que la localización de almacenaje MTL de la memoria MEM era una representación de la condición de completo de los almacenajes intermedios del área MT. Supongamos que el número de estos almacenajes intermedios es de 64. En este caso, la representación MTL, como se muestra en la Fig. 8, incluye 4 células de memoria mtl0 y mtl3. En cada una de estas células están almacenados 16 bits: cada uno de ellos está asignado a un almacenaje intermedio. Es cero si el almacenaje intermedio esta libre y 1 si está completo.

El diagrama MTL incluye también una célula de servicio cnl cuyos contenidos constituyen las dos informaciones CNA y CNR. El item de información CNA incluye dos bits y designa una de las cuatro células mtl0 a mtl3. Así, CNA=00 designa la célula mtl0, y CNA=11 designa la célula mtl3. El item de información SNR incluye cuatro bits y designa uno de los diez y seis bits contenidos en la célula de memoria, cuya dirección viene dada por el item de información CNA.

La secuencia de las diferentes operaciones efectuadas por el bloque de caracteres BC comienza de nuevo cuando aparece el impulso RMT.t3. Esta posición esta simbolizada en la carta de flujo de la Fig. 7, por el camino de salida del rombo D4 denominado ACMT=0.

Según se ha descrito anteriormente, el bloque de caracteres procede primero a la reposición de los contenidos de la célula de servicio cnI, denominándose esta operación

0→cnl en la carta de flujo de la Fig. 7. Esta es una operación de escritura con una dirección constante C6( la de la célula cnl) siendo nulo el item de información a ser escrito.

El impulso siguiente t2 controla el cambio a la siguiente operación ilustrada por el rectángulo Lml. En esta operación, el bloque de caracteres BC lee los contenidos de la célula de memoria del diagrama MTL designado por el item de información CNA, esto es, los contenidos de la célula mtl0.

Esta es una operación de lectura en una dirección proporcionada por la yuxtaposición de una constante C7 (dirección inicial de la tabla MTL) y dos bits de la indicación CNA.

La operación subsiguiente depende de la palabra de 16 bits contenida en esta célula y la cual se escribe en el registro M. Si todos los bits de esta palabra son 1, todos los almacenajes intermedios así representados estan llenos. En este caso, el registro M proporciona una señal TU. Si contiene, por lo menos, un bit cero, uno de los diez y seis almacenajes intermedios está disponible y el registro M proporciona la señal complementaria $\overline{TU}$. Esta alternativa está representada en la carta de flujo de la Fig. 7 por un rombo D5.

Consideramos en primer lugar el caso en que todos los bits de esta palabra son 1 (TU=1). En este caso, el bloque de caracteres BC procederá a la escritura de la siguiente célula de memoria mtl1. A este fin, de la manera descrita anteriormente se aumenta en una undad la indicación CNA contenida en la célula de memoria cnl (+1→CNA).

Esta dirección es ahora 01. Consecuentemente, es diferente de cero y la operación del bloque de caracteres continúa mediante la lectura de la, así designada, célula de memoria, como se muestra por la salida CNA≠0 del rombo D6 que vuelve a la operación Lm1 (lectura del contenido de la célula mtl1) al rombo D5(¿existe, por lo menos, un almacenaje intermedio libre?).

Una configuración de los circuitos que hancen posible estas operaciones esta ilustrada en el diagrama de la Fig. 9.

Este diagrama muestra el registro de memoria M y el registro auxiliar Y del diagrama de la Fig. 2. Además, un circuito decodificador CDC, dos operadores "+1" OP1 y OP2 y dos puertas pte y pts. El contenido de la célula de servicio cn1 de la tabla MTL se escribe en el registro Y y el contenido de la célula de memoria mtl1 se escribe en el registro M.

El operador "+1" OP1 recibe los cuatro bits que constituyen el item de información CNR. Proporciona el item de información CNR aumentado en una unidad y este nuevo item de información sustituye a CNR en el registro M.

El operador "+1" OP2 recibe los dos bits que constituyen el item de información CNA. Proporciona el item de información CNA aumentado en una unidad y este nuevo item de información sustituye a CNA en el registro Y. Corresponde a la operación denominada +1→CNA en la Fig. 7.

El circuito decodificador CDC recibe los cuatro bits del item de información CNR. Según el valor de este item, proporciona una señal por uno de los diez y seis conductores sc0/15, el conductor sc1, por ejemplo. Estos conductores estan conectados a puertas representadores colectivamente

por la puerta pte controladas por una señal transmutida por un conductor oc. Estan también conectados a puertas representadas colectivamente por la puerta pts.

Supongamos que todos los almacenajes intermedios estan llenos. Como anteriormente el bloque de caracteres BC aumenta en una unidad la dirección CNA y comprueba el valor obtenido. Suponiendo todos los almacenajes llenos, se llega al rombo D6 después de comprobar el contenido de la dirección mtl3 (CNA=11) y una última puesta en índice que vuelve la indicación CNA al valor 00.

En el punto de decisión D6, por el camino CNA=0, el bloque de caracteres toma nota de que no tiene almacenaje intermedio libre y procede a la operación denominada JNT: se activa el biestable de interrupción INT de los circuitos lógicos de control bajo el control de una señal tmp que requiere del bloque de programa BP que indique los almacenajes intermedios que han sido recientemente liberados. El bloque de caracteres detiene su operación.

El bloque de programa actualiza de nuevo la situación MTL y, por el conductor rz, proporciona un impulso de reposición al biestable INT. La reposición de este biestable se trahsmite a un circuito RD a través de un conductor rd. Como respuesta, este circuito envía un impulso de disparo por un conductor rdc. Este impulso da lugar a un impulso de disparo dc del distribuidor de tiempo DT.

La operación del bloque de caracteres recomienza en el punto A.

Supongamos ahora que la célula de memoria mtl1 contiene el bit de rango 1 a cero. En el punto de decisión D5, el bloque de caracteres utiliza el camino $\overline{TU}$=1. Entonces,

el bloque de caracteres procede al bit después del examen de bit de la palabra almacenada en esta célula de memoria. La indicación CNR cuyo valor es todavía 0, se decodifica por el circuito CDC y activa una de las puertas pts, que corresponde al bit de rango 0 del registro M. Si suponemos que este bit tiene el valor 1 (almacenaje intermedio completo), aparece una señal por el conductor bt (punto de decisión D7) y el bloque de caracteres aumenta en una unidad la palabra CNR(+1→CNR) por medio del operador OP1. Se lee de la misma forma, el bit de rango 1, y como hemos supuesto que su valor es cero, la señal obtenida bt es nula (bt=0). La operación del bloque de caracteres se encamina entonces hacia la denominada 1→bmt. En la primera parte de esta operación (Fig. 9) se suministra una señal oc a las puertas pte. Una de ellas marcada por la señal transmitida por el circuito CDC por uno de los conductores sc0/15, en este caso la puerta de rango 1 opera y controla la puesta en 1 del bit que ha sido encontrado en cero. Entonces, el item de información contenido en el registro M se re-escribe en su lugar en la tabla MTL. Finalmente, una constante, que corresponde a la dirección base del área de almacenaje intermedio MT se combina con las indicaciones CNA y CNR. La dirección resultante se escribe en el registro M para tomar el lugar de la dirección ACMT, encontrada inicialmente nula en LM3.t2.

Se completa la función que consiste en encontrar un almacenaje intermedio RMT, y continúa la operación del bloque de caracteres del modo descrito anteriormente, almacenando el carácter telegráfico (EMT) en el almacenaje intermedio.

Describiremos seguidamente la operación del bloque de caracteres BC, refiriéndonos a la Fig. 10, estando la unidad secuencial SQR en las diferentes posiciones ilustradas por el rectángulo SMT de la carta de flujo de la Fig. 6. El bloque de caracteres efectuará una secuencia de operaciones con vistas a escribir en la cola de espera FASR una señalización "almacenaje intermedio completo". Estas diferentes operaciones necesitan, practicamente, diversas posiciones de la unidad secuencial SQR: el bloque de caracteres procederá a las operaciones de lectura y escritura en la memoria. Estas posiciones de la unidad secuencial SQR estan ilustradas por los rectángulos LBE', ESG' y MA2' de la carta de flujo de la Fig.10.

En presencia de la señal adl proporcionada por el registro A, el impulso EMT.t2 controla el cambio de la unidad secuencial a la posición LBE'. En esta posición de la unidad secuencial, el bloque de caracteres efectuará las mismas operaciones que las efectuadas cuando la unidad secuencial estaba en la posición LBE. Para no complicar la Fig. 2, las entradas del registro A no serán representadas en esta posición. Las entradas de estos registros estarán en las posiciones secuenciales ESG' y MA2'. Nótese que las operaciones efectuadas por el bloque de caracteres son idénticas a las operaciones efectuadas en las posiciones secuenciales ESG y MA2 con una excepción.

Primeramente, como la unidad secuencial SQR está en la posición LBE, el bloque de caracteres procede a la lectura de la dirección BDE contenida en la célula de memoria bde de la cola de espera FASR. Esta dirección será descrita en registro M.

La unidad secuencial SQR cambia entonces a la posición ESG', la dirección BDE se transfiere del registro M al registro A. El número de línea NL, escrito en el registro X se transfiere al registro M y la señalización "almacenaje intermedio completo" escrita en el registro Z en EMT.t4. El bloque de caracteres BC procede a la escritura de esta señalización en la célula de la cola de espera FASR designada por la dirección BDE.

La unidad secuencial SQR cambia a la posición MA2'. El bloque de caracteres BC procederá a la actualización del contenido de la célula de memoria bde. La operación del bloque de caracteres en esta posición es idéntica a la descrita anteriormente (posición MA2), excepto cuando aparece el impulso MA2'.t1. El bloque de caracteres BC ha almacenado en ese momento un carácter en la última célula de un almacenaje intermedio. La nueva dirección de escritura en el almacenaje intermedio ACMT, a ser escrita en la palabra de línea MLE3, no puede obtenerse por una simple puesta en índice. El bloque de caracteres BC escribirá en la palabra MLE3 un item de información característico nulo, por ejemplo.

El impulso MA2'.t1, al igual que el impulso MA2.t1, controla la reposición de los circuitos biestables PR e IN; además, controla la escritura de un item nulo de información en el registro A.

El impulso MA2't2 controla el cambio de la unidad secuencial SQR a la posición EM3. La función de escritura SMT de una señalización "almacenaje intermedio lleno" se completa. La operación del bloque de caracteres BC continúa de la manera descrita anteriormente, por la escritura en la

palabra de memoria MLE3 del item de información contenido el el registro M.

La unidad de proceso centrao puede tomar los caracteres almacenados en los almacenajes intermedios y estar informado de las señalizaciones escritas en la cola de espero de señalización por el bloque de caracteres que, además, emprendió todas las manipulaciones de encaminamiento en los caracteres reconstruidos por el bloque de línea.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

Este invento corresponde a una solicitud de patente formulada en Francia, el día 21 de Diciembre de 1972, señalada con el Nº 72 45696 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

- - - - - - - - - - - - - - - NOTA - - - - - - - - - - - - - - -

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de inve años, son los siguientes:

1.- Un sistema para analizar y almacenar caracteres telegráficos recibidos por diversas líneas en un centro de conmutación telegráfica que incluye, más concretamente, un bloque de línea provisto de medios que hacen posible la detección de las transiciones en las líneas, y la reconstrucción de los caracteres telegráficos recibidos por esas líneas, así como medios que hacen posible el almacenaje de caracteres telegráficos y la identificación de las líneas correspondientes en las células de memoria de una cola de espera, y una unidad central de proceso, carac-

terizada porque incluye, entre el bloque de línea y la unidad central un bloque de caracteres que incluye, más concretamente, una memoria de acceso directo compuesta principalmente de almacenajes intermedios y células de memoria de líneas, y un bloque de control de operación secuencial provisto de elementos para tomar un carácter y una dirección en la cola de espera, dirigir una de las células de memoria de línea, leer en ella una dirección de almacenaje intermedio, y tener acceso al almacenaje intermedio así designado almacenando allí dicho caracter, a disposición de la unidad central de proceso.

2.- Un sistema para analizar y almacenar caracteres telegráficos, tal como se define en el punto 1, caracterizado porque incluye medios en la memoria para proporcionar la dirección de un almacenaje intermedio libre cuando la célula de memoria leida por el bloque de control no contiene dirección de almacenaje intermedio.

3.- Un sistema para analizar y almacenar caracteres telegráficos, tal como se define en el punto 2, caracterizado porque los medios en la memoria empleados para proporcionar la dirección de un almacenaje intermedio incluyen una tabla de disponibilidad en la cual cada almacenaje intermedio esta representado por un bit.

4.- Un sistema para analizar y almacenar caracteres telegráficos, tal como se define en el punto 3, caracterizado porque incluye elementos para dirigir una de las células de la tabla de disponibilidad, para extraer la palabra almacenada en ella y, si la palabra no contiene, al menos, un bit que caracterice un almacenaje intermedio libre, dirigir la siguiente célula, para leer la palabra almacenada en

ME

ella, y así sucesivamente, hasta la lectura de una palabra que contenga, por lo menos, un bit que caracterice un almacenaje intermedio libre, para leer bit después de bit hasta la identificación del primero de ellos que caracterice un almacenaje intermedio libre.

5.- Un sistema para analizar y almacenar caracteres telegráficos, tal como se define en el punto 4, caracterizado porque incluye elementos que actúan cuando todas las palabras de la tabla de disponibilidad han sido leidas sin haber reconocido un bit que caracterice un almacenaje intermedio libre, para transmitir una señal de requisición de interrupción a la unidad central de proceso, e interrumpir la operación del bloque de caracteres hasta que la unidad central, después de liberar, por lo menos, un almacenaje intermedio y actualizar la tabla de disponibilidad, provoque el recomienzo de la operación del bloque de caracteres.

6.- Un sistema para analizar y almacenar caracteres telegráficos, tal como se define en el punto 5, caracterizado porque incluye medios para identificar la dirección que se escribe en el almacenaje intermedio como siendo la dirección de la última célula de un almacenaje intermedio. Estos medios hacen posible el almacenamiento del caracter incidente en esta célula de memoria y actúan solamente para escribir en la célula de memoria de línea correspondiente, en el lugar de la dirección de escritura en curso en el almacenaje intermedio, un item característico de información.

7.- Un sistema para analizar y almacenar caracteres telegráficos, tal como se define en 1, caracterizado porque incluye, más concretamente, información secuencial almacenada

ME

en cada una de las células de memoria para seguir el progreso de la recepción de cada uno de los mensajes recibidos, un translator previsto para recibir un caracter telegráfico incidente, la posición de la información secuencial de la línea en cuestión y proporcionar una nueva posición de la información secuencial y, si es necesario, una señalización. Elementos para transmitir señalizaciones hacia la unidad central de proceso, y elementos de control, en el bloque de caracteres, dispuestos para tomar de la cola de espera un caracter incidente, extraer de la célula de línea correspondiente la posición de la información secuencial, suministrar al translator el caracter y la posición de la información secuencial y, si es necesario, una señalización, almacenar en dicha célula de memoria de línea la nueva posición de la información secuencial y, si es necesario, suministrar a los elementos de transmisión de señalización un item de información constituido más concretamente, de la señalización e identificación de la línea en cuestión.

8.- Un sistema para analizar y almacenar caracteres telegráficos, tal como se ha indicado en el punto 7, caracterizado porque estos elementos de transmisión de señalización consisten en un área de almacenaje dispuesta en una cola de espera.

9.- Un sistema para analizar y almacenar caracteres telegráficos, como se ha definido en los puntos 6 y 7, caracterizado porque, cuando el bloque de caracteres nota que acaba de almacenar un caracter en la última célula de una memoria de almacenaje, se transmite una señalización a los medios de transmisión que incluye, además de una "memoria de almacenaje completa" la identificación de la línea co-

ME

rrespondiente y del almacenaje intermedio.

10.- Un sistema para analizar y almacenar caracteres telegráficos recibidos por diversas líneas.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

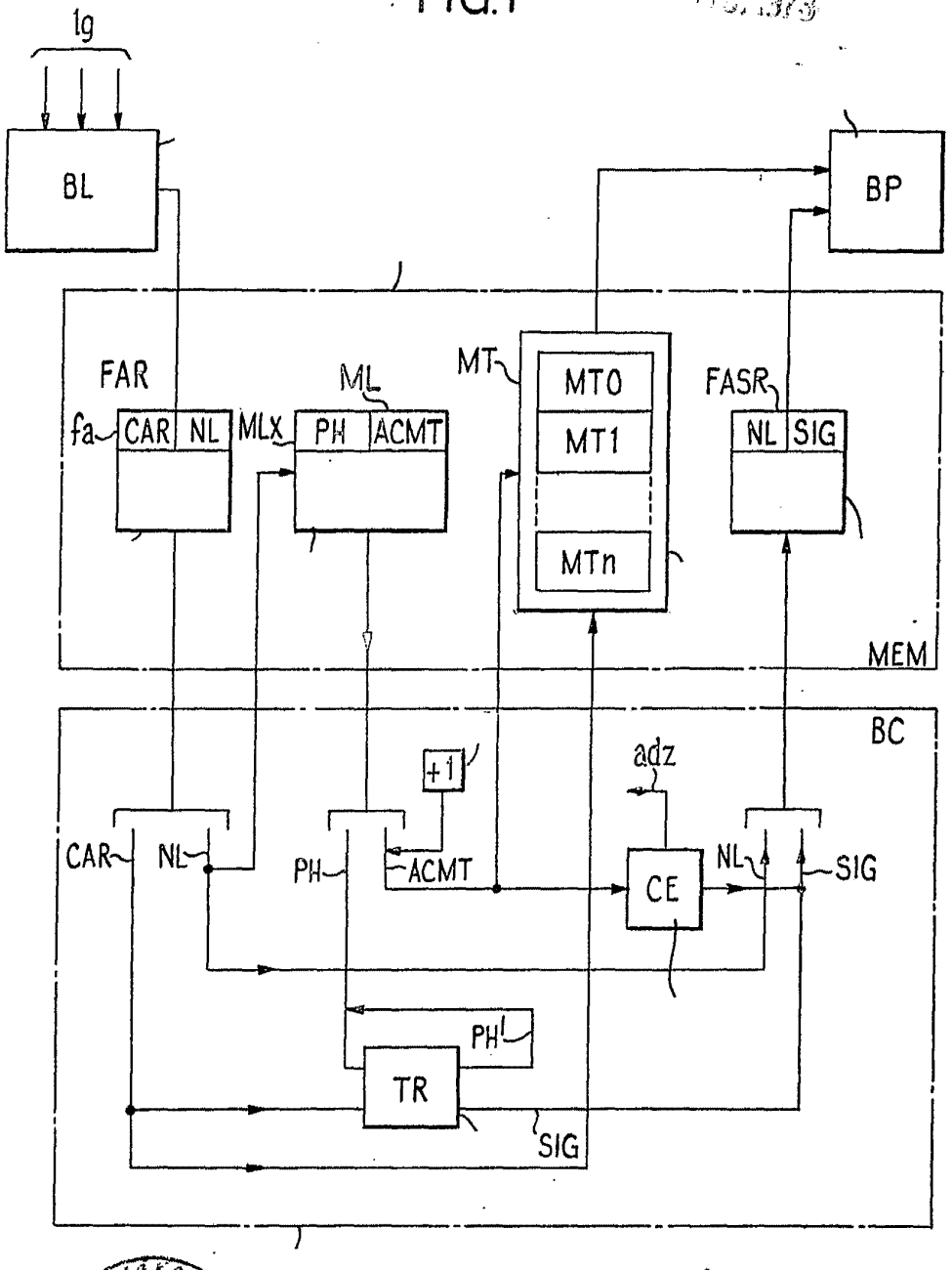
Esta memoria consta de 45 hojas escritas por una sola cara.

Madrid, 21 DIC. 1973

M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

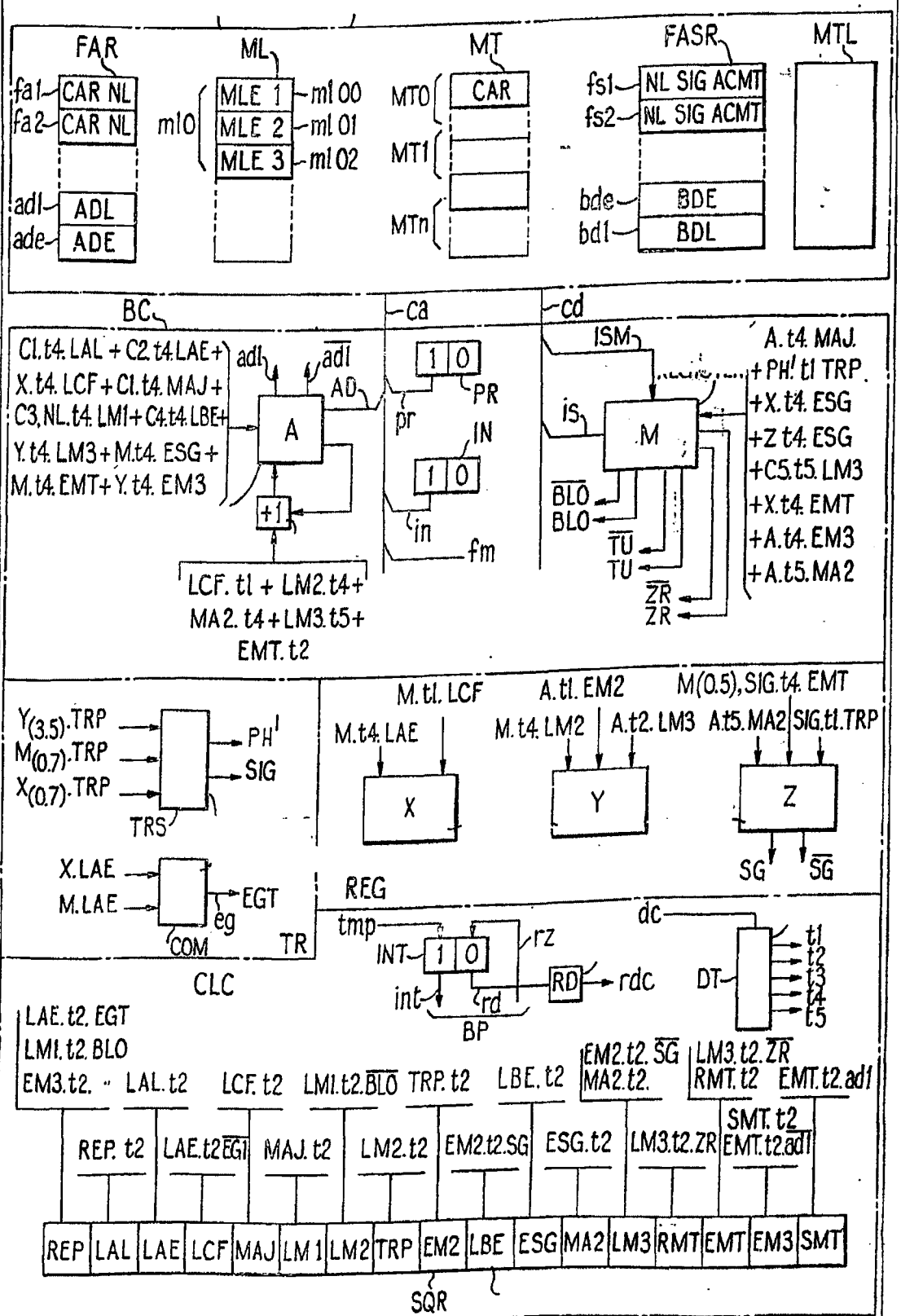
Telefonos Standard Cables

FIG.1




M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

# FIG.2




20 DIC. 1973

M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

FIG.3

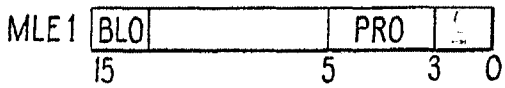



FIG.4

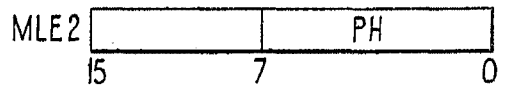



FIG.5

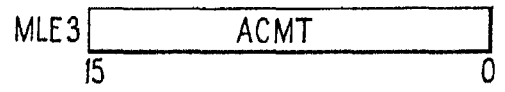
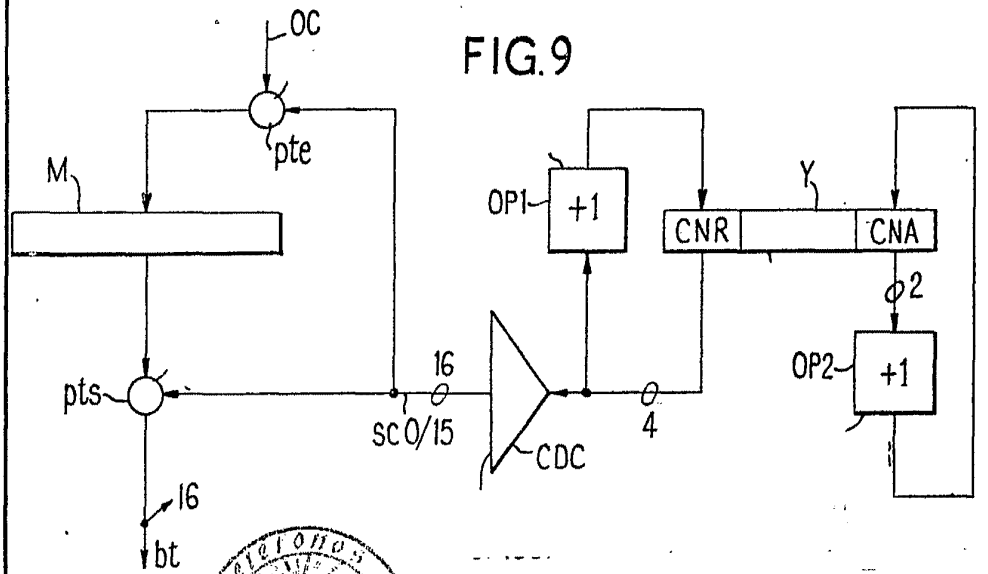



FIG.9




M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

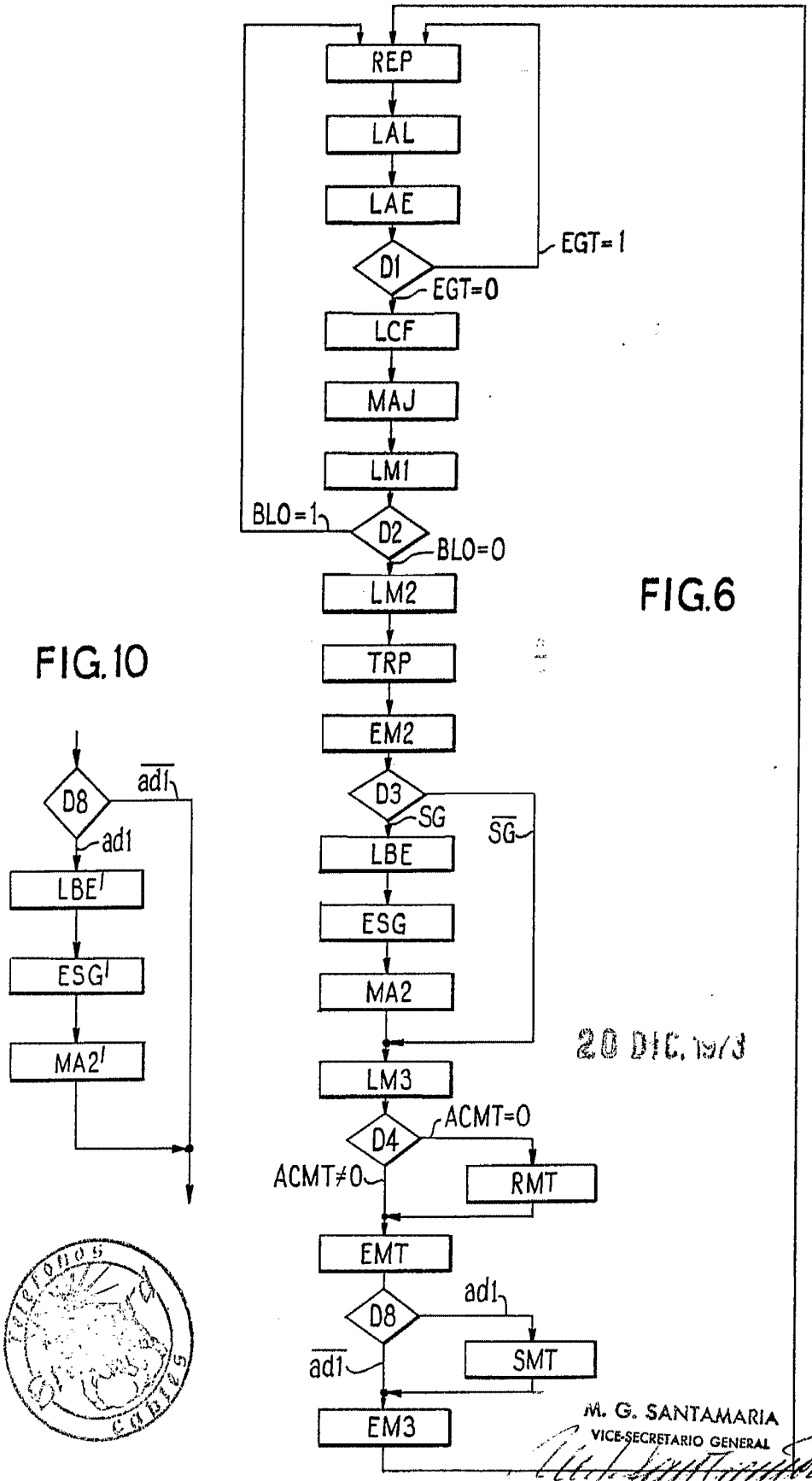



FIG.6

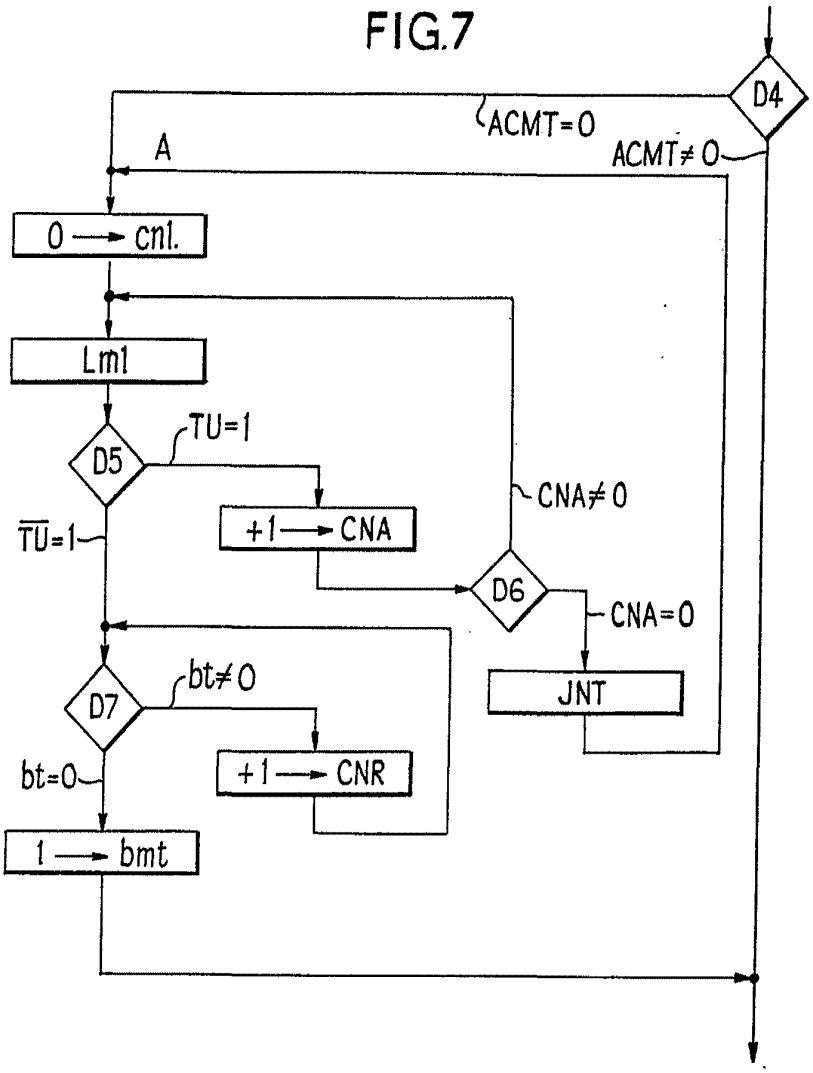
FIG.10




20 DIC. 1973

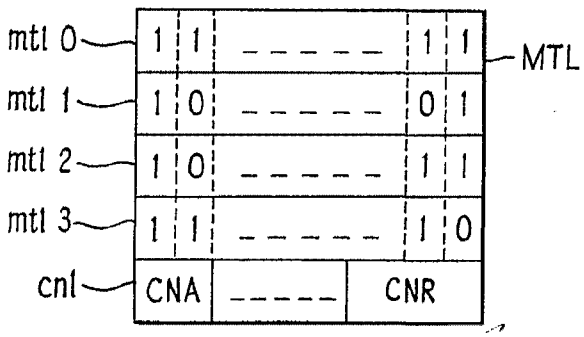
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

FIG.7




20 DIC. 1973

FIG.8




M. G. SANTAMARIA
VICE-SECRETARIO GENERAL