



J.M. TRELUT 6.2.2.2

Int. Cl.²: 606F

420972

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR: "UN SISTEMA DE CONTROL EN TIEMPO REAL PARA DIS-
POSITIVOS DE SIMULACION", A NOMBRE DE STANDARD ELECTRICA,
S.A., CON DOMICILIO EN MADRID, CALLE DE RAMIREZ DE PRADO,
Nº 5.

El presente invento se refiere a un sistema de control en tiempo real para dispositivos de simulación diseñado para comprobar una programación que debe emplearse en un sistema en tiempo real, el cual se controla en tiempo compartido por dos computadores de programa almacenado. El dispositivo de simulación comprende un tercer computador para simular el sistema de periféricos en tiempo real, intercambiando con ellos datos, como se intercambian normalmente entre los computadores del sistema en tiempo real y los periféricos.

10 De una manera conocida, tales dispositivos de simulación son particularmente de interés cuando se diseñan para comprobar simultáneamente el hardware y el software de

420972



2.

un sistema complejo como, por ejemplo, un sistema electrónico con control de programa almacenado. Estos dispositivos de simulación permiten, particularmente, comprobar el encadenamiento de los programas elementales que forman parte del programa almacenado del sistema. Permiten revelar, por una parte, conflictos entre programas elementales y, por otra parte, ciertos fallos causados por raras configuraciones de sucesos, siendo dichos fallos demasiado difíciles de reproducir por otros medios.

10 Un proceso de simulación conocido utiliza un único computador más potente que los que pertenecen al sistema a ser programado. El computador de señales se carga con programas escritos para el sistema y con un programa de simulación, y la ejecución de estos programas permite la comprobación deseada. Sin embargo, tal proceso no siempre permite ejecutar programas en condiciones en tiempo real. Particularmente, no es fácil simular la interrelación de instrucciones de entrada y salida que corresponden respectivamente a un sistema de preguntas y respuesta.

15 20 Un segundo proceso de simulación consiste en utilizar un computador de simulación adicional conectado a los dos computadores del sistema para simular las condiciones exteriores y permitir idéntico intercambio de información que el que tendría lugar entre dichos computadores y sus periféricos. Este segundo proceso tiene la ventaja de que permite la ejecución del programa casi como la ejecución real y está particularmente apropiado para un sistema en tiempo real.

25 30 Por el contrario, el empleo de tres computadores implica las necesidades de sincronización, ya que es de gran importancia que la secuencia de las operaciones, en donde

420972

29



3.

intervienen dos computadores por lo menos, sea respetada, tal como por ejemplo, en las operaciones de entrada y salida de datos. Del mismo modo, es importante poder conocer la duración real de estas operaciones.

5 Para hacer más fácil la comprobación y el desarrollo del programa es de interés que la realización de las operaciones pueda detenerse o realizarse paso a paso, si fuera necesario, pero manteniendo los conceptos de duración y tiempo real. Para ello, es necesario dotar al sistema con el concepto de
10 tiempo real e interrumpir la realización en tiempo real, lo cual resulta, necesariamente, en posibilidades de paradas diferenciadas para los tres computadores.

 Por lo tanto, un objetivo del presente invento es una configuración de control en tiempo real para su utilización
15 en un dispositivo de simulación, diseñado para desarrollar, mediante tres computadores, la programación de un sistema en tiempo real, que se controla sobre una base de carga compartida mediante un, denominado, grupo operacional, de dos computadores operacionales de programa almacenado.

20 Según otra característica del invento, la configuración de control en tiempo real, que está situada en un interface entre los tres computadores, y los contadores del sistema.

 Este sistema comprende también un contador en tiempo
25 po real, que realiza la cuenta del tiempo de funcionamiento real para el grupo operacional en programas de explotación del sistema en tiempo real y, por otra parte, la interrupción a intervalos de tiempo, enviando una señal específica al final de cada intervalo de tiempo.

30 Además, el sistema comprende un contador de conver-

420972



28

4.

sión que retrasa la conexión de uno de los dos contadores operacionales con respecto a la conexión del otro en un tiempo igual al transcurrido entre la parada de este computador y la parada previa del otro, cuando ambas paradas han ocurrido después de un período de funcionamiento simultáneo de estos computadores.

La configuración comprende, además, un contador de temporización por computador operacional que retarda la conexión del computador al que está asociado, con respecto a la conexión del otro, por un tiempo igual al tiempo de respuesta de un periférico seleccionado del sistema real, después de una parada del grupo operacional que sigue a la transmisión de una orden de entrada o salida de datos desde el computador que debe ser retrasado, al periférico seleccionado que se está simulando.

Otras características de este invento aparecerán más claramente de la siguiente descripción, en unión de los dibujos que se acompañan, en los cuales:

- la Fig. 1 es un diagrama bloque de un sistema que opera sobre la base de tiempo real y controlado, en carga compartida, por dos computadores de programa almacenado,
- la Fig. 1b es un diagrama bloque de un dispositivo de simulación diseñado para desarrollar la programación del sistema mostrado en la Fig. 1a,
- las Figs. 2a y 2b son diagramas de tiempo relativos a la secuencia de los sucesos en el sistema real y en el dispositivo de simulación, según este invento y
- la Fig. 3 es un diagrama más detallado del dispositivo de simulación y, más particularmente, de la configuración de control de tiempo empleada en este dispositivo.



420972

5.

El diagrama bloque del principio mostrado en la Fig. la hace posible definir los elementos principales de un sistema de control por programa almacenado para usar en configuraciones en tiempo real.

5 Los computadores 1 están conectados, a través de un equipo interface 3, a periféricos 4 que permiten transmitir órdenes y recibir datos relativos a la configuración de control.

Además, cada computador 1 comprende un equipo periférico convencional individual 5 que hace posible introducir
10 y extraer los datos manualmente.

Los periféricos 4 comprenden, por ejemplo, exploradores y distribuidores, mientras que los periféricos 5 comprenden teleimpresores, dispositivos de cinta magnética o perforada y tambores.

15 El diagrama bloque de principio, mostrado en la Fig. 1b, permite definir el dispositivo de simulación diseñado para el desarrollo de la programación de un sistema como el definido en la Fig. 1.

Los computadores operacionales 1A y 1B y su equipo
20 de interconexión 2 se muestran también nuevamente. Por el contrario, los periféricos 4 y 5 están sustituidos por un computador de simulación 6 conectado a los computadores 1A y 1B por un interface de simulación 7 para simular la conexión entre los periféricos 4 y 5 y los computadores 1A y 1B.

25 El computador 6 tiene un equipo convencional individual 5C que permite, por una parte, introducir datos en el dispositivo dispuesto según las indicaciones mencionadas anteriormente, y por otra parte, enviar los resultados.

El interface de simulación 7 realiza intercambio
30 de datos entre los computadores operacionales y el computador

420972



6.

de simulación, lo que implica que tiene una configuración de control de tiempo t_1 para sincronizar dichos intercambios, y una memoria M_3 capaz de almacenar temporalmente los datos intercambiados.

5 Como ya es conocido, el desarrollo de una programación por un método de simulación permite separar paso a paso una secuencia de operaciones que se realizan de una manera continua en una operación real. Esta separación permite controlar, en cada paso, que las condiciones previstas por el programador
10 son coherentes con el resultado. Estas condiciones resultantes son las consecuencias de sucesos previos. En un sistema con base en tiempo real, el orden de secuencia del suceso puede no ser perfectamente conocido de antemano, dado que ciertos sucesos tienen una naturaleza aleatoria y están mezclados con otros
15 que tienen consecuencias derivadas de los sucesos anteriores. En un sistema, el momento de arrancada de un proceso aleatorio que comprende diversas operaciones conocidas, no puede, normalmente, preverse. Puede solamente detectarse mientras se conozcan las operaciones siguientes y sigan, necesariamente, a la operación
20 inicial.

 Una simulación de un sistema, tal como se ha definido anteriormente, elimina los sucesos externos aleatorios ya que, los mismos, están simulados por el computador de simulación dentro de la panorámica de la programación de simulación
25 conocida y ya que se selecciona el momento en que tiene lugar un suceso dado, mientras que pueda ocurrir en cualquier momento.

 Si un suceso E_1 , que ha ocurrido en un momento A (Fig. 2a) es seguido, por una parte, por un suceso independiente E_2 , que ha ocurrido en un momento B, que sigue a A en un
30 intervalo de tiempo t_1 y, por otra parte, por un suceso depen-



diente E3 que sigue necesariamente después de un intervalo de tiempo $t_2 > t_1$, esto es, en un momento C, y si el sistema se detiene en el momento B (Fig. 2b) que sigue a A en un intervalo de tiempo $t_3 < t_1$, la operación no cambia en tanto que el suceso E2 ocurra en el momento F, después de un intervalo de tiempo igual a $t_1 - t_3$ que sigue al momento R en el cual el sistema arranca de nuevo y que el suceso E3 ocurra en el momento G, después de un intervalo de tiempo igual a $t_2 - t_3$ después del momento R, lo que es la duración de la parada del sistema t_4 .

10 El tiempo transcurrido entre el suceso E1 y el E3 es igual a la suma de tiempos $t_2 + t_4$, y no tiene importancia para el sistema simulado, porque su tiempo de funcionamiento real entre E1 y E3 permanece siempre t_2 como en el sistema correspondiente real.

15 Para tener en cuenta esta posibilidad de parada, la configuración de control en tiempo real, según el presente invento, comprende un contador de tiempo real 9 (Fig. 3) que permite producir la suma del periodo de operación para el grupo de computadores operacionales 1 en programas de explotación del sistema real. La configuración del control, según el presente invento, comprende también un reloj 8 para controlar las bases de tiempo de los computadores operacionales 1a y 1b y del contador. Los computadores tienen medios para inhibir el contador en tiempo real 9 en cierto número de casos predeterminados, los cuales definiremos, a la vez que dichos medios.

25 Dada la misión del dispositivo de simulación y la consideración mencionada anteriormente respecto a las posibilidades de interrumpir el sistema simulado, una parada de un computador operacional resulta en la detención del contador en tiempo real 9, y el segundo computador operacional permite conocer

30

420972



8.

exactamente la condición del sistema en ese momento.

Un computador puede ser detenido solamente bajo cierto número de condiciones dadas y, más frecuentemente, al final de una secuencia. Como consecuencia, existe un intervalo de tiempo variable desde la detección de un computador operacional 1, hasta la detección del otro. Para mantener un correcto concepto de tiempo real es necesario tener en cuenta el tiempo de adelanto ganado por un computador respecto del otro. Esto se consigue mediante un contador de conversión 10 controlado por un reloj 8. El primero de los dos computadores que se detiene, inhibe el contador 9 y dispara el contador 10 que se detiene después de un tiempo de retardo "t" por la detección del segundo computador 1. Cuando el trabajo es recommenzado, el contador 10 y el primer computador detenido 1 se conectan simultaneamente y, después de un tiempo de retardo "t" al segundo computador 1 se le permite reasumir el trabajo.

Tipicamente, los computadores operacionales se detienen también por operaciones de entrada y salida de datos en conexión con sus periféricos, por lo tanto, el computador de simulación 6 se detiene también dentro del conjunto del dispositivo de simulación exterior, dicha detención se denomina "espera".

Para tener un sincronismo perfecto de los intercambios de datos entre los computadores del sistema, la base de tiempo del computador de simulación 6 está también controlada por el reloj 8. Para evitar errores en la transmisión de datos entre los computadores operacionales 1 y el computador de simulación 6, nunca existe un trabajo simultáneo de los computadores 1 y el 6.

30 Cuando los computadores 1 están funcionando, el



29
9.

4209

computador 6 no funciona y trabaja, por ejemplo, en una cadena interna. Cuando el computador 6 está funcionando, los computadores 1 están detenidos, y las alteraciones de trabajo de los computadores 1, por una parte, y el computador 6, por otra, están controlados por la configuración de control en tiempo real, según el presente invento.

El computador de simulación 6 no tiene, normalmente, el concepto de tiempo real como se ha mencionado anteriormente. Sin embargo, tiene que realizar operaciones de entrada y salida para suministrar o recibir datos desde los programadores, a través de periféricos convencionales, simbolizados por un teleimpresor 12. Por lo tanto, es necesario que el computador 6 sea capaz de actualizar los datos que envía. A este fin, el contador en tiempo real 9 transmite cíclicamente una orden de detención a los computadores 1, que hace conectar al computador 6 durante un tiempo que depende del trabajo a ser realizado; esta detección cíclica le proporciona el concepto de tiempo real. En cada una de estas detenciones cíclicas disparadas por el contador 9, el computador 6 tiene conocimiento del proceso interrumpido en tiempo real, que corresponden en este caso a una mitad de tiempo transcurrido, y puede tener conocimiento, si fuera necesario, de los datos de entrada y salida de los dos computadores en el momento de sus paradas respectivas. Estos datos se almacenan en la memoria 13, que almacena, particularmente, las causas de interrupción en tiempo real.

La memoria 13 comprende, en particular, un registrador 13A capaz para almacenar temporalmente los datos de control intercambiados entre el computador operacional 1A y el control 11. Un registrador 13B tiene la misma función respecto

420972

29

10.



al computador 1B, y un registrador 13C respecto al computador de simulación 6. Dos registradores 13AC y 13BC almacenan, respectivamente, datos de temporalidad intercambiados entre cada uno de los dos computadores operacionales 1 con el computador 5 6, siendo idénticos estos datos a los intercambiados entre los computadores 1 y sus periféricos en el tiempo real. El equipo de interconexión, Fig. 1, no ha sido mostrado en la Fig. 3, dado que puede o no ser simulado por el dispositivo.

La memoria 13 está conectada a los computadores 10 1 por conexiones comunes, denominadas "bus", idénticas a las que conectan los computadores 1 a sus periféricos en el sistema real. El computador 6 utiliza también una conexión común de este tipo para conectarse a la memoria 13. La configuración de control en tiempo real 11 está conectada a los tres computadores 15 por los registradores 13A, 13B, 13C, y por conexiones directas, no mostradas.

La memoria 13 puede estar constituida, si fuera necesario, por elementos de memoria conectados a los diferentes tipos de conexiones utilizadas, estando constituidos estos 20 elementos, por ejemplo, por flip-flops en el caso de datos de impulsos, o por amplificadores en el caso de datos DC.

En el dispositivo de simulación descrito, uno de los computadores 1 transmite una orden de entrada-salida, vuelve a la condición de espera y detiene el otro computador, de 25 tal manera que el computador 6 puede considerar los datos que están asociados a esta orden a fin de establecer elementos de respuesta que hubieran sido dados por el periférico simulado.

Cuando los elementos de respuesta están listos para ser transmitidos, es necesario retrasar su transmisión 30 durante un tiempo igual al tiempo de respuesta del periférico

420072



11.

considerado en el sistema real, después de haber resumido el tiempo real.

A este fin, la configuración de control comprende un contador de temporización en cada computador operacional, tal como 14A en 1A y 14B en 1B.

El contador 14 se selecciona cuando su computador asociado 1 pasa a la condición de espera. El contador 14 está controlado por el reloj 8 y puede ser cargado por el computador de simulación 6 a un valor que corresponde al tiempo de respuesta del periférico simulado. Cuando el contador en tiempo real 9 se conecta de nuevo por el computador 6, hace que el contador correspondiente 14 cuente hacia abajo, lo que mantiene al computador 1 asociado en condición de espera hasta que recibe la señal de conocimiento desde 14, al final de la cuenta hacia abajo.

Ya que es posible utilizar dos computadores operacionales y varios parados, el sistema de control de tiempo comprende un lógico asociado a los contadores para hacer posible atender a varios sucesos que se describirán brevemente después, en unión de la Fig. 4, para determinar los diferentes componentes del lógico, a la vista de los motivos que hacen necesario su empleo.

Un primer suceso de parada, que resulta directamente del empleo del contador en tiempo real 9, es la detención de los computadores 1 por orden desde el contador. Esta orden de detención está controlada, en particular, por el transcurso de una unidad en tiempo real seleccionada y, en la configuración mostrada en la Fig. 3, resulta en el envío de una señal de detención de tipo binario MILIN desde el contador 9, cuando este contador, alimentado por el reloj 8, ha medido una unidad de



tiempo, para este ejemplo, un ms.

La señal de detención MILIN es, por una parte, almacenada en el registrador de memoria 13C para el computador de simulación y, por otra parte, permite enviar una orden de detención al final de una secuencia de tipo binario SBS a cada uno de los computadores, a través de un circuito lógico 15, que detiene el grupo operacional.

Los circuitos mostrados en la Fig. 3 no serán descritos con muchos detalles, ya que están integrados, convencionalmente, por componentes lógicos de técnica integrada convencional, de manera fácilmente reconocible por las personas familiarizadas con esta técnica. Las dos órdenes de detención ASBS y BSBS a los computadores 1A y 1B se transmiten a los mismos a través de la memoria 13 y sus conexiones. El primer computador operacional detenido transmite un dato de parada de tipo binario CPUH al dispositivo de control de tiempo 7. Suponiendo que el computador 1A es el primero que se detiene, el dato de parada es primero recibido y transmitido a una entrada del circuito lógico colector 16 conectado a las conexiones de salida de los computadores 1, a través de los registradores 13A y 13B, que están asociados, respectivamente, a los computadores 1A y 1B.

Por una parte, el dato ACPUH activa una salida del circuito 16 que envía una señal binaria de impulso AH que detiene el contador en tiempo real, y por otra parte, activa una segunda salida del circuito 16 que envía una señal binaria estable ARDC que arranca el contador de conversión 10, siendo la señal ARDC producida, por ejemplo, a la salida de un flip-flop activado por ACPUH. La señal AH es específica para el computador 1A. como BH lo es para 1B, y ambas señales, AH y BH, pueden ser



aplicadas, a través de un circuito-OR 17, por una parte, a la entrada de inhibición del contador 9 y, por otra parte, a la entrada del monoestable 21 para interrumpir el computador de simulación 6, que transmite la orden de interrupción SINTO.

5 La señal ARDC se aplica a la entrada de disparo del contador 10, a través del circuito-NAND 18, lo que provoca una cuenta de tiempo a la cadencia de reloj.

 La detención del segundo computador operacional 1B, resulta, del mismo modo, en la transmisión de un dato binario BCPUH desde 1B, a través del registrador 13B. El dato BCPUH produce la señal binaria estable BRDC que se aplica a la segunda entrada del circuito-NAND 18, el cual tiene sus dos entradas activadas simultáneamente, lo que provoca la detención del contador 10, el cual ha medido un tiempo igual al intervalo
10 entre los momentos de detención de los dos computadores operacionales 1.

 Cuando se recibe la interrupción SINTO, el computador 6 deja de funcionar en bucle interno y toma nota de la causa que ha producido la interrupción. A este fin, lee el registro
15 13C que lo conecta al circuito de control de tiempo.

 Los datos binarios MILIN, específicos a la unidad de tiempo real contenida en 13C indican, en el ejemplo descrito, la causa de la interrupción.

 Después de haber leído dichos datos (y, posiblemente, de haber hecho otras operaciones tales como leer los registradores 13AC y 13BC en donde están almacenados los datos que desde los computadores operacionales deben enviarse a sus periféricos), el computador 6 transmite una orden de arranque bajo la forma de dos señales de CIRQ y DEM para encaminar el interface 7.
25

30 Estos dos datos se aplican para arrancar de nuevo el



14.

420972

circuito de sincronización 19 que envía tres señales binarias TO, T1, TN, que se cambian en tiempo para arrancar sincronicamente los diferentes contadores y el grupo operacional, teniendo en cuenta la posición geográfica de estos componentes y los dispositivos de simulación y el lógico de control, que están implicados para conectar nuevamente.

La señal T se aplica a la entrada "on" del contador 9 y hace que dicho contador cuente en tiempo real, y la señal TO, aplicada a la entrada del control de cuenta hacia abajo del contador LO, hace que dicho contador cuente hacia abajo desde el valor alcanzado en el momento en que se detuvo el computador 1B.

La señal T1 se aplica a la entrada del circuito de reactivación 20, el cual almacenó en la memoria la orden de la secuencia de parada del computador 1 bajo el control del dispositivo de control de tiempo; estas paradas se dan a conocer al circuito 20 por las señales AH y BH. El circuito 20 transmite una orden de arranque ST, cuando recibe T1, al primer computador operacional detenido, en este caso la orden AST al computador 1A, el cual reasume su operación normal.

Al final de la cuenta hacia abajo en el contador 10, dicho contador envía una señal-AND TZ transmitida al circuito 20. Dicho circuito envía una orden de arranque ST al, todavía parado, computador 1, en este caso, la orden BST al computador 1B, que reasume su operación.

Un segundo suceso de detención tiene lugar cuando un computador 1 transmite una orden de entrada-salida a un periférico, esto es, al computador 6, en el dispositivo de simulación exterior.

En este caso el computador implicado, por ejemplo el

420972

15.



1A, transmite simultaneamente una orden (que, por ejemplo, comprende la dirección del periférico en cuestión, posiblemente datos a ser transmitidos a este periférico y bits de control) y un dato binario de acompañamiento AIRQ que hace válido el dato binario que forma la orden. Dicha orden se transmite al registrador 13AC en el ejemplo descrito y el dato AIRQ al registrador 13C para ser transmitido al dispositivo de control de tiempo, así como la señal de condición de espera del computador 1A. El dato AIRQ activa, por una parte, una salida del circuito 16 que envía una señal de impulso binaria AR específica al computador 1A, y la segunda salida del circuito 13 que envía la señal binaria estable ARDC.

La señal AR se aplica al contador 9 y a los circuitos 15 y 21, a través del circuito 17. De este modo, controla la detención de cuenta en tiempo real, la transmisión de la señal de parada BSBS al computador 1B todavía funcionando y la transmisión SINTO al computador 6.

La señal ARDC se aplica a la entrada del contador 10 a través del circuito NAND 18, y hace que el contador 10 cuente a la cadencia de reloj 8.

Del mismo modo que anteriormente, el computador 1B se detiene al final de la secuencia y transmite el dato BCPUH a través de 13B. El dato BCUPH produce la señal BRDC que se añade a ARDC a la entrada del circuito-NAND 18, que hace detenerse al contador 10, habiendo medido dicho contador un intervalo de tiempo igual al tiempo desde el momento de puesta en marcha del primer computador 1A a la parada final de secuencia del computador 1B.

El computador de simulación 6 lee los datos del registro 13AC, después de tener conocimiento de la naturaleza

420972

39



16.

de la interrupción señalada aquí por AIN en el registro 13C, donde tal dato, que tiene idéntico tipo a MILIN, se almacena después de haber sido descrito de una manera convencional, no mostrada, para simplificar.

5 En la configuración descrita, si la operación de entrada-salida corresponde a una transmisión de datos a un periférico, el computador 6 lee los datos en el registro 13AC y debe transmitir los datos de respuesta IARQ al computador operacional implicado, el cual tiene que reconocer la recepción.

10 Si la operación de entrada-salida corresponde a una requisición de datos desde un periférico, el computador 6 lee la requisición de datos del registro 13AC o 13BC y transmite los datos de respuesta y el dato IARQ para dar validez a los primeros.

15 En cada caso, la señal IARQ y las que la acompañan, si existen, se transmiten después de cierto retraso, que corresponde al tiempo de respuesta del periférico. El computador 6 transmite las ordenes CIRQ y DEM al circuito 19 para que arranque de nuevo. El circuito 19 envía, secuencialmente, las señales
20 TO, T1, TN en el ejemplo descrito. La señal TN controla la cuenta en tiempo real en el contador 9 y la señal TO controla la cuenta hacia abajo en el contador 10. Las señales T1 y TN se aplican a las dos entradas de un circuito de reactivación
22 que almacena las órdenes de secuencia de desconexión para
25 los computadores 1, tales condiciones están indicadas por AR y BR. El circuito 22, que ha recibido previamente AR en el ejemplo descrito; envía una señal ADC que hace que el contador
14A cuente hacia abajo cuando recibe T1.

30 Cuando ha terminado la cuenta hacia abajo en el contador 14A, transmite el reconocimiento AIARQ al computador 1A.

420072



17.

El dato AIARQ da validez a los datos contenidos en el registro 13AC y controla la conexión del computador 1A, que está en la condición de espera. En la configuración descrita, los datos contenidos en ambos registros 13AC ó 13BC corresponden, por una parte, a datos relativos al código de la condición periférica simulada, esto es, a su condición en el caso de respuesta a una orden que transmite datos al periférico simulado y, por otra parte, a datos relativos al código de la condición del periférico simulado y a los datos enviados desde el mismo, en el caso de respuesta a una requisición de datos desde el computador.

Durante este tiempo el contador 10 cuenta hacia abajo, y cuando se repone transmite la señal TZ al circuito 20 que envía la orden BST a 1B. Entiendase que en este caso, la orden de arranque para los computadores 1 depende solamente de los valores iniciales de la cuenta abajo en los contadores 10 y 14A, cuyos valores son independientes.

Un tercer suceso de detención tiene lugar cuando los dos computadores 1 estan casi simultaneamente en condición de espera de tal manera que cada computador puede transmitir una orden de entrada-salida.

El computador 1, por ejemplo, que primeramente vuelve a la condición de espera, envía el dato AIRQ al circuito 16, que hace que se generen las señales AR y ARDC. La señal AR detiene el contador 9, controla la transmisión de la orden BSBC e interrumpe SITO. La orden BSBS no tiene efecto sobre el computador 1B el cual, él mismo, ha vuelto a la condición de espera a fin de transmitir la orden de entrada-salida y enviar el dato BIRQ. El circuito 16 produce las señales BR y BRDC. La señal BRDC detiene el contador 10.

420972

29 NOV 1954



18.

El computador 6 leerá la razón de interrupción en el registro 13C, que almacena en este caso los datos AIN y BIN, así como su rango de llegada indicado por sus índices 1 ó 2. Después de haber leído los datos almacenados en 13AC por el
5 computador 1A, el computador 6 prepara una respuesta en el registro de suministro 13AC con elementos apropiados, y carga el contador de temporización 14A al valor que corresponde al tiempo de respuesta del periférico simulado. Tal carga se realiza a través del dato IFD, hecho válido por ATIF.

10 Entonces el computador 6 prepara una respuesta para el computador 1B proporcionando al registro 13BC elementos apropiados, y carga al computador 14B al valor de temporización deseado, a través del dato IFD, que es diferente del primero y dado validez por BTIF.

15 El computador 6 transmite al circuito 19 las ordenes CIRQ y DEM. El circuito 19 envía, secuencialmente, las señales T0, T1, TN que controlan los contadores 9 y 10 y se aplican al circuito 22.

20 El circuito 22 ha almacenado la orden de las condiciones de espera sucesivas para los computadores 1A y 1B, habiendo sido indicadas sucesivamente por AR y BR. Entonces envía una orden de cuenta abajo DC al contador 14 asociado al primer computador en condición de espera, esto es, en el ejemplo descrito, la señal ADC al contador 14A. La señal ADC hace que 14A
25 empiece a contar hacia abajo desde el valor establecido previamente por el computador 6 y transmitido en forma de IFD.

Durante este tiempo el contador de conversión 10 está contando hacia abajo, y el final de dicha cuenta viene indicado por la señal TZ. Dicha señal se aplica al circuito 20, donde
30 no tiene efecto, y al circuito 22. Después de haber recibido



la señal TZ, el circuito 22 envía una segunda señal DC al contador 14 asociado al segundo computador que ha pasado a la condición de espera, a fin de hacer que el contador cuente hacia abajo, esto es, en el ejemplo descrito, la señal BDC para hacer
5 contar a 14B.

Al final de la cuenta hacia abajo, cada contador 14 transmite el dato IARQ al computador al que esta asociado, de acuerdo con un proceso descrito en unión con el caso mencionado anteriormente.

10 Un cuarto suceso de detención tiene lugar cuando uno de los computadores 1 está en condición de espera, mientras que el otro está esperando una señal de lectura IARQ, esto es, por un período de cuenta abajo de un contador 14.

El computador 1, por ejemplo el 1A, que está en condición de espera mientras el otro esta esperando una señal de lectura (BIARQ), envía el dato AIRQ que indica su condición de espera con respecto al circuito 16. La información AR enviada desde 16 detiene el contador en tiempo real 9 y controla la transmisión del SINTO de interrupción al computador 6.

20 El dato AR aplicado al circuito 22 suprime el dato BDC, que permitió al contador 14B contar hacia abajo. Como anteriormente, el computador 6 está preparado para leer la razón de interrupción, esto es, AIN en el registro 13C. Entonces lee el dato almacenado en 13AC y prepara la respuesta a transmitir a 1A, carga el registro 13AC y el contador 14A.
25

El circuito 19 envía T0, T1, TN cuando recibe las órdenes CIRQ y DEM. La señal TN arranca el contador en tiempo real 9 y la señal T0 no tiene efecto en el contador 10. La señal T1 controla la transmisión desde el circuito 22 de la orden de
30 cuenta hacia abajo DC al contador 14 asociado al computador 1,

420972



20.

que ha enviado el último dato de espera, esto es, en el ejemplo descrito, la señal ADC al computador 1A. La señal TN controla la transmisión, a través del circuito 22, de la orden de cuenta abajo DC al contador 14, que ha sido interrumpido, esto es, en el ejemplo descrito, la señal BDC al contador 14B.

El tiempo transcurrido entre estas dos condiciones de cuenta abajo, esto es, entre T1 y TN existe para tener en cuenta el cambio de tiempo desde el computador en espera 1, esto es 1A en el ejemplo descrito, y la parada de la cuenta abajo del contador 14B como resultado de esta condición de espera.

Como anteriormente, los dos computadores 1 han arrancada de nuevo por el contador 14, según un proceso similar al mencionado anteriormente.

En otra alternativa del dispositivo del invento, el sistema de control de tiempo comprende, por lo menos, un contador de control de parada 24 para controlar la parada al final de una secuencia y, en ese momento, hacer detener al grupo operacional en cualquier momento seleccionado que sigue a otro predeterminado.

El contador 24 está controlado por el reloj 8 y controla el circuito 15 de la misma manera que el contador en tiempo real al final de una etapa.

El contador 24 está seleccionado por el dato CTIF enviado desde el computador 6, por ejemplo, al ocurrir una parada controlada por un contador 9 al final de una etapa. Este se carga mediante el dato EFD hecho válido por CRIF. El contador 24 arranca por la misma señal que el contador 9 y transmite, al final de la cuenta hacia abajo, una señal de detención MICIN al circuito 15 para controlar la detención del final de secuencia de los computadores 1 y el registro 13C a fin de

420972



21.

indicar la razón de interrupción al computador 6. El contador
24 permite producir un análisis más exacto de estas etapas,
permitiendo una detención en un tiempo igual a una fracción de
etapa, por ejemplo, a un múltiplo de un microsegundo. Además,
5 debe entenderse que los diferentes contadores idénticos al-
ternativos 24 son capaces de programar diferentes etapas suce-
sivas dentro de una corta etapa.

Ha de quedar entendido que la anterior descripción
de una forma determinada del invento se hace a modo de ejemplo
10 y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de pa-
tente formulada en Francia el día 30 de Noviembre de 1972,
señalada con el Nº 72 42 564 y se acoge, por tanto, a los bene-
ficios que otorgan los convenios internacionales vigentes.

15 - - - - - NOTA - - - - -

Los puntos de invención propia y nueva que se presen-
tan para que sean objeto de esta patente por veinte años son
los siguientes:

1.- Un sistema de control en tiempo real para dispo-
20 sitivos de simulación diseñado para el desarrollo de un programa
en un sistema de tiempo real, que está controlado sobre la base
de carga compartida por un grupo de dos computadores operacio-
nales de programa almacenado. El dispositivo de simulación com-
prende un tercer computador de simulación conectado a los dos
25 computadores operacionales para simular sus periféricos en el
sistema en tiempo real intercambiando con ellos los datos que
normalmente se intercambian entre los mismos y sus periféricos
en el sistema real. Dicho dispositivo esta localizado en un
interface entre los tres computadores y esta caracterizado por-
30 que comprende principalmente:

Handwritten initials or a signature, possibly 'M', written in dark ink on the left margin of the page.

420972



29

22.

- un reloj para sincronizar la base de tiempo de los tres computadores y los diferentes contadores incluidos en el dispositivo de control en tiempo real,
- un contador en tiempo real que realiza, por una parte, la cuenta del tiempo de funcionamiento real del grupo operacional sobre los programas de explotación del sistema real y, por otra parte, el corte en fases iguales del tiempo de funcionamiento real transmitiendo una señal específica al final de cada fase,
- un contador de conversión que retrasa la conexión del otro computador durante un tiempo igual al transcurrido entre la detención de este computador y la detención anterior del otro, cuando las dos detenciones han ocurrido después de un periodo de funcionamiento simultáneo de los dos computadores,
- un contador de temporización por computador operacional que retrasa la conexión del computador al que está asociado, con respecto a la conexión del otro, por un tiempo igual al tiempo de respuesta del periférico del sistema real seleccionado, después de tener lugar una parada del grupo operacional en la transmisión de una orden de datos de entrada o salida enviada desde el computador que será retrasado, al periférico del sistema en tiempo real simulado.

2.- Un sistema de control en tiempo real, según el punto 1, para usar en un dispositivo de simulación del sistema real, en donde un computador operacional está en condición de espera cuando transmite una orden de entrada-salida de datos a sus periféricos. Dicho dispositivo de simulación hace funcionar alternativamente los computadores operacionales y el computador de simulación, y está caracterizado porque comprende:

- elementos de parada del grupo operacional activados, por una parte, por una señal específica tal como la transmitida al final

420972



20 MAR
23.

de una etapa, como el contador en tiempo real, para transmitir una orden de parada de final de secuencia a los dos computadores operacionales y, por otra parte, por una orden de entrada-salida de datos enviada a un computador operacional a fin de transmitir
5 una orden de final de secuencia al otro computador operacional,
- elementos de interrupción del computador de simulación activados, por una parte, por datos de parada desde el primer computador operacional, que se detiene al final de la secuencia como resultado de la transmisión de una orden de detención de final
10 de secuencia a los dos computadores operacionales y, por otra parte, por la orden de entrada-salida de datos desde un computador operacional a fin de transmitir la interrupción al computador de simulación que se ha vuelto operativo,
- elementos de reactivación para reactivar el contador en tiempo
15 real del grupo operacional y otros contadores del sistema, si existen. Estos elementos se activan por datos de arranque desde el computador de simulación al final de una operación causada por una interrupción recibida desde los elementos de interrupción.

20 3.- Un sistema de control, según el punto 2, caracterizado porque comprende elementos de detención del contador en tiempo real activados, por una parte, por datos de detención desde el primer computador, que está detenido al final de secuencia, como resultado de la transmisión de una orden de parada
25 y secuencia a los dos computadores operacionales y, por otra parte, por una orden de salida o entrada de datos desde el computador operacional a fin de mantener el contador en tiempo real en la posición que alcanzó cuando se detuvo.

30 4.- Un sistema de control, según el punto 3, caracterizado porque comprende:

420972

24.



- elementos de arranque del contador de conversión activados de la misma manera que los elementos de detención del contador en tiempo real,
- elementos de detención del contador de conversión activados bien por los datos de detención del computador operacional o por los datos de espera desde el computador operacional que está todavía funcionando después de haber arrancado el contador de conversión, a fin de detener el contador después de un período de tiempo que corresponde a la diferencia de tiempo entre los dos computadores operacionales.

5
10
5.- Un sistema de control, según el punto 4, caracterizado porque comprende:

- elementos para seleccionar un contador de temporización, activado por datos desde el computador de simulación como resultado de la interrupción causada por la transmisión de una orden de entrada-salida de datos desde el computador operacional asociado a dicho contador de temporización,
- elementos para situar un contador de temporización en un valor predeterminado que corresponde a cualquier tiempo de respuesta de un periférico del sistema real, activado por un grupo de datos desde el computador de simulación, siendo variables estos datos con el valor predeterminado seleccionado.

15
20
25
30
6.- Un sistema de control, según el punto 2, caracterizada porque los elementos de re-arranque comprenden un circuito de sincronización, activado por datos de arranque, que proporcionan señales de salida espaciadas en tiempo, a fin de conseguir un intervalo correcto en el arranque de los computadores operacionales, después de una parada o una situación de espera, y , como resultado, de los diferentes contadores, teniendo en cuenta, por una parte, las localizaciones geográficas de



dichos elementos y, por otra parte, los circuitos que constituyen los elementos implicados en las operaciones de re-arranque.

7.- Un sistema de control, según el punto 6, caracterizada porque los elementos de reactivación comprenden:

- 5 - un primer circuito de reactivación que almacena, hasta la transmisión de la orden de arranque a un computador operacional, los datos de detención de final de secuencia de este computador a fin de transmitir tal orden de re-arranque a dicho computador, por una parte, cuando reciba la señal de final de cuenta desde
- 10 el contador de conversión, si dicho contador ha enviado el último dato de detención todavía almacenado y, por otra parte, cuando reciba una señal desde el circuito de sincronización, si este computador ha enviado el primero de dos datos de detención almacenados simultáneamente. La señal desde el circuito de sincronización es anterior a la señal del contador de conversión o,
- 15 como mucho, simultáneamente con la misma;
- un segundo circuito de reactivación que almacena, hasta la transmisión de la orden de reposición de explotación a un computador operativo, los datos de acompañamiento que indican que
- 20 ese computador está en condición de espera, a fin de transmitir dicha orden de reposición de explotación a ese computador cuando reciba la señal de final de cuenta desde el contador de temporización asociado, si ese contador ha enviado el dato de acompañamiento todavía almacenado.

- 25 8.- Un sistema de control de tiempo, según el punto 7, caracterizado porque el segundo circuito de reactivación está conectado entre las dos salidas del circuito de sincronización y la salida del contador de conversión, para activar un contador de temporización asociado a un computador cuyos datos de
- 30 acompañamiento son almacenados, por una parte, cuando recibe

420972



26.

una señal del circuito de sincronización si ese computador ha
enviado el primero, y posiblemente el único dato de acompaña-
miento almacenado y, por otra parte, cuando recibe la señal de
final de cuenta desde el contador de conversión, si ese compu-
5 tador ha enviado el último dato de acompañamiento aparte de los
dos datos de acompañamiento almacenados simultáneamente.

9.- Un sistema de control de tiempo, según el punto 2,
caracterizado porque comprende, por lo menos, un contador de
control de detención de final de secuencia que envía, a cual-
10 quier tiempo real seleccionado, una parada al final de secuen-
cia del grupo operacional, transmitiendo la señal a los elemen-
tos del grupo operacional.

10.- Un sistema de control en tiempo real para dispo-
sitivos de simulación.

15 Tal y como se ha descrito en la memoria que antecede,
representado en los dibujos que se acompañan y a los fines
especificados.

Esta memoria consta de 26 hojas escritas por una sola
cara.

Madrid, 29 NOV. 1973



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

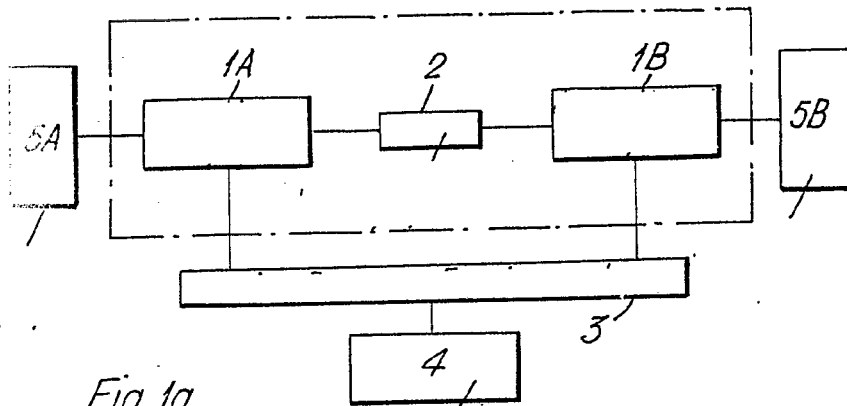


Fig. 1a.

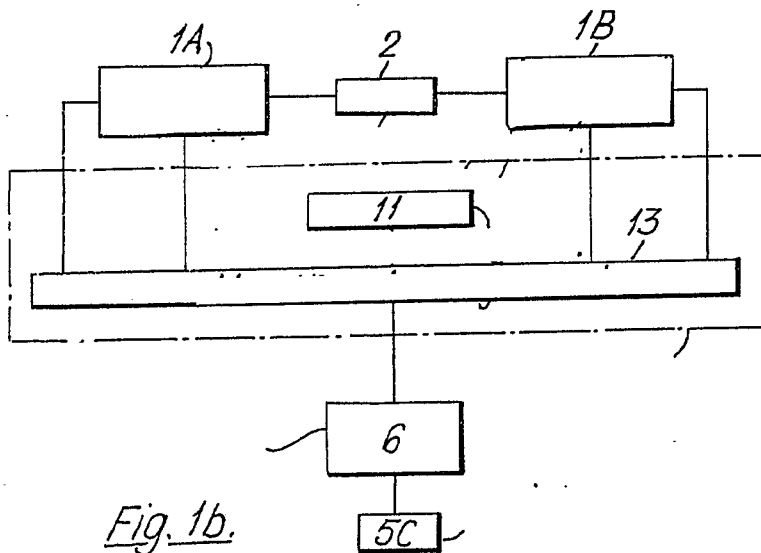


Fig. 1b.

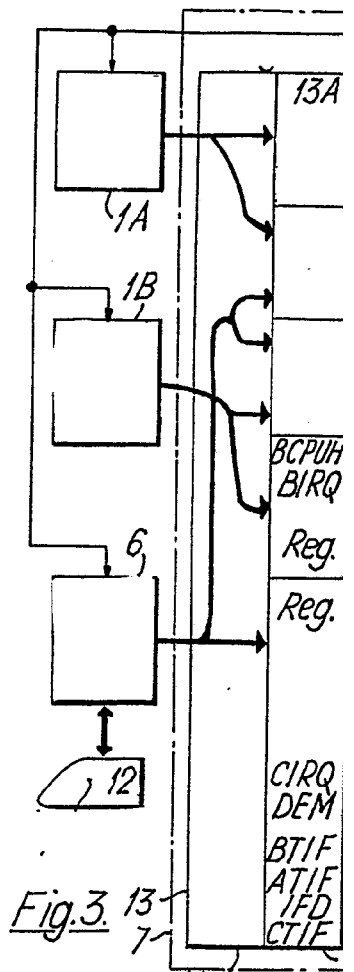
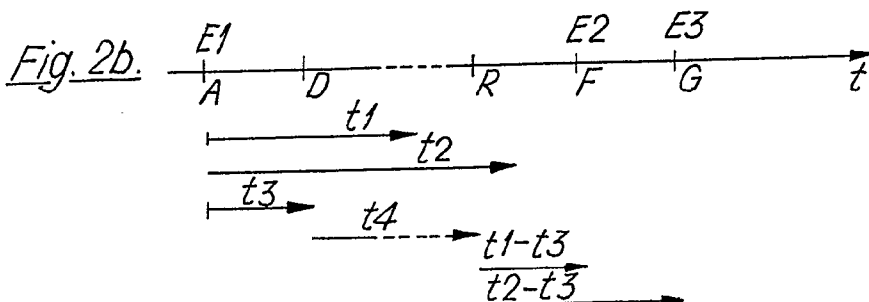
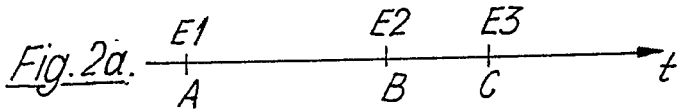
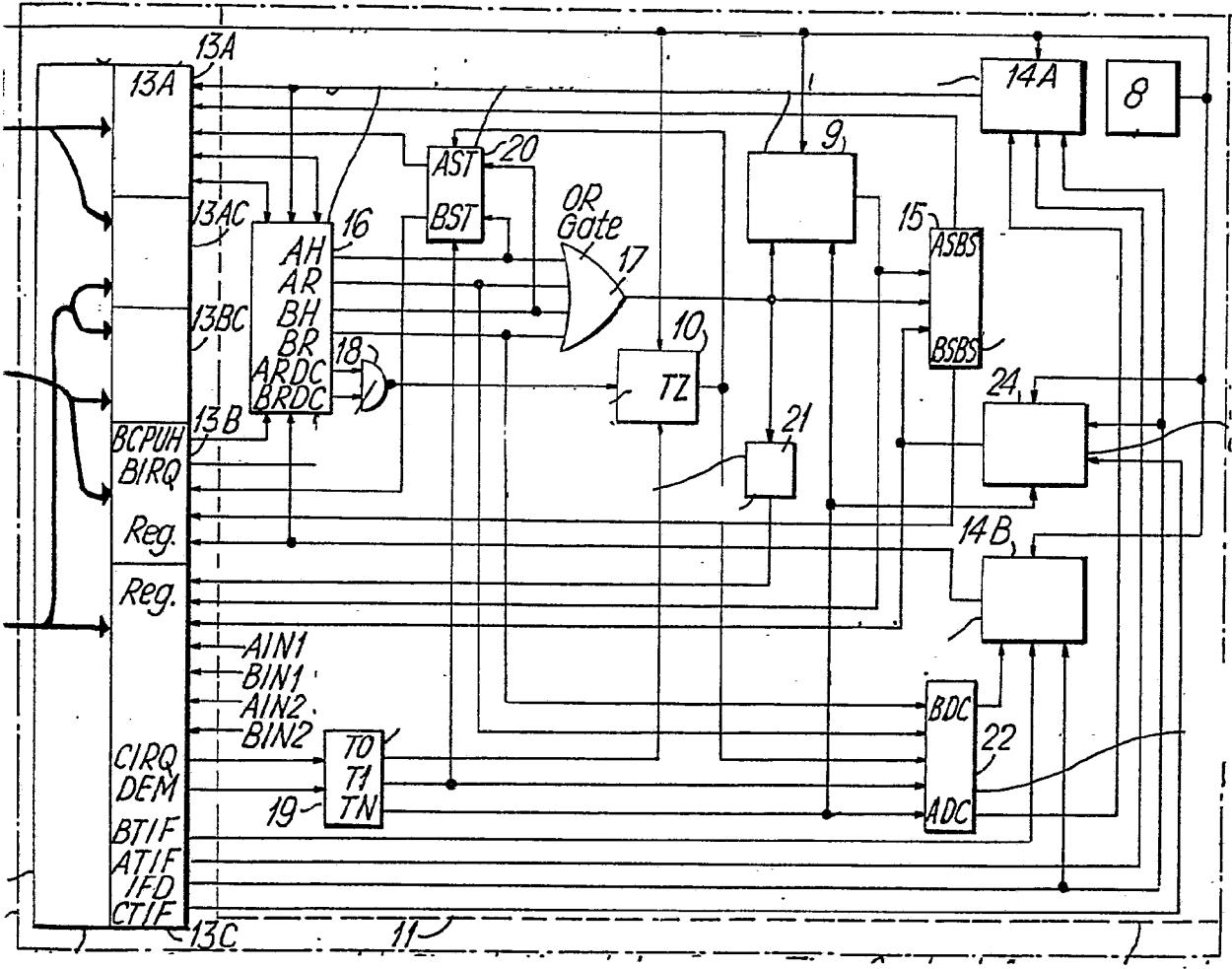


Fig. 3.

420072



7 ENE. 1974

W. H. H. H.
Ejecutivo Gerente
Gerente General