

420560



P.- 56.025

awh:lps:1419 K

G05F//B03C

MEMORIA DESCRIPTIVA

F.e. 31-1-76

para solicitar PATENTE DE INVENCION por 20 años

A nombre de LODGE-COTTRELL LIMITED

entidad británica

establecida en George Street Parade, Birmingham,
Inglaterra

por: "UN DISPOSITIVO REGULADOR AUTOMATICO DE TENSION"

(Clase Internacional G05f, B03c)

420560

11 ABR 1975

5 Este invento está relacionado con un regulador o controlador automático de tensión que es particularmente útil para el control continuo del potencial de los electrodos de precipitación en un precipitador electrostático.

10 Un objeto del presente invento es crear uno de estos controladores que sea sencillo, de utilización flexible y que pueda acoplarse fácilmente con las actuales fuentes de alimentación de los precipitadores.

15 El presente invento es un controlador automático de tensión que incluye una memoria digital, medios para aumentar el cómputo en la memoria, medios para disminuir el cómputo en la memoria, y medios que responden al cómputo almacenado en la memoria para suministrar una señal de salida relacionada con el cómputo.

20 Preferiblemente, dichos medios para disminuir la cuenta dependen de una señal relacionada con la citada señal de salida.

25 El presente invento es también un precipitador electrostático que incluye un controlador automático de tensión y un circuito perceptor del potencial de electrodos, incluyendo el controlador medios de memoria digital para aumentar la cuenta en la memoria, me-

420560



5 dios que responden a la cuenta almacenada en la memoria para suministrar una señal de salida relacionada con la cuenta, y medios que responden a una señal del circuito perceptor, indicando una caída del potencial de electrodos para reducir la cuenta en la memoria.

Preferiblemente, la cuenta de la memoria se aumenta y disminuye en saltos discretos, siendo mayor el salto de disminución que el salto de aumento.

10 A continuación se describe una ejecución del presente invento, a título de ejemplo y con referencia a los dibujos adjuntos, en los que:

La figura 1 es un diagrama que ilustra el principio de funcionamiento del controlador cuando se utiliza éste con un precipitador electrostático.

15 Las figuras 2A, 2B y 2C constituyen, juntas, un diagrama de bloques de circuito de un controlador automático de tensión de acuerdo con el presente invento; y

20 La figura 3 es un diagrama de formas de onda que ilustra el funcionamiento de parte de la figura 2.

25 La ejecución de controlador automático de tensión de acuerdo con el presente invento que se describirá a continuación está diseñada para utilizarla con un precipitador electrostático a fin de mantener el máximo



420560

potencial medio de electrodos de precipitación para una amplia gama de condiciones de polvo y de gas. Es to se logra mediante una técnica que comúnmente se de nomina "subida de cuestas", que hace uso de la caída en el potencial de electrodos, producida durante una intensa descarga en corona. En la figura 1 se ha ilus trado una típica característica de potencial de elec trodos/energía de entrada. Se puede ver que la pendien te de la curva es positiva a la izquierda del pico y negativa a la derecha de él. De este modo, este cambio de pendiente define la zona de máximo potencial de elec trodos, y el controlador lo utiliza para determinar el potencial de trabajo de los electrodos.

En funcionamiento, el controlador aumenta la energía de entrada al sistema de electrodos en saltos pequeños, por ejemplo cada 5 segundos. Después de cada salto de energía, un circuito "perceptor" determina si el potencial de electrodos ha disminuído. Siempre que la pendiente de la curva permanezca positiva, el contro lador no iniciará una acción correctora, y el punto de funcionamiento sube un salto cada vez hasta la cima de la cuesta. Sin embargo, cuando la pendiente se hace ne gativa, el controlador reduce la energía de entrada en dos saltos, volviendo a llevar el punto de funcionamien to a la zona de máximo potencial de electrodos. De este



11 APR 1975

420560

modo, el controlador puede seguir fácilmente cualquier
variación de la característica de funcionamiento. Si
no se producen variaciones, el punto de funcionamien-
to se trasladará en una zona de dos saltos de energía
5 alrededor del punto de máximo potencial de electrodos.

También se puede hacer funcionar el con-
trolador en un modo manual, que es útil para pruebas
y calibración. Están provistos limitadores de sobrecar-
ga, y pueden utilizarse para ajustar el valor máximo de
10 la corriente de carga.

Antes de considerar con detalle la figu-
ra 2, debe hacerse notar que el controlador se constru-
ye con relativamente pocos componentes sencillos, a sa-
ber, circuitos biestables, puertas lógicas NI, oscila-
15 dores, un amplificador y un puente de tiristores en unión
de los correspondientes diodos, resistencias, condensado-
res e interruptores. La interconexión de los diversos com-
ponentes de circuito resultará evidente en la descripción.

Refiriéndose ahora a las figuras 2A a 2C,
20 al activarse el circuito 10 (Fig. 2B) de conexión-reposi-
ción de controlador proporciona un impulso de salida que
se utiliza para volver a llevar a cero a todas las memo-
rias del controlador. El circuito 10 no efectúa más fun-
ción que ésta. Las memorias repuestas por el impulso de
25 salida del circuito son una memoria principal 11 (Fig. 2C),

420560



una memoria 12 de corto plazo (Fig. 2B) que comprende los circuitos biestables G, H y J, y una memoria auxiliar constituida por las puertas lógicas "NI" interconectadas, 27 y 28 (Fig. 2A).

5 En el modo manual de funcionamiento, que se considerará en primer lugar para simplificar la descripción, está abierto un interruptor A/M 13. Esto aplica una señal "1" a las puertas lógicas "NI" 28, 36, 37 y 46 de un oscilador 48 de f.r.i. (frecuencia de repetición de impulsos) de 0,166 Hz. Los estados resultantes de los componentes correspondientes de circuito son los siguientes: los osciladores 20 (a través del inversor 29) y 48 están inhibidos, estando la salida de 20 en un estado "0". Las entradas X e Y a las puertas lógicas "NI" 33 y 32 están en "0", la salida de la puerta lógica "NI" 46 está en "0", y las entradas a las puertas lógicas "NI" 34 y 35 están en "1" cerrando estas puertas (SALIDA "0"). Cuando el interruptor de aumento 14 se cierra, se aplica un "1" a las puertas "NI" 43 y 45, permitiendo que funcione un oscilador 44 de 1 Hz y abriendo las puertas lógicas 34 y 32, que, debe hacerse notar, están interconectadas para abrirse y cerrarse como una puerta. Las puertas 33 y 35 se conectan similarmente.

10

15

20

25 En consecuencia, los impulsos del oscilador 44 se envían a la memoria principal 11 a través de una puer

420560

11



5 ta lógica 31 y de la línea "ASCENDENTE". No se pueden mandar impulsos a la línea "DESCENDENTE", porque la puerta lógica 35 está cerrada (y por tanto la 33). Se pueden introducir impulsos en la memoria principal 11 hasta una cantidad de 63, cuya memoria principal 11 comprende seis circuitos biestables interconectados A hasta F. En este nivel, un "1" generado en la salida de la puerta lógica 50 se aplica a la puerta lógica 32, cerrando esta puerta lógica y evitando que entren más impulsos. Cuando se cierra el interruptor inferior 15, se aplica un "1" a las puert

10 las lógicas 43 y 47, permitiendo que funcione el oscilador 44 y abriendo las puertas lógicas 33 y 35. Ahora se extraen de la memoria principal 11 los impulsos a través de la línea "DESCENDENTE". No se pueden enviar impulsos a la línea "ASCENDENTE", porque ahora está cerrada la puerta lógica 34 (y por tanto la 32). Cuando el número de impulsos almacenados alcanza el nivel cero, se aplica un "1" generado en la salida de una puerta lógica 51 a la puerta lógica 35, cerrando esta puerta y evitando que se extraigan más impulsos.

15

20

25 La información contenida en la memoria principal está en forma binaria, y debe convertirse en una tensión analógica. Esta conversión se lleva a cabo mediante un circuito convertidor 16 de manera que

420560

11 APR 1975



la tensión de salida de un amplificador operacional
58 se relaciona linealmente con la cuenta de impul-
sos de la memoria principal 11. Se aplica un factor
de escala con objeto de proveer los niveles de ten-
5 sión mínimo y máximo que necesita un excitador 17 pa-
ra dar excitación sin carga y a plena carga a un puen-
te de tiristores (no representado) que controla el po-
tencial de electrodos del precipitador.

10 Como se ha indicado anteriormente, el mo-
do manual se utiliza para pruebas y calibración.

Antes de pasar a considerar el modo au-
tomático de funcionamiento, deben comprenderse algunas
combinaciones y funciones de los circuitos. Las puertas
lógicas "NI" 21, 22 y 23 realizan la función "Y". En la
15 salida n de la puerta lógica 23 se genera un "1" sola-
mente cuando están aplicados estados "1" a las entradas
a y b ó a y c de las puertas lógicas 21 y 22.

Las puertas lógicas "NI" 24, 25 y 26 for-
man una unidad de "monoestable". Un "1" aplicado a las
20 entradas n ó RD de la puerta lógica 24 produce un solo
impulso de 300 microsegundos en la salida de la puerta
lógica 25. Las puertas lógicas 40, 41 y 42 realizan una
función similar, aunque en este caso un "1" en la entra-
da m de la puerta lógica 40 produce un único impulso de
25 1 milisegundo en la salida de la puerta lógica 41.

420560



Las puertas lógicas "NI" 27 y 28 forman una memoria auxiliar, como se ha mencionado anteriormente. Un "1" aplicado a la entrada d de la puerta lógica 27 produce un "1" en la salida de la puerta lógica 28. Este estado se realimenta a la entrada e de la puerta lógica 27, activando la memoria. Se puede REPONER la memoria a su estado original mediante la aplicación de un "1" a cualquiera de las entradas f, g ó h de la puerta lógica 28. El oscilador 20 produce un tren de impulsos con el borde en caída brusca a una frecuencia de repetición de impulsos de 3 KHz aproximadamente. El oscilador está inhibido de actuar por un "1" aplicado a su entrada. En esta condición, la salida está en "0". La acción del oscilador se inicia llevando la entrada a "0". El oscilador 44 funciona de un modo similar, estando su salida también en "0" cuando el oscilador está inhibido por un "1" en la entrada. Otra vez se producen impulsos con el borde en caída brusca, pero a una frecuencia de repetición de impulsos de aproximadamente 1 Hz.

El oscilador 48 define períodos de "disminuir" y de "aumentar" produciendo dos trenes de impulsos L y R desfasados 180° (véase figura 3). Los tiempos de señal-pausa son variables independientemente, pero un valor común sería 3 y 2 segundos respectivamente con referencia al tren R. El oscilador está inhibido por un "1" a

420560



11 ABR. 1975

la entrada. Se utiliza una unidad de retardo 49 para re-
trasar los bordes de sentido positivo de L y R, lo cual
produce una zona "muerta" de 10 milisegundos entre el
final de un impulso R y el principio de un impulso L.
5 El final de un impulso L y el principio de un impulso R
están separados análogamente.

La puerta lógica 38 constituye una función
descodificadora, y se utiliza conjuntamente con la memo-
ria a corto plazo 12, para fijar el número de impulsos
10 introducidos en la memoria principal 11 durante un pe-
ríodo de "aumentar". La puerta lógica puede conexionar-
se para ajustar el número de impulsos en el intervalo de
1 a 7. Sin embargo, normalmente está conexionada para 1
impulso.

15 La puerta lógica 39 realiza la función des-
codificadora para el período de "disminuir". También pue-
de conexionarse para un intervalo de 1 a 7 impulsos, aun-
que normalmente está conexionada para 2 impulsos.

Los biestables G, H y J forman la memoria
20 "a corto plazo" 12, que se utiliza conjuntamente con las
puertas lógicas 38 y 39 para fijar el número de impulsos
introducidos y extraídos de la memoria principal durante
los períodos de "aumentar" y "disminuir".

Como se ha indicado anteriormente, los bies-
25 tables A, B, C, E y F, conjuntamente con una serie de puer-

420560



tas lógicas no representadas en el diagrama, forman la memoria principal 11. Las puertas lógicas 52 a 57 se utilizan para excitar la unidad 18 de conmutador binario, proporcionando una adaptación de impedancia entre los biestables A, B, C, D, E y F y la unidad 18.

La unidad de conmutador binario, la red celular en escalera y el amplificador operacional 58 proveen la conversión de digital a analógico. La tensión de salida del amplificador 58 está relacionada con el número de impulsos contenidos en la memoria principal 11. Se aplica un factor de escala a fin de que los niveles de tensión mínima y máxima del amplificador se correspondan con los niveles que necesita el excitador 17 para dar excitación desde sin carga hasta plena carga al puente de tiristores.

En el modo automático, el conmutador A/M 13 está cerrado. Las condiciones pertinentes de los circuitos son las siguientes:

El oscilador 48 tendrá un "0" aplicado a sus entradas, y por tanto estará funcionando. Las puertas lógicas 28, 36, 37 y 46 tendrán un "0" aplicado a las entradas g, j, k y l, respectivamente.

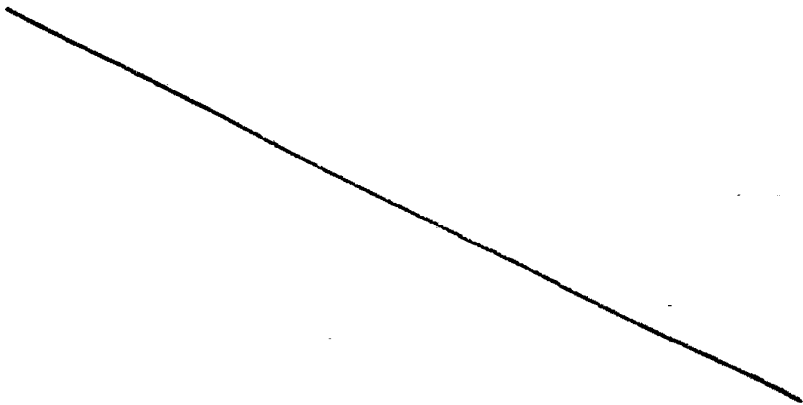
Durante el intervalo de "aumentar", se aplica un impulso RD de tres segundos a las entradas de la puerta lógica 36, y al "monoestable" (24, 25 y 26) res-

420560



11 APR 1975

pectivamente. El impulso resultante de salida de 300
microsegundos del monoestable coloca la salida de la
memoria auxiliar (27 y 28) en el estado "1". La inver
sión de la salida de la memoria tiene lugar en la puer
ta lógica 29, y el estado "0" resultante al aplicarse
5 a la entrada del oscilador 20 hace funcionar a éste.
Los impulsos procedentes del oscilador se enviarán por
la puerta lógica 31 a las puertas lógicas 32 y 33; sin
embargo, la puerta lógica 33 estará cerrada, porque X
10 está en "1" y los impulsos solamente pasarán a la lí
nea "ASCENDENTE" para aumentar el cómputo de la memo
ria principal 11. Debe observarse que cuando RD está
en "1" y LD está en "0", las salidas Y y X de las puer
tas lógicas 36 y 37 estarán en "0" y "1", respectiva
15 mente. Los impulsos procedentes del oscilador 20 se en
vían también a los biestables G, H y J de la memoria
"a corto plazo", con lo que la tabla de verdades es co
mo sigue:



420560

11 ABR 1975



TABLA DE VERDAD

Impulso Nº	G		H		J	
	Q ₁	Q ₂	Q ₁	Q ₂	Q ₁	Q ₂
0	1	0	1	0	1	0
5 1	0	1	1	0	1	0
2	1	0	0	1	1	0
3	0	1	0	1	1	0
4	1	0	1	0	0	1
5	0	1	1	0	0	1
10 6	1	0	0	1	0	1
7	0	1	0	1	0	1

Una vez que ha entrado un impulso en la memoria "a corto plazo" 12 y por tanto también en la memoria principal 11, se genera un estado "1" en la salida de la puerta lógica 38 de "descodificación de aumentar". Este estado se alimenta a la entrada m del "monoestable" (40, 41 y 42). El impulso resultante de 1 milisegundo hace dos cosas. En primer lugar, renone la memoria auxiliar (27 y 28), parando de este modo al oscilador 20 y evitando que entren más impulsos en cualquiera de las memorias. En segundo lugar, vuelve a poner a cero la memoria temporal, dejándola lista para el periodo de "disminuir".

25 Durante el intervalo de "disminuir", se

420560

11 APR 1975

5 aplica un impulso LD de 2 segundos a las entradas de la puerta lógica 37 y puerta lógica "Y" 21, 22 y 23. El impulso aplicado a la puerta lógica 37 hace que X se encuentre en el estado "0" (Y estará ahora en "1", porque RD está en "0"). Si no se requiere reducción de salida, ya sea porque el controlador está en cero o porque el salto anterior de "aumentar" dió como resultado un aumento del potencial de electrodos del precipitador, las entradas b y c de la puerta lógica "Y" 10 estarán en "0". De este modo, no puede haber salida para disparar el "monoestable" (24, 25 y 26), la "memoria" no se activará, y el oscilador 20 no puede comenzar su actuación. Cuando se requiere una "disminución", un "1" generado por el circuito perceptor de potencial 15 de electrodos e indicativo de que un potencial de electrodos decreciente, es aplicado a la entrada b de la puerta lógica Y 21, 22, 23. Con un "1" aplicado en las entradas b y a, se aplica un "1" a la entrada n del "monoestable", la memoria es activada mediante el impulso 20 resultante de salida, y se inicia la actuación del oscilador 20. Entonces, los impulsos del oscilador se envían a través de las puertas lógicas 31 y 33 a la línea "DESCENDENTE" (porque ahora está cerrada la puerta lógica 32), reduciendo el número contenido en la memoria 25 principal. Como antes, los impulsos del oscilador 20 se

420560



envían a la memoria "a corto plazo" 12. Después que han
entrado dos impulsos en la memoria "a corto plazo", y
que por tanto se han extraído de la memoria principal,
se genera un "1" en la salida de la puerta lógica 39
5 de "descodificación de disminución". Como antes, este
"1" se introduce en la entrada m del "monoestable", dan-
do como resultado el reacondicionamiento de la memoria,
parando el oscilador 20 y volviendo a poner a cero a la
memoria "a corto plazo" dejándola lista para el período
10 de "aumentar". La secuencia anterior se repite durante
todo el tiempo en que esté seleccionado el modo automá-
tico.

Sería posible que el sistema quedase en-
clavado en el modo automático, si no se hubiesen tomado
15 medidas para impedirlo. Cuando en la memoria principal
se retienen 63 impulsos, se genera un "1" en la salida
de la puerta lógica descodificadora 50 y se aplica a la
puerta lógica 32, evitando que entren más impulsos a la
memoria principal. Por tanto, no puede haber más aumento
20 de energía al sistema de precipitador electrostático. El
controlador depende de la detección de una caída en el
potencial de electrodos, pues se requiere un aumento en
la energía de entrada para señalar una "disminución". De
este modo, el sistema está enclavado aunque el potencial
25 de electrodos que haya caído en una magnitud sustancial

420560

11 ABR. 1975



ya que esto no da lugar, necesariamente, a la genera-
ción de una señal de disminución. El sistema depende-
ría de la tensión de "ruido" para desenclavar el bu-
cle - lo cual no es una situación satisfactoria. Para
5 superar esta dificultad, cuando la puerta lógica des-
codificadora 50 genera un "1", éste se alimenta tam-
bién a la entrada c de la puerta lógica "Y" 21, 22, 23
y, como se ha explicado anteriormente, durante el in-
tervalo de "disminución" se obliga al sistema a redu-
cir el nivel de la memoria en 2 impulsos. En el siguien-
10 te intervalo de "aumento" se puede incrementar ahora la
energía de entrada al sistema de electrodos, haciendo
posible detectar una señal de disminución si se produ-
ce.

15 Tanto en el modo automático como en el ma-
nual está previsto un limitador de sobrecarga. Cuando
se produce una sobrecarga, el interruptor O/L 19 se abre,
colocando un "1" en las entradas de las puertas lógicas
28, 34, 36, 37, 43 y 47 y en el oscilador 48. Esto inhi-
20 be efectivamente al modo automático y supera al interrup-
tor de aumento en el modo manual. El impulso aplicado a
la puerta lógica 43 inicia la acción del oscilador 44, que
envía impulsos a través de las puertas lógicas 31 y 33 a
la línea "DESCENDENTE", reduciendo el número retenidos en
25 la memoria principal. Los impulsos no pueden llegar a la

420560



11 ABR. 1975

5 línea "ASCENDENTE" por el "1" aplicado a la puerta ló
gica 34. Los impulsos se extraen de la memoria hasta
que se cierra el interruptor O/L, significando la desapa
rición de la sobrecarga. Entonces, el circuito vuelve
al estado en que se encontraba antes de aparecer la so-
brecarga.

10 Aunque se ha descrito el invento con refe-
rencia a los precipitadores electrostáticos, es eviden-
te que podría utilizarse igualmente para controlar cual
quier parámetro que tenga una curva característica simi
lar a la de la figura 1.

15 La presente solicitud que corresponde a la
presentada en Gran Bretaña, con fecha 16 de Noviembre de
1.972, bajo el Número 52912/72, se acoge a los beneficios
del Artículo 51 del vigente Estatuto sobre Propiedad In-
dustrial.

REIVINDICACIONES

20

25 Los puntos de invención propia y nueva, que
se presentan para que sean objeto de esta solicitud de Pa-
tente de Invención en España, por VEINTE años, son los que
se recogen en las reivindicaciones siguientes:

3-4-75

420560



5 1^a.- Un dispositivo regulador automático de
tensión para uso con el fin de mantener el potencial má
ximo de electrodos en un precipitador electrostático,
caracterizado por una memoria digital, medios que res-
ponden al cómputo existente en la memoria para propor-
cionar una señal de salida con el fin de regular el po
tencial de electrodos, medios para establecer períodos
de aumento y de disminución alternativos en el funciona
miento del regulador, una fuente de impulsos, medios pa
ra dejar pasar de manera discriminada un número especi-
ficado de impulsos desde dicha fuente de impulsos hasta
la memoria durante cada período de aumento, para incre-
mentar el cómputo de la memoria y, por tanto, el poten-
cial de electrodos, y medios que responden a una señal
15 indicativa de un potencial decreciente de electrodos pa
ra dejar pasar, de manera discriminada, un número espe-
cificado de impulsos desde dicha fuente de impulsos has
ta la memoria durante cada período de disminución, para re
ducir el cómputo de la memoria y, por tanto, el potencial
20 de electrodos.

2^a.- Un dispositivo según la reivindicación
1^a, caracterizado por una memoria auxiliar para contar di-
chos números de impulsos durante cada uno de dichos perío-
dos de aumento y de disminución, y conectada con dichos me
25 dios de paso discriminado para impedir la entrada en dicha

3-4-75

420560



11 ABR 1975

memoria digital de impulsos en número superior a los números especificados en los períodos respectivos.

5 3ª.- Un dispositivo según la reivindicación 2ª, caracterizado porque el número especificado de impulsos en un período de aumento es menor que el número especificado de impulsos en un período de disminución,

10 4ª.- Un dispositivo según la reivindicación 1ª, caracterizado por medios que responden al cómputo máximo en la memoria digital para hacer funcionar dichos medios de paso discriminado, independientemente de dicha señal indicativa de un potencial de electrodo decreciente, con el fin de reducir el cómputo de la memoria digital.

15 5ª.- Un dispositivo regulador automático de tensión.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

20 Esta Memoria consta de diecinueve hojas escritas a máquina por una sola cara.

Madrid,

11 ABR. 1975

P.A.

Alberto de Eizaburu

Por Poder.

3-4-75

PBG.



420560

11

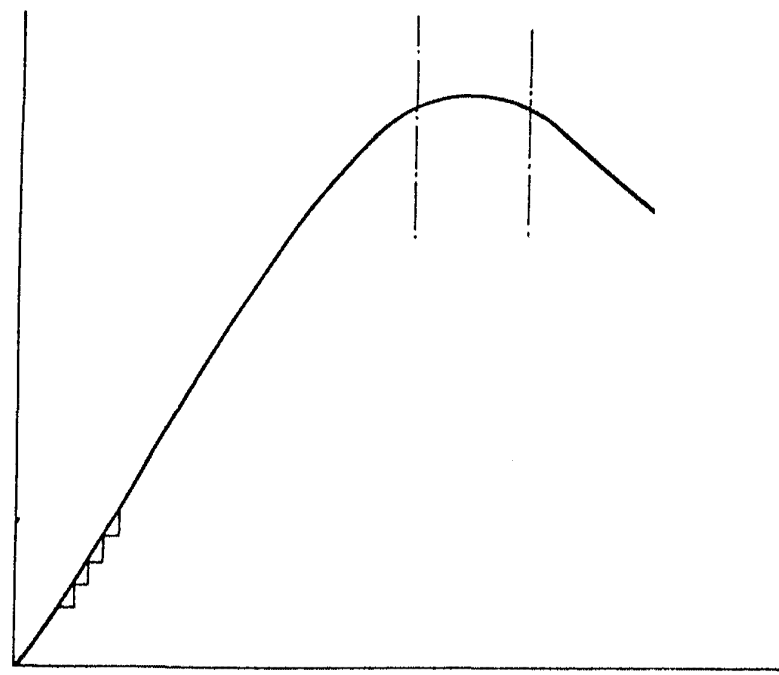


FIG. 1.

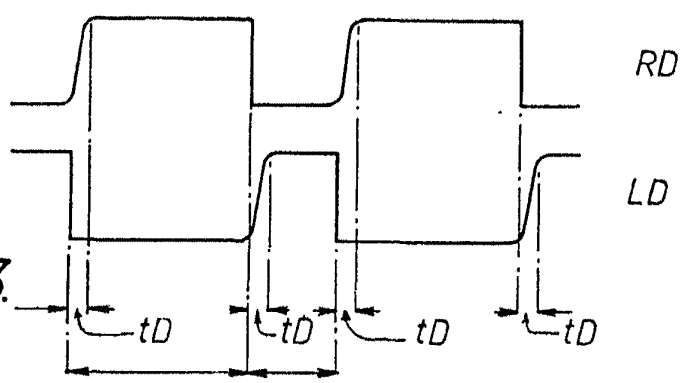
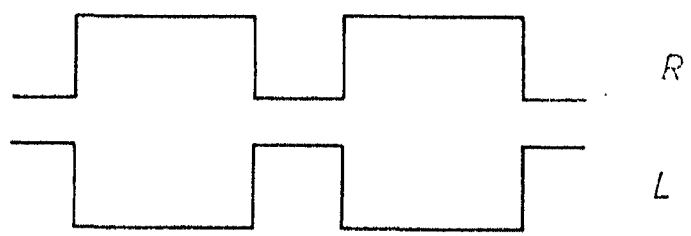


FIG. 3.

Alberio de Elzaburu
Per Foden

Alberto de Eizaburu

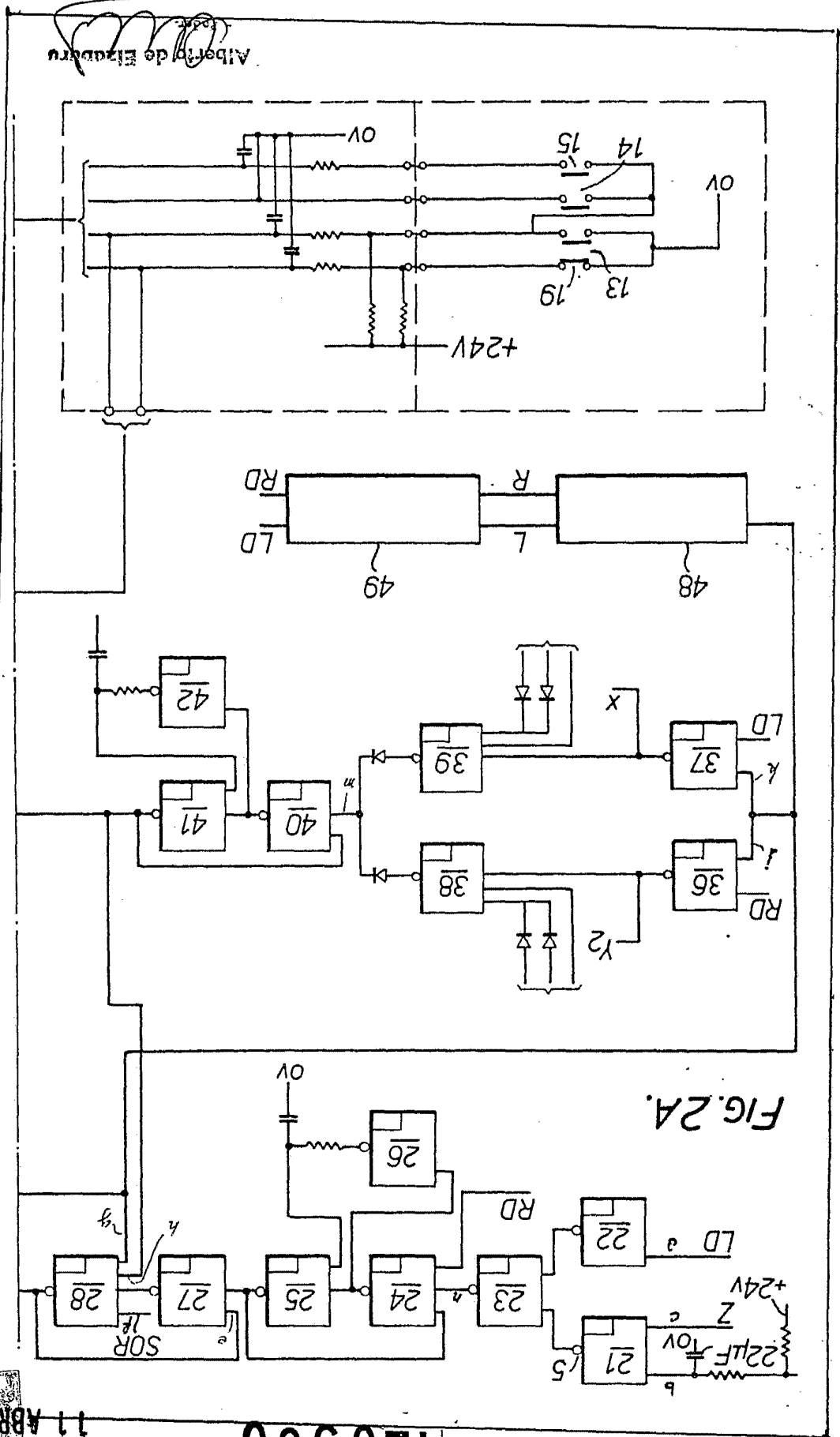


FIG. 2A.



420560

11 APR 1957

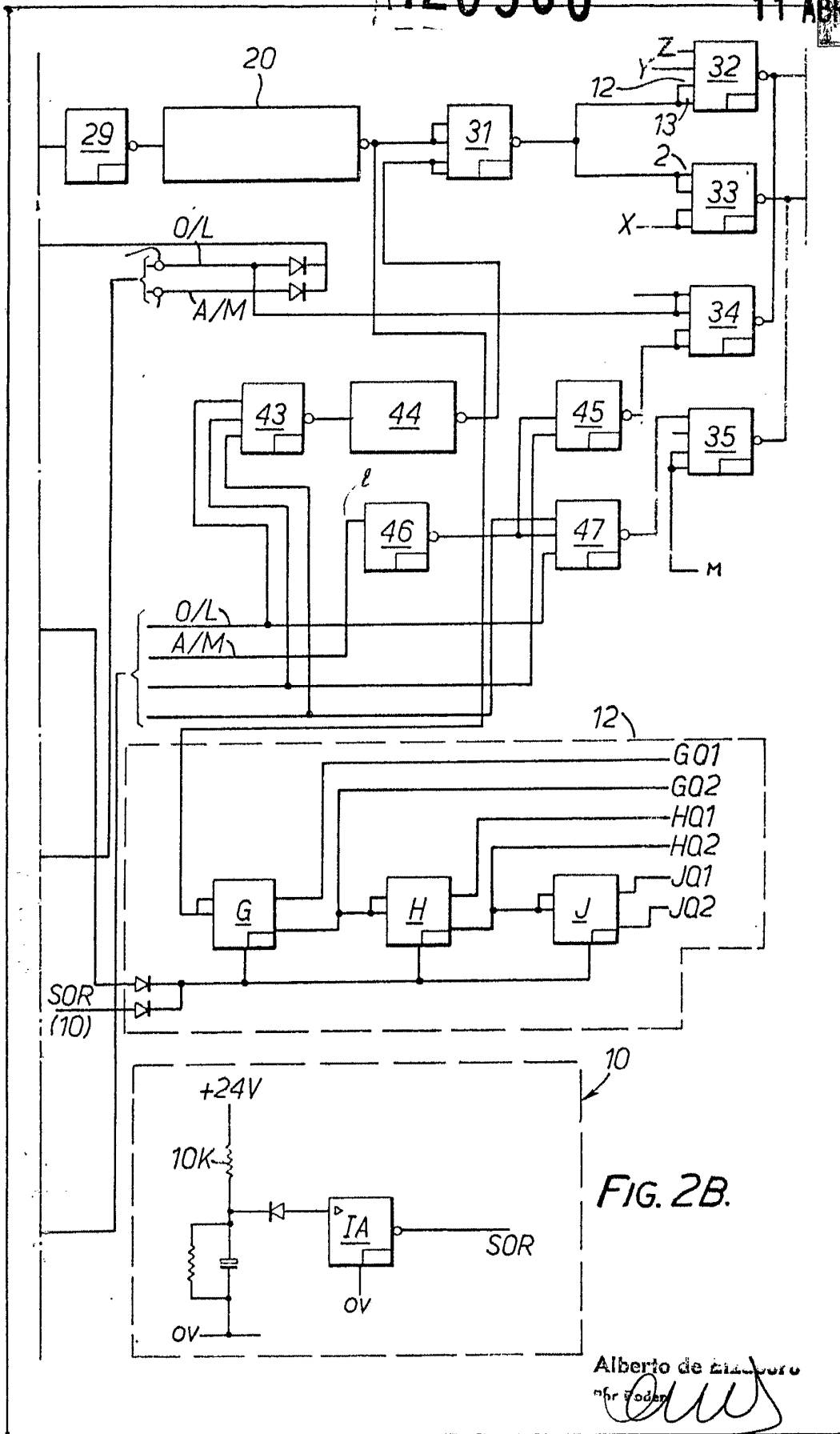


FIG. 2B.

Alberto de Zilberstein
per *[Signature]*

