



PATENTE DE INVENCION

420348

0.10884

H0317 / 1606.F
F.E. 27-1-76

Memoria Descriptiva

sobre:

Perfeccionamientos en sistemas de proceso de datos.

.....

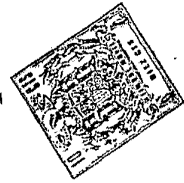
Solicitante: AMDAHL CORPORATION, una sociedad constituida segun las Leyes del Estado de Delaware (EE.UU.), establecida en SUNNYVALE, California, (Estados Unidos de America, 1160 Kern, Avenue.

.....

La presente invención se refiere al campo de los sistemas de sincronización y, específicamente, a sistemas de sincronización utilizados en los sistemas de tratamiento de la información a gran velocidad.

5.

420348



- 2 -

5. En los sistemas de tratamiento de la información, el reloj es el control primario de temporización para muchas operaciones de todo el sistema. Los sistemas de temporización de la técnica anterior han sido generalmente del tipo de disparador de borde o del tipo de disparador de umbral.
10. Los sistemas de sincronización disparados por borde funcionan para conmutar la información al borde de ataque o de salida de los impulsos de reloj y a menudo se denominan relojes de CA. Los dispositivos disparados por borde, sin embargo, no han podido ser considerados totalmente adecuados debido a su sensibilidad al ruido, su mala respuesta a la frecuencia y por la dificultad de controlar la temporización exacta de los bordes de ataque y de salida. Los sistemas de sincronización disparados por umbral funcionan conmutando la información al nivel de CC de los impulsos de reloj y a menudo se denominan relojes de CC. Los dispositivos disparados por umbral tienen el requisito de que la señal se encuentra presente durante un periodo mínimo con el fin de que exista energía suficiente en la entrada de manera que conmute el nivel de la salida. Este periodo mínimo se define típicamente como la duración más corta de la función de conmutación dentro del sistema. Dado que un circuito de enganche es típicamente la función de memorización de duración más corta que se realiza en un sistema de tratamiento de la información, el periodo de tiempo, terminado el retardo máximo de enganche (MLD), permitido para la conmutación de enganches es un parámetro que se utiliza para caracterizar el aparato de reloj del sistema del tratamiento de la información. Otros parámetros empleados son el desalineamiento del reloj (ΔS) el retardo máximo de la trayectoria de la información (D_{max}) y el retardo mínimo de la trayectoria de la información (D_{min}).
- 15.
- 20.
- 25.
- 30.

420348

- 3 -



5. El retardo máximo de enganche (MLD) para el que debe ocurrir un impulso de reloj se define como la anchura de impulso, es decir, la cantidad de tiempo entre el borde de ataque y de salida, de una señal de reloj que es suficiente para hacer que un circuito de enganche, o su equivalente, reciba una señal de información de entrada para memorizar dicha señal de información y proporcionar una señal de información de salida segura y que responda bien.
10. El desalineamiento de reloj se define como la diferencia máxima entre los bordes de ataques de dos impulsos cualquiera de reloj que definen el mismo ciclo del sistema medido como la entrada de los enganches, o su equivalente, en cualquier lugar del sistema. El desalineamiento del reloj resulta de tras variaciones en los parámetros eléctricos de los diferentes caminos asociados a la alimentación de impulsos de reloj por todo el sistema.
15. El retardo máximo de la trayectoria de la información (D_{max}) se define como el período máximo que puede utilizar una trayectoria de información para proporcionar una señal sensible después de que se envía una señal de información de entrada a la trayectoria de la información. El retardo mínimo de la trayectoria de la información (D_{min}) se define como el período mínimo que debe utilizar una trayectoria de información para proporcionar una señal de salida sensible después de que se envíe una señal de información de entrada a la trayectoria de información. Los retardos máximos y mínimo de la trayectoria de la información se controlan, en un grado importante, por el número de niveles de lógica, por las variaciones en los parámetros de circuito dentro de cada nivel de lógica y por la disposición física de las trayectorias de la información.
- 20.
- 25.
- 30.



5. Con el fin de reducir al mínimo el número de circuitos necesarios en los sistemas de elaboración de la información, los sistemas de reloj pueden diseñarse con señales de reloj con una anchura de impulso igual al retardo máximo de enganche, y el sistema exige que el retardo mínimo de la trayectoria de la información (D_{\min}) incluya un retardo al menos igual al desalineamiento del reloj. Si cualquier trayectoria de la información dejara de incluir dicho retardo, se tendría típicamente unas condiciones de patinamiento dentro de un período de impulso de reloj con lo que la información, a veces, se envía equivocadamente dos veces para un impulso de reloj.

10. Aunque algunos sistemas de sincronización a gran velocidad de la técnica anterior han podido reducir el costo del circuito por el diseño del sistema de reloj, frecuentemente lo han hecho a expensas de no alcanzar la máxima frecuencia de reloj y por lo tanto, el máximo rendimiento. La presente invención optimiza tanto el coste como el rendimiento con una selección apropiada de la anchura del impulso de reloj.

15. La presente invención es, un aparato de reloj para un sistema de tratamiento rápido de la información. La anchura del impulso de la señal de reloj se selecciona de manera que sea mayor que el retardo máximo de enganche con el fin de incluir una porción o la totalidad del desalineamiento del reloj. En una realización, la anchura del impulso de reloj se hace prácticamente igual al retardo máximo de enganche más el desalineamiento del reloj con el fin de obtener la más elevada frecuencia de reloj con el menor número de circuitos.

20. En otra realización, la anchura del impulso de reloj, se selecciona de manera que sea siempre mayor que el re-

420348



- 5 -

tardo máximo de enganche más el de alineamiento de reloj con el fin de asegurar que puede diseñarse el sistema de tratamiento de la información para funcionar siempre a la frecuencia máxima.

5. De acuerdo con el resumen anteriormente mencionado, la presente invención alcanza el objetivo de proporcionar un aparato perfeccionado de reloj para un sistema de tratamiento de la información en el que se optimizan el rendimiento y el coste con una selección apropiada de la anchura del impulso de reloj.

10.

Otros objetos y características adicionales de la invención aparecerán en la descripción que sigue, en la que se exponen las realizaciones preferidas de la invención con mayor detalle y en relación con los dibujos.

15.

La figura 1 describe un esquema de bloque de un sistema ambiental básico que emplea el aparato de reloj de la presente invención.

20.

La figura 2 muestra las trayectorias o caminos de la información asociados a un sumador dentro de la unidad de ejecución del sistema de la figura 1 y la forma en la que el aparato de reloj proporciona la temporización para la información transmitida a través del sumador.

25.

La figura 3 muestra otros detalles asociados con los caminos de información y reloj del sumador de la figura 2.

La figura 4 muestra una representación gráfica de la relación entre la frecuencia del sistema de tratamiento de la información y la anchura del impulso de reloj.

30.

La figura 5 muestra una forma representativa de onda que describe las operaciones del sistema de reloj de la figura

420348



- 6 -

ra 3.

La figura 6 muestra un aparato de reloj para generar señales de reloj de acuerdo con la presente invención.

5. La figura 7 muestra formas de ondas que representan el funcionamiento del aparato de reloj de la figura 6.

10. En la figura 1, se muestra un sistema básico ambiental de tratamiento de la información apropiado para emplear el sumador y el procedimiento de la presente invención. Brevemente, dicho sistema incluye una memoria central 2, una unidad de control de memorización 4, una unidad de instrucciones 8, una unidad de ejecución 10, una unidad de canal 6 con entrada/salida correspondiente, una consola 12. Según los principios conocidos, el sistema de tratamiento de la información de la figura 1 actúa bajo el control de un programa almacenado de instrucciones. Típicamente, las instrucciones y la información sobre la que actúan las instrucciones se introducen desde el equipo de entrada/salida a través de la unidad de canal 6, la unidad de control de memorización 4, hasta la memoria central 2. Desde la memoria central 2, las instrucciones son extraídas por la unidad de instrucciones 8 a través del control de memorización 4 y, son decodificadas de manera que controlen la ejecución dentro de la unidad de ejecución 10. La unidad de ejecución 10 ejecuta las instrucciones decodificadas en la unidad de instrucciones 8 y actúan con los datos comunicados a la unidad de ejecución desde los lugares apropiados del sistema.

25. La unidad de ejecución 10 incluye un sumador para ejecutar ciertas instrucciones del sistema de la figura 1, particularmente las instrucciones que necesitan la adición y operandos según las normas de la aritmética exponencial. A mo

30.

420348



- 7 -

do de antecedentes generales, y para detalles específicos relacionados con el funcionamiento del sistema ambiental básico de la figura 1, se hace referencia a la solicitud anteriormente identificada número 302.221, depositada el 30 de octubre de 1.972.

5.

En la figura 2, se muestran los caminos fundamentales de la información, dentro de la unidad de ejecución 10, que van asociadas al sumador 32 de la presente invención. Ex-

puesto brevemente, la información que hay que sumar se comunica al sumador 32 a través del LUCK 20 al registro LH 24 y al registro 2H 25.

10.

Mientras que el registro LH 24 y el registro 2H 25 tienen cada uno 32 bits desecho, marcados de 0 a 31 en la figura 2, sólo medio byte que comprende 4 bits se suman en conexión con un ejemplo representativo de la presente invención. Específicamente, los registros LH y 2H memorizan cada uno una palabra igual a 4 bytes de información de 8 bits. Sólo uno de los 4 bytes de cada registro se describe en relación con la presente invención. El operando A se memoriza en el registro LH 24 en las posiciones 4 a 7 de bits que producen las entradas a8 a a7. De igual modo el operando, B se memoriza en el registro 2H 25 en las posiciones 4 a 7 de los bits que producen las entradas b4 a b7. En un momento apropiado en el ciclo del sistema del tratamiento de la información de la figura 1, los operandos A y B se envían al sumador 32 de la figura 2 y la diferencia A-B aparece en la vía principal de transmisión de salida de 4 bits 99, mientras que la diferencia B-A aparece en la vía principal de transmisión de salida 4 bits 98.

15.

20.

25.

30.

En un momento apropiado dentro del ciclo del sistema



- de tratamiento de la información, ocurre una determinación de si el operando A es mayor que el operando B o viceversa. Cuando se ha efectuado la determinación, una señal en la línea 92 selecciona la apropiada entre las vías principales de transmisión de salida 98 o 99 para introducir la diferencia seleccionada en el registro SAR 38 para un uso posterior por el sistema de la figura 1. La señal en la línea 92 se deriva, en una realización, de la unidad LUCK 20 que realiza comparaciones lógicas. Optativamente, la línea 92 puede derivarse del bits de orden superior del sumador 32, cuando se emplean.

- La unidad de ejecución 10 incluye también un desplazador para desplazar las porciones de mantisa de los operandos A y B en respuesta a la diferencia seleccionada A-B ó B-A en la realización de la alineación aritmética exponencial. Otros detalles sobre el desplazador pueden obtenerse de la solicitud anteriormente mencionada número 302.227, depositada el 30 de octubre de 1.972.

- Haciendo referencia a la figura 2, el sumador 32 está formado por 5 niveles lógicos I a V y es del tipo de propagación de acarreo. La lógica de nivel I forma las fases más y menos de las señales de entrada. Las señales de propagación de bit y generación de bit y las señales de propagación de grupo y de generación de grupo, se producen en la lógica de nivel II. En la lógica de nivel III, las señales procedentes del segundo nivel se combinan lógicamente para formar las señales de semi-suma y las señales de acarreo de grupo. En la lógica de nivel IV, las sumas completas se producen por las señales de la lógica de nivel III. La lógica de nivel V es un nivel de potencia para la diferencia A-B y un nivel de potencia e inversor para la diferencia B-A.

420348

- 9 -



5. En la figura 2, la entrada DA de información al registro LH 24 aparece breve tiempo después de la señal de reloj C1 y va enganchada sensiblemente al registro LH 24 por la señal de reloj C1, para proporcionar la señal de información de salida DB. La señal de información DB procedente del registro LH 24 se proporciona como entrada en la vía principal de información 55 al sumador 32, donde se propaga a través de los cinco niveles de lógica I a V. Después de sufrir el retardo del camino de la información, X, derivado de la propagación a través de los cinco niveles del sumador 32, la señal de información DB produce una señal de salida de información de CC en la vía principal de salida 98, y la señal de información CC se engancha al registro SAR 38 por la señal de reloj C2. La señal de información CC enganchada al registro 38 por la señal de reloj C2 establece una señal de información DD como la salida del registro 38. Las señales de reloj C1 y C2 que hacen que se enganchen las señales de información, se derivan del reloj del sistema 102.

10. Haciendo referencia a la figura 3, una fase del registro LH 24 se muestra como el enganche 124. De igual manera, una fase del registro 38 se representa como el enganche 138. El enganche 124 tiene como entrada la señal de información DA y produce como salida la señal de información DB.

15. El enganche 124 incluye las puertas O/NO 151 a 154 que actúan para realizar la función de enganche. La señal de salida DB se conecta como entrada a las cinco fases de lógica 132 que forman parte del sumador 32 de la figura 2. Las fases 132 representan cinco niveles cualesquiera de la lógica a través de la cual la señal DB se propaga formando la señal de salida de la información CC. Detalles específicos sobre los caminos de información en el sumador 32, aparecen en la

20.

25.

30.



solicitud anteriormente mencionada número 302.225, depositada el 30 de Octubre de 1.972.

5. La señal CC de información de salida se conecta como entrada al enganche 138, que es idéntico al enganche 124, en donde las puertas O/NY correspondientes se indican con números de referencia correspondientes con la calificación de primos. La salida de la puerta de enganche 138 es la señal de entrada DD.

10. En la figura 6, el aparato de reloj de la presente invención se representa en conexión con una parte representativa del sistema de tratamiento de la información. En el aparato de reloj el generador de onda cuadrada 104 es un dispositivo convencional para generar ondas cuadradas e incluye típicamente un oscilador y circuitos formadores para cuadrar la salida del oscilador. El generador 104 produce una señal de salida de onda cuadrada con una frecuencia F típicamente

15. igual a 50 MHz y que, por lo tanto, define un tiempo de ciclo del sistema CT igual a 20 nanosegundos. La salida preferente del generador 104 es la entrada a una serie de puertas NO

20. 115, 115' y 115'' que forman juntas un circuito de distribución de portadora 107 de placas múltiples (MCC). Cada una de las puertas 115 alimenta uno de los circuitos portadores de placa múltiple 111, 111' y 111''; respectivamente, y específicamente las puertas No 116, 116' y 116''; respectivamente.

25. Las puertas No 116 reciben cada una como su otra entrada las líneas de inhibición 118, 118' y 118''; que funcionan inhibiendo la señal de reloj a todas las partes del circuito MCC correspondiente. Las salidas preferentes de las puertas NO 116 se alimentan directamente a las puertas O 120 y al mismo tiempo a una cadena de retardo de cuatro puertas O/NO 122,

30. que, a su vez, se conectan como segunda entrada a las puertas

420348



- 11 -

5. NO 120. Las puertas 122 y las puertas 120 actúan para modificar el ciclo de trabajo de esta salida de onda cuadrada procedente de las puertas 116. La salida de onda cuadrada procedentes de las puertas 0 116 se modifica en salida de onda rectangular por las puertas 120. La anchura de impulso de las señales procedentes de las puertas 120 se selecciona, según una realización de la presente invención, de manera que sea igual al desalineamiento de reloj más al retardo máximo de enganche. Cambiando el número de puertas en la cadena de puertas 120, se cambia sensiblemente la anchura de impulso de las señales de reloj.

10. Las señales de salida procedentes de las puertas 120, 120' y 120" son las señales de reloj CC1, CC2, y CC3, que alimentan los distribuidores 123, 123' y 123", respectivamente. Cada uno de los distribuidores 123 incluye típicamente una serie de puertas 0/NO-0 similares a las del circuito de distribución 107. Las características eléctricas de cada uno de los caminos de circuito que generan las señales de reloj CC1, CC2, CC3 pueden diferir de la tolerancia normal asociada a la tecnología de semiconductores rápidos. Por otra parte, pueden introducirse intencionalmente diferencias de retardo seleccionando la longitud física con la que las señales deben desplazarse en los distribuidores 123. Con ajuste y prueba apropiados de los circuitos de distribución 123, cada una de las señales de reloj puede ser finamente sintonizada para establecer la relación de temporización deseada asegurándose con ello que no se supere el desalineamiento máximo CS entre dos señales de reloj cualesquiera.

25. Haciendo referencia a la figura 7, la forma de onda 30. 104 representa la salida del generador de onda cuadrada 104 y



- tiene un periodo de reloj que define el tiempo de ciclo CT del sistema de tratamiento de la información. El tiempo de ciclo CT es igual a I/F , donde F es la frecuencia del oscilador en el generador de onda cuadrada 104. En la figura 7, la onda cuadrada 104 tiene una transición de marcha positiva en $-t_1$ seguida por una transición en marcha negativa en t_9 seguida de nuevo por una transición en marcha positiva en t_{19} . La forma de onda 104 se invierte y se retarda en las puertas 115 retardándose aún más en las puertas 116. Cada una de las puertas 115 y 116 tiene típicamente un retardo igual a una unidad de t de forma que el retardo combinado para las puertas 115 y 116 es de dos unidades de t. La forma de onda 116 en la figura 7 es la inversión de la forma de onda 104 retardada en dos unidades de t. En consecuencia, la forma de onda 116 tiene una transición de marcha negativa en t_1 seguida por una transición en marcha positiva en t_{11} y seguida de nuevo por una transición en marcha negativa en t_{21} .
- La forma de onda 116 es también un impulso de onda cuadrada. La forma de onda 116 es la entrada a la cadena o serie de puertas 122 que actúa para invertir y retardar la forma de onda 116 en cuatro unidades de t, para producir la forma de onda 122. La forma de onda 122 tiene una transición de marcha positiva en t_5 , una transición de marcha negativa en t_{15} y una transición de marcha negativa en t_{25} .
- Las puertas 0 120 funcionan para combinar lógicamente la forma de onda 116 y la forma de onda retardada e invertida 122 para proporcionar las señales de reloj 120 que tienen la anchura deseada de impulso. La forma de onda 120 es la función lógica 0 de las formas de onda 116 y 122 retardada en una unidad de t que es retardo nominal de las puertas 120. En consecuencia, la forma de onda 120 tiene una transición de
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.

420348



- 13 -

5
10. marcha negativa en t_2 que es una unidad de t después de la transición en marcha negativa de la forma de onda 116 en t_1 . De igual modo, la forma de onda 120 tiene una transición en marcha negativa en t_6 que se encuentra una unidad de t después de la transición de marcha negativa de la forma de onda 122 en t_5 . El impulso de marcha negativa de la forma de onda 120 entre t_2 y t_6 define un primer impulso de reloj y un primer ciclo del sistema del tratamiento de la información, y el impulso de marcha negativa entre t_{22} y t_{26} define el siguiente ciclo del sistema de tratamiento de la información.

15.
20. Aunque se pretende que la forma de onda 120 de la figura 7 representa la salida de la puerta 120 en la figura 6, también representa la salida de la puerta 120' de la figura 6, y las diferencias en los parámetros eléctricos de los diversos circuitos de la figura 6 producen normalmente formas de onda que se encuentran desalineadas en relación mutua. Como se ha dicho anteriormente, los circuitos de distribución 123, 123' y 123'' incluyen medios para ajustar el desalineamiento para asegurar que las señales de reloj C1, C2 y C3 estén todas representadas por la forma de onda 120 de la figura 7, dentro de los límites del desalineamiento máximo CS, como se describirá con mayor detalle en relación con las formas de onda de la figura 5.

25.
30. Haciendo referencia a la figura 5, las señales de reloj C1 y C2; derivadas del aparato de reloj de la figura 6, funcionan para controlar la transferencia de la entrada de datos al enganche 124, a través del camino de información del sumador de bytes 132 al enganche 138. La señal de reloj C1 engancha la señal de información de entrada DA para formar la señal de información de salida DB, que a su vez, se propaga a



través del camino de información 132 para formar la señal de información CC que es enganchada por la señal de reloj C2 para formar la señal de información de salida DD.

5. En la figura 7, la señal de reloj C1 tiene un borde de ataque en t_2 y un borde de salida en t_6 . El periodo de reloj C_1 es igual a $1/F$, cuando el borde de ataque del segundo impulso de reloj en t_{22} aparece a 20 unidades de t de distancia del primer borde de ataque en t_2 . De igual manera, el borde de salida del segundo impulso de reloj aparece en T_{26} que se encuentra separado en veinte unidades del borde de salida del primer impulso de reloj en t_6 .

10. La señal de información DA pasa de cero a 1 en t_{2+} un cierto momento después del borde de ataque de la señal de reloj C1 en t_2 y antes de t_3 . Con la señal de información DA al nivel 1 y con la señal de reloj C1 en 0, el nivel 1 de la señal DA se propaga para producir la señal de información DB en un tiempo t_{4+} . El retardo de enganche LD es el tiempo que transcurre entre la transición de la señal de información DA en t_{2+} y la transición de la señal de información DB en t_{4+} . El retardo de enganche LD depende del tiempo de conmutación de las puertas NO 151 a 154.

15. El enganche 124 actúa de manera convencional. La entrada 0 a la puerta 151 produce una entrada 1 en la puerta 152 y una entrada 0 en la puerta 154. La entrada 0 a la puerta 154, combinada con el 1 de la señal de información DA, produce una salida 0 de la puerta 154. La salida 0 de la puerta 154 se combina con la salida 0 de la puerta 152 para producir una salida 1 de la puerta 153. Las dos entradas 1 a la puerta 152, derivadas de las puertas 153 y 151, establecen la salida cero de la puerta 152. Cuando la señal de reloj C1 pasa a 0
- 20.
- 25.
- 30.

420348



- 15 -

en t_6 , se invierten las salidas de la puerta 151, proporcionando una entrada 1 a la puerta 154.

5. Cuando la señal de reloj C1 pasa de 0 a 1 en t_6 , la puerta 151 proporciona un 0 a la puerta 152 y un 1 a la puerta 154. La puerta 154 mantiene su salida 0 debido al nivel 1 de la señal de información DA. La puerta 152 mantiene su salida 0 debido a la realimentación de enganche de la puerta 153 a la puerta 152. La puerta 152 mantiene su salida 0 aún cuando la señal de información DA cambie de nivel de 1 a 0 tal como se muestra en cualquier arbitrario T_{22+} . Después de t_{22+} , la puerta 154 no cambia su salida de un 0 a un 1 debido a la entrada 1 de la puerta 151. Después del tiempo t_{22} la señal de reloj C1 pasa de un 1 a un 0, conmutando de ese modo la salida de la puerta 151 y la entrada a la puerta 154 a un 0, proporcionando de ese modo una salida 1 de la puerta 154. La salida 1 de la puerta 154, combinada con la salida 0 de la puerta 152, proporciona una salida 0 de la puerta 153 registrando el cambio en la señal de información DB en t_{24+} .

10. 15. 20. La señal de información DB que tiene una transición de 0 a 1 en t_{4+} , se propaga a través del camino de información 132. El camino de información 132 tiene un retardo de camino de información X de aproximadamente 19 unidades de t . La señal de información CC tiene una transición de 0 a 1 en t_{23} que es la entrada de señal de información al enganche 138.

25. 30. Dado que la señal de reloj C2 tiene una transición de 1 a 0 en t_{22} y por lo tanto, era un 0 cuando la señal de información de CC se hacía positiva en t_{23} , el enganche 138 actúa para enganchar inmediatamente la señal de información



- de CC y provocar una transición de 0 a 1 en la señal de información de salida DB en el tiempo t_{24+} . El enganche de la señal de información DC para establecer la señal de información DD es análoga al enganche de la señal de información DA para establecer la señal de información DB. El periodo entre t_{23} y el enganche de la señal de información DD en t_{24+} es el retardo de enganche para el enganche 138. Los retardos de enganche para los enganches 124 y 138 son derivadas variables de las variaciones de los parámetros eléctricos del sistema tal como se discutió anteriormente. En general el retardo de enganche LD para cualquier enganche dentro del sistema del tratamiento de la información, en los que son típicos los enganches 124 y 138, está diseñado para no superar un valor definido como el retardo máximo de enganche (MLD).
5. El retardo del camino de información X para el camino de información 132 es también una variable por las mismas razones de que los retardos de enganche son variables. El retardo del camino de información X está diseñado de manera que sea inferior a un retardo máximo del camino de información D_{max} y mayor que un retardo mínimo del camino de información D_{min} .
10. Con el fin de evitar una doble propagación de información a través de un enganche y un camino de información durante un sólo impulso de reloj, el retardo mínimo del camino de información D_{min} debe superar la anchura del impulso de reloj, CPW, más el desalineamiento de reloj CS. De igual forma, para asegurar que la información pueda transferirse a través de un primer enganche por un primer impulso de reloj a través de un camino de información y engancharse en un segundo enganche por el siguiente impulso de reloj, el retardo máxi
- 15.
- 20.
- 25.
- 30.

420348



- 17 -

mo del camino de información D_{max} debe ser inferior al periodo de reloj CT sin CPW $\geq MLD + CS$ o bien $D_{max} \leq CT - CS$ donde CT es el tiempo de ciclo.

5. En el diseño y fabricación del sistema de tratamiento de información, se emplean técnicas para asegurar que cada enganche del sistema actúe con un retardo que no supere el retardo máximo de enganche MLD. De igual manera, cada uno de los caminos de información está diseñado de forma que tenga un retardo que supere el retardo mínimo del camino de información D_{min} y que no supere el retardo máximo del camino de información D_{max} . Un factor importante que controla el retardo del camino de información es el número de niveles de lógica en el camino de información. Con el fin de responder al requisito de que el retardo mínimo del camino de información D_{min} supere el retardo máximo de enganche D_{MLD} , que suelen añadir circuitos adicionales únicamente con el fin de añadir un retardo adicional al camino de la información. Aunque esta adición de circuitos satisface el requisito de retardo mínimo, dicha adición, aumentando el número de circuitos, aumenta al mismo tiempo el coste del sistema del tratamiento de la información. Pueden establecerse periodos relativamente largos de retardo entre dos impulsos de reloj por medio de circuitos de enganche que se enganchan por impulsos adelantados o retrasados de reloj que se encuentran desfasados con el impulso principal de reloj C1 y C2 que actúa para controlar la transferencia de información.
- 10.
- 15.
- 20.
- 25.

30. En la exposición que hemos hecho anteriormente de la figura 5, se supuso que las señales de reloj C1 y C2 se encontraban en fase y que, por lo tanto, los parámetros de los circuitos de las señales del reloj maestro descritos en



relación con la figura 6 y 7 se encontraban en fase y no tenían desalineamiento.

5. Haciendo ahora referencia a la figura 7, de nuevo, la señal de reloj Cl' aplicada al terminal Cl de la figura 3 se encuentra desalineada con relación a la señal de reloj $C2$ aplicada al terminal $C2$ de la figura 3. La señal de reloj Cl tiene una transición de marcha negativa en t_4 que se encuentra dos unidades de t después de la señal de reloj Cl . Para mayor claridad, el desalineamiento entre la señal de reloj Cl y la señal de reloj Cl' se ha seleccionado como el valor máximo CS . El desalineamiento de reloj se controla dentro del sistema de tratamiento de la información para asegurar que ninguna de dos señales de reloj medidas como entradas a los enganches, o puntos equivalentes en el sistema, se separen en un valor superior al desalineamiento máximo de reloj CS .
- 10.
- 15.

- Para la misma señal de información de entrada DA , la señal de reloj Cl' que tiene una transición en t_4 , hace que la señal de información DB' se enganche en l en t_6 . En este ejemplo, el retardo del camino de información X se supone que es igual al del ejemplo anterior, de manera que la transición de la señal de información DC' ocurre en $T24$. La señal de reloj $C2$ hace más tarde que la señal de información DD' se enganche en $t26$.
- 20.

- La anchura del impulso para cada una de las señales de reloj Cl , Cl' y $C2$ sea igual a aproximadamente cuatro unidades de t . De igual manera, el desalineamiento máximo de reloj CS y el retardo máximo de enganche MID son cada uno iguales a aproximadamente dos unidades de t . En estas condiciones típicas, la señal de información DA se enganchó y propagó adecuadamente formando las señales de información de salida DD y DD' sin o con desalineamiento, respectivamente. Obsérvese que
- 25.
- 30.

420348



- 19 -

en ambos ejemplos la anchura del impulso de reloj CPW fué aproximadamente igual al retardo máximo de enganche MLD más el desalineamiento máximo de reloj CS.

5. En un tercer ejemplo, siguiendo nuestra referencia a la figura 5, se supone que las señales de reloj C1" y C2" tienen el mismo periodo de CT que en los dos ejemplos anteriores pero se supone que tienen una anchura de impulso que es igual al retardo máximo de enganche MLD, que en los ejemplos dados, es de aproximadamente dos unidades de t. Más específicamente, la señal de reloj C1" tiene una transición de marcha negativa en t3 y una transición de marcha positiva en t5. Para la misma señal de información de entrada DA indicada anteriormente, la señal de información DB" se enganche en t5.

10. La señal de información DB" enganchada en t5 se propaga a través del mismo retardo de camino de información X para formar la transición en la señal de información DC" en t23+. La señal de reloj C2" tiene la misma transición inicial en t22 que la primera señal de reloj C2 pero tiene sólo dos unidades de t de longitud de manera que termina en t24. Dado que la señal de información DC" tiene una transición en t23+, la duración de t23+ a t24 no es igual al retardo máximo de enganche MLD por lo que no puede garantizarse que cada enganche en el sistema de tratamiento de la información sea capaz de enganchar la señal de información DC". En consecuencia, la señal de información DD" se muestra con una excursión inicial hacia el enganche en t23+ pero hay un fallo en el enganche como se indica por la señal después de t24+.

15. Las señales de reloj C1" y C2" se encuentran desalineadas en la cantidad máxima CS permisible dentro del sistema



- de tratamiento de la información. En estas condiciones, la señal de entrada de la información DA no se engancha y propaga adecuadamente para formar el nivel deseado enganchado en la señal de información de salida DD", Con el fin de asegurar
5. que la señal de información de salida DD" se engancha adecuadamente después de t_{25} , mientras sigue conservando una anchura de impulso de reloj de aproximadamente dos unidades de t (que es igual al retardo máximo de enganche MLD), el periodo de reloj CT debe aumentarse de forma que el borde de ataque
10. de la señal de reloj C2" ocurra en un momento posterior, por ejemplo, en un determinado tiempo después de t_{24} , Un aumento en el periodo de reloj CT, sin embargo, provoca una disminución en la frecuencia F del ciclo de reloj que disminuye de ese modo la frecuencia de funcionamiento del sistema de tratamiento de la información. Al girar el sistema de información a
15. una frecuencia inferior degrada inconvenientemente el rendimiento del sistema de tratamiento de la información.

- Aunque la elección de la anchura del impulso de reloj en el ejemplo con doble prima es perjudicial por el hecho de que exige una disminución en la frecuencia de reloj, es
20. conveniente porque permite que el retardo mínimo del camino de la información D_{min} sea de menor duración.

- Como se ha dicho anteriormente, el retardo mínimo del camino de la información debe superar a la anchura del impulso de reloj de forma que cuanto más estrecha sea la anchura del impulso menor sea el valor del retardo mínimo posible del
25. camino de la información. Dado que un retardo mínimo de camino más corto puede eliminar o reducir la necesidad de circuitos añadidos únicamente con el fin de introducir retardo, el estrechamiento de la anchura de impulso de reloj tiende a reducir el número de circuitos en el sistema de tratamiento de la
- 30.

420348



- 21 -

información.

- Haciendo referencia a la figura 4, se muestra un gráfico que representa la relación entre la frecuencia F de funcionamiento del sistema de tratamiento de la información en relación con la anchura del impulso de reloj CPW. Cuanto mayor es la frecuencia mejor es el rendimiento del sistema. Cuando mayor es la anchura del impulso de reloj mayor es el retardo mínimo del camino de información que generalmente aumenta el número de circuitos y por lo tanto el coste del sistema. El gráfico comienza con una anchura de impulso de reloj igual al retardo máximo de enganche MLD dado que para anchura de impulso más estrechas que ésta, el sistema no actuará adecuadamente debido a las condiciones de deslizamiento y al doble envío de información. La frecuencia máxima permisible del sistema de tratamiento de la información aumenta hasta un punto en el que la anchura del impulso es igual al retardo máximo de enganche más el desalineamiento máximo de reloj, $MLD + CS$. Un aumento en la anchura de impulso más allá del valor $MLD + CS$ no produce ningún aumento correspondiente en la frecuencia mientras que hay un aumento en el retardo mínimo del camino de información D_{min} . Si se selecciona la anchura del impulso de reloj, según la presente invención, de manera que sea prácticamente igual a $MLD + CS$, el sistema de tratamiento de la información puede utilizarse a la frecuencia máxima con el menor número posible de circuitos, Utilizando el sistema de tratamiento de la información a una anchura de impulso superior al retardo máximo de enganche MLD pero inferior a $MLD + CS$ se tiene la ventaja también de aumentar la frecuencia máxima permisible para utilizar el sistema de tratamiento de la información, lo cual, lógicamente, represente una ventaja. Por otra
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.



- parte, utilizando el sistema de tratamiento de la información con una anchura de impulso superior al valor $MLD + CS$ se asegura que la máquina pueda utilizarse siempre a la frecuencia máxima. Por ejemplo, si se utiliza el sistema del tratamiento de la información a una anchura de impulso de reloj CPW que sea un 10% superior al valor $MLD + CS$ se obtiene una zona de seguridad del 10% que asegura que el sistema del tratamiento de la información no actúe por debajo de la frecuencia máxima permisible.
- 5.
10. Aunque la invención se ha mostrado y descrito particularmente con referencia a unas realizaciones preferidas de la misma, cualquiera entendido en la técnica comprenderá que los anteriores y otros cambios en forma y detalle podrán introducirse en la misma sin apartarse por ello del ámbito y del espíritu de la invención.
- 15.

N O T A

20. Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento corresponde a una solicitud de patente presentada en
25. Estados Unidos de América con el número 302.222, el 30 de octubre de 1.972, acogíndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento, y por lo que se solicita Patente de Invención por 20 años en España sobre:
30. PERFECCIONAMIENTOS EN SISTEMAS DE PROCESO DE DATOS, caracterizándose por lo siguiente:

420348

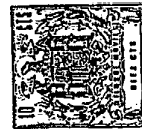


- 23 -

- 1.- Perfeccionamientos en sistemas de proceso de datos, del tipo de los que comprenden una pluralidad de circuitos de retención para propagar datos a través de trayectorias de datos y para retener datos de trayectoria de datos bajo el control de señales cronométricas de un aparato de reloj, presentando dichas señales de reloj una diferencia de fase cronométrica igual o menor que una diferencia de fase cronométrica máxima y reteniendo dichos circuitos de retención los datos dentro de un periodo inferior a un retardo de retención máximo, caracterizados porque el aparato de reloj se dota de medios cronométricos generadores de señales de reloj de frecuencia F para determinar un tiempo de ciclo CT igual a $1/F$, siendo dicha diferencia de fase cronométrica máxima CS , siendo dicho retardo de retención máximo MLD , y presentando dichas trayectorias de datos retardos menores que un retardo máximo de trayectoria de datos D_{max} y en su caso mayores que un retardo mínimo de trayectoria de datos D_{min} , y porque dichos medios cronométricos se dotan además de órganos generadores de dichas señales de reloj con una longitud de pulsación CPW mayor que MLD , siendo la suma de CPW y CS menor que D_{min} , y siendo CT mayor que D_{max} .
- 5.
- 10.
- 15.
- 20.

- 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque el aparato de reloj del sistema que comprende una pluralidad de circuitos de retención para propagar datos a través de trayectorias de datos y para retener datos de trayectorias de datos bajo el control de señales cronométricas de un aparato cronométrico, presentando dichas señales cronométricas una diferencia de fase cronométrica igual o menor que una diferencia de fase cronométrica máxima y reteniendo dichos circuitos de retención los datos dentro de un periodo inferior a un retardo de retención máximo, se dota de medios
- 25.
- 30.
- 129*

420348



- 24 -

- cronométricos generadores de señales cronométricas de frecuencia F para determinar un tiempo de ciclo CT igual a $1/F$, siendo dicha diferencia de fase cronométrica máxima CS , siendo dicho retardo de retención máximo MLD , y presentando dichas trayectorias de datos retardos menores que un retardo máximo de trayectoria de datos $Dmax$, y porque dichos medios cronométricos se dotan además de medios generadores de dichas señales cronométricas con una longitud de pulsación mayor que $CS+MLD$ y de modo que CT sea mayor que $Dmax$.
5. 3.- Perfeccionamientos según la reivindicación 2, caracterizados porque dichos medios cronométricos se constituyen por un generador de ondas rectangulares para generar una señal ondulada rectangular, una primera trayectoria destinada a recibir dicha señal ondulada rectangular, una segunda trayectoria destinada a recibir dicha señal ondulada rectangular y presentando un retardo mayor que dicha primera trayectoria, y medios para combinar lógicamente las salidas de dichas trayectorias primera y segunda para generar dichas señales cronométricas en forma de señales onduladas rectangulares de longitud de pulsación mayor que dicho retardo máximo de retención e incluyendo al menos una porción de la diferencia de fase cronométrica.
10. 4.- Perfeccionamientos según la reivindicación 3, caracterizados porque dicha segunda trayectoria se dota de una pluralidad de puertas lógicas y porque dichos medios para combinar lógicamente las salidas se constituyen por una puerta NO.
15. 5.- Perfeccionamientos según las reivindicaciones anteriores caracterizados porque se dispone en el sistema que comprende una pluralidad de circuitos de almacenamiento para almacenar señales de datos de entrada bajo el control de señ-
- 20.
- 25.
- 30.



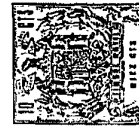
- 25 - 420348

5. Les de reloj, operando dichos circuitos de almacenamiento con un retardo menor que un retardo máximo MLD, así como una pluralidad de trayectorias de datos para propagar las señales de datos entre los circuitos de almacenamiento, una pluralidad de trayectorias de datos que interconectan entre sí dichos circuitos de almacenamiento, presentando cada trayectoria de datos un retardo menor que un retardo máximo D_{max} y mayor que un retardo mínimo D_{min} , y medios generadores de señales de reloj de frecuencia F para determinar un tiempo de ciclo CT igual a $1/f$ superior a D_{max} y para distribuir las señales de reloj a dichos circuitos de almacenamiento con una diferencia de fase menor que una diferencia de fase máxima CS , siendo la longitud de pulsación de dichas señales de reloj mayor que $CS+MLD$.

10. 15. 6.- Perfeccionamientos según la reivindicación 5, caracterizados porque dichos medios generadores de señales de reloj se constituyen por un generador de ondas rectangulares para generar una señal ondulada rectangular, una primera trayectoria de circuitos para recibir dicha señal ondulada rectangular, una segunda trayectoria de circuitos para recibir dicha señal ondulada rectangular y que presenta un retardo mayor que dicha primera trayectoria de circuitos, y medios para combinar lógicamente las salidas de dichas trayectorias de circuitos primera y segunda para generar dichas señales de reloj en forma de señales onduladas rectangulares de longitud de pulsación mayor que dicho retardo máximo MLD e incluyendo al menos una porción de la diferencia de fase cronométrica.

20. 25. 30. 7.- Perfeccionamientos según la reivindicación 5, caracterizados porque dichos circuitos de almacenamiento se constituyen por elementos de disparo de umbral.

420348



- 26 -

5. 8.- Perfeccionamientos según la reivindicación 7, caracterizados porque dichos circuitos de almacenamiento se constituyen por circuitos de retención dotados de una salida bies-
table en función de los niveles de umbral de las señales de entrada de datos y de las señales de reloj.

10. 9.- Perfeccionamientos según las reivindicaciones anteriores, caracterizados porque con el sistema que comprende una pluralidad de circuitos de almacenamiento para almacenar señales de datos en un tiempo menor ue un retardo máximo MLD, asi como una pluralidad de trayectorias de datos que interconectan entre sí los circuitos de almacenamiento para propagar señales de datos entre los circ itos de almacenamiento bajo el control de señales de reloj provistas de una diferencia de fase cronométrica, y presentando las trayectorias de datos retardos menores que un retardo máximo Dmax y mayores que un retardo mínimo Dmin, se realizan las etapas de generar señales de reloj de frecuencia F para determinar un tiempo de ciclo CT igual a $1/F$, presentando estas señales de reloj una longitud de pulsación mayor que MLD de modo que incluyan al menos una porción de la diferencia de fase cronométrica y un tiempo de ciclo CT mayor que Dmax, y de distribuir dichas señales de reloj con una diferencia de fase cronométrica menor que una diferencia de fase cronométrica máxima CS a circuitos de almacenamiento primero y segundo interconectados entre sí por una trayectoria de datos determinada, de modo que la señal de datos quede transferida del primer circuito de almacenamiento al segundo circuito de almacenamiento, a través de dicha trayectoria de datos.

30. 10.- Perfeccionamientos según la reivindicación 9, caracterizados porque dichas señales de reloj son generadas por

10



420348

- 27 -

- las etapas de generar una señal ondulada rectangular, de distribuir dicha señal ondulada rectangular a través de una primera trayectoria de circuito, de distribuir dicha señal ondulada rectangular a través de una segunda trayectoria de circuito provista de un retardo mayor que el retardo de dicha primera trayectoria de circuito, y de combinar lógicamente las salidas de las trayectorias de circuito primera y segunda, generando de este modo una señal de reloj ondulada rectangular con una longitud de pulsación mayor que MLD y que comprende al menos una porción de la diferencia de fase cronométrica.
5. 10.

- 11.- Perfeccionamientos según las reivindicaciones anteriores caracterizados porque con el sistema que comprende una pluralidad de circuitos de almacenamiento para almacenar señales de datos en un tiempo menor que un retardo máximo MLD asi como una pluralidad de trayectorias de datos que interconectan entre sí los circuitos de almacenamiento para propagar señales de datos entre los circuitos de almacenamiento bajo el control de señales cronométricas provistas de una diferencia de fase cronométrica provista de una diferencia de fase cronométrica menor que una diferencia de fase cronométrica máxima CS, presentando dichas trayectorias de datos retardos menores que un retardo máximo D_{max} y mayores que un retardo mínimo D_{min} , se realizan las etapas de generar señales del reloj de frecuencia F para determinar un tiempo de ciclo CT igual a $1/F$, siendo generadas estas señales de reloj con una longitud de pulsación CPW mayor que MLD, con CT mayor que D_{max} , y con $CPW+CS$ menor que D_{min} , y de distribuir dichas señales de reloj con una diferencia de fase cronométrica menor que CS a circuitos de almacenamiento primero y segundo interconectados entre sí por una trayectoria de datos determinada, de modo que
15. 20. 25. 30.
- ps*



420348

- 28 -

la señal de datos quede transferida del primer circuito de almacenamiento al segundo circuito de almacenamiento, a través de dicha trayectoria de datos.

5. 12.- Perfeccionamientos según las reivindicaciones anteriores, caracterizados porque el aparato cronométrico del sistema que comprende una pluralidad de circuitos de retención de umbral para propagar datos a través de trayectorias de datos y para retener datos de trayectorias de datos bajo el control de señales de reloj procedentes del aparato de reloj, presentando dichas señales de reloj una diferencia de fase cronométrica igual o menor que una diferencia de fase cronométrica máxima y reteniendo dichos circuitos de retención de datos en un periodo menor que un retardo máximo de retención, se dota de medios cronométricos generadores de señales de reloj, de frecuencia F para determinar un tiempo de ciclo CT igual a $1/F$ siendo dicha diferencia de fase cronométrica máxima CS , siendo dicho retardo máximo de retención MLD , presentando dichas trayectorias de datos retardos menores que un retardo máximo de trayectoria de datos D_{max} y mayores que un retardo mínimo de trayectoria de datos D_{min} , y porque dicho aparato de reloj comprende además medios generadores de dichas señales de reloj con una longitud de pulsación CPW sustancialmente igual a $CS+MLD$, siendo $CPW+CS$ menor que D_{min} , y con CT mayor que D_{max} , de modo que dicho sistema pueda operar sustancialmente a la frecuencia cronométrica máxima.
- 10.
- 15.
- 20.
- 25.

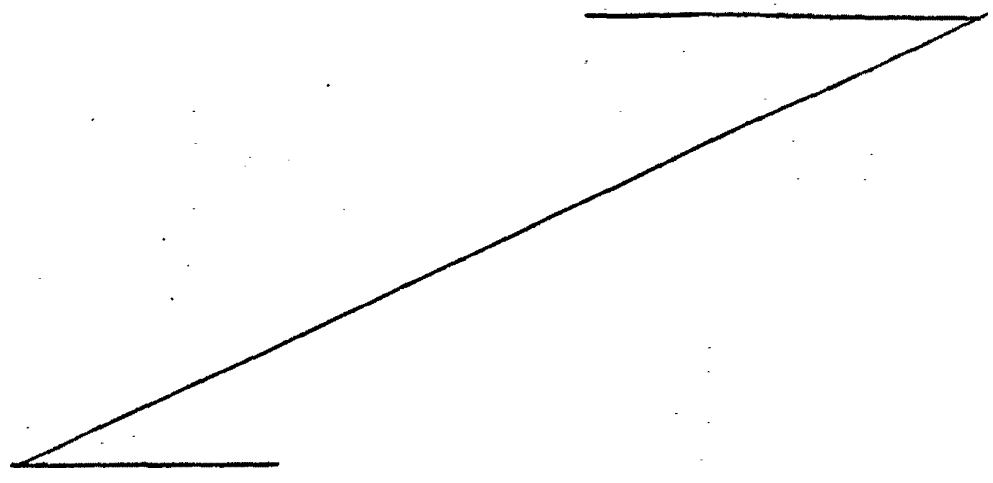
Rg

30.

13.- Perfeccionamientos según las reivindicaciones anteriores caracterizados porque el aparato de reloj del sistema del tipo de los que comprende una pluralidad de circuitos de retención de umbral para propagar datos a través de trayectorias de datos y para retener datos de trayectorias de datos ba



- jo el control de señales del reloj procedente de un aparato de reloj, presentando dichas señales de reloj una diferencia de fase cronométrica igual o menor que una diferencia de fase cronométrica máxima y reteniendo dichos circuitos de retención datos en un periodo menor que un retardo máximo de retención
5. se dota de medios cronométricos generadores de señales de reloj de frecuencia F para definir un tiempo de ciclo CT igual a $1/F$, siendo dicha diferencia de fase cronométrica máxima CS , siendo dicho retardo máximo de retención MLD , presentando
10. dichas trayectorias de datos retardos menores que un retardo máximo de trayectoria de datos D_{max} y mayores que un retardo mínimo de trayectoria de datos D_{min} , y porque dichos medios cronométricos comprenden además medios generadores de dichas señales de reloj con una longitud de pulsación CPW mayor que
15. $MLD+CS$, siendo $CPW+CS$ menor que D_{min} , y CT mayor que D_{max} , de modo que dicho sistema puede operar a la máxima frecuencia cronométrica.
- 14.- Perfeccionamientos en sistemas de proceso de datos, tal y como queda sustancialmente descrito en la presente Memoria, y en los dibujos adjuntos.
- 20.



kg

15
420348



Esta Memoria consta de treinta hojas, escritas a máquina por una sola cara.

Madrid, 16 ENE. 1976

AMDAHL CORPORATION.

GONZALEZ ACEBO Y ROBET
Firmados: L. Gastón Fernández
[Handwritten signature]

[Handwritten mark]

420718

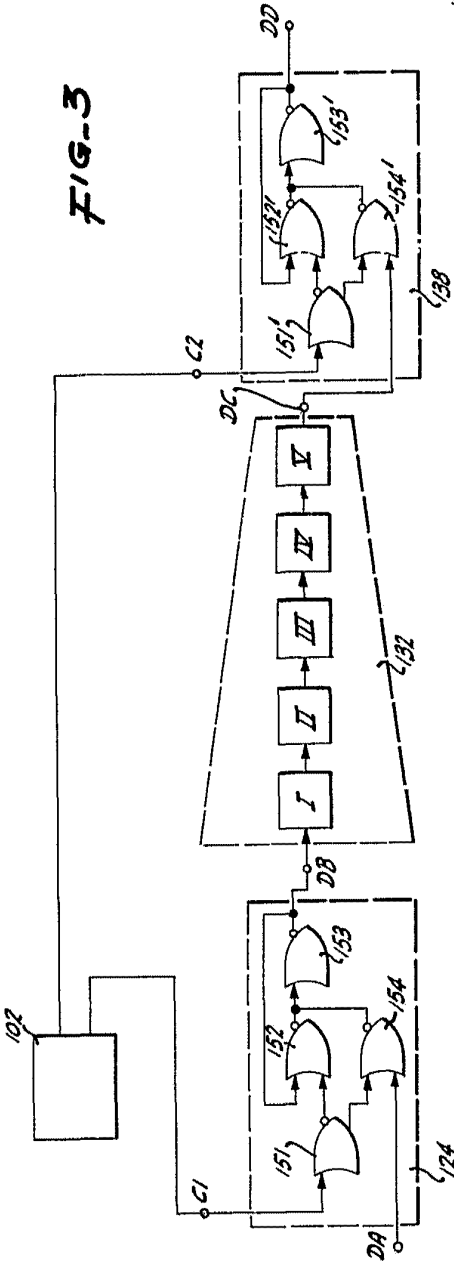


FIG-3

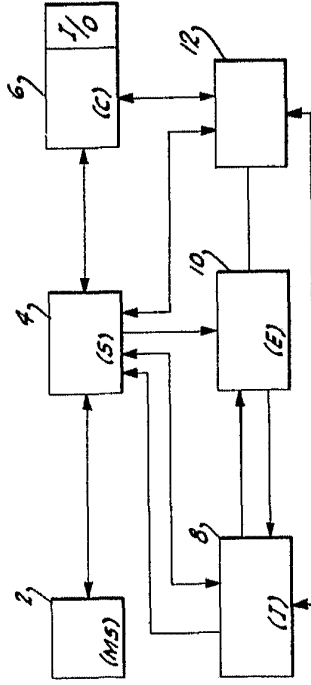


FIG-1

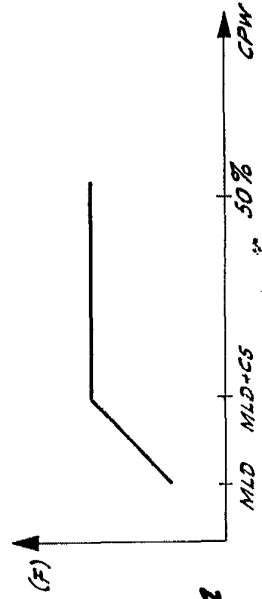


FIG-4

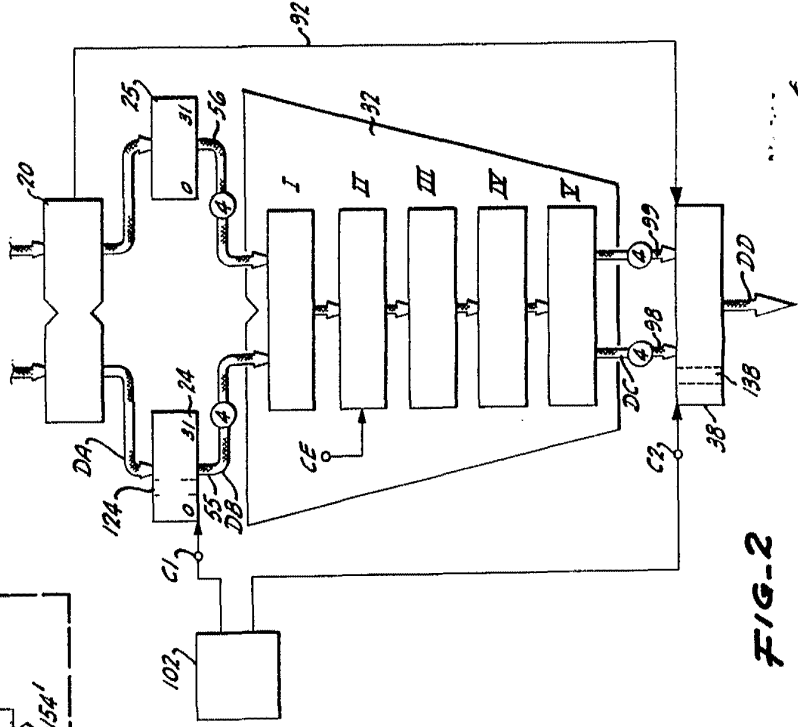


FIG-2

Handwritten signature

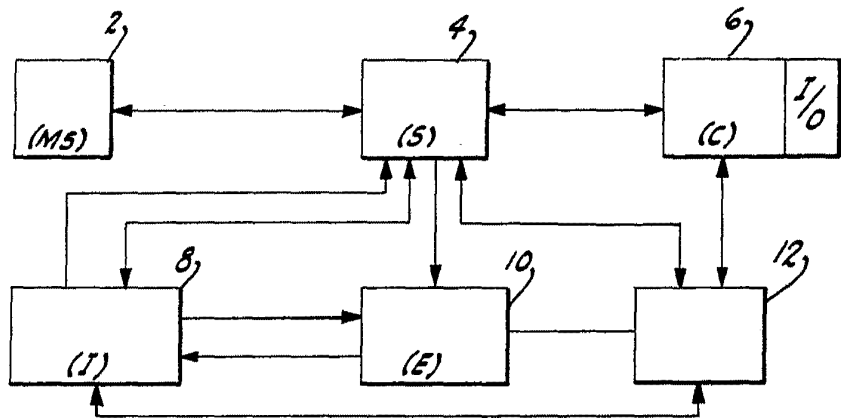
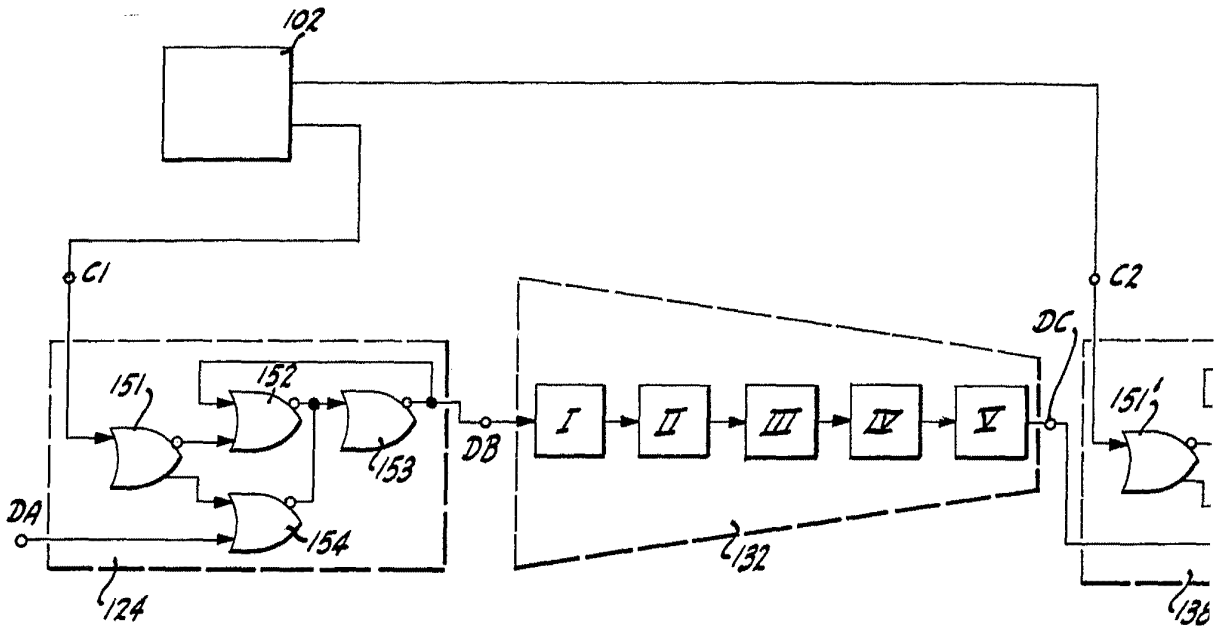


FIG. 1

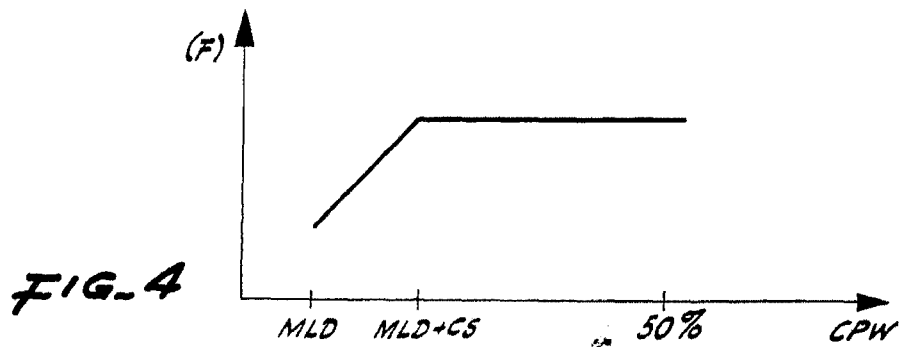


FIG. 4

420348



FIG. 3

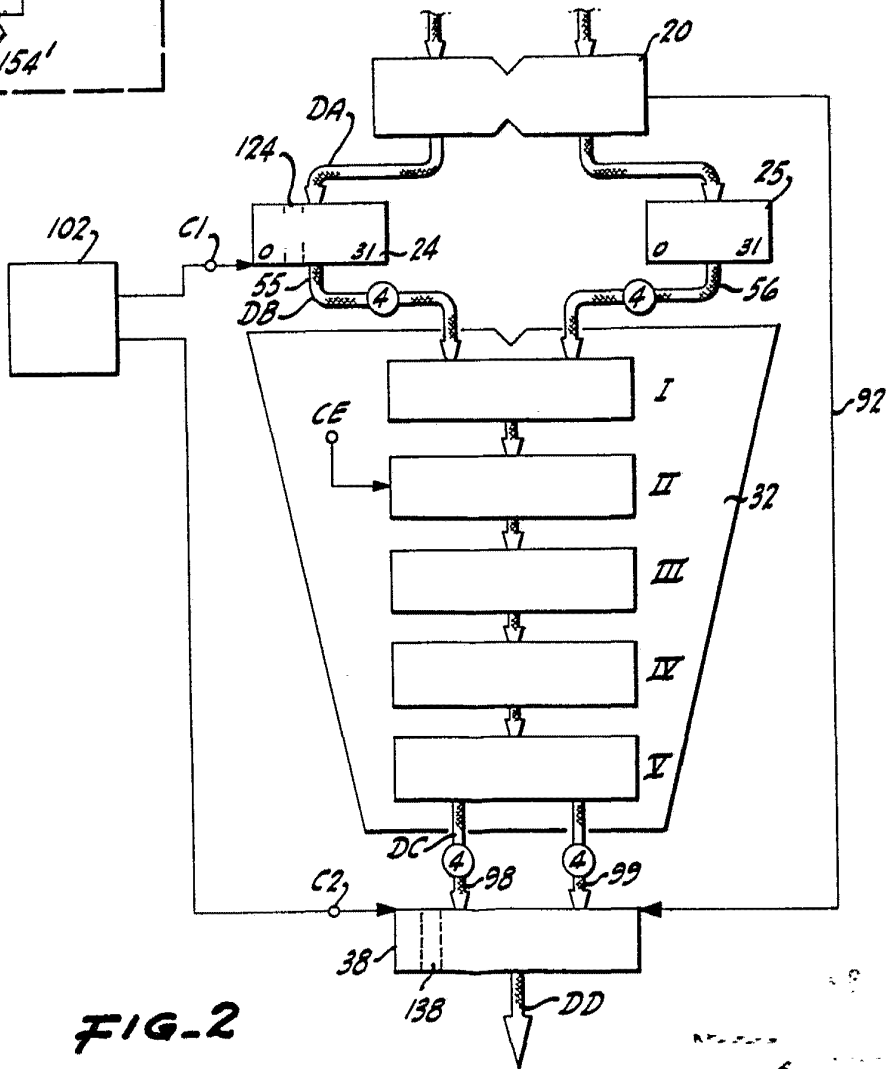
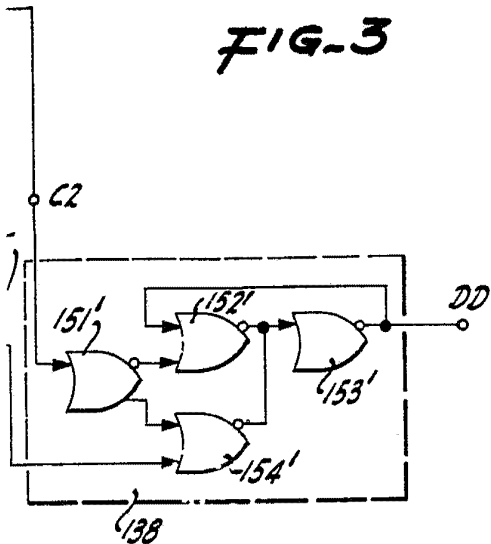


FIG. 2

1976 ENE 1976

[Handwritten signature]

