

20344



PATENTE DE INVENCIÓN

O. 10885

606 F

Memoria Descriptiva

sobre:

PERFECCIONAMIENTOS EN SISTEMAS DE PROCESO DE DATOS.

Solicitante: AMDAHL CORPORATION, una sociedad constituida según las Leyes del Estado de Delaware, Estados Unidos, SUNNYVALE, California (Estados Unidos de América), 1160 Kern Avenue.

La presente invención trata de un sistema de tratamiento de la información y un procedimiento para el mismo y, más concretamente, a la transferencia de información entre la memoria central y la unidad central por medio de una memoria rápida intermedia.

420344



5 En un computador en gran escala, la eficiencia del funcionamiento mejora proporcionando una memoria "caché" o memoria
tampón entre la memoria central, relativamente grande y la unidad central (CPU) . Los parámetros lógicos tales como el tamaño
de la línea, el tamaño de la memoria tampón, la anchura del sumador, etc., se determinan por el rendimiento deseado para un coste
base determinado. No obstante, los criterios utilizados para las anchuras físicas reales de ambas vías principales de transmisión de información y los diversos registros incluyen el coste,
10 la complejidad y el tiempo de ciclo. Por ejemplo, idealmente se proporcionaría una anchura muy importante de vía principal de transmisión para una máxima velocidad de transferencia de información entre la memoria central y la memoria intermedia. No obstante, esto disminuye la fiabilidad ya que el gran número de cables y conectores aumenta la probabilidad de fallo. De igual manera, se prefiere una vía de transmisión de poca anchura para
15 acoplar la memoria intermedia a la unidad central ya que de esta forma se reduce el tamaño de los registros y de las puertas necesarias en la unidad central. Pero, por otra parte, una vía de
transmisión de poca anchura exige ciclos adicionales de memoria
20 intermedia para completar la transferencia lógica de toda la línea.

Según todo lo expuesto, conviene disminuir en lo posible la cantidad de tiempo para transferir la información entre la memoria central y la memoria intermedia y la unidad central. Cualquier puerta adicional exigida por la complejidad en la unión entre la memoria central y la unidad central normalmente aumenta la cantidad de puertas y por lo tanto el tiempo adicional del ciclo. Esto es especialmente cierto cuando la anchura de la vía de
25 transmisión de información que conecta la memoria principal con
30

420344



la memoria tampón, es de tamaño diferente que la vía de transmisión que acopla la memoria intermedia con la unidad central.

Un objeto más de la presente invención es el de proporcionar un sistema perfeccionado de tratamiento de la información y procedimiento para el mismo que utiliza una memoria tampón pero sin dejar de mantener un tiempo bajo del ciclo.

Según este objeto, se proporciona un sistema de tratamiento de la información que tiene una unidad central, una memoria central y una memoria tampón rápida que acopla la unidad central con la memoria central. La memoria central se acopla a la memoria tampón rápida por medio de una conexión de líneas paralelas que podrá recibir una cantidad predeterminada de bytes para la información tanto de salida como de entrada en la memoria central.

La memoria intermedia rápida comprende una serie de unidades de memoria para registrar la serie predeterminada de bytes. Cada una de las unidades corresponde a un byte predeterminado. Se proporcionan medios de puerta para agrupar las salidas de información de pares no secuenciales de todas las memorias. Las salidas de información de las series de memorias se acoplan separadamente de nuevo a la memoria central para introducir dicha serie predeterminada de bytes. Solo una memoria de cada uno de los pares queda habilitada en un momento dado. Unos medios de registro de palabra (WR) van acoplados a las puertas para registrar una serie de bytes correspondientes a los pares. Este número es una fracción de la serie predeterminada de bytes. Los medios de registro de palabras van también acoplados a la unidad central.

Desde el punto de vista del procedimiento, se proporciona un procedimiento de tratamiento de la información para transferir información entre una memoria central y una unidad central utilizando una memoria tampón rápida. Ocho bytes de información

420344



se mueven en paralelo desde la memoria central a la memoria tampón rápida, y esto se repite durante cuatro ciclos, para proporcionar una línea de información de treinta y dos bytes. Cuatro de los treintay dos bytes son extraídos secuencialmente de la memoria tampón rápida a la unidad central. Cuatro bytes de la unidad central se registran en la memoria tampón rápida. Treinta y dos bytes de información se extraen de la memoria tampón rápida a la memoria central en cuatro ciclos.

5

La figura 1 es un esquema general de bloques del sistema de tratamiento de la información de la presente invención;

10

La figura 1A ilustra el formato de la dirección de la memoria tampón.

La figura 2 es un esquema más detallado de la memoria tampón de la figura 1;

15

La figura 3 es una vista en perspectiva de los elementos reales de la memoria de la figura 2;

La figura 4 es una vista en perspectiva de una parte de la figura 3 muy ampliada en sus detalles;

20

Las figuras 5A y 5B son esquemas lógicos detallados de una parte de la figura 2;

Las figuras 6A y 6B son esquemas lógicos detallados de una parte de la figura 2; y

25

La figura 7 es un esquema de control útil para comprender el funcionamiento de la lógica de las figuras 5A y 5B, 6A y 6B y para comprender el funcionamiento de un bloque de la figura 2.

30

La figura 1 ilustra un esquema de bloques que es típico de un computador de gran tamaño. El computador incluye una memoria central 10 que va acoplada a una memoria tampón rápida 11 que tiene una porción primaria 12 y una porción alternativa 13. El

420344



acoplamiento se realiza en una vía de transmisión paralela de 8 bytes, designándose a la vía de transmisión de salida de información con MS DO y a la vía de transmisión de entrada a la memoria central con MS DI. La memoria intermedia rápida 11 puede registrar 512 líneas de información de la memoria central 10 con una línea que tiene una anchura lógica de 32 bytes. La configuración de la línea de 32 bytes es standard en muchos computadores de gran tamaño. La memoria tampón rápida 11, por lo tanto, registrará 256 líneas de información en su porción primaria 12 y 256 líneas de información en la porción alternativa 13.

Una línea de información de 32 bytes se lee en entrada y en salida de la memoria central 10 en cuatro ciclos de 8 bytes cada uno. La memoria tampón rápida 11 se ajusta asociada a la memoria central 10; es decir, una dirección dada en la memoria central tiene un emplazamiento predeterminado en cada una de las mitades 12 y 13 de la memoria intermedia rápida 11. Como se conoce perfectamente la técnica, estos emplazamientos en la memoria tampón rápida 11 pueden no ser idénticos en las mitades primaria y alternativa.

La memoria intermedia rápida 11 va acoplada a una unidad central de tratamiento 14 que incluye una unidad de ejecución 16 y una unidad de instrucciones 17, y va también acoplada a una unidad de canal 18 por las vías de transmisión de 4 bytes 19 y 21, respectivamente. La manipulación de la unidad inicial de 8 bytes de información registrada en la memoria intermedia 11 se realiza por la unidad de manipulación de la información 22 (que forma también parte de la memoria intermedia 11) que se explicará más adelante con mayor detalle. El direccionamiento se proporciona por medio de un generador efectivo de dirección 23 acoplado a la unidad de instrucciones 17, y un control de dirección 24.

420344



Una unidad de interconexión de la memoria central 26 acoplada a la memoria central 10 proporciona también la extracción e introducción de datos en la memoria central.

5 El funcionamiento general del computador, incluida la unidad central 14, la unidad de canal 18, la memoria intermedia 11 y la memoria central 10 se expone en una solicitud también pendiente titulada SISTEMA DE TRATAMIENTO DE LA INFORMACION, a nombre de Amdahl et al , depositada el 10 de Octubre de 1.972, con el número de serie 302.221.

10 La figura 1A ilustra una dirección típica de registro para la memoria central 10 que tiene 24 bits de longitud. Los bits 0 a 18 designan la línea de la memoria central que se desea, los bits 0 a 10 son para fines de indicación y los bits 11 a 18 direccionan la memoria intermedia rápida. Los bits 19 a 23 son a efectos de control que se expondrán más adelante. En general, el sistema de tratamiento de la información que se expone en la figura 1 puede programarse con todos los programas IBM 360 e IBM 15 370.

20 La figura 2 ilustra con mayor detalle una memoria tampón rápida 11 junto con el aparato de control correspondiente para transferir la información entre la memoria central y la memoria intermedia. Junto con la porción de registro primario 12y una porción de registro alternativo 13, se encuentra una información de la memoria intermedia rápida en el registro 31 que tiene una 25 capacidad de memorización para 8 bytes de A a H. La vía de transmisión de salida de información, MS-00 de la memoria central, va acoplada al registro 31 así como a las entradas procedentes de la unidad central. No obstante, estas entradas se acoplan a través de una lógica de selección y alineación de memorias 32. La 30 salida de esta lógica tiene 4 bytes de ancho dado que se trata

420344



de la interconexión entre la unidad central y la memoria tampón 11. El registro 31, para acomodar esta anchura de 4 bytes, acopla el mismo byte de información procedente de la selección y alineación 32 de la memoria en un par de sus unidades de registro. Así, la memoria tampón rápida aparece ante la información de entrada de 4 bytes como dos registros de información de 4 bytes, con los pares de bytes A/E, B/F, C/G y D/H cargados con la misma información que se dice a continuación. Unas señales de habilitación acopladas a las porciones 12 y 13 de la memoria tampón seleccionan los bytes apropiados que deben escribirse.

Así, resumiendo brevemente, la estructura de información proporcionada por la memoria intermedia 11 y su registro 31 es realmente una estructura de 8 bytes para la vía de transmisión de salida MS DO de la memoria central y, al mismo tiempo, una estructura de 4 bytes para la información procedente de la unidad central o del canal.

No obstante, cuando debe introducirse información de 4 bytes en la memoria tampón 11, debe procederse a una selección de la información. Esto se realiza con la lógica de selección de memoria 32. Una vez efectuada la selección, se necesita alineación que es la inversa de la alineación que ocurre en las salidas de la memoria tampón 11 cuando se leen 4 bytes. Esta alineación debe ocurrir de forma que los bytes de entrada estén alineados correctamente en la misma forma en la que está dispuesta la misma memoria tampón. Así, concretamente, cuando un byte debe registrarse en las posiciones 0, 8, 16 o 24 de la línea de 32 bytes de la memoria primaria 12, debe colocarse en el byte "A" del registro 31.

La alineación es simplemente una rotación. Esta alineación se expondrá con mayor detalle en relación con la alineación

420344



de la salida de la memoria tampón 11 y por lo tanto la alineación de la memoria de entrada se realizará utilizando la misma técnica.

5 Las salidas de información de las diversas unidades de registro de la memoria tampón 11 se acoplan a la unidad primaria 34 de extensión de signos y alineación y a la unidad alterna 36. Estas salidas se acoplan de nuevo a la memoria central a través de las líneas MS DI por medio del registro 33 de salida de información de la memoria rápida tampón. Como se indica en 30, las líneas de salida de información de las porciones primarias y alterna de la memoria tampón 12 y 13, se agrupan a "DOT ORed" en la entrada del registro DO 33 de la memoria intermedia rápida.

10 Las unidades primarias de alineación y extensión de signos 34 y 36, en combinación con el registro de palabras 37 forman parte de la unidad de manipulación de datos 22 (figura 1) - que incluye también una unidad de control de desplazamiento y alineación 39, que proporciona las diversas entradas de control a las unidades de alineación 34 y 36, y responde a las diversas entradas de control procedentes de la unidad central 14.

15 La figura 3 ilustra la forma física equivalente de la memoria intermedia primaria 12. Incluye un bloque bajo 41 y un bloque alto 42, cada uno de los cuales tiene 4 bytes de ancho. En el caso del bloque 41 se indican con los bytes A, B, C y D y en el bloque 42 con los bytes E, F, G y H. Así, hay ocho filas de 4 bytes cada una, que pueden designarse, en el caso del bloque bajo, empezando con los bytes 0, 8, 16 y 24 y en el caso del bloque alto, con los bytes 4, 12, 20 y 28. Cada memoria de un bloque registrarán un byte y deben registrarse 32 bytes. Desde el punto de vista de entrada de la información, tal como se ilustra los bytes 0, 8, 16 y 24 están unidos entre sí y alimentan la in-

420344



5 formación desde una línea de entrada A procedente del registro de información 31 (figura 2). De igual modo, en el bloque alto 42, los bytes 4, 12, 20 y 28 están unidos entre sí y la información se introduce desde el byte E del registro 31. De la misma manera, las entradas de información para los bytes restantes que se indican se encuentran unidas entre sí como puede verse por el esquema de numeración ilustrado en la figura 2 para la memoria primaria 12.

10 Las salidas de información de las unidades de memoria corresponden a las entradas con el ejemplo en el bloque bajo 41 de los bytes 0, 8, 16 y 24 unidos entre sí para formar la línea de salida de información A. En realidad, esta línea tiene, lógicamente, nueve líneas, ya que el byte tiene 9 bits; 8 bits de información y un bit de paridad. Cuando se introducen 8 bytes de información procedentes del registro de información 31 (que fueron recibidos de la memoria central), al principio se llenan los bytes 0 a 7 y posteriormente los bytes 8 a 15, 16 a 23 y 24 a 31 en ciclos sucesivos. Esto puede verse con claridad examinando la unidad 12 de la figura 2.

20 La figura 4 indica la forma física real de las unidades de memoria para los bytes 0,8,16 y 24 de la figura 3, y más concretamente, el byte 0. Dado que en la memoria primaria hay 256 líneas de información que debe registrarse (véase figura 1), el byte 0 incluye dos placas de registro de semiconductores 43 y 44 para el bit 0 de dicho byte, que totalizan 256 bits. Cada placa 25 43 y 44 tiene unas entradas de capacitación designadas capacitación cero y capacitación primaria, junto con una dirección de 7 líneas ($2^7 = 128$). La línea primaria de capacitación incluye una puerta Y para recibir el octavo bit de dirección con lo que puede 30 direccionarse uno de 256 bits (2 placas). Esto corresponde a una

420344



línea de 256 líneas de la memoria primaria 12. Para proporcionar un byte entero, se proporciona una fila de 9 placas. Se proporciona un octavo bit de dirección para seleccionar la línea decodificada tal como se ilustra en la figura 1A con los bits 11 a 18 de la dirección de registro.

Las figuras 5A, 5B, 6A y 6B ilustran con mayor detalle la memoria tampón rápida 11, incluidas las unidades primaria y alterna 12 y 13 y las unidades de alineación de información 34 36 tal como se ilustra en la figura 2 en forma de esquema de bloques. Haciendo referencia a las figuras 5A, 5B, 6A y 6B juntas, las salidas de información incluyen unas líneas designadas MS 0 a MS 7 que proporcionan la vía de transmisión de entrada de información de 8 bites de anchura a la memoria central tal como se ilustra en la figura 1, designada con MS DI y tal como se ilustra en la figura 2. Además, las líneas de registro de palabras designadas WRO a WR3 proporcionan una entrada de información y del bit de paridad al registro de palabra 37 de la figura 2. Desde el punto de vista de la entrada, la unidad de memoria 11 tiene unas entradas de información correspondientes a la figura 3 desde el registro de información 31 de la figura 2. No obstante, para mayor claridad, no se ilustran estas entradas de información y en las figuras 5A, 5B, 6A y 6B únicamente se ilustran las entradas de control de capacitación.

En las figuras 5A, 5B, 6A y 6B se han utilizado los siguientes signos convencionales.

G es una puerta de información

A es una función "Y"

I es una función "N" o "Invertir".

O es una función "0".

Un grupo de cables en círculo es un haz que se envía y



una señal de control en una puerta se indica con una cabeza de flecha.

Los bites A a F de la memoria 11 se indican separadamente; es decir, en las figuras 5A y 5B los bytes A y E y sus alternos y los bytes B y F y sus alternos. Las figuras 6A y 6B se ilustran los bytes C y G y sus alternos y los bytes D y H y sus alternos.

La estructura lógica detallada de la memoria tampón genera y sus unidades de manipulación de la información se explica mejor en una secuencia típica de funcionamiento. Esa secuencia incluiría una entrada de 8 bytes procedentes de la memoria central a la memoria tampón 11, la extracción de 4 bytes de la memoria tampón rápida 11 a la unidad central a través del registro de palabras, el registro de 4 bytes en la memoria tampón rápida desde la unidad central y la salida de 8 bytes de nuevo a la memoria central.

Suponiendo que la memoria tampón esté vacía y la dirección de registro efectúa una petición, la unidad de canal 13 tal como se ilustra en la figura 1, o la unidad central 14, una línea completa de información (32 bytes) que contiene el byte solicitado pasará a la memoria tampón, de 8 en 8 bytes. Así, se necesitarán 4 ciclos. Los 8 primeros bytes se presentan a las memorias individuales de la memoria tampón y se introducen en las posiciones cero a 7 de los bytes; en un segundo ciclo la información se introduce en los bytes 8 a 15; en un tercer ciclo 16 a 23 y en el cuarto ciclo 24 a 31. Dado que la misma vía de transmisión de información de entrada tiene solo 8 bytes de ancho, los 4 ciclos se separan por las diversas líneas de capacitación acopladas a los correspondientes bytes de las unidades de almacenamiento.

420344



Más concretamente, con relación a la función de capacitación para un movimiento de 8 bytes al interior de la memoria tampón 11, la estructura de dirección indicaría que esta entrada en la memoria comenzará con el byte 0. Esto hará que las líneas de capacitación 0, 1, 2 y 3 sean activas. Además, el hecho de que se trate de una transferencia de 8 bytes, hará igualmente que sean activas las líneas de capacitación 4, 5, 6 y 7. Este control de transferencia de 8 bytes es una salida procedente de la memoria central 26 ilustrada en la figura 1. Así, aunque tal como se ilustra la figura 3, las líneas de la información de entrada serían comunes para las posiciones de bytes 0, 8, 16 y 24, solo se llenaría el byte 0. Para el segundo ciclo de transferencia la estructura de direccionamiento indicaría que se transfería al byte 8, lo que permitiría que las líneas de capacitación 8, 9, 10 y 11 estuviesen activas, y dado que se trata de una transferencia de 8 bytes, haría igualmente que las líneas de capacitación 12, 13, 14 y 15 estuviesen activas. El procedimiento de activación de las líneas de capacitación ocurre hasta que ha sido transferido el último grupo de 8 bytes.

En general, la estructura de direccionamiento ilustrada en la figura 1A se presenta a la unidad de control de dirección 24 (figura 1) de la unidad de registro y define cual es el byte que se especifica. No obstante, para una transferencia de 8 bytes en el presente ejemplo, en donde se supone que la primera transferencia de 8 bytes en el presente ejemplo, en donde se supone que la primera transferencia especificaría el byte 0 decodificado los 5 bits de orden inferior de la estructura de direccionamiento, estos bytes son proporcionados por la interconexión M5 26. Así, para el primer ciclo de transferencia, los 5 bits de orden inferior serán todos ceros. A continuación, se provocará una

420344



expansión de 0 a 1, 2 y 3 y se activarán las señales adecuadas de
capacitación. Dado que está indicada una transferencia del byte
0, esto hará que se hagan activas las 4 señales siguientes de ca-
pacitación. Las señales específicas de capacitación capacitarán
5 a los bytes 4, 5, 6 y 7 en vista de todos los ceros en los 5 by-
tes de orden inferior. Para el segundo movimiento de entrada en
el ciclo, la estructura de direccionamiento y las posiciones de
5 bits de orden inferior indicarán el byte 8 con la estructura
01000, que cuando se decodifique indica 8. Esta estructura provo-
ca una expansión de los 3 bytes siguientes, 9, 10 y 11. A con-
10 tinuación, debido a la transferencia de 8 bytes, se activan los
controles de capacitación para los bytes 12, 13, 14 y 15.

De igual modo, en el tercer ciclo, la estructura de bits
de orden inferior es 10000 y para el cuarto y último ciclo la
15 estructura de los bits es de 11000.

Todas estas decisiones se toman en la unidad de control
de direccionamiento 24, que controla las entradas de capacita-
ción de cada una de las memorias individuales.

En la siguiente secuencia normal de funcionamiento, des-
20 pués de haber introducido una línea (32 bytes) desde la memoria
central, se extraen 4 bytes de estos 32 bytes y se acoplan a la
unidad central a través del registro de palabras.

Si la información se envía a un límite exterior de pala-
bra, consistiendo la palabra en 4 bytes, se necesita alineación,
25 de forma que los bytes aparecerán en orden secuencial. Por ejem-
plo, cuando se direcciona un byte y la dirección de entrada espe-
cifica que el byte debe colocarse en la posición más a la izqui-
erda o posición "W" del registro de palabra, esta dirección pue-
de especificar cualquier byte de 0 a 31, dado que una línea de
30 bytes contiene 32 bytes. Desde el punto de vista de la forma de

420344



5 la programación, cuando se especifica un byte de entrada por el
programador como máximo solo pueden transferirse 3 bytes más por
encima de dicho byte en un solo ciclo dado que la anchura de la
vía de transmisión de información en relación con la unidad cen-
tral es de 4 bytes. Por lo tanto, se necesita una alineación en-
tre el registro de palabras de la memoria tampón con el fin de
mantener los 4 bytes en su orden secuencial. Esto se haría sin
tener que acudir a ciclos adicionales para la realineación. Por
ejemplo, si se especifica el byte 17, los 3 bytes subsiguientes
10 serían los 18, 19 y 20. No obstante, observando la figura 3, el
byte 20 está situado en un bloque separado 42 y por lo tanto de-
be ocurrir una cierta alineación ya que el byte 20 no se encuen-
tra en la primera columna del bloque 41. De igual manera, dado
que el byte 20 se encuentra en un bloque diferente, se necesita
agrupamiento.

25 Desde un punto de vista general, las placas de registro
de datos que contienen los bytes de una línea se organizan para
permitir la agrupación de cables. De los 8 bytes, 0, 8, 16, 24, 4
12, 20 y 28, solo uno de ellos posiblemente puede especificarse
para transferencia a cualquier petición de direccionamiento. Es-
20 to se debe a que solo puede transferirse un máximo de 4 bytes.
Sólo una de las 8 líneas de capacitación de estos 8 bytes estará
activa y las otras 7 inactivas. Así, en las líneas de salida de
información de las unidades de registro, concretamente, las lí-
neas A y E, sólo podrá estar activo un byte posible. Por lo tan-
25 to, tal como se ilustra en la figura 5, las líneas A y E podrán
ser agrupadas como se indica en la puerta 51. Lógicamente, las
líneas A y E representan pares no secuenciales de la unidad de
memoria. De hecho, en la realización preferida, el agrupamiento
30 ocurre con pares que están separados por tres bytes entre sí; es



decir, A/B, B/F, C/G, D/H. La separación de 3 bytes es, lógicamente, de uno menos el número de bytes en una palabra. Esta agrupación puede observarse respectivamente en el registro primario y alterno del selector W, que se incluyen en las unidades de alineación 34, 36, relacionándose la W con el byte de W del registro de palabra 37 de la figura 2. Lo mismo ocurre con el registro selector de X, Y y Z.

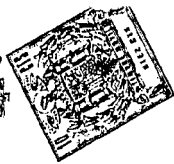
En el presente ejemplo, se supone que los 5 bits de orden inferior de la estructura de direccionamiento (figura 1A) fueron codificados como 10001, lo cual se decodifica en el byte 17. La unidad de control de dirección 24 (figura 1) amplía 17 para incluir también 18, 19 y 20. Por lo tanto, las líneas de capacitación para los bytes 17 a 24 de la memoria 11 estarán activas y el byte 17 aparecerá en la línea B, el byte 18 en la línea C, el byte 19 en la línea D y el byte 20 en la línea E. Esas líneas se agrupan como A/E, B/F, C/G y D/H. Como se expuso anteriormente, la información aparecerá únicamente en uno de cada par de líneas de salida de información. En el caso del byte 17, esta será la línea E, estando inactiva la línea A. Así, con el uso de las entradas de control de capacitación, sólo queda capacitada cada vez una unidad de memoria de cada uno de los pares.

Dado que el byte direccionado inicialmente fué el byte 17, las líneas B y F, que se encuentran en la segunda posición cuando salen de la memoria también el registro 17 deben ser giradas a la primera posición antes de que la información procedente de dichas líneas se coloque en el registro de palabras. Así, cada uno de los juegos agrupados de alamores debe ser girado en una posición. La unidad de control de desplazamiento y alineación 39 (figura 2) detecta la estructura de direccionamiento de los dos bytes de orden inferior para proporcionar la alineación.



Concretamente, el envío, tal como se indica por la flecha, activa las entradas de control B/F del selector W, C/G del selector X, D/H del selector Y y A/E del selector Z. Por ejemplo, el registro selector W incluye junto con la puerta 51 que es activada por la entrada de control B/F, tres puertas adicionales que reciben el resto de los pares agrupados de salidas de información de las unidades de registro 11. Las entradas de control capacitan selectivamente uno de estos pares para proporcionar la alineación. Así, por ejemplo, el selector W puede recibir selectivamente la información de los pares A/E, B/F, C/G y/o D/H.

Todo lo anterior está controlado por la unidad de control de desplazamiento y alineación 39 de la figura 2. Concretamente, en la unidad de control de desplazamiento y alineación 39 existe un mecanismo para decidir que byte de la memoria también debe ser colocada en que posición de bytes del registro de palabras. Las entradas a esta unidad son los 2 bits de orden inferior de la dirección de cinco bits ilustrada en la figura 1A como se ha dicho anteriormente. Haciendo brevemente referencia al esquema de la figura 7, en el se ilustran los diversos estados de estos dos bits de orden inferior, es decir, 00, 01, 10 y 11. Más concretamente, los bits de dirección 22 y 23. En el caso del byte 17, los dos bits de orden inferior son 01. La segunda entrada al registro de control de desplazamiento y alineación es izquierda/derecha pero esto tiene únicamente sentido si la posición es para menos de 4 bytes, como se expondrá más adelante. No obstante, dado que la longitud es de 4, como se ha indicado, siguiendo hacia abajo por la columna, la decodificación 01 y la longitud 4, las X indican que las señales de puerta son B/F a W, C/G a X, D/H a Y y A/E a Z. El esquema de la figura 7 se utilizará con mayor detalle para ilustrar una situación en la que la



longitud es inferior a 4. Con el uso del esquema de la figura 7 la construcción de la lógica apropiada de control sería evidente para cualquiera entendido en la técnica.

5 Haciendo de nuevo referencia a las figuras 5 y 6, la salida de las puertas selectoras W, X, Y y Z se agrupan ("DUT ORed") entre sí; por ejemplo, en el caso de la puerta selectora primaria W, por la puerta O DOT 52. Esto pueda hacerse ya que solo una de las cuatro puertas estará activa en un momento dado debido a la naturaleza de las entradas de control. Las salidas de la puerta O DOT 52 se acopla a los medios de envío de entrada 53 o registro de palabra 37 (figura 2) para el byte W del registro de palabra. Los medios de puerta incluyen también los medios de puerta 54 para el bit de paridad de dicho byte del registro. Los medios restantes de envío de entrada para el registro de palabra se acoplan igualmente al selector correspondiente; específicamente, para el selector X, la puerta de entrada de información 55 y la puerta de paridad 66; para el byte selector Y, la puerta de entrada de información 57 y la puerta de paridad 58; y para el selector Z la puerta de entrada de información 69 y la puerta de paridad 70. Estas puertas incluyen cada una dos porciones unidas ("ORed") entre sí para recibir las porciones primaria y alterna de la memoria tampón 11.

15 En caso de que la unidad central especifique a la memoria tampón que se desea menos de 4 bytes en el registro de palabra debe contener todos los ceros para un byte de información. Además, debe proporcionarse la paridad apropiada que es de "1" para todos los ceros. Esto se obtiene por las señales de entrada de control del bloque 39 de control de desplazamiento y alineación de la figura 2 tal como se ilustra en el diagrama de la figura 7. Se subraya la ilustración especificada. Así, se supone -



que el byte 17 es el byte inicial solicitado siendo los bits de decodificación 22 y 23 de 0, 1 respectivamente, una longitud de tres y justificación a la izquierda. Es evidente que las tres primeras señales de puerta que fueron activas en el caso del byte 17 con una longitud de 4 bytes serían también activas. Así, los bytes 17, 18 y 19 se colocarían en la posición apropiada con el mismo procedimiento anterior. No obstante, el byte 20 no ha sido especificado y se exige que la posición Z del registro de palabra contenga todos los ceros con una buena paridad. Esto se obtendrá ya que no se activará la puerta A/E a Z. Cuando esto ocurra, un generador de bit de paridad, indicado con 61 en la figura 6, que está compuesto por 4 puertas N o de inversión acopladas a las entradas individuales de las señales de control con la salida de la puerta N acoplada a una puerta Y, hará que la puerta Y, dado que existe la condición de coincidencia en todas las señales inactivas de control, produzca un 1. Además, la lógica de selección de salida Z, al no haber ninguna entrada de control activada, será de ceros. La línea de paridad 62 junto con las líneas de información 63 del selector primario Z producirá todos los ceros. Cuando la salida 1 de la puerta Y 61 se agrupa en la puerta de entrada 6U para el bit de paridad del registro de palabra, el resultado del grupo de cero y uno es igual a 1. Así, en la posición de paridad del byte Z del registro de palabra, se carga un 1. Todo lo anterior se aplica al caso de otras longitudes, tal como se ilustra en el esquema de la figura 7.

Quando se desea un operando de semipalabra, en el que el programador desea conservar el registro, la longitud de la palabra solicitada es igual a 2 pero con justificación a la derecha. Así, los 2 bytes situados más a la izquierda, es decir, W y X de registro de palabras permanecen abiertos. En esta situación, si



no se especifica una extensión del signo, los dos bytes más a la izquierda serían ceros en blanco. No obstante, si se especifica la extensión del signo, los dos bytes más a la izquierda del registro de palabra se llenarían con el signo del operando de la semipalabra. Este signo es el bit de orden superior de la longitud de información que se ha especificado. En este ejemplo concreto, 2 bytes.

La razón de que se necesite la extensión de signo con el operando de semipalabra es que la unidad de ejecución actuará únicamente en una palabra completa o 4 bytes. No obstante, con la extensión del signo se simula un operando de palabra completa y por lo tanto la unidad de ejecución y todas las unidades funcionales asociadas con la misma pueden proceder sin ningún conocimiento de la naturaleza real de semipalabra del operando.

Un operando de semipalabra es positivo en su naturaleza si el bit de orden superior, el bit del signo, es un cero. La extensión del signo, en este caso, propagaría todos los ceros. Es decir, si se propaga un cero a través de los dos bytes de orden superior de la palabra, y se presenta un operando completo en la unidad de ejecución, el resultado es un número positivo del mismo valor i del operando de la palabra completa que se había retenido anteriormente en el operando de la semipalabra. Lo mismo ocurre en los números negativos. No obstante, un número negativo en el presente calculador se representa por un complemento aritmético de 2. Así, un bit de orden superior de una semipalabra será un uno. La propiedad del complemento aritmético de 2 es que si el valor del número es negativo, el uno pueda extenderse indefinidamente y no cambia el valor del número negativo. Esta propiedad del complemento aritmético de 2 se utiliza para extender los números negativos, a saber, el uno se extiende a las posiciones

420344



de dos bytes de órden superior, W y X, y el valor negativo del operando de una palabra resultante de 4 bytes es el mismo que el valor negativo representado por la semipalabra de información.

Utilizando de nuevo el mismo ejemplo en el que la dirección de registro de 5 bits de órden inferior es 10001 y se decodifica en el byte 17, la longitud de la petición en este caso de un operando de semipalabra es ahora de 2 bytes. Así, los bytes que interesan son los 17 y 18. La entrada de justificación a la derecha a la unidad de control de desplazamiento y alineación 39 se señalará indicando que los bytes 17 y 18 deberían colocarse en los dos bytes Y y Z. Así, consultando el esquema de la figura 7, las señales de control de puerta son B/F a Y lo que hará que el byte 17 se cargue en la posición Y del registro de palabra y la puerta C/G a Z que hará que el byte 18 se coloque en la posición Z del registro de palabra. Otra entrada de la señal de control es la señal de signo extendido que ocurre en la línea 71 en la parte superior de la figura 6. Esta se acopla en común a cuatro puertas Y 72 y las otras entradas de coincidencia de las puertas Y se acoplan ambas a entradas individuales de control idénticas a las del selector Y. Esto se debe a que las cuatro señales de control que interesan para la extensión del signo son las cuatro señales que hacen que los datos se envíen al byte Y del registro de palabra. En el presente ejemplo, la señal C/F a Y es activa. Esto se "ANDed" (se envía por puerta Y) con la señal de extensión del signo para provocar la lógica de selección del bit cero o del bit cero alterno, 73, 74. Las salidas "URed" (Agrupada) de la unidad lógica 73, 74, se acoplan a cada bit de información tanto de la posición del byte W del registro de palabra como de la posición del byte X del registro de palabra por medio de las unidades de envío de entrada 53 y 55. En otras palabras,



las líneas de salida de las unidades lógicas de selección 73, 74 se agrupan con las líneas de entrada de información a las unidades de puerta o envío 53, 55. Dado que la señal de puerta B/F a Y ha sido activada, se activará la segunda puerta de la lógica del selector 73. Puede verse con una simple inspección que la línea de entrada de información 76 va acoplada a las salidas de información B/F de la memoria 11. No obstante, la línea 76 solo incluye las líneas que contienen los bits cero de los bytes S y F. El byte 17 se presentará en la salida de la línea de información B y de acuerdo con lo expuesto anteriormente, no habrá ninguna salida en las líneas de información F. El bit cero del byte 17 se propaga en la línea 77 a todas las posiciones de información de la posición del byte X del registro de palabra y la posición del byte W del registro de palabra. Esto ocurre agrupando la línea 77 en las puertas 55 y 53 con las salidas de información de las unidades de selección primaria o alterna W y X. No obstante, el borrado de la información ha ocurrido en el caso de las unidades de selección W y X dado que, debido a la longitud 2 y a la justificación a la derecha, no hay ninguna señal de control activa en cualquiera de estas dos puertas de selección. Por lo tanto, la salida de las unidades de puerta de selección X y selección Y son todas ceros. El resultado de la agrupación del bit de signo de la salida de las unidades de selección es que el bit de signo es el único que puede contener información, y esta información se carga en las posiciones de información de las posiciones de bytes W y X del registro de palabra. Además de la información, la extensión de signo debe proporcionar una buena paridad con el byte particular. No obstante, sea cual fuere el signo, la paridad será un uno. La paridad apropiada para un byte de todos ceros es de uno y la paridad apropiada para todos los bytes unos

420344



es de uno. El bit de paridad para los bytes W y X del registro de palabra se carga idénticamente a los bits de paridad cuando ocurre un borrado de información. Los bits de paridad se cargarán con unos.

5

En la última parte de una secuencia típica de funcionamiento de la memoria tampón rápida, es decir la salida de 8 bytes de información a la memoria central desde la memoria tampón rápida, el proceso utilizado es fundamentalmente el mismo que en la introducción de los bytes. En otras palabras, en relación a la unidad de control de dirección 24, la transferencia de 8 bytes es transparente tanto si se mueve en entrada como en salida.

10

En la salida, sin embargo, en el primer ciclo, se capacitarán los bytes cero a 7. Así, en la línea de salida A de la memoria 12 estará el byte cero y en la línea E el byte 4. Dado que ambas líneas tienen información válida, no pueden ser grupos.

15

Así, las líneas se tratan separadamente. No obstante, una propiedad del movimiento hacia afuera, en salida, es que la salida puede ser en primario o en alterno, y por lo tanto los cables A del alterno A y el primario A pueden agruparse como en el ejemplo

20

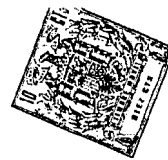
ilustrado por la puerta O 81. Esto proporciona el byte de salida 0 para la memoria central. De igual modo, la línea B puede agruparse, o "DOT ORed". La memoria central se da cuenta de que este es el primer ciclo de salida e interpretará la información en dicha línea de salida; es decir, MS 0 será el byte 0. Lo mismo ocurre con las líneas MS 1 a MS 7.

25

En el segundo ciclo de salida, las señales de capacitación 8 a 15 están activas y la línea de salida de información A es el byte 8 y la línea de salida de información B es el byte 12. Estos, sin embargo, aparecen en las líneas MS 0 y MS 4. No obstante, en este momento la memoria central se da cuenta de que es

30

420344



5 te es el segundo ciclo de salida e interpretará adecuadamente la información que hay en estas líneas de la vía principal de transmisión de información; es decir, los bytes 8 para MS 8 y el byte 12 para MS 4. Así, la salida es de 8 bytes, quedando así terminada.

10 Por lo anteriormente expuesto, es evidente que aunque se obtiene economía y eficiencia con la configuración de 4 bytes/8 bytes, el tiempo del ciclo no aumenta por la necesidad de puertas adicionales. Esto se obtiene en parte por el hecho de que si se usan tanto 4 como 8 bytes de la memoria 11, pueden utilizarse los mismos cables procedentes de la unidad de registro. No se necesita una interconexión separada. De igual modo, la extensión del signo y el borrado que permite el uso de operandos de semipalabra, se obtiene con el mismo número de puertas.

15 NOTA

20 Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas, son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento corresponde a una Solicitud de Patente, presentada en Estados Unidos de América, con fecha 30 de Octubre de 1.972, bajo el número Ser. Nº 302.229; acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención por 20 años en España sobre: PERFECCIONAMIENTOS EN SISTEMAS DE PROCESO DE DATOS; caracterizándose por lo siguiente:

30 1.- Perfeccionamientos en sistemas de proceso de datos del tipo de los que comprenden una unidad de proceso central, una memoria principal y una memoria tampón de alta velocidad que co-

420344



necta dicha unidad de proceso central con dicha memoria principal estando conectada dicha memoria principal a dicha memoria tampón de alta velocidad mediante elementos de conexión en línea paralela adaptados para alojar una pluralidad predeterminada de octetos para la introducción y extracción de datos de dicha memoria principal, caracterizados porque dicha memoria tampón de alta velocidad se constituye por: una pluralidad de unidades de memoria primarias para almacenar dicha pluralidad predeterminada de octetos, correspondiendo cada una de dichas unidades a uno predeterminado de dichos octetos; medios de puerta adaptados para reunir las salidas de datos de pares asecuenciados de dichas unidades de memoria; medios para acoplar separadamente las salidas de datos de las unidades de memoria de retorno a dicha memoria principal a fin de introducir en dicha memoria principal dicha pluralidad predeterminada de octetos; medios para activar solamente una unidad de memoria de cada uno de dichos pares en cada momento; y medios de registro de palabras adaptados para acoplar dichos medios de puerta a dicha unidad de proceso central, almacenándose en dichos medios de registro de palabras un número de octetos correspondiente a dichos pares y equivalente a una fracción de dicha pluralidad predeterminada de octetos.

2.- Perfeccionamientos según la reivindicación 1, caracterizados porque dichos pares se separan entre sí por un número inferior en una unidad al número de octetos.

3.- Perfeccionamientos según la reivindicación 1, caracterizados porque dicha memoria tampón de alta velocidad se dota de una pluralidad supletoria de unidades de memoria análogas a dichas unidades de memoria primarias conjuntamente con medios comprendidos en dichos medios para acoplar separadamente las salidas de datos de las unidades de memoria de retorno a dicha me-

5

10

15

20

25

30



5 memoria principal a fin de reunir las salidas de datos de dichas -
 unidades supletorias con correspondientes salidas de datos de di-
 chas unidades de memoria primarias, y de medios para activar so-
 lamente una de dichas unidades de memoria primarias y supletorias
 en cada momento.

4.- Perfeccionamientos según la reivindicación 3, carac-
 terizados porque dichos medios de reunión se constituyen por --
 puertas del tipo NUDO O.

10 5.- Perfeccionamientos según la reivindicación 1, carac-
 terizados porque dichos medios de puerta para la reunión se cons-
 tituyen por puertas del tipo NUDO O.

15 6.- Perfeccionamientos según la reivindicación 1, carac-
 terizados porque el número de octetos de dicho registro de pala-
 bras se elige igual a la mitad de dicha pluralidad predetermina-
 da de octetos.

20 7.- Perfeccionamientos según la reivindicación 1, carac-
 terizados porque dichos medios de puerta se dotan de una plurali-
 dad de medios selectores asociados cada uno a un octeto predeter-
 minado de dichos medios de registro de palabras, dotándose a su
 vez a cada uno de dichos medios selectores de puertas individua-
 les con todos los mencionados pares reunidos como entradas respec-
 tivas y provistas de entradas de control para activar selectiva-
 mente una puerta elegida de dichas puertas individuales en cada
 uno de dicha pluralidad de medios selectores a fin de asociar da-
 25 tos transportados en el par reunido a dicho octeto asociado al -
 citado registro de palabras.

30 8.- Perfeccionamientos según la reivindicación 7, carac-
 terizados porque se prevén adicionalmente medios de control del
 alineamiento dependientes de un direccionamiento desde dicha uni-
 dad de proceso central para proporcionar señales de control a di-

420344



chas entradas de control para almacenar datos en dicho registro de palabras en un alineamiento predeterminado.

5 9.- Perfeccionamientos según la reivindicación 8, caracterizados porque dichos medios de control dependen también de - instrucciones de longitud y de justificación izquierda/derecha - procedentes de dicha unidad de proceso central.

10 10.- Perfeccionamientos según la reivindicación 9, caracterizados porque cada octeto de dicho registro de palabras se da ta de medios de puerta de entrada separados para los datos y pa - ra un bit de paridad y conjuntamente con una pluralidad de gene - radores de bits de paridad correspondientes a cada octeto de di - cho registro de palabras y dependientes de una condición de coin - cidencia de dichas señales de control asociadas a las entradas - de control de un medio selector correspondiente para almacenar - 15 un bit de paridad en dicho registro de palabras, produciéndose dicha condición de coincidencia de dichas señales de control úni - camente cuando ninguna de dichas puertas individuales de un me - dio selector es activada, con lo cual el octeto del registro de palabras asociado resulta aislado.

20 11.- Perfeccionamientos según la reivindicación 10, ca - racterizados porque se prevén adicionalmente medios para exten - der el signo de un octeto almacenado en dicho registro de pala - bras cuando se desearrellenar únicamente la mitad inferior de di - cho registro de palabras con datos y mantener aislada la mitad - 25 superior del mismo, comprendiendo dichos medi os elementos de - puerta dependientes de una señal de control de signo extendido y de una señal de activación del octeto superior de dicha mitad in - ferior del registro de palabras y del bit de dicho octeto supe - rior para asociar el bit a dichas puertas de entrada de datos de - 30 dichos octetos aislados, reuniéndose esta asociación con entra -

das de datos existentes que han sido aisladas debido a la condición de coincidencia de señales de control.

5
10
15
12.- Perfeccionamientos según las reivindicaciones precedentes, caracterizados porque la transferencia de datos entre una memoria principal y una unidad de proceso central mediante uso de una memoria tampón intermedia de alta velocidad, comprende las etapas de trasladar 8 octetos de datos en paralelo desde dicha memoria principal a dicha memoria tampón de alta velocidad de repetir la etapa precedente en 4 ciclos para obtener una línea de datos de 32 octetos, de trasladar 4 octetos sucesivos de dichos 32 octetos desde dicha memoria tampón de alta velocidad a dicha unidad de proceso central, de almacenar dichos 4 octetos procedentes de dicha memoria tampón de alta velocidad, y de trasladar dichos 32 octetos de datos desde dicha memoria tampón de alta velocidad a dicha memoria principal de 4 ciclos.

20
13.- Perfeccionamientos en sistemas de proceso de datos, tal y como queda sustancialmente descrito en la presente Memoria e ilustrado en los dibujos adjuntos.

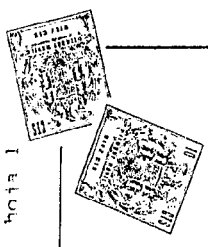
La presente Memoria, consta de 27 hojas escritas a máquina por una sola cara.

Madrid, 15 ENE 1976

AMDAHL CORPORATION.

L. GOMEZ AGUIRRE Y MOJER
P. Firmado: L. GOMEZ AGUIRRE

[Handwritten mark]



ES LA VARIABLE

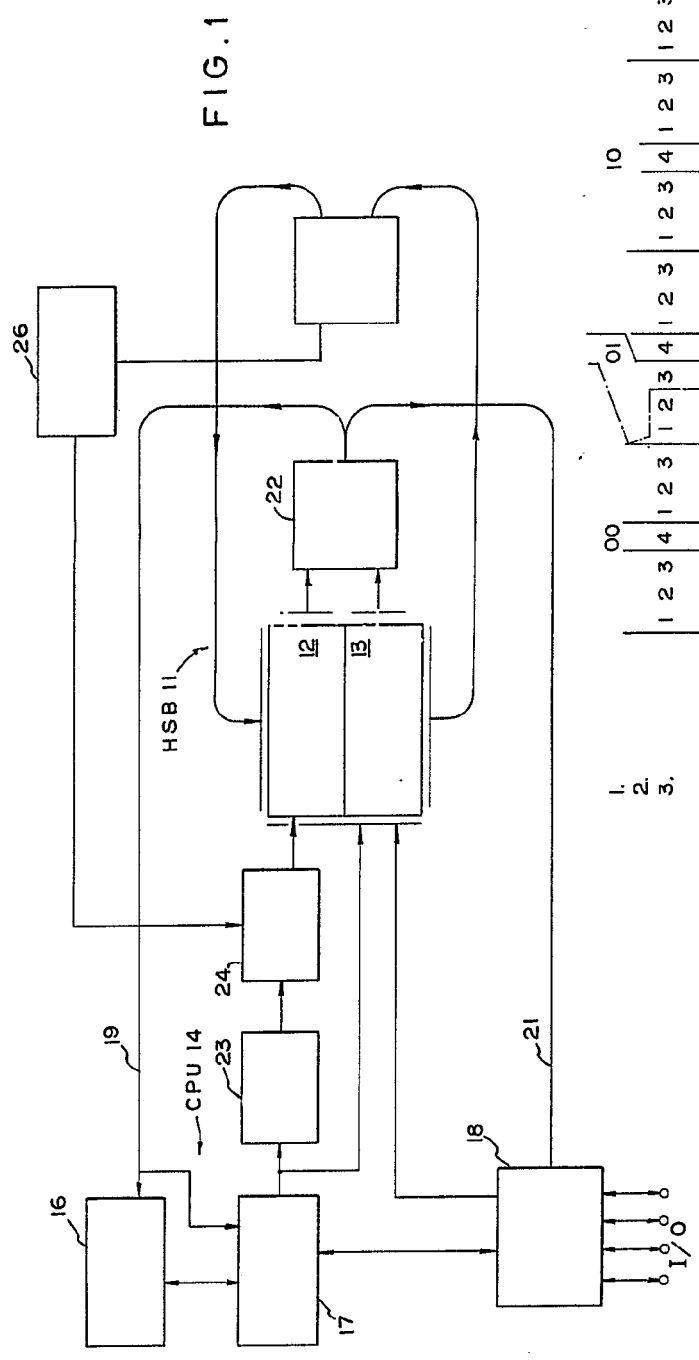


FIG. 1

I.	00				01				10				11			
	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4
A/E	X	X	X	X												
B/F					X	X	X	X								
C/G									X	X	X	X	X	X	X	X
D/H																
A/E																
B/F					X	X	X	X								
C/G									X	X	X	X	X	X	X	X
D/H																
A/E																
B/F					X	X	X	X								
C/G									X	X	X	X	X	X	X	X
D/H																
A/E																
B/F					X	X	X	X								
C/G									X	X	X	X	X	X	X	X
D/H																

FIG. 7

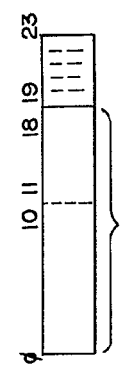


FIG. 1A

Madrid

Handwritten notes and signatures at the bottom right of the page.

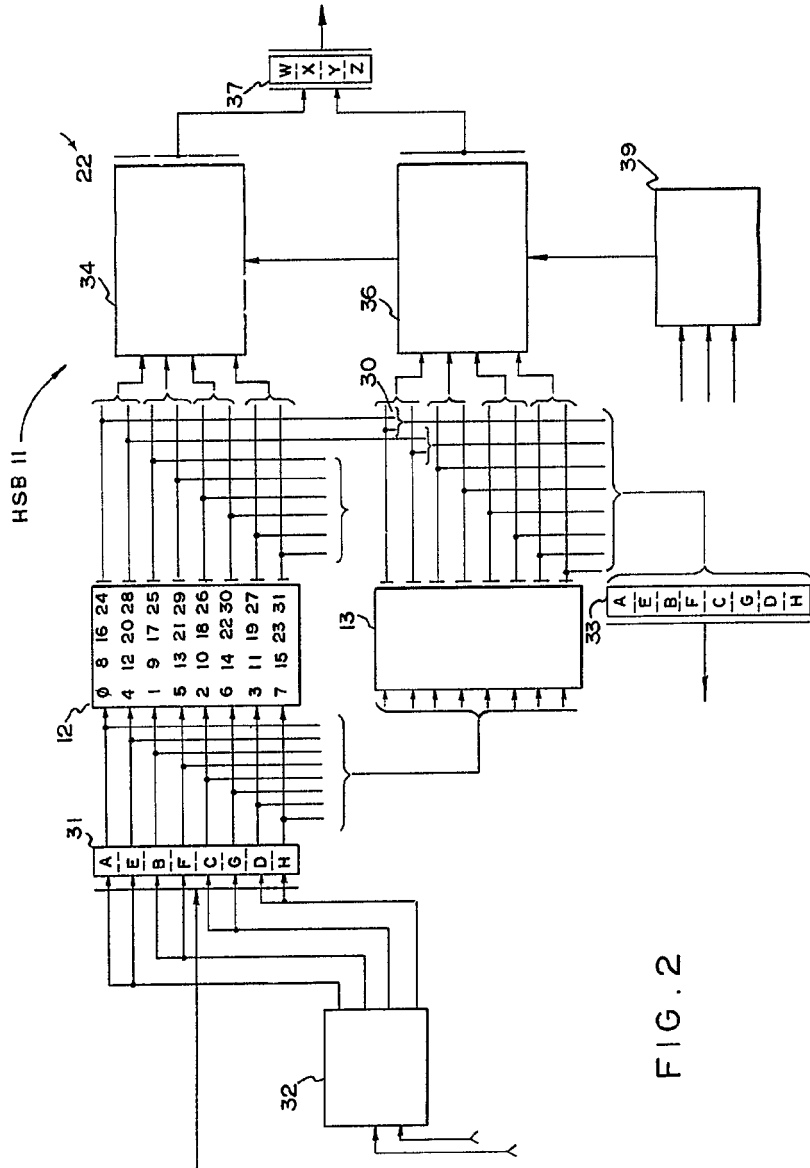
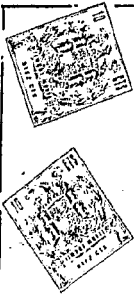


FIG. 2

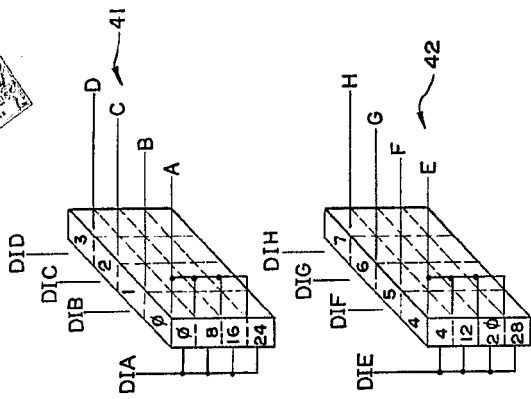


FIG. 3

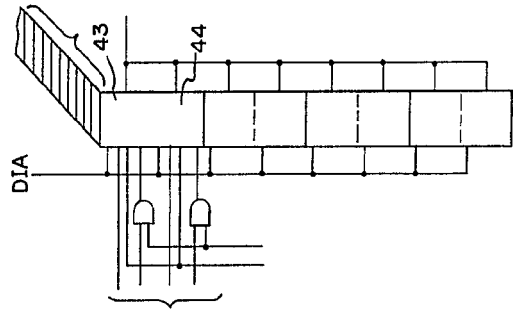


FIG. 4

Magi
L. G.
10/26/66

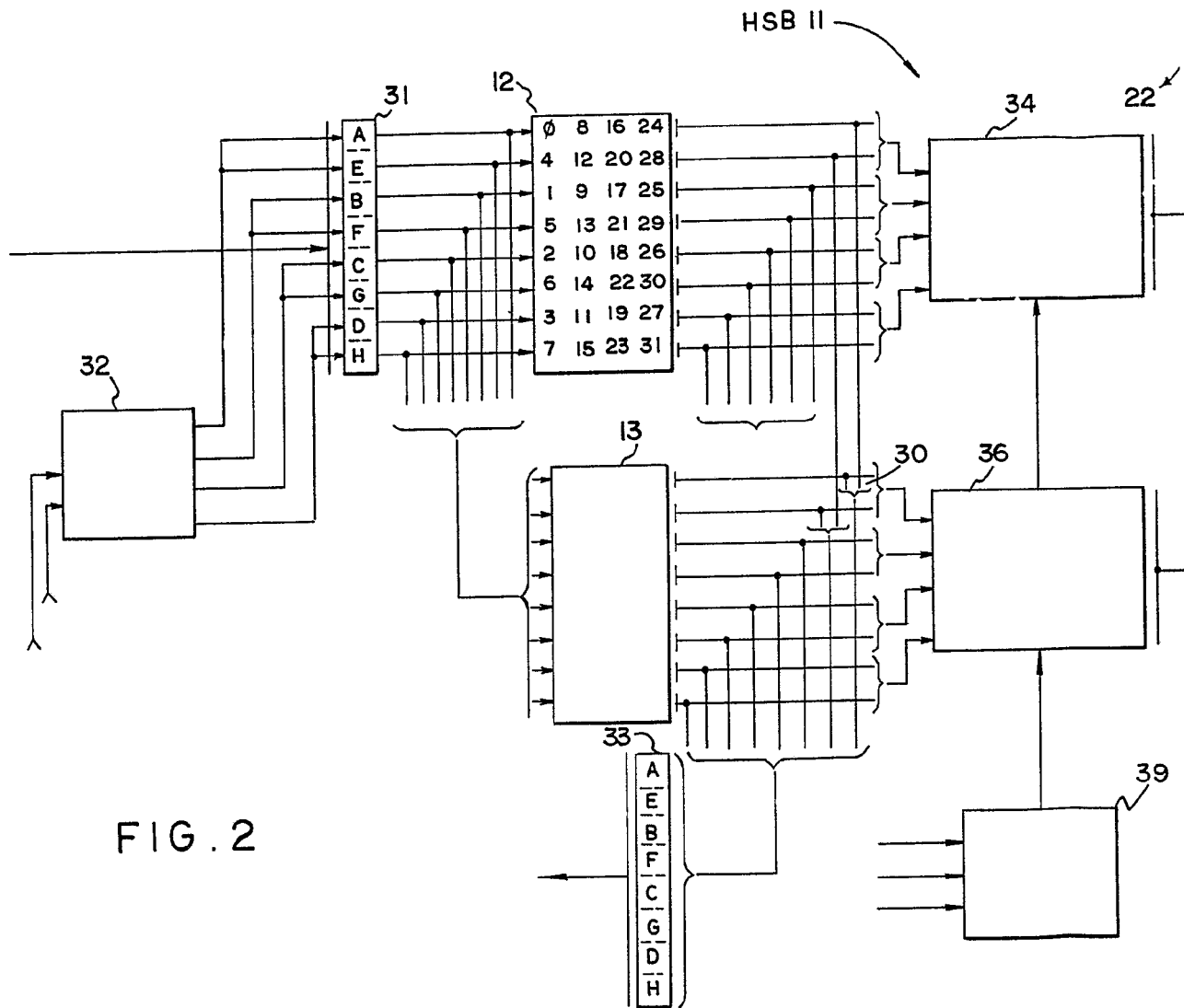


FIG. 2

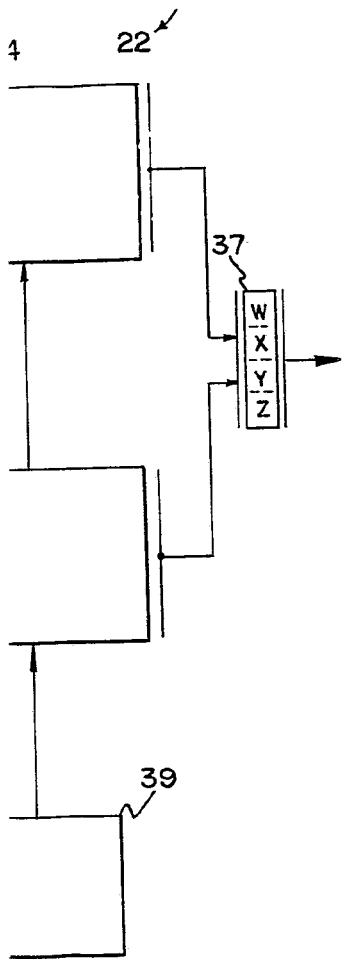


FIG. 3

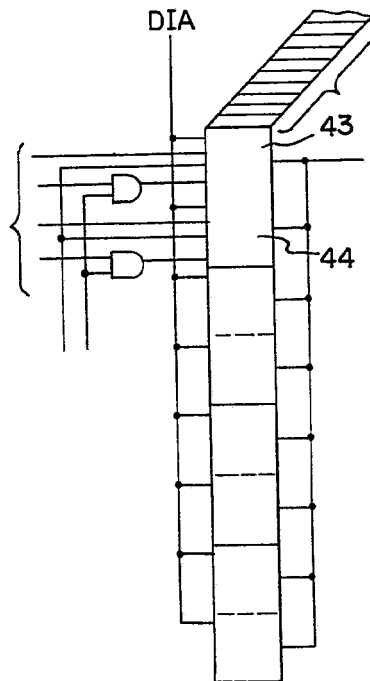
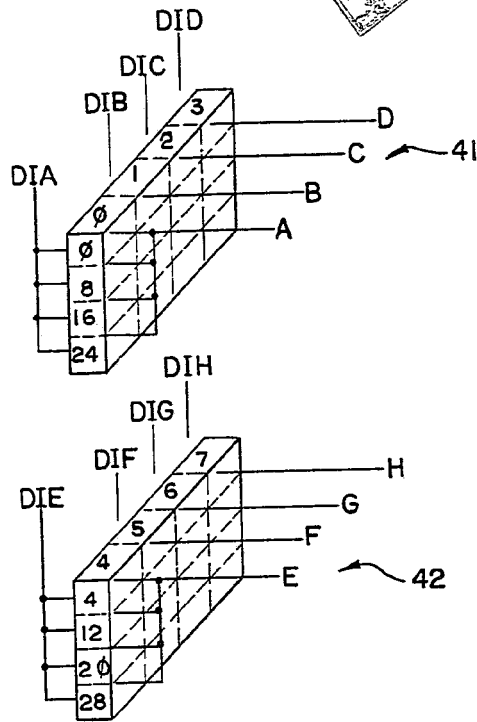


FIG. 4

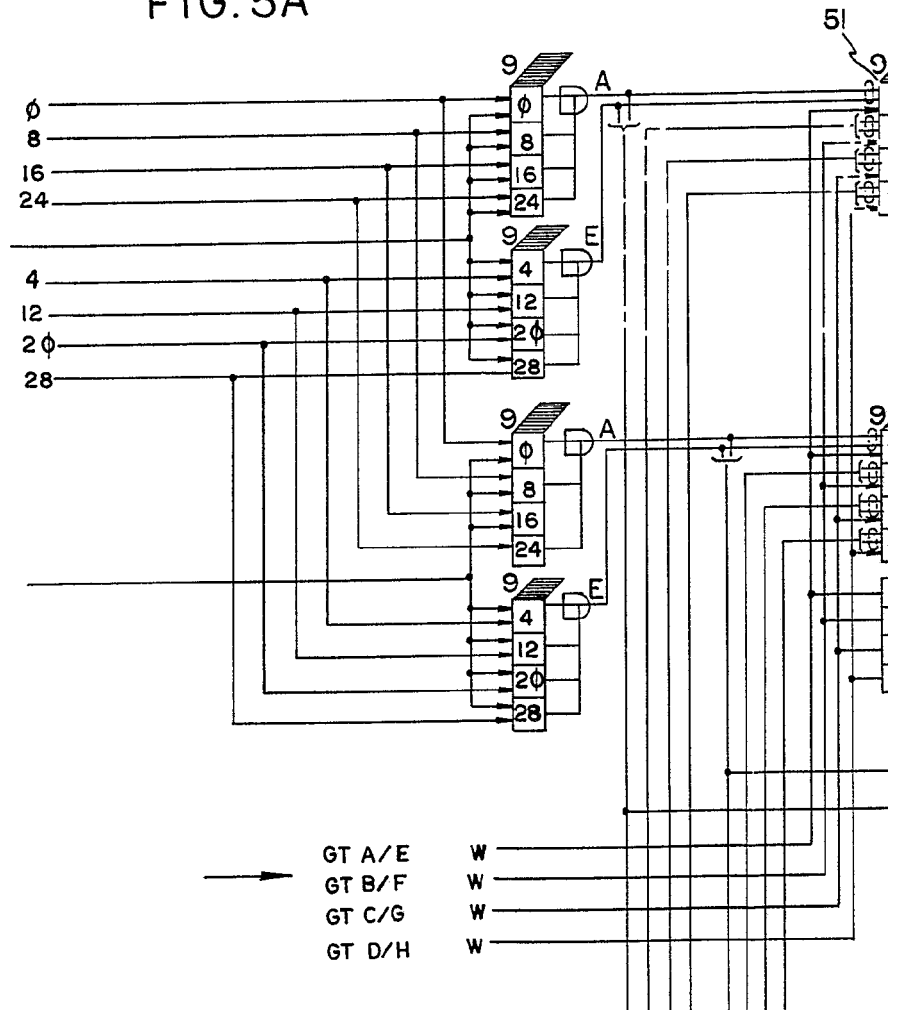
ESPANA

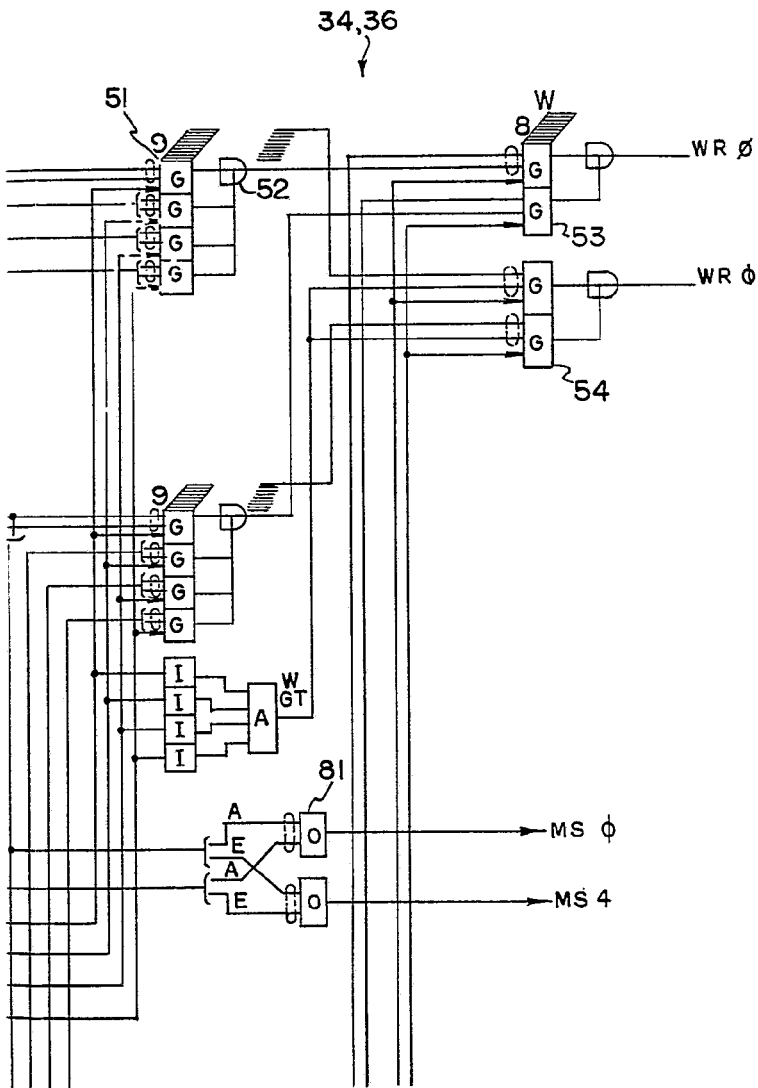
Madrid

L. GONZALEZ Y CA. S.A.
p. El Financiero, S.A. S. de C.V.

[Handwritten signature]

FIG. 5A





ESCALA
VARIABLE

Ma...
I. U. Y. P. C. E. I.
p. p. ...
[Handwritten signature]

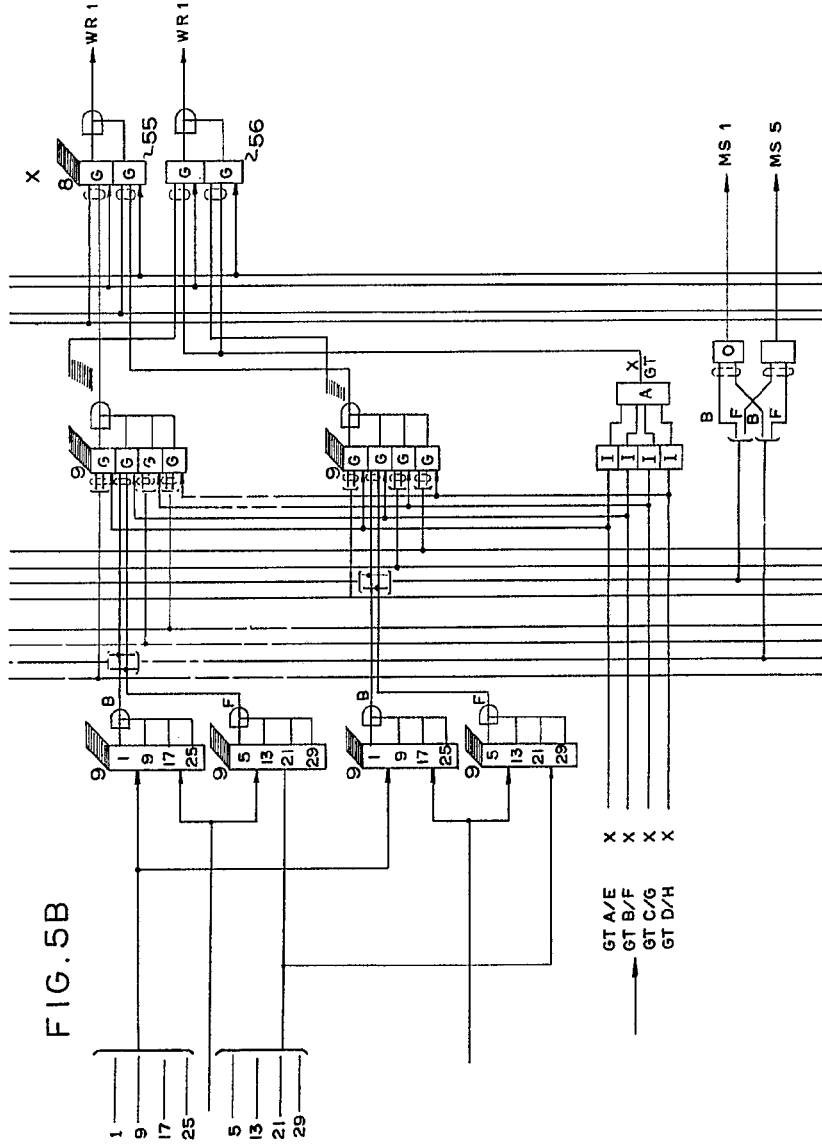
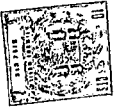
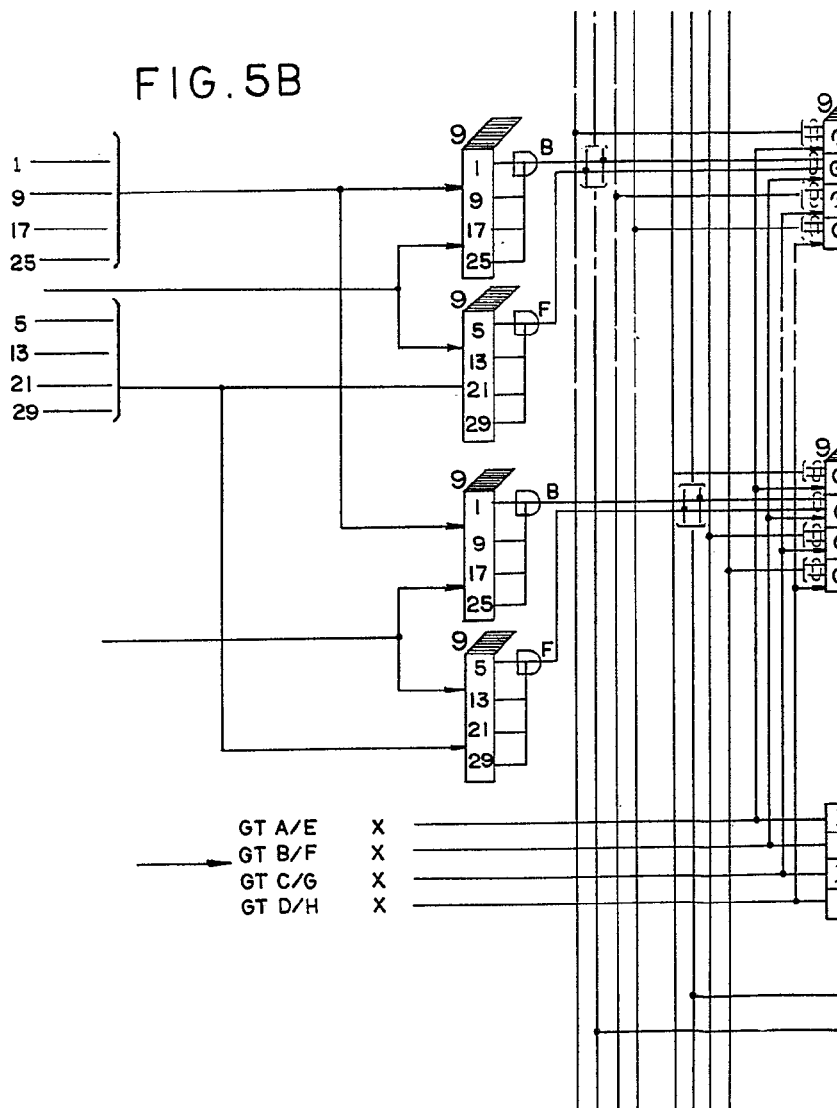


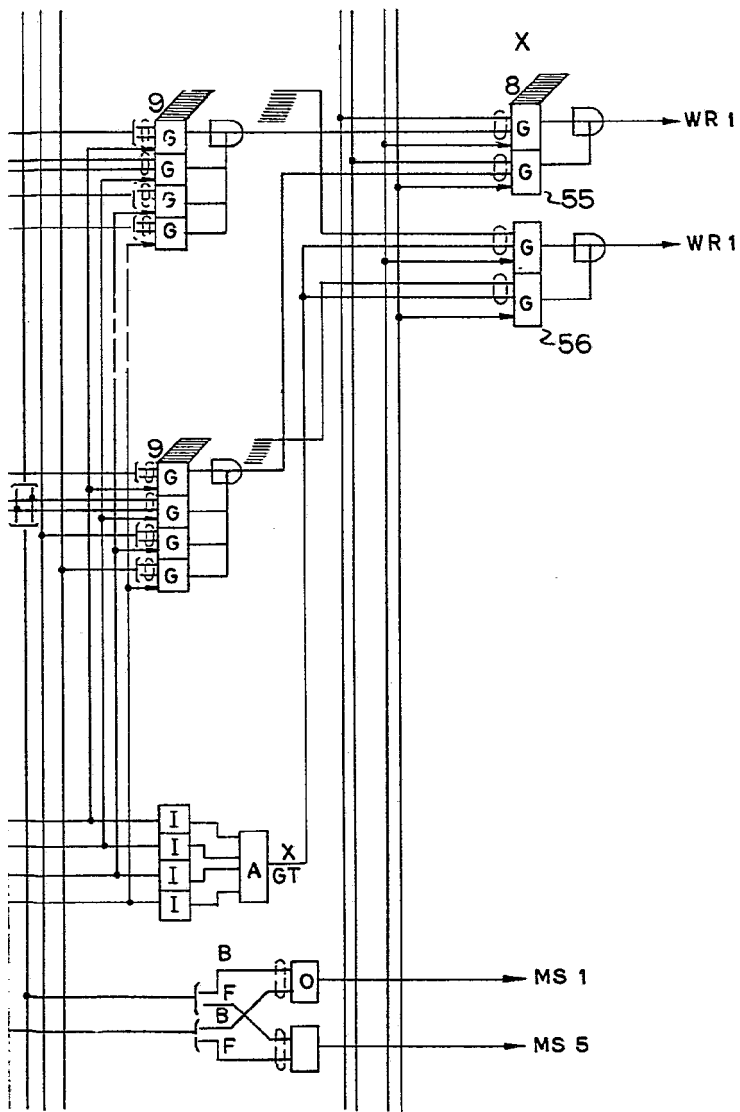
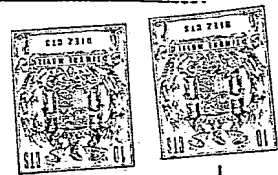
FIG. 5B

VAC

Handwritten signature or initials

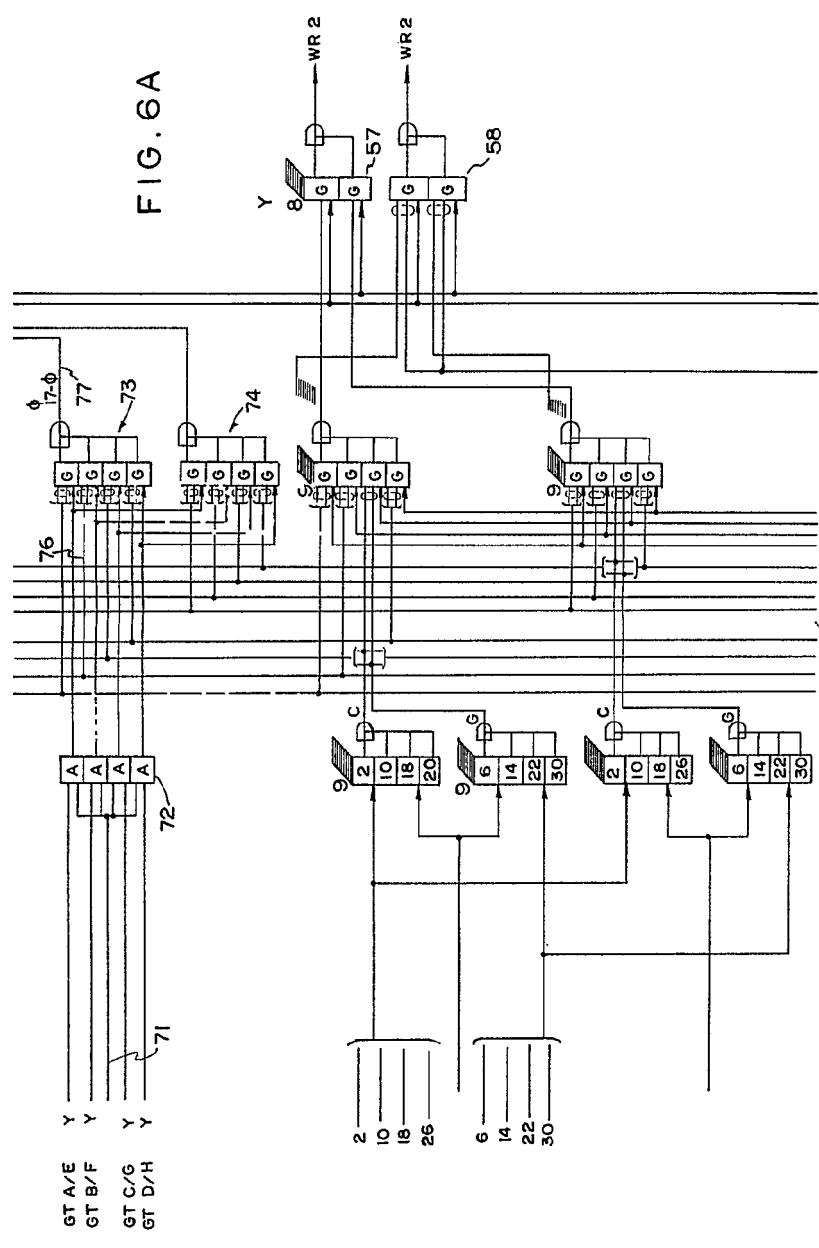
FIG. 5B



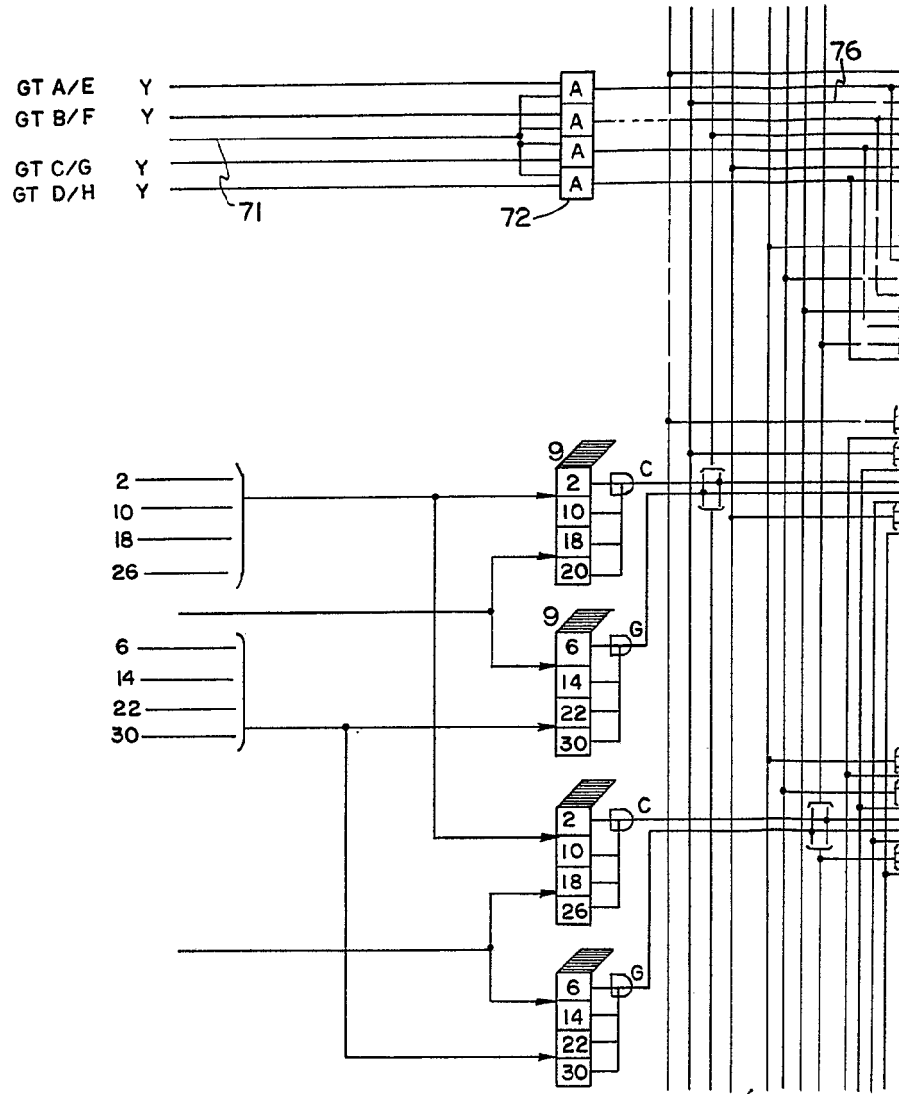


ES
VAR

[Handwritten signature]



Handwritten signature or initials in the bottom right corner.



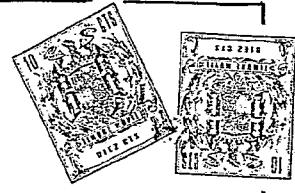
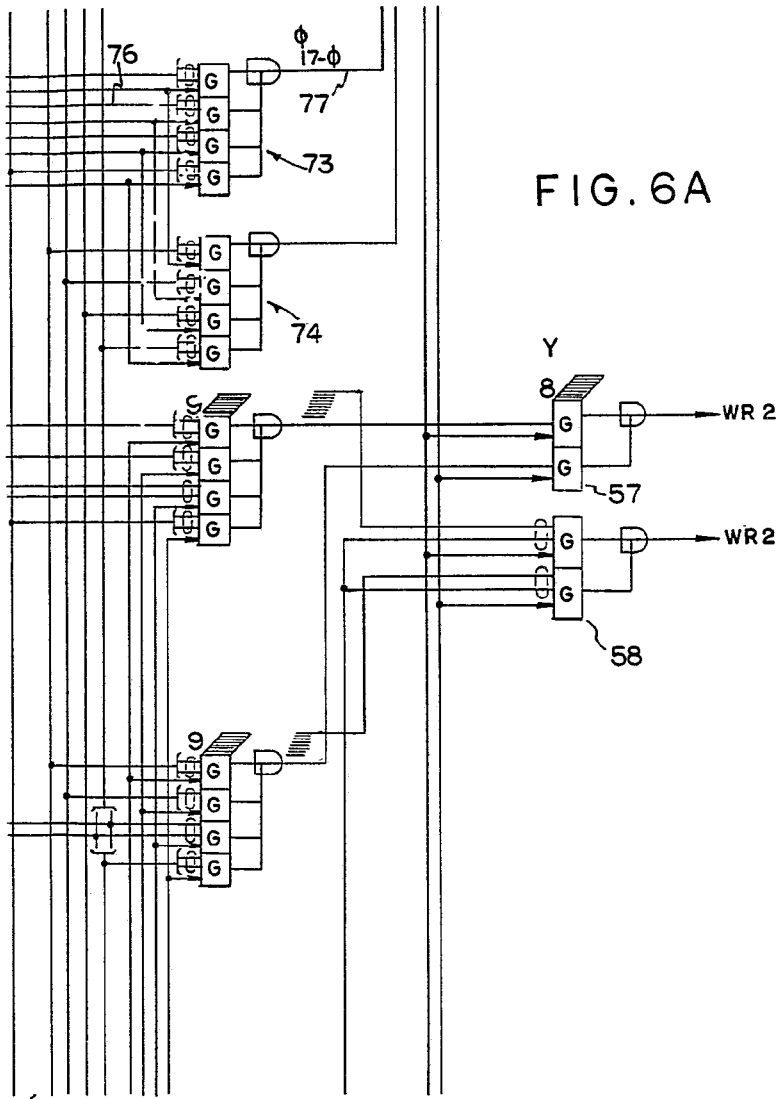


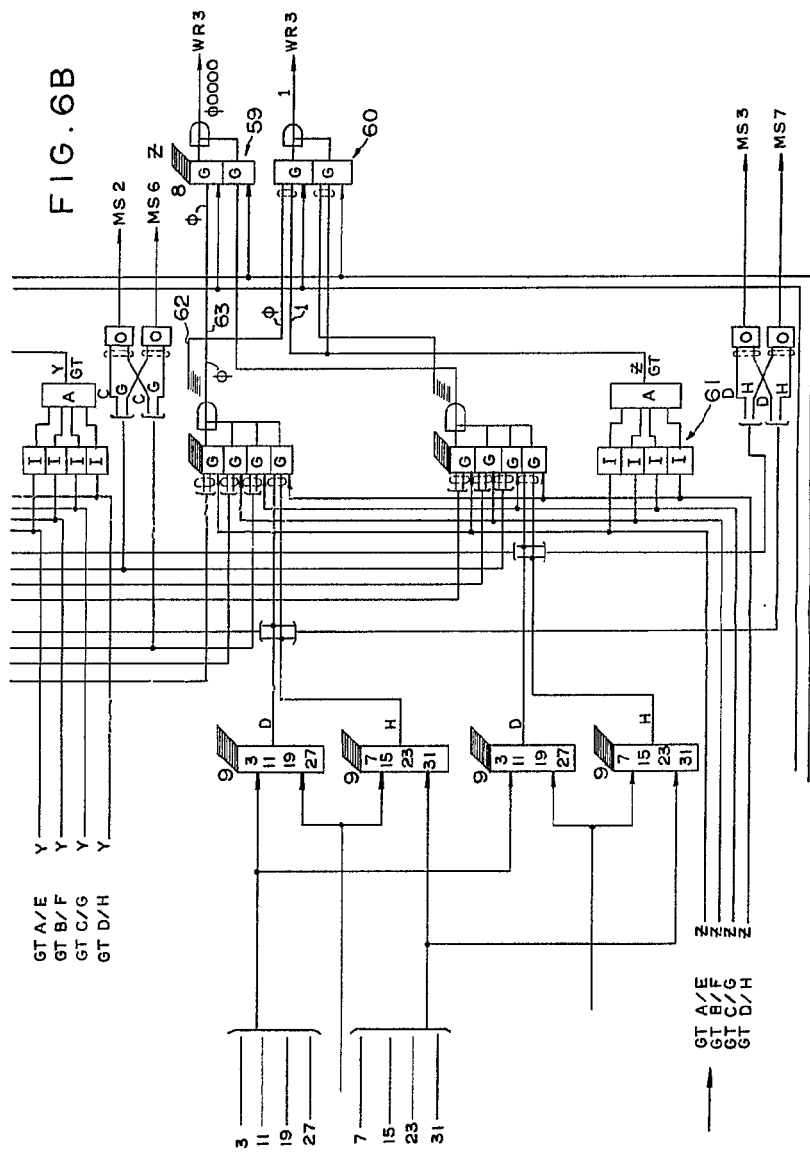
FIG. 6A



ESCALA
VARIABLE



AC 100-11A
Variable



Handwritten signature or initials in the bottom right corner.

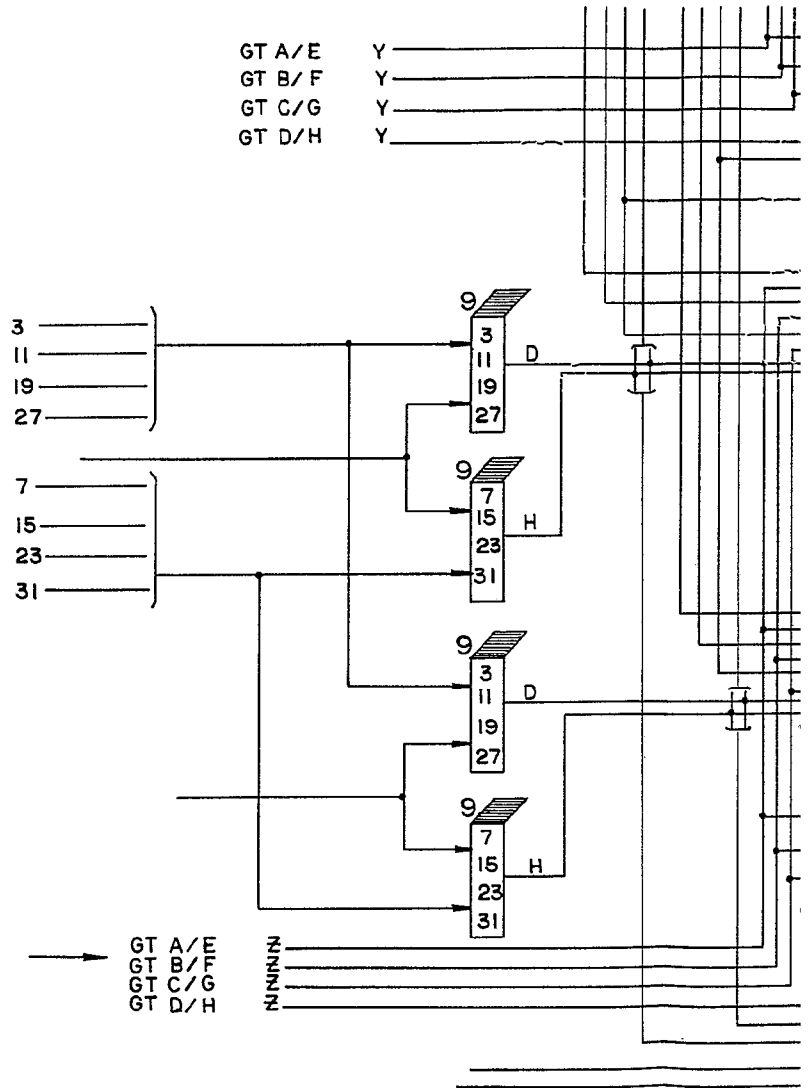
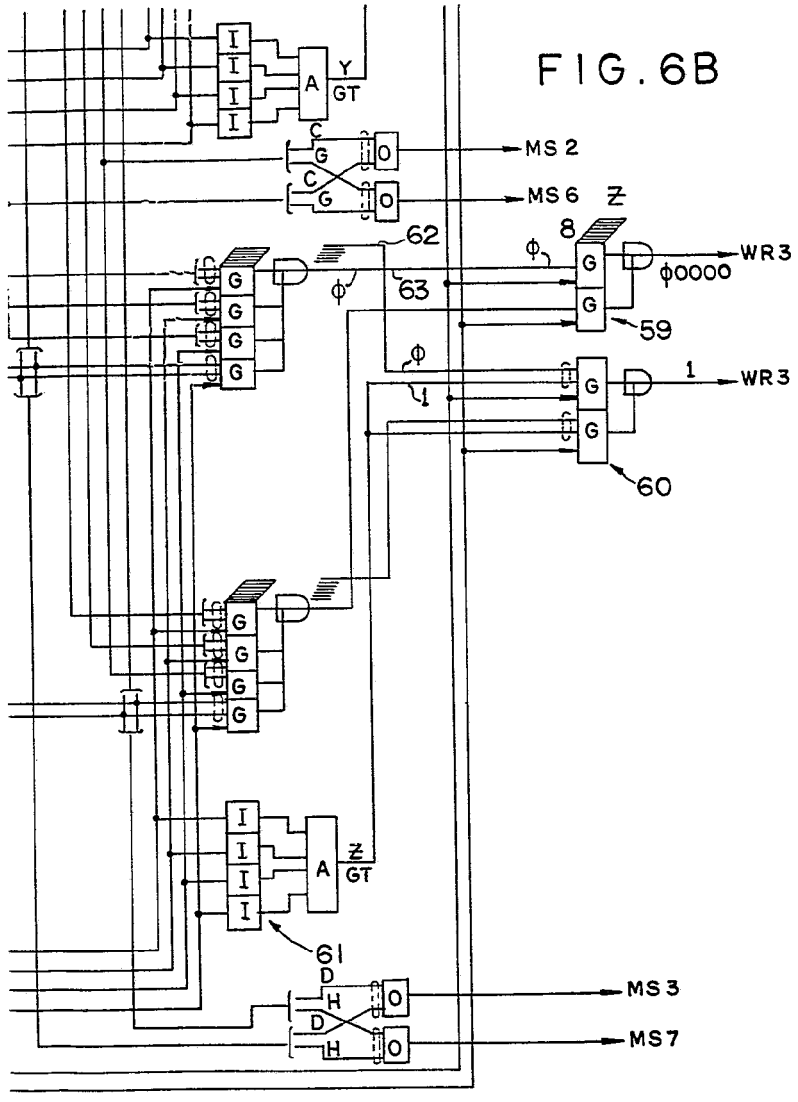




FIG. 6B



ESCALA
VARIABLE

Handwritten signature or name at the bottom right of the page.