



M.A. EPSTEIN 6

Int. Cl.²: <u>H04j</u>

F.C. 30-9-75

420331

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN  
ESPAÑA POR: "MEJORAS EN LOS SISTEMAS DE SINCRONIZACION DE  
BLOQUES", A NOMBRE DE STANDARD ELECTRICA, S.A., CON DOMICI-  
LIO EN MADRID, CALLE DE RAMIREZ DE PRADO Nº 5.

-----

Este invento se refiere a los sistemas digi-  
tales de comunicación en multiplex por división en el tiempo  
y, más particularmente, a un sistema de sincronización de  
bloques para utilización en los mismos. El sistema de sincro-  
5 nización de bloques del presente invento es particularmente  
útil para formatos de TDM (en lengua inglesa Time División  
Multiplex o multiplado por división en el tiempo) de gran  
longitud y especialmente para los demultiplexores asíncronos  
y/o cuando unicamente se pueda dedicar un porcentaje pequeño  
10 de bits como bits de sincronización.

La patente española nº 392.977 da a conocer un  
sistema de sincronización de bloques con el que se obtiene la  
sincronización con el empleo de dos señales de sincronismo.  
Este sistema de sincronización de bloques opera con señales

420331 2.



binarias de datos con un multibloque de M bloques, comprendien-  
do cada uno de los bloques M canales y una primera señal de  
sincronización, incluyendo por lo menos una de las señales  
de cada uno de los bloques de una diferente de (N-1) señales  
5 de subcanal y una segunda señal de sincronización. El equipo  
empleado comprende dos detectores de señal de sincronización,  
uno de los cuales responde a la primera señal de sincroni-  
zación y a una primera señal de temporización local predeter-  
minada para obtener una segunda señal de control indicativa  
10 de la relación de fase entre estas dos señales y respondiendo  
el otro detector de señal a la segunda señal de sincronización  
y a una segunda señal local de temporización predeterminada  
para obtener una segunda señal de control indicativa de la re-  
lación de fase entre estas dos señales. Las dos señales de  
15 control son muestreadas por medio de dos circuitos de mues-  
treo diferentes. La salida de los circuitos de muestreo son  
aplicadas a dos circuitos de decisión o integradores dife-  
rentes cuyas salidas controlan la temporización de dos conta-  
dores digitales diferentes conectados en cascada y generadores  
20 de señales de temporización asociados con ellos para generar  
las señales de temporización necesarias que incluyen las dos  
señales de temporización local predeterminadas. El primer  
contador y generador digital es conducido por un reloj de  
ritmo de bits, el cual es inhibido cuando el circuito de deci-  
25 sión con ello asociado indica una condición de fuera de  
sincronismo. El segundo contador y generador digital es condu-  
cido por un reloj de ritmo de bloques desde el primer contador  
y generador que es inhibido cuando el circuito de decisión  
asociado con él indica una condición de fuera de sincronismo.  
30 En una realización que se describe los circuitos de decisión

420331

3. A. NO.



son integradores duales cada uno de los cuales genera dos  
señales para el control independiente de la inhibición cuando  
así se requiera. En otra realización que se describe los cir-  
cuitos de decisión son integradores sencillos, cada uno de  
5 los cuales produce una señal para controlar la inhibición  
cuando se requiera, siendo conectada la señal del circuito de  
decisión asociado a la segunda señal de sincronización en  
cooperación con la señal de circuito de decisión asociado a  
la primera señal de sincronización para controlar la inhibi-  
10 ción del reloj de ritmo de bits.

En la patente española nº 409.302 se da a conocer  
aún otro sistema de sincronización de bloques que opera sobre  
señales binarias de datos con dos señales diferentes de sincro-  
nismo. Con esta disposición se tiene un sistema binario de trans-  
15 misión de datos que hace uso de una estación de envío y otra  
receptora con estaciones intermedias en tandem. La señal de da-  
tos binaria transmitida por este sistema incluye un predetermi-  
nado período de bloques TDM un número M de grupos de señales de  
datos de canal de TDM, teniendo cada uno de los grupos de las  
20 señales de canal una señal de sincronización normal. Cada una  
de las estaciones intermedias y la estación receptora controlan  
los M grupos de señales de datos de canal recibidas y transmi-  
tidas, en base secuencial de tiempo. Un sistema de sincroniza-  
ción de bloques detecta la falta de sincronismo de cualquiera  
25 de los grupos aplicados al mismo en base secuencial de tiempo  
y sustituye las señales de datos erróneas de grupo de canal así  
detectadas por unas señales de datos simulados que incluyen  
señales simuladas de sincronización. Para evitar que las esta-  
ciones que siguen a la estación en que se sustituyen las señales  
30 normales erróneas por señales de datos simuladas caigan en

420331



una indebida indicación de error y en una errónea sustitución de las señales de datos no erróneas por otras señales simuladas, el sistema de sincronización de bloques detecta, establece y mantiene la sincronización de cada uno de los grupos controlados de señales de canal con respuesta a la señal de sincronización normal o a la señal de sincronización simulada. El sistema de sincronización de bloques proporciona un tiempo variable de búsqueda para establecer la sincronización deseada con las señales de sincronización normales o simuladas para cada uno de los grupos de señales de datos de canal acoplados.

En la patente española nº 414.591 se da a conocer otro sistema de sincronización de bloques que opera con señales binarias de datos teniendo dos señales de sincronización diferentes. La señal binaria de datos comprende un superbloque que tiene M bloques medios, cada uno de los cuales incluye m subbloques. La señal de datos incluye también una primera señal de sincronización que tiene un primer formato predeterminado dispuesto en cada uno de los M bloques medios y una segunda señal de sincronización que tiene un segundo formato predeterminado diferente del primer formato compuesto de M bits, estando cada uno de los M bits dispuesto en uno diferente de los M bloques medios, siendo M y m números enteros mayores que la unidad. De la señal de datos es extraído un reloj de ritmo de bits de datos y siendo aplicado a una conexión en cascada de divisores digitales para obtener una temporización local, incluyendo unas señales de temporización de sub-bloque, unas señales de temporización de ritmo de bloque medio, unas señales de temporización de ritmo de superbloque y una primera señal de sincronismo localmente generada y un registro de defasaje de S etapas y una lógica en



realimentación genera localmente la segunda señal de sincro-  
nismo. Un primer comparador digital compara la primera señal  
de sincronismo localmente generada con la primera señal de  
sincronismo contenida en la señal de datos y la resultante  
5 adaptación o falta de adaptación resultantes son integradas  
en un integrador digital, tal como un contador ascendente-  
descendente. Cuando la cuenta del integrador digital queda  
por debajo de un umbral predeterminado de cuenta y se tiene  
una falta de adaptación en un tiempo que define cuando la  
10 primera señal de sincronismo contenida en la señal de datos  
debe tener lugar en relación con la temporización local, es  
producida una señal de ALTO que inhibe el paso de los impulsos  
de reloj de control de bits al primer contador de los conta-  
dores conectados en cascada (divisores) de modo que se controle  
15 la fase de las señales de temporización con respecto a las  
señales de datos para establecer y mantener la sincronización  
de la temporización local con los bloques medios de la señal  
de datos. La segunda señal de sincronización que es recibida  
y la segunda señal de sincronización que es localmente gene-  
20 rada son comparadas en un bit cada vez en un comparador digi-  
tal, lo que produce como resultado del error de bits en la se-  
gunda señal de sincronización recibida o como resultado de  
una fase incorrecta de la segunda señal de sincronización  
localmente generada unas adaptaciones y faltas de adaptación  
25 que son también aplicadas al integrador digital. Cuando la  
cuenta del integrador digital es inferior a un segundo umbral  
de contado diferente al primer umbral, una lógica de commu-  
tación conecta la segunda señal de sincronización recibida  
al registrador de defasaje para obtener con ellos unos bits  
30 de falta de error de una parte de la segunda señal de sincro-

420331

6. 7



nismo recibida que, con la cooperación de la lógica de reali-  
mentación genera una segunda señal de sincronización libre de  
error localmente generada de modo que, en cooperación con  
la sincronización del bloque medio es sincronizado el super-  
5 bloque.

Es un objeto del presente invento la obtención  
de otro sistema más de sincronización de bloques capaz de  
operar por lo menos con dos señales de sincronización diferen-  
tes.

10 Otro objeto más del presente invento es la obten-  
ción de un sistema de sincronización de bloques para señales  
binarias de datos que incluye un multibloque que tiene X  
superbloques, cada uno de los cuales incluye X bloques medios,  
cada uno de cuyos M bloques medios incluye m sub-bloques y  
15 cada uno de cuyos m sub-bloques incluye x ports o tiempos  
de canal. La señal de datos incluye también un canal overhead  
con datos overhead que incluyen una primera señal de sincro-  
nización que tiene un primer formato predeterminado compuesto  
de Y bits dispuestos en bloques medios adyacentes de los M  
20 existentes y una segunda señal de sincronización que tiene  
un segundo formato predeterminado diferente al primer formato  
predeterminado compuesto de M bits, cada uno de los cuales  
se encuentra dispuesto en uno diferente de los M bloques medios  
y en que X, M, m, x y E son números enteros mayores que la  
25 unidad.

Otro objeto más del presente invento es la obtención  
de un sistema de sincronización de bloques en el que la señal  
de datos es sincronizada primero por la sincronización de  
los bloques medios en respuesta a la primera señal de sincro-  
30 nización y con la sincronización posterior del superbloque



y el multibloque en respuesta a la segunda señal de sincronización con una relación estructural existente entre la sincronización del bloque medio y del superbloque en la forma de un circuito de decisión simple e incorporando un detector de modo y un circuito decodificador para controlar cuando el circuito de decisión responde a los resultados de la comparación de la primera señal de sincronización y una señal de referencia localmente generada para la primera señal de sincronización y a los resultados de la comparación de la segunda señal de sincronización con una señal de sincronización localmente generada en que la señal de sincronización localmente generada está formada por el estado de las etapas del contador de superbloque. Un modo de operación intermedio entre los dos anteriores modos de operación causará que los datos overhead se carguen en el contador de superbloque dando lugar a una señal de referencia supuesta sin error localmente generada.

Una característica del presente invento es la obtención de un sistema de sincronización de bloques para una señal binaria de datos multiplexada por división en el tiempo que tiene un multibloque que incluye  $X$  superbloques, cada uno de los cuales incluye  $M$  bloques medios, cada uno de los cuales  $M$  bloques medios incluye  $m$  sub-bloques, cada uno de cuyos  $m$  sub-bloques incluye  $x$  ports, incluyendo la señal de datos unos datos de canal overhead que tiene al menos una primera señal de sincronización que tiene un primer formato predeterminado compuesto de  $Y$  bits dispuestos en bloques medios adyacentes de los  $M$  existentes y una segunda señal de sincronización que tiene un segundo formato predeterminado diferente del primer formato predeterminado compuesto de  $M$  bits, cada uno de cuyos  $M$  bits está dispuesto en un bloque medio diferente

420331

8.



de los M existentes, en que X, M, m, x e y son todos números enteros mayores que la unidad, comprendiendo: una fuente de señales de datos; un primer medio acoplado a la fuente para producir señales de tiempo incluyendo una primera señal de referencia para la primera señal de sincronización y una segunda señal de referencia para la segunda señal de sincronización; un primer comparador digital acoplado a la fuente y a los primeros medios con respuesta a la señal de datos y a la primera señal de referencia para producir una primera señal de salida indicativa de las adaptaciones y faltas de adaptación entre la señal de datos y la primera señal de referencia; un segundo comparador digital acoplado a la fuente y al primer medio con respuesta a la señal de datos y a la segunda señal de referencia para producir una segunda señal de salida indicativa de las adaptaciones y faltas de adaptación entre la segunda señal de sincronización y la segunda señal de referencia; un segundo medio con respuesta a la primera señal de salida y a la segunda señal de salida en secuencia para producir una primera señal de control y una segunda señal de control; un tercer medio acoplado entre el primero y segundo comparadores y la entrada del segundo medio y a la salida del segundo medio con respuesta a la segunda señal de control para controlar el acoplamiento de la primera y la segunda señales de salida a la entrada del segundo medio, y un cuarto medio acoplado al primer medio, siendo el primer comparador, el segundo medio y el tercer medio con respuesta a la primera señal de salida y a la primera señal de control y bajo el control del tercer medio para establecer una sincronización mantenida entre las señales de temporización y las señales de datos.



Otra característica del presente invento es la provisión de un sistema de sincronización de bloques para una señal binaria de datos en múltiplex por división en el tiempo que tiene un multibloque que incluye X superbloques, cada uno de cuyos X superbloques, incluye M bloques medios, cada uno de cuyos M bloques medios incluye m sub-bloques, de los que cada uno incluye x ports, incluyendo la señal de datos un canal de datos overhead que tiene una primera señal de sincronización con un primer formato predeterminado compuesto de Y bits dispuestos en bloques adyacentes de los M bloques medios existentes y una señal de sincronización y una tercera señal de sincronización, teniendo la segunda señal de sincronización un segundo formato predeterminado diferente al primer formato predeterminado compuesto de M bits, cada uno de cuyos M bits está dispuesto en un bloque medio diferente de los M existentes y siendo la tercera señal de sincronización el complemento de la segunda señal de sincronización, en donde X, M, m, x e Y son todos los números enteros mayores que la unidad, comprendiendo: una fuente de señales de datos; un primer medio acoplado a la fuente para producir señales de temporización incluyendo una primera señal de referencia para la primera señal de sincronización y una segunda señal de referencia para la segunda y la tercera señales de sincronización; un primer comparador digital acoplado a la fuente del primer medio con respuesta a la señal de datos y a la primera señal de referencia para producir una primera señal de salida indicativa de la adaptación y falta de adaptación entre la señal de datos y la primera señal de referencia; un segundo comparador digital acoplado a la fuente y a los primeros medios con

420331

10.



respuesta a la señal de datos y a la segunda señal de referencia para producir una segunda señal de salida indicativa de la adaptación y de la falta de adaptación entre una de la segunda y la tercera señales con la segunda señal de referencia un segundo medio con respuesta a la primera señal de salida y a la segunda señal de salida en secuencia, para producir una primera señal de control y una segunda señal de control; un tercer medio acoplado entre el primero y el segundo comparadores y la entrada del segundo medio y a la salida del segundo medio con respuesta a la segunda señal de control para controlar el acoplamiento de la primera y segunda señales de salida con la entrada del segundo medio, y un cuarto medio acoplado al primer medio, al primer comparador, al segundo medio y al tercer medio con respuesta a la primera señal de salida y a la primera señal de control y bajo el control del tercer medio para establecer y mantener la sincronización entre las señales de temporización y las señales de datos.

Las características y objetos que han sido mencionados y otros más de este invento quedarán más claros con referencia a la descripción que sigue, que se hace en relación con los dibujos que se acompañan, en los que:

- la Fig. 1 muestra el formato de la señal de datos con la que opera el sistema de sincronización de bloques del presente invento;
- La Fig. 2 es un diagrama de bloques de una realización del sistema de sincronización de bloques de acuerdo con los principios del presente invento;
- las Figs. 3A y 3D, con la disposición con que se representa en la Fig. 3E, constituyen una realización del diagrama lógico del sistema de sincronización de bloques de la Fig. 2;



- la Fig. 3F define los símbolos empleados en las Figs. 3A a 3D;
- la Fig. 4 es un diagrama de tiempos del contador de ports y decodificador de la Fig. 3A;
- 5 - la Fig. 5 es un diagrama de tiempos del contador de sub-bloques y decodificador de la Fig. 3A;
- la Fig. 6 es un diagrama de tiempos del contador de bloques medios y decodificador y de algunos de los gates producidos por la temporización del bloque y la lógica de gates de las  
10 Figs. 3A y 3B;
- la Fig. 7 es un diagrama de tiempos del contador de super-bloque y decodificador de la Fig. 3B;
- la Fig. 8 es un diagrama de tiempos que muestra la operación del circuito de bloques de las Figs. 3A a 3D en el modo  
15 0;
- la Fig. 9 es un diagrama de tiempos que muestra la operación del circuito de sincronización de las Figs. 3A a 3D en modo 1, y
- la Fig. 10 es un diagrama de tiempos que muestra la operación  
20 ración del sistema de sincronización de bloques de las Figs. 3A a 3D en el modo 2 y que muestran además la relación existente entre ciertas curvas de tiempo del modo 2 con ciertas curvas de tiempo en modo 1.

En la descripción que sigue se dan ciertos valores  
25 específicos para X, M, m, x e Y, como son ciertas frecuencias y otros parámetros. Estos valores específicos no deben ser considerados como una limitación del alcance de este invento sino meramente para los fines de dar a conocer el modo de operar del sistema de sincronización de bloques de acuerdo  
30 con un caso práctico. Será fácil para cualquiera introducido

420331

12.



en esta técnica modificar estos parámetros para que cumplan con los requerimientos de unas especificaciones diferentes. Además, el sistema de sincronización de bloques del presente invento se describirá únicamente con fines de ilustrar como se emplea en un sistema de conmutación digital asíncrono. Los principios y técnicas que se establecen en esta descripción se pueden usar en otros tipos de sistemas de comunicación digital que tengan unos formatos TDM de gran longitud y en los sistemas en los que se pueda asignar un porcentaje muy pequeño de bits para la sincronización.

Un sistema de comunicación digital asíncrono contiene dos unidades funcionales independientes, principalmente un multiplexor y un demultiplexor.

El multiplexor acepta 16 canales de entrada de datos asíncronos y 16 canales de hilos de orden y los multiplexa en un flujo de salida síncrona de 34,4 Mbps (megabits por segundo). La frecuencia de diseño real para el oscilador es de 34,415 Mbps  $\pm$  10 ppm (partes por millón) si bien a fines prácticos se toma como 34,4 Mbps. Esta frecuencia es un poco mayor que la requerida para el caso de que todas las frecuencias de entrada fueran exactas para dar lugar a un relleno de sistema de combinación únicamente asíncrona. En el flujo de salida se incluye un canal overhead o port que contiene la información del bloque y bits de relleno. El sistema está diseñado de modo que se pueda insertar el multiplexor un flujo digital de 38,4 Kbps (kilobits por segundo) en lugar de un canal de frecuencia vocal digitada. La señal digital es procesada en el multiplexor como una señal síncrona.

Las velocidades de entrada asíncrona aceptables se agrupan en cuatro grupos como se indica en la Tabla I que



420331

se muestra a continuación

<u>TABLA I</u>	
<u>GRUPOS PATRON DE VELOCIDADES DE ENTRADA AL MULTIPLEXOR</u>	
<u>MULTIGRUPO</u>	<u>VELOCIDADES EN Mbps</u>
5	1 4,9152; 2,4576
	2 1,536; 0,768; 0,384; 0,192
	3 1,2288; 0,6144; 0,3072; 0,1536
	4 0,576
10	Overhead 16 canales vocales cada uno de los cuales puede ser reemplazado por un canal de datos de 38,4 Kbps.

Las 16 entradas asíncronas son sincronizadas a la salida del flujo de datos sincrónicos del multiplexor por un relleno de bits fijos y variables de las señales de entrada hasta obtener una velocidad sincrónica antes del multiplexado. El sistema de comunicación usa canales sincrónicos de 1,2288 Mbps- Unicamente los 576 Kbps requieren un relleno fijo. Los bits de relleno son sacados en el demultiplexor con una palabra de control de canal que afecta a todos los bits de relleno transmitidos. Al sacarse los bits de relleno se produce una alteración del reloj que es corregida por un suavizador de reloj.

Todos los canales de hilo de orden de frecuencia vocal son codificados digitalmente antes del multiplexado por un circuito MIC de seis bits a 38,4 Kbps. Este circuito es un codificador no lineal con una relación de compandage de 20 a 1 que da una distorsión de señal de cuantización de 29 db (teórica de 22 db) para un 0 dbm (decibelio referido a 1 milivatio). Las características del sistema de comunicación

420331

14.



asíncrono digital son (1) una eficiencia de bit mayor del 95%,  
(2) un solo sistema de relleno, (3) una integridad de bits  
de más de  $10^{14}$  bits con un error del orden de  $10^{-3}$ , (4) un  
sistema totalmente duplex y (5) un almacenamiento elástico  
5 de 4 bits suficiente para el multiplexado y demultiplexado.  
Cada uno de los grupos acepta hasta cuatro bits de las fre-  
cuencias relacionadas para dicho grupo en la Tabla I.

Refiriéndonos ahora a la Fig. 1 vemos representado  
en ella el formato del flujo de datos de acuerdo con los prin-  
10 cipios del presente invento. El formato del flujo de datos  
o señal que forma la entrada al demultiplexor, que se emplea  
con el sistema de sincronización de bloques del presente  
invento, incluye  $x = 60$  superbloques incluidos en un multiblo-  
que (D de la Fig. 1). Cada uno de los superbloques incluye  
15  $M = 16$  bloques medios (C de la Fig. 1) mientras que cada  
uno de los bloques medios incluye  $m = 4$  sub-bloques (B de la  
Fig. 1). Cada uno de los  $m$  sub-bloques incluye  $x = 28$  ports  
o tiempos de canal (A de la Fig. 1). El formato garantiza  
que cuando están sincronizados los secuenciadores de tiempo en  
20 el circuito multigrupo se completa un ciclo completo entre las  
reposiciones de sincronización del sistema. El canal de datos  
overhead indicado en B de la Fig. 1 como port W es el port  
27 y se usa de modo que el port 28 puede ser usado para tempo-  
rizar el multigrupo 1 para reducir la alteración en el formato.  
25 En C de la Fig. 1 se muestran solo los W bits (bit 27) de los  
bloques medios con los siguientes símbolos:

$O_N$  para la palabra de datos de hilos de orden, una  
palabra de seis bits por cada tres bloques medios,  
dos bits por bloque medio, en que  $N = 1, 2, 3, 4, 5$   
30 ó 6 con tres variaciones en el superbloque de la



que se muestra en una en la Fig. 1;

$S_N$  para los bits de códigos de sincronización corta, en que se repite el formato 1010... cada dos bloques medios, siendo  $N = 1$  ó  $2$ ;

5  $L_N$  para los bits de códigos de sincronización larga, con 16 bits por superbloque, un bit por cada uno de los 16 bloques medios por superbloque, en que  $N = 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15$  ó  $16$ ; y

10  $C_N$  para la palabra de control de relleno, bits del uno al trece de los bits de sincronización larga, en que  $N = 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12$  ó  $13$

Cada uno de los superbloques contiene (1) palabra de control de relleno de 13 bits (los 13 primeros bits de los  
15 16 bits de código de sincronización larga, (2) 16 bits de código de sincronización corta, (3) 16 bits de código de sincronización larga y (4)  $5 \frac{1}{3}$  palabras de datos de hilo de orden de seis bits. Debe notarse que la palabra de código de sincronización larga y la palabra de control de relleno están  
20 combinadas. En los anteriores diseños se empleaban 16 bits en el superbloque para el control de relleno y la sincronización larga con los bits divididos en las dos funciones. En el sistema presente todos los 16 bits se emplean para la información de sincronización larga y los primeros 13 bits  
25 de la misma para la palabra de control de relleno. El formato que se representa en la Fig. 1 ayuda a la sincronización del demultiplexor y hace que el hardware usado en el sistema de sincronización de bloques sea mínimo.

Los símbolos que fueron anteriormente establecidos  
30 y que se muestran en C de la Fig. 1 se emplean también en las

420331

16.



Figs. 3A a 3D y en la Fig. 10 en las cuales tienen el mismo significado.

Como se ha mencionado anteriormente, el código de control de relleno se contiene en los primeros 13 bits de la palabra de sincronización larga de 16 bits, representando el estado del contador de superbloques del multiplexor. Los bits que representan los estados del contador se multiplexan directamente, cuando no se quiere tener acción alguna de relleno, en el canal de overhead. Cuando es requerido el relleno, por lo menos los bits que representan el estado de las dos primeras etapas del contador de superbloques del multiplexor son complementados antes de multiplexar. Si el demultiplexor recibe los dos primeros bits complementados de la palabra de código de sincronización largo el demultiplexor conoce así que se requiere llevar a cabo una operación de extracción de relleno. Se ha visto, sin embargo, que el hardware del sistema de sincronización de bloques se minimiza y que la sincronización se lleva a cabo más exactamente si cuando se requiere un relleno el estado de todas las etapas del contador de superbloques del multiplexor se complementa antes del multiplexado. Debido a esto, el comparador de código de sincronización largo dará una indicación de adaptación en la palabra de código de sincronización larga normal o en la palabra de código de sincronización larga complementada con la indicación de adaptación en la última situación usada para indicar que del multiplexor se requiere una operación de extracción de relleno.

Las palabras de mando de relleno variable son dispuestas en un nivel de superbloque como se muestra en la Tabla II que se da a continuación con un mando de relleno de super-

420331



bloque.

TABLA II

DISPOSICION DEL MANDO DE RELLENO VARIABLE

VELOC. DEL MULTIGRUPPO	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	
4.9152 Mbps	X		X		X		X	X		X		X		X	X		X		X		X	X		X		X		X		X	
1.536 Mbps		X								X						X								X							
1.2288 Mbps				X							X							X							X						
0.576 Mbps						X														X											
no usado													X															X	X	X	

Los mandos de relleno para un multigrupo dado entran en el multigrupo por un solo hilo y el secuenciador de mando de relleno del multigrupo dispone el mando de relleno en secuencia para cada uno de los cuatro grupos por multigrupo.

Consideremos a continuación el número de mandos de control de relleno que son enviados por multibloque. Como en la disposición del presente invento el número de rellenos por multibloque no se cambia cuando el sistema trabaja a 1/2, 1/4 ó 1/8 de la velocidad nominal, el problema se simplifica considerablemente. El multigrupo 1, que actúa con los cuatro grupos de 4,9152 Mbps, tiene 32 rellenos por multibloque como se ve en la Tabla II. Esto corresponde a 8 rellenos por grupo por multibloque. El multigrupo 2, que actúa con cuatro grupos de 1,536 Mbps tiene 8 rellenos por multibloque como se ve en la Tabla II, que corresponde a 2 rellenos por grupo por multibloque. El multigrupo 3, que actúa con los cuatro grupos de 1,2288 Mbps, tiene 8 rellenos por multibloque como se ve en la Tabla II, o 2 rellenos por grupo por multibloque. El multi-

420331

18.



grupo 4, que actúa con los cuatro grupos de 576 Kbps tiene cuatro rellenos por multigrupo, como se ve en la Tabla II, o un relleno por grupo por multibloque. En resumen, el sistema en el que se ha empleado el presente invento ha sido diseñado de modo que el número de rellenos por grupo por multibloque sea un número entero para todas las velocidades de grupo con las que se tiene que actuar.

El hecho de que el número de rellenos y de bits por cada grupo por multibloque sea un entero hace posible sincronizar el sistema con el multibloque con un impulso de reposición que reponga todos los secuenciadores de temporización del grupo, secuenciadores de mando de relleno y divisores de grupo en un punto específico del multibloque, lo que es un medio práctico por el que el estado del sistema es enlazado con el multibloque. El impulso de reposición corrige la inicialización que puede ser causa de que aparezca una diferencia entre el estado del sistema y el estado del contador del multibloque.

El formato de datos de la Fig. 1 muestra que el bit 27 del sub-bloque ha sido seleccionado como bit de port overhead en lugar del bit 28 que ahora es un bit de port de 4,9152 Mbps por bit. La longitud del multibloque se seleccionó para dar a cada uno de los grupos de 576 Kbps la posibilidad de ser rellenos en un multibloque. Con ello se asegura que los cuatro secuenciadores de mando de relleno se hayan puesto en ciclo al menos uno por cada bloque medio, simplificándose la reposición del sistema. La palabra de control de relleno es de 13 bits por superbloque y hay 16 de sincronización larga por cada superbloque. Los 16 bits de sincronización larga incluyen 13 bits de palabra de control.



de relleno y tres bits adicionales. Este formato hace que al bloque con el que se emplea el sistema de sincronización de bloques del presente invento menos susceptible de errores y más fácil de localizar las condiciones sincronizadas.

5 Las señales de grupo de entrada se multiplexan en el formato del flujo de datos como se indica en la Tabla III que se incluye a continuación.

TABLA III  
ASIGNACION A MULTIGRUPOS DE LOS TIEMPOS DE PUERTA

Veloc. Del multigrupo	Nº 0 Puertas asgnds.	CUENTA DE SUB-BLOQUE																											
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28
4.9152 Mbps	16	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
1.536 Mbps	5		X						X				X			X								X					
1.2288 Mbps	4			X						X								X							X				
0.576 Mbps	2					X														X									
Overhead	1																											X	

Refiriéndonos ahora a la Fig. 2 vemos en ella un diagrama de bloques del sistema de sincronización de bloques de acuerdo con los principios del presente invento, usando el formato de flujo de datos de la Fig. 1. Este sistema de sincronización de datos de la Fig. 2 se emplea en el demultiplexor del sistema de comunicación digital asíncrono y proporciona la temporización y gates requeridos para demultiplexar los datos de grupo patrón. Las entradas al circuito de la Fig. 2 son los datos de 34,4 Mbps procedentes de la fuente 71 y del reloj de bit a una velocidad de 34,4 Mbps extraídos de la fuente de datos 71 por el extractor de reloj 72. Una conexión en cascada del contador y decodificador de ports 73, del conta-

420331

20.



dor y decodificador de superbloques 74, del contador y decodificador de bloques medios 75, del contador y decodificador de superbloques 76, junto con el temporizador de bloques y lógica de gates 77 definen los canales de port, los sub-bloques,  
5 los bloques medios y los superbloques así como las varias otras señales de temporización requeridas para la operación del sistema de sincronización de bloques del presente invento. Los contadores y decodificadores 73, 74, 75 y 76 son controlados por medio de un gate de PARO 78 controlado por una señal derivada del sistema de sincronización de bloques para poner las  
10 diversas señales de temporización en fase con el flujo de bits de datos procedente de la fuente 71 y, así, las señales de temporización presentes en el extremo de multiplexado del sistema de comunicación digital.

15 El contador y decodificador de port 73 incluye un contador de ports que es un contador síncrono, rápido, de división por veintiocho, especialmente escogido para requerir una decodificación mínima para las cuatro salidas de temporización de demultiplexado a los multigrupos.

20 La decodificación mínima significa el menor retardo de propagación en el decodificador, para evitar un excesivo tiempo de interferencia de temporizado. Estas salidas definen los bits particulares en el flujo de datos de 34,4 Mbps que ha de ser demultiplexado en cada multigrupo. También define  
25 el temporizado del port de datos overhead que contiene la información o señales de información y el contador de port puede ser parado por los medios del gate 78 por la lógica del bloque para la sincronización.

30 El contador y decodificador de sub-bloque 74 incluye un contador de sub-bloques en forma de contador binario divisor



por cuatro usado primeramente para identificar la función de los datos demultiplexados procedentes del canal overhead. Está equilibrado por un estado del contador de sub-bloque en el multiplexor, para dar un retardo de un período en el proceso del multiplexado. Así se tiene que el sub-bloque 1 identifica bits de sincronización larga; el sub-bloque 2 define bits de hilos de orden; el sub-bloque 3 define bits de sincronización corta y el sub-bloque 4 define bits de hilos de orden. Además de la identificación de datos el contador de sub-bloques proporciona la temporización para el reloj de hilos de orden MIC, la temporización parcial para la lógica de relleno fija de 576 Kbps, reposición del sistema y MIC, mando de extracción de relleno y avance de extracción de relleno. El extremo de un ciclo de sub-bloque hace la función de reloj de un contador de bloque medio incorporado en un contador y decodificador de bloque medio 75.

El contador de bloque medio del contador y decodificador 75 define los 16 bits que deben ser usados para los circuitos de bloques como palabras de control de sincronismo y rellenos largas. El contado par forma la referencia de sincronización corta local. Los bloques medios 1, 2, 14 y 16 definen el tiempo del contador de superbloque, el "flag pair", el mando de extracción de relleno y la reposición de sistema y MIC, respectivamente.

Además, los estados de contador de bloque medio se usan para dirigir el multiplexor de referencia de sincronización larga y el demultiplexor de datos de carga, como ha sido anteriormente descrito. El contador es puesto en el estado cero como parte de la porción de carga de sincronización larga del ciclo de bloques.

420331

22.



El contador y decodificador de superbloques 6 incluye un contador de superbloque con una cuenta de 60 para definir el período de bloque medio. Las salidas decodificadas del contador de superbloque seleccionan el multigrupo que puede ser extraído de relleno durante el tiempo del superbloque. El superbloque 60 es decodificado para producir la temporización de los gates de reposición 79 para las funciones de reposición del sistema y MIC. Las funciones de reposición garantizan que todos los contadores de multigrupo y MIC están sincronizados a la referencia de control común. El contador de superbloque es vaciado y puesto en el código de sincronización larga recibida en la fuente 71 como parte del ciclo de bloques.

Como se mencionó ya, el código de sincronización corto es de un patrón binario 0,1 repetido, con un bit de sincronización cada 112 bits de datos, o 1 bit de sincronización por bloque medio. La sincronización del demultiplexor al código de sincronización corto pone correctamente en fase los contadores de puerta y sub-bloque, localiza los datos de hilo de orden MIC e identifica los bits impares y pares de la palabra larga de control de sincronización y relleno.

La palabra larga de control de sincronización y relleno es una serie de 16 bits que tiene la forma 01, AA, BB, CC, DD, EE, FF, GG; o 10,  $\overline{AA}$ ,  $\overline{BB}$ ,  $\overline{CC}$ ,  $\overline{DD}$ ,  $\overline{EE}$ ,  $\overline{FF}$ ,  $\overline{GG}$ . La primera forma de la palabra de código se usa cuando no se desea la acción de extracción de relleno mientras que la segunda forma de la palabra de código se emplea cuando se requiere la acción de extracción de relleno. Los bits de sincronización larga tiene lugar cada 112 bits de datos y la palabra de código de sincronización larga se completa en 16 bloques medios o una por superbloque.



El sistema de sincronización de bloques para el demultiplexor de grupo patrón de acuerdo con los principios del presente invento incluye un demultiplexor de datos overhead 279; los circuitos de coincidencia de sincronización larga y sincronización corta incluyen la lógica de comparación de código de sincronización larga 80, la lógica de comparación de código de sincronización corta 81, el almacenamiento de adaptación 82, el almacenamiento de comparación 83, el almacenamiento de falta de adaptación de paro 84, el multiplexor de referencia de sincronización larga 85 y la lógica de paro 86; el circuito de decisión 87 incluye los gates 88 de modo 0, los gates 89 de modo 2, el contador de decisión 90 y los detectores de umbral 91; la lógica de control de modo incluye el flip flop 92 de modo 1, el flip flop 93 de modo 2 y el decodificador de modo 94; la lógica de control de extracción de relleno incluye el contador de coincidencia de extracción de relleno 95 y la lógica de decisión de extracción de relleno 96; y un cargador de sincronización larga incluye el primer almacenamiento de sincronización larga 97, la primera lógica de comparación de bit con datos 98, los gates de almacenamiento de "falga pair" y de modo de cargador 99, el multiplexor de datos de carga 100 y un circuito de reposición de contador de bloque medio y de superbloque 101.

El demultiplexor de datos overhead 279 actúa sobre cada uno de los veintisieteavos bits del flujo de datos de entrada de 34,4 Mbps que lleva los datos overhead, por ejemplo, de sincronización corta, de sincronización larga o de datos de hilos de orden MIC. Estos datos son sacados del flujo de gran velocidad bajo control de la temporización del port overhead y son llevados a la lógica de comparación de sincroni-

420331

24.



zación larga 80 y al primer almacenamiento de bits 97. Además, los datos overhead son llevados a la tarjeta de hilo de orden MIC, que no se muestra, para demultiplexar los datos de hilo de orden.

5                   La lógica de comparación del código de sincronización larga 80 recibe entradas del demultiplexor de datos overhead 279 y del demultiplexor de referencia de sincronización larga 85. Este circuito es una lógica EXCLUSIVE-NOR que produce un binario "1" cuando el bit de datos de sincronización larga  
10 y el bit de referencia de sincronización larga son adaptados y un binario "0" si es que no son adaptadas. Las condiciones de adaptación son pasadas con reloj al almacenamiento de adaptación del almacenamiento 82 y las condiciones de falta de adaptación lo son al almacenamiento de falta de coincidencia  
15 adaptación del almacenamiento 82 bajo control de la temporización de sincronización larga. Una vez para cada uno de los superbloques son examinados los almacenamientos de adaptación y de falta de adaptación del almacenamiento 82, para determinar si la palabra de código de sincronización larga de 16 bits  
20 se adapta o deja de adaptarse con la palabra de referencia de sincronización larga de 16 bits. Cuando es considerada toda la palabra de sincronización larga, son posibles dos condiciones de adaptación y una de falta de adaptación. Si todos los bits de sincronización larga de overhead se adaptan  
25 con su bit de referencia, es pasada una adaptación a través de los gates 89 al contador de decisión 90. Esta es la condición cuando es transmitida la palabra de sincronización larga con una señal de control de no-relleno. Cuando todos los bits de sincronización larga de overhead carecen de  
30 adaptación con su bit de referencia, el contador de decisión



90 recibe una señal de adaptación. Ella indica que la palabra de sincronización larga ha sido recibida sin errores pero que contenía una señal de control de extracción de relleno. En cualquier caso, a través del gate 89 es alimentada una falta de adaptación al contador 90.

La lógica de comparación de código de sincronización corta 81 recibe su entrada de la fuente 71 y la referencia de código de sincronización corta de la primera etapa del contador de bloque medio del contador y decodificador 75 a través de la lógica 77. El port normal de identificación del tiempo de sincronización corto 27 pasa la adaptación o falta de adaptación del lógico EXCLUSIVE-NOR, una vez por cada bloque medio, al almacenamiento de comparación 83. El contenido del almacenamiento 83 es llevado directamente al contador de decisión 90 a través de los gates 88 de modo 0 cuando el sistema de sincronización está en una condición de funcionamiento de modo 0.

En el modo 0, si el contador 90 detecta demasiadas faltas de adaptación a la salida del almacenamiento 83, el contador 90 cae por debajo del umbral y la siguiente muestra de sincronización corta es contrastada por el almacenamiento de falta de adaptación de paro 84. Una falta de adaptación que se detecte en este tiempo genera una señal de paro de la lógica de paro 86 que es acoplada al gate de paro 78. El gate 78 inhibe el ciclo de contado del contador y decodificador 73, produciendo un cambio en el contador de fase en relación con los datos de entrada de la fuente 71. Al mismo tiempo, los bits sucesivos del flujo de datos de entrada son comprobados en el almacenamiento de falta de adaptación de paro 84, hasta que se encuentra una adaptación.

420331

26.



Entonces se detiene la señal de paro, el gate 78 es activado, es de nuevo establecida la comparación normal de sincronización corta y continúa el ciclo de contador de ports.

El circuito de decisión 87 y en particular el contador 90 lleva a cabo decisiones estadísticas midiendo la validez de la posición del bloque, que supongamos es, por ejemplo, de fase de contador. La decisión se hace en base de las condiciones de adaptación y de falta de adaptación generadas a partir de la lógica de comparación de sincronización larga o corta 80 u 81. El número de adaptaciones y de faltas de adaptación es contado en un contador ascendente-descendente que tiene 32 estados, que es componente del contador 90. Cada adaptación hace que se incremente en una unidad el estado de contador del contador 90 mientras que cada falta de adaptación hace descender en dos unidades el contador del contador 90.

La segunda parte del circuito 87 la forman dos detectores de umbral o decodificadores. Si por las lógicas de comparación 80 u 81 se detecta un número suficiente de adaptaciones, es activado el detector de límite superior para evitar que se sobrepase el contador 90. Si los circuitos de bloque están en una búsqueda de sincronización corta, modo 0, la señal de salida del límite superior indica una condición de en-bloque para el port, el sub-bloque y la primera etapa del contador de bloque medio. La condición de sincronización corta en-bloque produce una transferencia al modo de carga de sincronización larga (modo 1).

Un segundo detector o decodificador de umbral actúa en un estado de contador del contador 90 elegido para un compromiso entre el rechazo rápido de los estados falsos de



bloque(umbral alto) y la baja posibilidad de rechazo de sincronización correcta (umbral bajo). Cuando la salida del límite de umbral bajo es activada, cierra siempre el contador 90 para evitar un posterior descenso y que se pueda quedar  
5 bajo. La señal de salida del umbral bajo produce una o dos acciones en los restantes circuitos de bloque en dependencia con los circuitos de control de modo.

El modo de carga de sincronización larga (modo 1) comienza por el almacenamiento del primer bit del "flag pair"  
10 en el almacén 97. A continuación son comparados el primero y segundo bits en cuanto a la falta de adaptación en el almacén y gates 99. La condición de falta de adaptación hace que el contador de bloque medio continúe su cuenta que se emplea como dirección de carga en el multiplexor 100. La dirección  
15 de carga dirige los datos de carga que representan el estado del contador de superbloque al flip flop correcto del contador de superbloque en el contador y decodificador de superbloque 76. Si el primero y segundo bits ("flag pair") se adaptan, el contador de bloque medio es repuesto; el siguiente bit  
20 de sincronización larga es almacenado en el almacén 97 como el primer bit y el ciclo de carga continúa como ha sido indicado.

En el modo de carga de sincronización larga (modo 1) el "flag pair" se encontrará normalmente en un máximo de siete  
25 pruebas (trials). Es, sin embargo, posible que no se localice ningún "flag pair", condición que debe ser considerada. Un contador de faltas de adaptación de modo 1 contenido en el decodificador 94 permite que haya hasta 16 intentos infructuosos para localizar el "flag pair". En este tiempo, el contador de falta de adaptación de modo 1 fuerza a los circuitos  
30

420331

28.



de modo a entrar en el modo 2 o de sincronización larga. Como el contador de superbloque demultiplexor es, en este caso, arrancado en el estado 0, la probabilidad de que se tenga una sincronización larga es de solo 1 por 60 y esta arbitraria  
5 posición de sincronización larga, si es incorrecta, es rápidamente rechazada y es iniciado un retorno al modo 0 o de búsqueda de sincronismo corto.

En el multiplexor se añadieron o rellenaron bits en el flujo de datos de multigrupo de la forma requerida  
10 para evitar que haya escasez en el almacenamiento elástico. Estos bits no llevan datos útiles y deberán ser extraídos en el terminal demultiplexor. Como se dijo al hacer la descripción del formato de la Fig. 1, la condición de control de extracción o no extracción de relleno es efectuada por la pala-  
15 bra de código de sincronización larga. Aunque para una decisión de extracción o no extracción de relleno solamente se requiere un bit binario, la protección contra errores en esta decisión vital se obtiene por una decisión mayoritaria sobre los trece primeros bits de sincronización larga.

20 El dato de referencia de la sincronización larga es siempre el patrón de no extracción de relleno y el contador de coincidencia de extracción de relleno 95 cuenta el número de veces que la palabra de código de sincronización larga recibida coincide con la palabra de código de sincronización  
25 larga local.

En el modo de sincronización corta (modo 0) cuando el contador 90 es conducido por las coincidencias y faltas de coincidencia de los datos de sincronización corta, una señal de salida de umbral bajo, procedente de los detectores  
30 91, indica una elección incorrecta de los datos de sincroni-



zación corta e inicia una acción de paro como se ha descrito anteriormente. Además, vuelve el contador 90 a cero.

5 Cuando el contador 90 es conducido partiendo de los circuitos de adaptación de sincronización larga, una condición de umbral bajo indica que se ha aceptado una pérdida de sincronización larga, una elección incorrecta de "falga pair" durante el período de carga de sincronización larga o un falso código de sincronización corta. Los circuitos de bloques son  
10 vueltos al modo de búsqueda de sincronización corta (de modo 0) o reiniciados en el ciclo de bloque.

Los gates de modo 88 y 89 a la entrada del contador 90 dirigen la salida del almacén 83 y del almacén 82 a través del gate OR 102 al contador 90, permitiéndole ser compartido entre dos circuitos de sincronización.

15 La lógica de control de modo incluye el flip flop de modo 1 referenciado 92 y el flip flop de modo 2 referenciado 93 junto al decodificador de modo 94 que produce las señales de control de salida que dirigen los circuitos según el ciclo. Cuando el sistema está completamente fuera de sincronismo  
20 es iniciada la operación de modo 0 y son pasadas al contador 90 las adaptaciones y faltas de adaptación de sincronización corta en un esfuerzo por localizar la condición de sincronización corta. Cuando ha sido ésta localizada, el contador 90 inicia a través de los detectores de umbral 91 una conmutación al modo 1 (carga de sincronización larga). Al mismo  
25 tiempo, los contadores de bloque medio y de superbloque son descargados en preparación para la carga durante el modo 1. El modo de carga dura 24 bloques medios por término medio, terminando en la cuenta de dieciseis del contador de bloque medio.  
30 Durante el modo 1 no tiene lugar ninguna acción de decisión.

420331

30.



El final del ciclo de carga de superbloque inicia la operación de modo 2 (sincronización larga) y los datos de adaptación y falta de adaptación conducen el contador 90. La sincronización es ahora completada y todos los datos de salida son válidos.

5 El cargador de sincronización larga, que funciona únicamente en el modo 1, demultiplexa la palabra de código de sincronización larga y la carga bit a bit en el contador de superbloques de demultiplexado o contador y decodificador de superbloques 76.

10 Como fué anteriormente indicado, la palabra de código de sincronización larga consiste en 16 bits por superbloque. El primer par de bits es siempre complementario y se denomina "flåg pair", indicando el comienzo de una secuencia de carga de sincronización larga. Los siete pares de bits restantes  
15 llevan las variables del estado del contador de superbloque en multiplex.

Siete o más adaptaciones (con una mayoría de 13) se interpreta que significan no extracción de relleno e inhiben el mando de extracción de relleno. Menos de siete adaptaciones  
20 se interpretará como que se debe iniciar un mando de salida de relleno y acoplamiento al multigrupo apropiado.

Las señales 3A a 3D, cuando están organizadas como se ilustra en la Fig. 3E, presentan un diagrama lógico detallado de una realización de los diversos bloques de la Fig. 2,  
25 siendo identificados los símbolos lógicos que se emplean como se muestra en la Fig. 3F.

En las Figs. 3A a 3D, y en varios de los diagramas de tiempo de las Figs. 4 a 10, se emplean varios símbolos para identificar las diversas señales.

30 Ejemplos de estos símbolos son MG = gate de adapta-

420331

31 7 NOV



ción, SUB = sub-bloque, C27. = port 27 overhead, S-gate = gate de sincronismo corto, L = referencia de sincronismo largo, S match = adaptación de sincronismo corto, MID = bloque medio, SUP superbloque, CLR = descarga, CLK = reloj, M = adaptación, MM = falta de adaptación, etc. Además, delante de algunos de estos símbolos está el prefijo "1-" que indica que la señal tiene un estado binario "1" y el prefijo "0-" que indica que la señal tiene un estado binario "0".

El contador y decodificador 73 incluye cinco flip-flops A, B, C, D y E del tipo JK. Estos cinco flip flops, si cuentan normalmente, pueden dar una cuenta de 32 o una división por un factor de 32. Sin embargo, los gates AND 103 y 104 y el flip flop JK 105 son adecuadamente acoplados a los flip flops A a E para cambiar su cuenta a 28. Los gates NAND 106, 107, 108 y 109, en cooperación con el gate AND 110, el gate NAND 111 y el gate NOR 112 proporcionan los relojes de multiplexado para los diversos multigrupos indicados. Estos últimos gates son parte del decodificador 73 y son los únicos gates que se muestran, ya que actúan directamente con el sistema de sincronización de bloques del presente invento y extracción de relleno del demultiplexor. También se podrían haber provisto otros gates lógicos para la obtención de las señales de temporización para cada uno de los ports o tiempos de canal contenidos en un sub-bloque. Esta lógica de gates no se muestra, ya que no tiene directamente que ver con el sistema de sincronización de bloques pero se puede deducir fácilmente de las curvas B a F de la Fig. 4 y de la siguiente Tabla IV.

420331



TABLA IV

TABLA REAL DE DECODIFICACION DE CONTADOR DE PORT

PORT	Estado de los Flip-Flops				
	A	B	C	D	E
1	1	0	0	0	0
2	0	1	0	0	0
3	1	1	0	0	0
4	0	0	1	0	0
5	1	0	1	0	0
6	0	1	1	0	0
7	1	1	1	0	0
8	1	0	0	1	0
9	0	1	0	1	0
10	1	1	0	1	0
11	0	0	1	1	0
12	1	0	1	1	0
13	0	1	1	1	0
14	1	1	1	1	0
15	1	0	0	0	1
16	0	1	0	0	1
17	1	1	0	0	1
18	0	0	1	0	1
19	1	0	1	0	1
20	0	1	1	0	1
21	1	1	1	0	1
22	1	0	0	1	1
23	0	1	0	1	1
24	1	1	0	1	1
25	0	0	1	1	1
26	1	0	1	1	1
27	0	1	1	1	1
28	1	1	1	1	1



En las curvas C a K de la Fig. 4 se ven los relojes de demultiplexado o temporizaciones a la salida de los gates 106-109 mientras que la curva L de la Fig. 4 muestra el gate del port de overhead o señal de temporización.

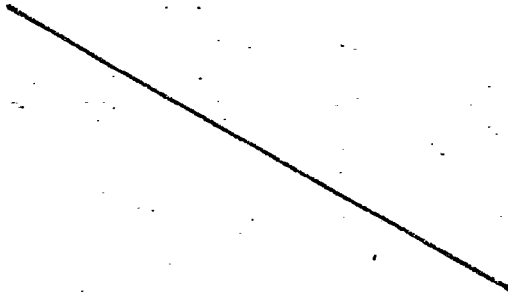
5 El contador y decodificador 74 de sub-bloque incluye dos flip flops tipo JK referenciados F y G cuyas salidas se emplean para producir otras de las señales de tiempo necesarias a la salida del decodificador 74 así como unas señales empleadas en la temporización del bloque y en la lógica

10 de gate 77 cuyos gates producen las otras diversas señales de tiempo necesarias para el funcionamiento del sistema de sincronización de este invento se ve en el bloque encuadrado a trazos 77. Como solamente deben ser identificados cuatro sub-bloques no hay necesidad de cambiar la cuenta normal

15 de las dos etapas del flip flop F y G, ya que estas dos etapas de flip flop darán las señales de gates necesarias para identificar los cuatro sub-bloques a que se refiere el formato. Como en el caso del contador y decodificador 73 los gates necesarios para obtener las señales de tiempo o gates de sub-

20 bloque no se representan pero se pueden deducir fácilmente de la Tabla V y en las curvas B y C, Fig. 5 con las señales de tiempo o gates de sub-bloque resultantes que se muestran en las curvas D a G de la Fig. 5. La curva H de la Fig. 5 muestra la señal fija de temporización de 576 Kbps producida por el

25 gate NAND 191.



420331 34.

7 NOV 75



TABLA V

TABLA REAL DE DECODIFICACION DE CONTADOR DE SUB-BLOQUE

Sub-bloque	Estado de los Flip-Flops	
	G	F
1	0	0
2	0	1
3	1	0
4	1	1

El contador y decodificador de bloque medio 75 está constituido por cuatro etapas de flip flops tipo JK identificadas como H, K L y M, que pueden estas en un circuito integrado de módulo SN 74161 producido por Texas Instruments, Inc. Aquí también las cuatro etapas de flip flop son todo lo que se requiere para identificar los dieciseis bloques medios con el uso apropiado de unos gates lógicos para cumplir con los requerimientos establecidos en la Tabla VI y como puede ser deducido de las curvas B a H de la Fig. 6, con señales de temporización o gates para bloques medios 1, 14 y 16 que se ilustran en las curvas F, G y H de la Fig. 6. La curva J de la Fig. 6 muestra la temporización fija de relleno a 576 Kbps en un superbloque producida por el gate NAND 191, la curva K de la Fig. 6 muestra el avance común de relleno producido por el gate AND 192, la curva L de la Fig. 6 muestra el mando de relleno producido por el gate NAND 177 y la curva M muestra el impulso de reposición del sistema producido por el gate AND 189.



TABLA VI

## TABLA REAL DE DECODIFICACION DE CONTADOR DE BLOQUE MEDIO

Bloque medio		Estado de los flip-flops			
		M	L	K	H
5	1	0	0	0	0
	2	0	0	0	1
	3	0	0	1	0
	4	0	0	1	1
	5	0	1	0	0
10	6	0	1	0	1
	7	0	1	1	0
	8	0	1	1	1
	9	1	0	0	0
	10	1	0	0	1
15	11	1	0	1	0
	12	1	0	1	1
	13	1	1	0	0
	14	1	1	0	1
	15	1	1	1	0
20	16	1	1	1	1

El codificador y decodificador de superbloque 76 incluye siete etapas de flip flop tipo JK N, P, Q, R, S, U y W que normalmente pueden contar hasta 128 o dividir por un factor de 128. Sin embargo, el contador de estas siete etapas de flip flop se modifica por la disposición de gate que incluye los gates AND 113, 114 y 115, el gate OR 116, los gates NAND 117 y 118, el gate AND 119 y el gate NOT 120 para la cuenta hasta 60.

Los gates NAND 121, 122 y 123 y los gates AND 124, 125, 126, 127, 128, 129 y 130 generan los relojes de selección

420331

7 AND 12



36.

de salida de relleno para cada uno de los multigrupos identificados, como se ilustra en las curvas I, J, K y L de la Fig. 7.

5 Como en los contadores y decodificadores previos se pueden emplear las etapas de flip flop N, P, Q, R, S, U y W para generar los gates de señal de temporización de superbloques por el uso de los gates lógicos apropiados como se deduce en la Tabla VII y de las curvas B a H de la Fig. 7. La curva M, de la Fig. 7, muestra las señales comunes de avance  
10 de relleno producidas por el gate AND 192 en un multibloque, la curva N de la Fig. 7 muestra las posibles señales de mando producidas por el gate NAND 177 y la curva O, Fig. 7, muestra el impulso de reposición del sistema producido por el gate AND 189.



TABLA REAL DE DECODIFICACION DE CONTADOR DE SUPERBLOQUE

ESTADO DE LOS FLIP-FLOPS

SUPERBLOQUE	W	U	S	R	Q	P	N
1	0	0	0	0	0	0	1
2	0	0	0	0	0	1	0
3	0	0	0	0	0	1	1
4	0	0	0	0	1	0	0
5	0	0	0	0	1	0	1
6	0	0	0	0	1	1	0
7	0	0	0	0	1	1	1
8	0	0	0	1	0	0	1
9	0	0	0	1	0	1	0
10	0	0	0	1	0	1	1
11	0	0	0	1	1	0	0
12	0	0	0	1	1	0	1
13	0	0	0	1	1	1	0
14	0	0	0	1	1	1	1
15	0	0	1	1	0	0	1
16	0	0	1	1	0	1	0
17	0	0	1	1	0	1	1
18	0	0	1	1	1	0	0
19	0	0	1	1	1	0	1
20	0	0	1	1	1	1	0
21	0	0	1	1	1	1	1
22	0	1	1	1	0	0	1
23	0	1	1	1	0	1	0
24	0	1	1	1	0	1	1
25	0	1	1	1	1	0	0
26	0	1	1	1	1	0	1
27	0	1	1	1	1	1	0
28	0	1	1	1	1	1	1
29	0	1	1	0	0	0	1
30	0	1	0	0	0	0	1
31	1	0	0	0	0	0	1
32	1	0	0	0	0	1	0
33	1	0	0	0	0	1	1
34	1	0	0	0	1	0	0
35	1	0	0	0	1	0	1
36	1	0	0	0	1	1	0
37	1	0	0	0	1	1	1
38	1	0	0	1	0	0	1
39	1	0	0	1	0	1	0
40	1	0	0	1	0	1	1
41	1	0	0	1	1	0	0
42	1	0	0	1	1	0	1
43	1	0	0	1	1	1	0
44	1	0	0	1	1	1	1
45	1	0	1	1	0	0	1
46	1	0	1	1	0	1	0
47	1	0	1	1	0	1	1
48	1	0	1	1	1	0	0
49	1	0	1	1	1	0	1
50	1	0	1	1	1	1	0
51	1	0	1	1	1	1	1
52	1	1	1	1	0	0	1
53	1	1	1	1	0	1	0
54	1	1	1	1	0	1	1
55	1	1	1	1	1	0	0
56	1	1	1	1	1	0	1
57	1	1	1	1	1	1	0
58	1	1	1	1	1	1	1
59	1	1	1	0	0	0	1
60	1	1	0	0	0	0	1

420331 38.



Como se muestra en la Fig. 3C, el demultiplexor de datos overhead 279 le constituye un flip flop JK 131. La lógica de comparación de sincronización larga es, como se ha dicho con referencia a la Fig. 2, una lógica EXCLUSIVE NOR que comprende los gates NAND 132, 133 y 134. El gate NAND 5 132 está conectado a la salida "1" del flip flop 131 y recibe como segunda señal de referencia la salida "1-L" del multiplexor 85 y el gate NAND 133 está conectado a la salida "0" del flip flop 131 y recibe como segunda señal de referencia la salida "0-L" del multiplexor 85. El almacenamiento de 10 coincidencia y falta de coincidencia 92 se compone de dos flip flops JK 135 y 136. Los gates 89 de modo 2 incluyen dos gates 137 y 138.

La lógica de comparación del código de sincronización 15 corta 81 incluye una lógica EXCLUSIVE NOR que incluye los gates 139, 140 y 141. El gate NAND 139 está acoplado a los "datos de 0 - 34 Mbps" y tiene como su señal de referencia el complemento de la primera señal de referencia o señal de referencia de sincronización corta " $\overline{1-H}$ " generada por la 20 salida "1" del flip flop H del contador de bloque medio o contador y decodificador 75, mostrándose en la curva B de la Fig. 6 y el gate NOT 142, el gate NAND 140 está acoplado a los "datos de 1 - 34,4 Mbps" y tiene como señal de referencia la primera señal de referencia "1-H" del flip flop H del 25 contador de bloque medio o contador y decodificador 75. La salida del gate NAND 141 está acoplada al almacenamiento de comparación 83 en forma de flip flop JK 143 y a la detención del almacenamiento de falta de adaptación 84 en forma del flip flop JK 144. El flip flop 143 es temporizado por la 30 salida del gate AND 145 y el flip flop 144 lo es por la salida



del gate AND 146. Los dos últimos gates AND junto con el gate  
NAND 147, suministrando una entrada al gate AND 146 y el gate  
NOT 148, suministrando una entrada al gate AND 145, forman  
una parte de la lógica de comparación 81. La finalidad de la  
5 temporización de 143 y 146 en el tiempo en que se tiene el  
port overhead (C27) es la de asegurar que las adaptaciones y  
faltas de adaptación debidas al funcionamiento de la lógica  
de comparación 81 unicamente se tiene durante el tiempo del  
port de overhead y en ningún otro tiempo durante un bloque  
10 medio. El gate 88 de modo 0 incluye un gate NAND 149 mientras  
que la lógica de paro 86 incluye un gate NAND 150.

El multiplexor de referencia de sincronización larga  
85 en un componente de circuito integrado SN74151 fabricado  
por Texas Instruments, Inc. y produce la señal de referencia  
15 para los gates NAND 132 y 133. La segunda señal o señal de  
referencia de sincronización larga la constituyen los estados  
de los flip flops N-W del contador de superbloque o contador  
y decodificador 76, estando el funcionamiento del multiplexor  
bajo el control de las direcciones en la forma de los estados  
20 M de los flip flops H-M del contador de bloque medio o conta-  
dor y decodificador 75.

El gate de paro que se muestra en 78 de la Fig. 3A  
está constituido por un gate AND 151.

Debe observarse que el gate OR 102 de la Fig. 2 que  
25 alimenta al contador de decisión 90 del circuito de decisión  
87 ha sido sustituido en el diagrama lógico de las Figs. 3A a  
3D por el gate NAND 152. Las razones para esta sustitución  
están en el tipo de componentes lógicos empleados en los auto-  
riores circuitos del sistema de sincronización del presente  
30 invento.

420331

7 NOV  
40.



El circuito de decisión 87 incluye como su componente principal el integrador digital en forma de un contador digital ascendente-descendente 90 que es incrementado en un paso cada vez por una coincidencia del gate AND 153, del flip flop JK 5 154 y el gate NAND 155. El contador ascendente-descendente 90 es rebajado en dos unidades cuando hay una falta de coincidencia del gate NAND 156 que tiene una entrada conectada a través del gate NOT 157 con la salida del gate NAND 152. El incremento y rebaje del contador 90 es controlado por las 10 señales de control de modo 0 y de modo 2 procedentes de la salida del decodificador de modo 94 a través de los gates NAND 158, 159 y 160. El contador ascendente-descendente, contador de decisión 90, puede ser un componente de circuito integrado SN74193 fabricado por Texas Instruments, Inc. que incluye 15 cuatro etapas de flip flop para permitir el contador hasta un valor de 32.

Los detectores de umbral 91 incluyen un gate NAND 161 para detectar cuando se alcance el nivel superior de umbral, con su salida acoplada a la salida binaria "0" de las 20 cuatro etapas del contador 90. El detector de nivel de umbral inferior está constituido por el gate NOR 162 que está acoplado a la salida binaria "0" de las tres últimas etapas del flip flop del contador 90.

Como fué indicado anteriormente con respecto a la 25 Fig. 2, los resultados de la comparación del código de sincronización corta y el código de sincronización larga son llevados al contador 90 bajo el control de los circuitos de control, de modo que incluyen el flip flop 92 de modo 1 en forma de un flip flop de tipo JK y un flip 93 modo 2 también 30 en la forma de un flip flop de tipo JK, El flip 92 de modo 1

420331

7 NOV 1971  
41.



es guiado por la salida del detector de umbral superior gate  
NAND 161 a través del gate NOR 163 mientras que el flip flop 92  
de modo 2 es guiado por la salida del contador de falta de  
coincidencia de modo 1 164, que forma parte del decodificador  
5 de modo 94. El contador 164 puede ser componente de circuito  
integrado SN74161 fabricado por Texas Instruments, Inc. y  
tiene la función que se ha descrito respecto a la Fig. 2.

El decodificador de modo 94 decodifica la salida  
de los flip flops 92 y 93 y provee las tres señales de control  
10 de modo que se emplean en otros componentes de circuito del  
sistema de sincronización de bloques de este invento. La opera-  
ción de decodificación del decodificador 94 para generar las  
señales de control de modo es la que se indica en la Tabla  
VIII que sigue:

15 TABLA VIII  
SEÑALES DE CONTROL DE MODO

Estado del flip flop en modo 1	Estado del flip flop en modo 2	Modo	Función
0	0	0	Comparac. de sincro- nización corta.
1	0	1	Comparac. de sincro- nización larga.
1	1	2	Comparac. de sincro- nización larga.
0	1	0	Comparac. de sincro- nización corta.

En la Tabla VIII no solamente se indica la señal  
30 de control de modo sino que también se indica la función que

420331

42.



el sistema de sincronización de bloques llevará a cabo bajo el control de una señal particular de control de modo.

Como se dijo en las Figs. 3A a 3D la señal de control de modo 0 se produce directamente de la salida binaria "0" del flip flop 92 mientras que la señal de control de modo 1 es producida por el gate AND 165 y la señal de control 2 es producida por el gate NOR 166. Los gates AND 167 y 168, el gate NAND 169, el gate NAND 170 y el gate NOT 171 en cooperación con el contador 164 de falta de adaptación de modo 1 producen una señal de temporizar el flip flop 93 de modo 2.

La lógica de control de extracción de relleno incluye el contador de adaptaciones de extracción de relleno 95 que incorpora a la misma tres flip flops tipo JK 172, 173 y 174 siendo el flip flop 172 temporizado por la salida del gate NAND 175 que tiene una entrada acoplada a la salida de la lógica de comparación 80, una segunda entrada que recibe una señal de tiempo "1-SUB2MG" de la lógica 77 y la tercera entrada que recibe la señal de salida del gate NAND 176, cuyas entradas están acopladas a la salida binaria "1" de los flip flops 172-174. La lógica de decisión de extracción de relleno 96 está constituida por el gate NAND 177 que tiene una entrada acoplada a la salida del gate NAND 176, por una segunda entrada que recibe la señal de tiempo "1-DESTUFF GATE" de la lógica 77 y recibiendo por su tercera entrada la señal de tiempo "1-C27" de la lógica 77.

El cargador de sincronización larga, que funciona unicamente en el modo 1, incluye un almacenamiento de bits 97 en forma de flip flop de tipo D cuya salida se lleva a la lógica de comparación 98 en forma de lógica EXCLUSIVE NOR que incluye los gates NAND 178 y 179 y el gate NAND 180. Los gates

420331

43.



de almacenamiento de "flag pair" y de modo de cargador 99 incluyen un flip flop de tipo D 181 para almacenar el primer par de bits de la palabra de código de sincronización larga y los gates de modo de cargador incluyen el gate NAND 182 para cargar los datos de overhead recibidos en el demultiplexor 100 de datos de carga que recibe sus direcciones de los flip flops K, L y M del contador de bloque medio incluido en el contador y decodificador 75. El otro gate de los gates de modo de cargador 99 incluye un gate NAND 183 cuya salida temporiza el contador de falta de adaptación 164 de modo 1 y constituye además una de las entradas al gate NAND 184 siendo provista la otra entrada por el gate NOT 185 acoplado a la salida del gate NOR 163. La salida del gate NOR 184 se usa para excitar el circuito de reposición 101 que a través del gate NOT 186 carga el contador del contador y decodificador de bloque medio 75 con binario "0", a través del gate NOT 187 descarga los flip flops N, P, Q y R y a través del gate NOT 188 descarga los flip flops S, U y W en el contador de superbloque del contador y decodificador 76, de modo que los datos de overhead presentes en el demultiplexor 101 puedan ser insertados en los adecuados flip flops del contador de superbloque para obtener una señal de referencia libre de errores para la lógica de comparación de código de sincronización larga 80. El demultiplexor de datos de modo 100 puede ser un componente de circuito integrado SN74155 fabricado por Texas Instruments Inc.

El gate AND 190 de los gates de reposición 79 produce la reposición del hilo de orden MIC.

El funcionamiento de las Figs. 3A a 3D, en una ejecución del diagrama lógico del sistema de sincronización de bloques de la Fig. 2 tiene lugar como se describió con

420331

44.



relación a la Fig. 2. Los diagramas de tiempos para la operación en el modo 0 son los que se muestran en la Fig. 8, los que corresponden a la operación en el modo 1 son los indicados en la Fig. 9 y los que corresponden a la operación en el modo 2 son los que se muestran en las curvas A a L de la Fig. 10, mostrándose con las curvas M, N y O de la misma Fig. 10 la relación entre tres señales de temporización presentes únicamente en el modo 1 con las señales de temporización de modo 2.

En la curva B de la Fig. 8 se muestra el impulso identificado como "sincronización corta rápida clk". Estos impulsos de reloj son producidos durante el paso de parada (curva J de la Fig. 8) debido al defasaje que tiene lugar en el contador de ports cuando el reloj de 34,4 Mbps es bloqueado por el gate de parada 78 y, con ello, la producción de un número de señales de temporización C27 con diferencia de fase.

Si bien los principios del invento han sido descritos en relación con unos aparatos específicos ha de ser claramente entendido que esta descripción únicamente se hace a modo de ejemplo y nunca como limitación del alcance del invento tal como se establece en los objetos del mismo y en las reivindicaciones que se acompañan.

Este invento corresponde a una solicitud de patente formulada en Estados Unidos el día 7 de Noviembre de 1972, señalada con el Nº 304.435 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

----- NOTA -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

- 1.- Mejoras en los sistemas de sincronización de

420331<sup>45</sup>

7 NOV.



bloques caracterizadas por un sistema de sincronización de bloques para una señal binaria de datos multiplexada por división en el tiempo que tiene un multibloque que incluye X superbloques, cada uno de cuyos X superbloques incluye M bloques  
5 medios, cada uno de los cuales M bloques medios incluye m subbloques, cada uno de cuyos m subbloques incluye x ports, incluyendo dicha señal de datos unos datos de canal overhead que tienen al menos una primera señal de sincronización que tiene un primer formato predeterminado compuesto de Y bits dispuestos  
10 en bloques medios adyacentes de los M existentes y una segunda señal de sincronización que tiene un segundo formato predeterminado diferente del primer formato predeterminado compuesto de M bits, cada uno de cuyos M bits está dispuesto en un bloque medio diferente de los M existentes, en que X  
15 M, m, x e y son todos números enteros mayores que la unidad, comprendiendo: una fuente de señales de datos; un primer medio acoplado a la fuente para producir señales de tiempo incluyendo una primera señal de referencia para la primera unidad de sincronización y una segunda señal de referencia para dicha  
20 segunda señal de sincronización; un primer comparador digital acoplado a dicha fuente y a dicho primer medio con respuesta a dicha señal de datos y a dicha primera señal de referencia para producir una primera señal de salida indicativa de las adaptaciones y faltas de adaptación entre dicha señal de  
25 datos y dicha primera señal de referencia; un segundo comparador digital acoplado a dicha fuente y a dicho primer medio con respuesta a dicha señal de datos y a dicha segunda señal de referencia para producir una segunda señal de salida indicativa de las adaptaciones y faltas de adaptación entre dicha segunda  
30 señal de sincronización y dicha segunda señal de referencia;

*pe*

420331

46.



un segundo medio con respuesta a dicha primera señal de salida y a dicha segunda señal de salida en secuencia para producir una primera señal de control y una segunda señal de control; un tercer medio acoplado entre dicho primero y dicho segundo comparadores y la entrada de dicho segundo medio y a la salida de dicho segundo medio con respuesta a dicha segunda señal de control para controlar el acoplamiento de dicha primera y dicha segunda señales de salida a la entrada de dicho segundo medio, y un cuarto medio acoplado a dicho primer medio, siendo dicho primer comparador, dicho segundo medio y dicho tercer medio con respuesta a dicha primera señal de salida y a dicha primera señal de control y bajo el control de dicho tercer medio para establecer una sincronización mantenida entre las señales de temporización y las señales de datos.

2.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 1 en el que cada uno de dichos M bits están dispuestos en uno dado de dichos x ports y en uno diferente de dichos m sub-bloques.

3.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 2 en el que Y es igual a dos y dicho primer patrón es alternativamente binario "0" y binario "1", alternado en bloques medios adyacentes de dichos M bloques medios.

4.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 3 en el que X es igual a sesenta, M es igual a dieciseis y m es igual a cuatro, estando cada uno de dichos Y bits presente en el tercero de dichos m sub-bloques en bloques adyacentes de dichos M sub-bloques, y estando cada uno de dichos m bits presente en el primero de dichos m sub-bloques de uno diferente de dichos M bloques

Pe

420331

47 NOV 1954  
47.



medios.

5.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 4 en el que los dos primeros de dichos M bits de dicha segunda señal de sincronización con una elegida de entre las secuencias de bits binarios 10 y 01 y en el que los restantes (M-2) bits de dicha segunda señal de sincronización tienen una secuencia cualquiera.

6.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 5 en el que dicho sistema es empleado en un demultiplexor asíncrono, siendo dicha señal de datos hecha sincrónica mediante el empleo de una técnica única de relleno y un mando de extracción de relleno en dicho demultiplexor conducido por un número predeterminado de bits de dichos M bits de dicha segunda señal de sincronización.

7.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 6 en el que dicho predeterminado número de bits le constituyen los dos primeros bits de dichos M bits de dicha segunda señal de sincronización en que la secuencia binaria 10 indica la necesidad de una acción de extracción de relleno y la secuencia binaria 01 indica la ausencia de acción de extracción de relleno.

8.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 6 en el que dicho número predeterminado de bits le constituyen los trece primeros bits de dichos M bits de dicha segunda señal de sincronización, en que la secuencia binaria 10 de los dos primeros de dichos trece bits indica la necesidad de una acción de extracción de relleno y la secuencia binaria 01 de los dos primeros de dichos trece bits indica la ausencia de acción de extracción de relleno.

30

9.- Mejoras caracterizadas por un sistema de acuerdo

*PS*

420331

48.



do con la reivindicación 4 en el que dicho sistema es empleado en un demultiplexor asincrónico, dicha señal de datos se hace síncrona por el empleo de una técnica única de relleno, dichos M bits de dicha segunda señal de sincronización tienen una  
5 primera secuencia de bits de 01, AA, BB, CC, DD, EE, FF, GG para indicar que no hay acción de extracción de relleno por dicho demultiplexor, y dichos M bits de dicha segunda señal de sincronización tienen una segunda secuencia de bits 10, AA, BB, CC, DD, EE, FF, GG para indicar una acción de extrac-  
10 ción de relleno por dicho demultiplexado.

10.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 9 en el que los primeros trece bits de dicha primera secuencia de bits forman la palabra de control de no extracción de relleno, y los primeros trece bits  
15 de dicha segunda secuencia de bits forman la palabra de control de extracción de relleno.

11.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 1 en el que dicho primer medio incluye un quinto medio acoplado a dicha fuente para extraer una  
20 temporización de bits de dicha señal de salida; un contador de ports acoplado a dicho quinto medio con respuesta a dicha temporización de bits, teniendo dicho contador de ports un factor de división igual a x; un contador de sub-bloques acoplado a dicho contador de ports, teniendo dicho contador  
25 de sub-bloques un factor de división igual a m; un contador de bloques medios acoplado a dicho contador de sub-bloques, teniendo dicho contador de bloques medios un factor de división igual a M; un contador de superbloques acoplado a dicho contador de bloques medios, teniendo dicho contador de superbloques  
30 un factor de división igual a X; un primer equipo de circuito



lógico acoplado a dicho contador de ports para producir dicha primera señal de referencia y en que los estados de las etapas de dicho contador de superbloques produzcan dicha segunda señal de referencia, y siendo dicha primera señal de referencia la salida "1" de dicha primera etapa de dicho contador de bloques medios.

12.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 11 en el que además se incluye un sexto medio acoplado a dicha fuente y a dicho equipo de circuito lógico con respuesta a dicha primera señal de referencia para demultiplexar dichos datos de canal overhead partiendo de dicha señal de datos, y un séptimo medio acoplado a dicho sexto medio y a dicho tercer medio bajo control de dicho tercer medio para descargar dicho contador de superbloque y para cargar dichos datos de canal de overhead en dicho contador de superbloque en un tiempo predeterminado entre el acoplamiento de dicha primera señal de salida a dicho tercer medio y el acoplamiento de dicha segunda señal de salida a dicho tercer medio.

13.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 12 en el que dicho segundo medio incluye un contador de decisión y un detector de umbral que tiene un primer nivel de umbral y un segundo nivel de umbral más alto que dicho primer nivel de umbral, produciendo dicho detector dicha primera señal de control cuando dicha señal procedente de dicho circuito de decisión es igual o menor que dicho primer nivel de umbral y dicha segunda señal de control cuando dicha señal procedente de dicho circuito de decisión es igual o mayor que dicho segundo nivel de umbral.

14.- Mejoras caracterizadas por un sistema de acuerdo

Pg

420331

50

NOV 17 1950



do con la reivindicación 13 en el que dicho contador de decisión incluye un contador ascendente-descendente.

15.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 13 en el que dicho tercer medio incluye un segundo equipo de circuito lógico acoplado a dicho detector de umbral con respuesta a dicha segunda señal de control para producir una tercera, una cuarta y una quinta señales de control secuencialmente en el orden citado; un primer circuito de gate acoplado entre dicho primer comparador y dicho circuito de decisión controlado por dicha tercera señal de control para acoplar dicha primera señal de salida a dicho circuito de decisión, y un segundo circuito de gate acoplado entre dicho segundo comparador y dicho circuito de decisión controlado por dicha quinta señal de control para acoplar dicha segunda señal de salida a dicho circuito de decisión, estando dicha cuarta señal de control acoplada a dichos séptimos medios para controlar la carga de dichos datos de canal overhead en dicho contador de superbloque.

16.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 15 en el que dicho cuarto medio incluye un tercer equipo de circuito lógico acoplado a dicho primer comparador siendo dicho detector de umbral y dicho segundo equipo de circuito lógico con respuesta a dicha primera señal de salida y dicha primera y dicha tercera señal de control produciendo una señal de PARO durante dicha tercera señal de control cuando ambas dicha primera señal de salida y dicha primera señal de control indican una condición de fuera de sincronismo, y un tercer circuito de gate acoplado entre dicho quinto medio y dicho contador de port para inhibir el acoplamiento de dicha temporización de bits con dicho contador

*Handwritten signature or initials.*

420331

51.



de port para cooperar en que se establezca y mantenga la sincronización entre dichas señales de temporización y dichas señales de datos.

5 17.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 16 en el que cada uno de dichos primero y segundo comparadores es un gate EXCLUSIVE-NOR.

10 18.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 1 en el que dicho segundo medio incluye un contador de decisión y un detector de umbral que tiene un primer nivel de umbral y un segundo nivel de umbral más alto que dicho primer nivel de umbral, produciendo dicho primer detector dicha primera señal de control cuando la señal procedente de dicho primer circuito de decisión es igual o menor que dicho primer nivel de umbral y dicha segunda señal de control cuando la señal procedente de dicho circuito de decisión es igual o mayor que dicho segundo nivel de umbral.

15 19.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 18, en el que dicho contador de decisión incluye un contador ascendente-descendente.

20 20.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 1 en el que dicho tercer medio incluye un equipo de circuito lógico acoplado a dicho segundo medio con respuesta a dicha segunda señal de control para producir una tercera y cuarta señales de control secuencialmente en el orden  
25 citado, un primer circuito de gate acoplado entre dicho primer comparador y dichos segundos medios controlados por dicha tercera señal de control para acoplar dicha primera señal de salida a dicho segundo medio y un segundo circuito de gate acoplado entre dicho segundo comparador y dicho segundo medio  
30 controlado por dicha cuarta señal de control para acoplar

420331

17 NOV 52.



dicha segunda señal de salida a dicho segundo medio.

21.- Mejoras caracterizadas por un sistema de acuerdo con la reivindicación 1 en el que dicho cuarto medio incluye un equipo de circuito lógico acoplado a dicho primer medio, a dicho primer comparador, a dicho segundo medio y a dicho tercer medio, siendo dicho equipo de circuito lógico con respuesta a dicha primera señal de salida y a dicha primera señal de control y bajo el control de dicho tercer medio para establecer y mantener la sincronización entre dichas señales de tiempo y dichas señales de datos.

22.- Mejoras caracterizadas por un sistema de sincronización de bloques para una señal binaria de datos multiplexada por división en el tiempo que tiene un multibloque que incluye X superbloques, cada uno de los cuales X superbloques incluye M bloques medios, cada uno de los cuales M bloques medios incluye m sub-bloques, cada uno de cuyos m sub-bloques incluye x ports, incluyendo dicha señal de datos unos datos de canal overhead que tiene una primera señal de sincronización con un primer formato predeterminado compuesto de Y bits dispuestos en bloques medios adyacentes de los M existentes y una segunda señal de sincronización y una tercera señal de sincronización teniendo dicha segunda señal de sincronización un segundo formato predeterminado diferente de dicho primer formato predeterminado compuesto de M bits, estando cada uno de dichos M bits dispuestos en un bloque medio diferente de los dichos M bloques medios existentes y siendo dicha tercera señal de sincronización el complemento de dicha segunda señal de sincronización, en que X, M, m, x e Y son todos números enteros mayores que uno, comprendiendo: una fuente de señales de datos; un primer medio acoplado a dicha fuente para producir señales

*Handwritten signature or initials.*

420331

53.



de tiempo incluyendo una primera señal de referencia para  
dicha primera señal de sincronización y una segunda señal de  
referencia para dichas segunda y tercera señales de sincroni-  
zación; un primer comparador digital acoplado a dicha fuente  
5 y a dicha fuente y a dicho primer medio con respuesta a dicha  
señal de datos y a dicha primera señal de referencia para pro-  
ducir una primera señal indicativa de las adaptaciones y faltas  
de adaptación entre dicha señal de datos y dicha primera señal  
de referencia; un segundo comparador digital acoplado a dicha  
10 fuente y a dicho primer medio con respuesta a dicha señal de  
datos y a dicha segunda señal de referencia para producir una  
segunda señal de salida indicativa de las adaptaciones y fal-  
tas de adaptación entre una de dichas segunda y tercera seña-  
les de sincronización y dicha segunda señal de referencia;  
15 un segundo medio con respuesta a dicha primera señal de salida  
y a dicha segunda señal de salida en ausencia para producir  
una primera señal de control y una segunda señal de control;  
un tercer medio acoplado entre dicho primero y dicho segundo  
comparadores y la entrada de dicho segundo medio y a la salida  
20 de dicho segundo medio con respuesta a dicha segunda señal  
de control para controlar el acoplamiento de dicha primera  
y dicha segunda señales de salida a la entrada de dicho se-  
gundo medio, y un cuarto medio acoplado a dicho primer medio  
siendo dicho primer comparador, dicho segundo medio y dicho  
25 tercer medio con respuesta a dicha primera señal de salida  
y a dicha primera señal de control y bajo el control de dicho  
tercer medio para establecer y mantener la sincronización  
entre dichas señales de temporización y dichas señales de datos.

23.- Mejoras caracterizadas por un sistema de acuer-  
do con la reivindicación 22 en el que dicho sistema es empleado

30

420331

7 NOV 1973

54



en un demultiplexor asíncrono, dicha señal de datos se hace  
síncrona por el empleo de una técnica única de relleno, en que  
dichos M bits de dicha segunda señal de sincronización tienen  
una primera secuencia de bits de 01, AA, BB, CC, DD, EE, FF,  
5 GG para indicar que no hay acción de extracción de relleno  
por dicho demultiplexor y dichos M bits de dicha tercera señal  
de sincronización tienen una segunda secuencia dicha de 01,  
AA, BB, CC, DD, EE, FF, GG para indicar una acción de extrac-  
ción de relleno por dicho demultiplexor.

10 24.- Mejoras caracterizadas por un sistema de acuer-  
do con la reivindicación 23 en el que los primeros trece bits  
de dicha primera secuencia forman la palabra de control de no  
extracción de relleno y los primeros trece bits de dicha se-  
gunda secuencia de bits forman la palabra de control de extrac-  
15 ción de relleno.

25.- Mejoras en los sistemas de sincronización de  
bloques.

Tal y como se ha descrito en la memoria que antecede,  
representado en los dibujos que se acompañan y a los fines  
20 especificados.

Esta memoria consta de 54 hojas escritas por una  
sola cara.

MADRID, 7 NOV. 1973



*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

*pe*

420331

420331

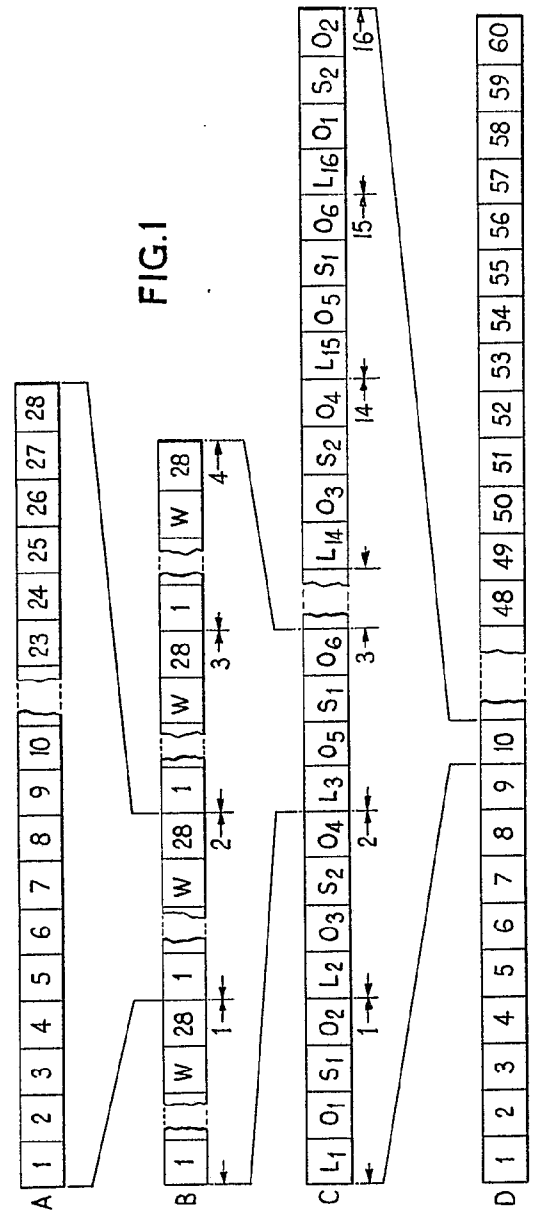


FIG.1

FIG.3F

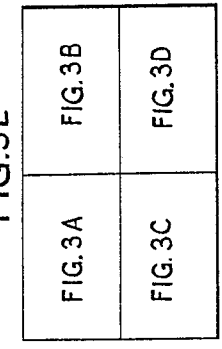


FIG.3A

FIG.3B

FIG.3C

FIG.3D

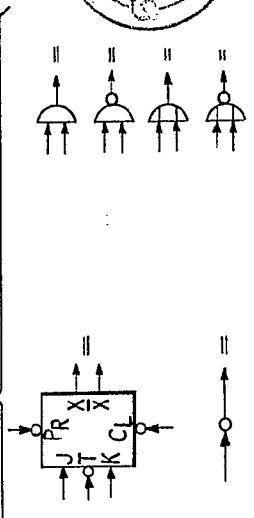


FIG.3E

E 7 NO. 373



M. G. SANTAMARIA  
VICESECRETARIO GENERAL

420331

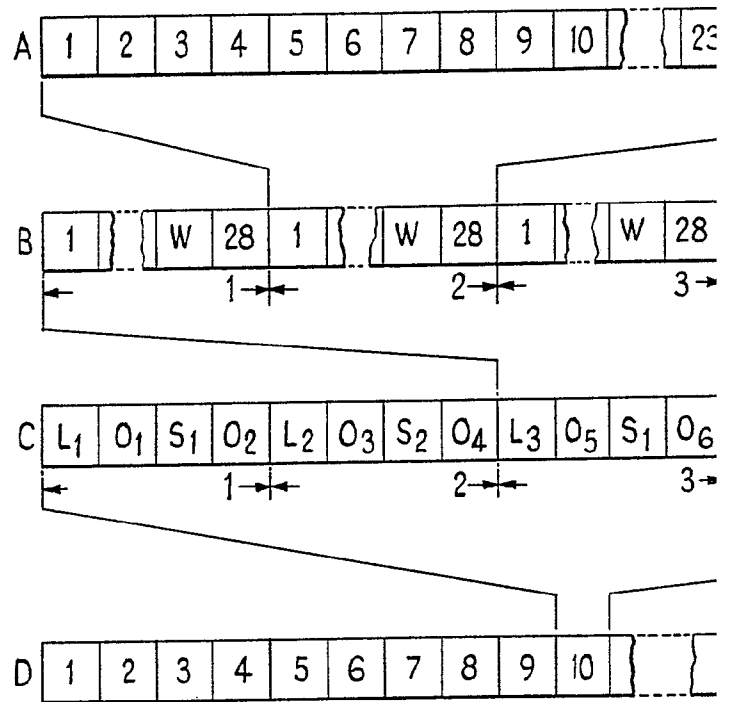
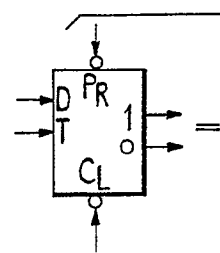
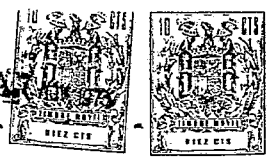


FIG.3E

FIG.3A	FIG.3B
FIG.3C	FIG.3D





420331

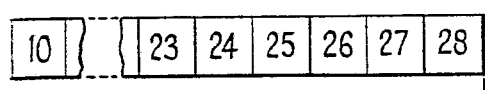


FIG.1

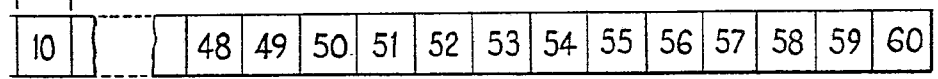
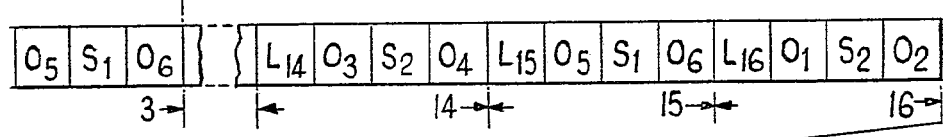
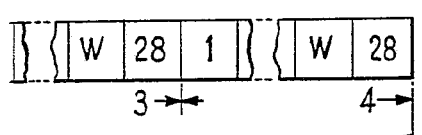
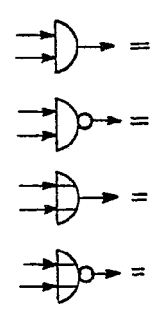
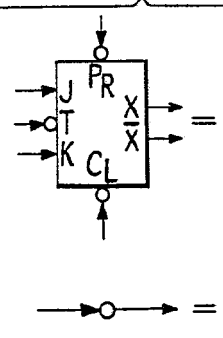


FIG.3F



[ 7 NOV 1973



*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL



420331

420331

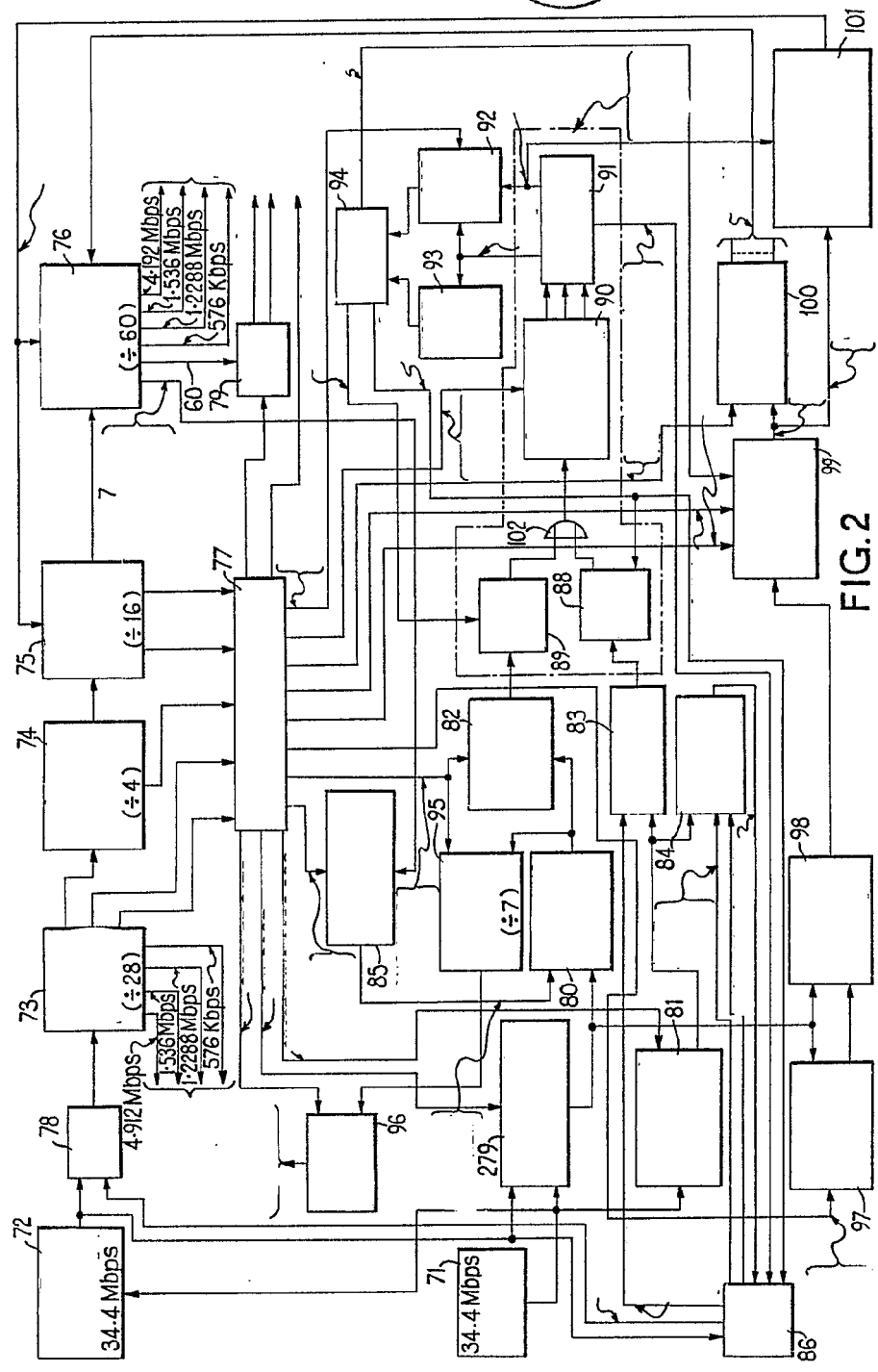


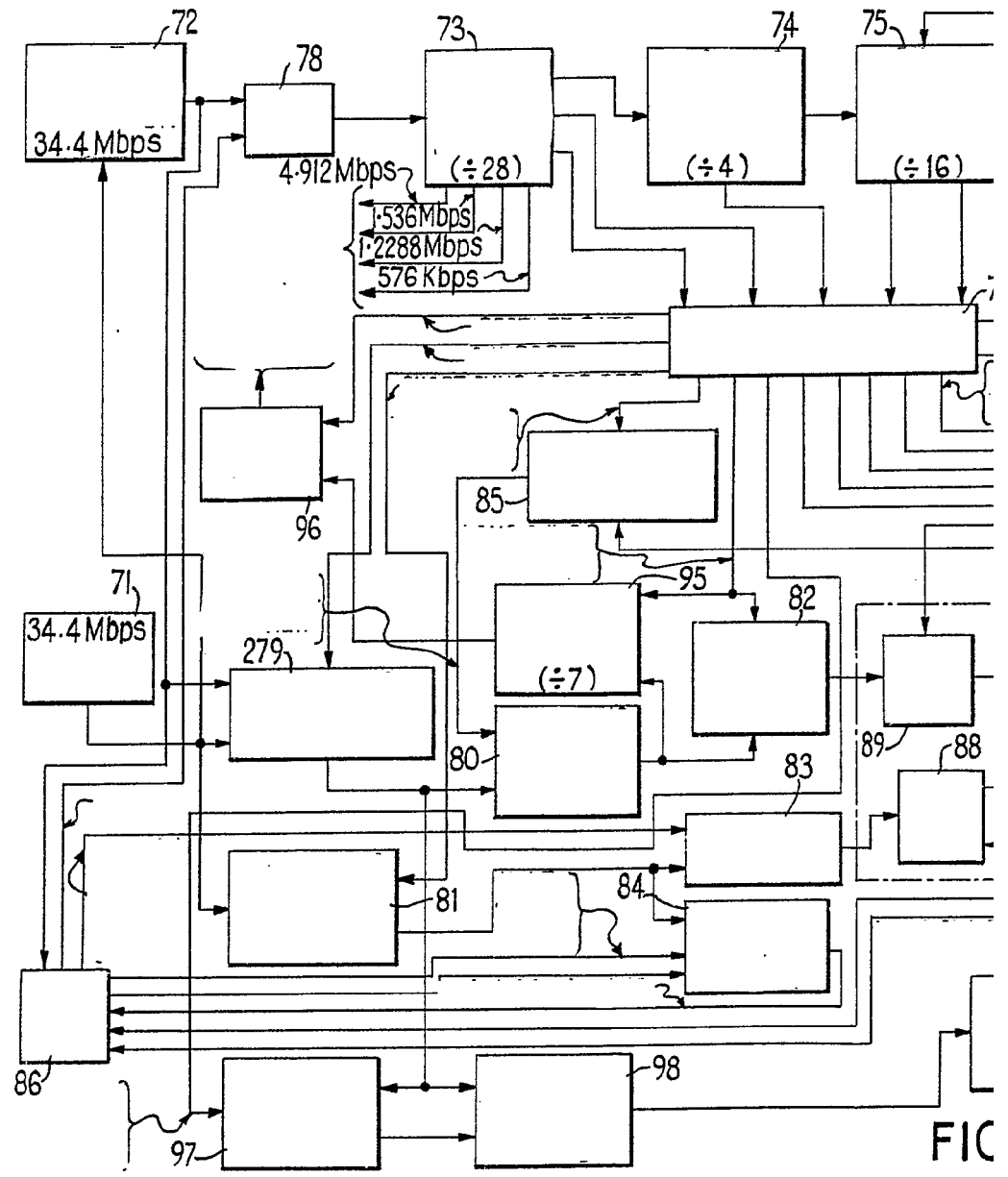
FIG. 2



17 Nov 83

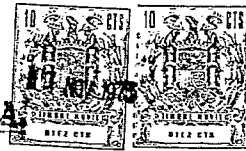
M. G. SANTAMARIA  
VICESECRETARIO GENERAL

420331



10/2

STANDARD ELECTRICA, S. A.



420331

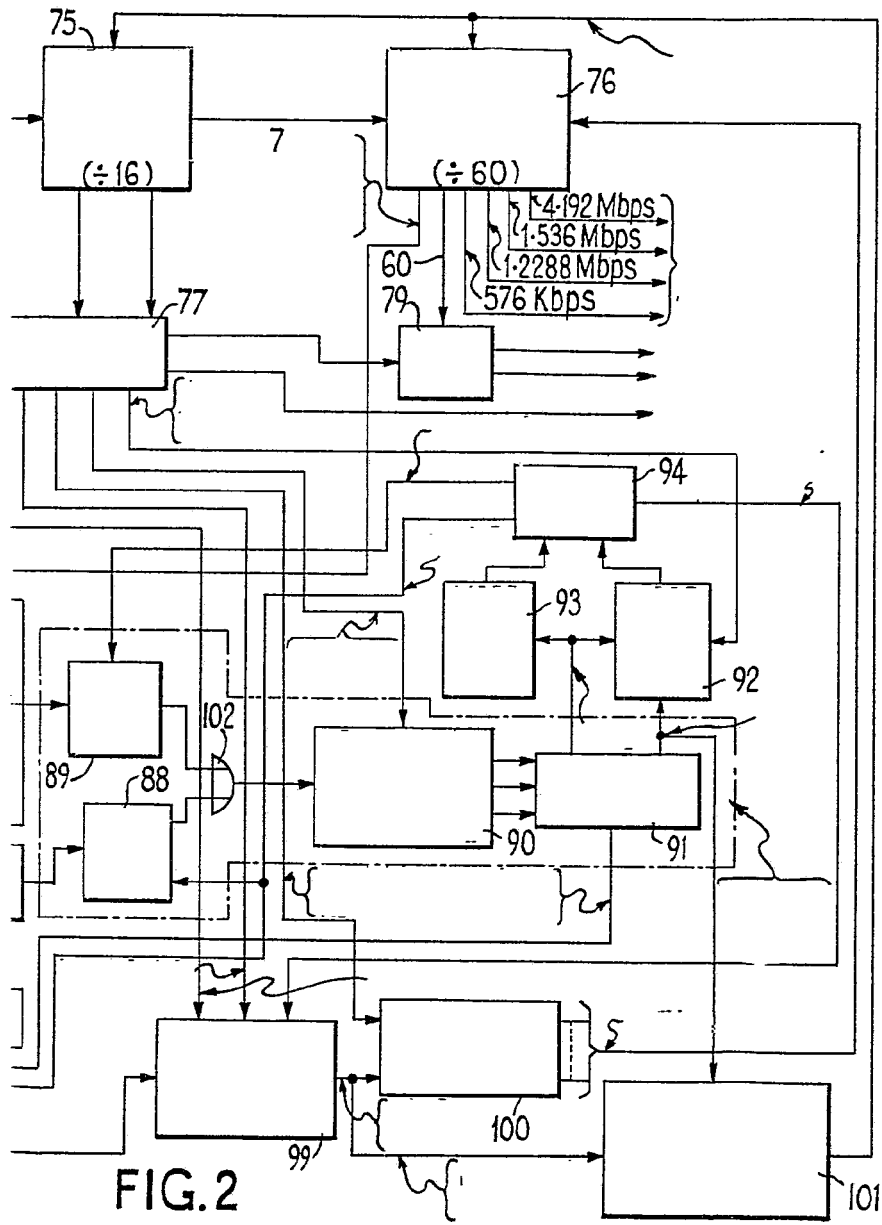


FIG. 2



NOV 1977

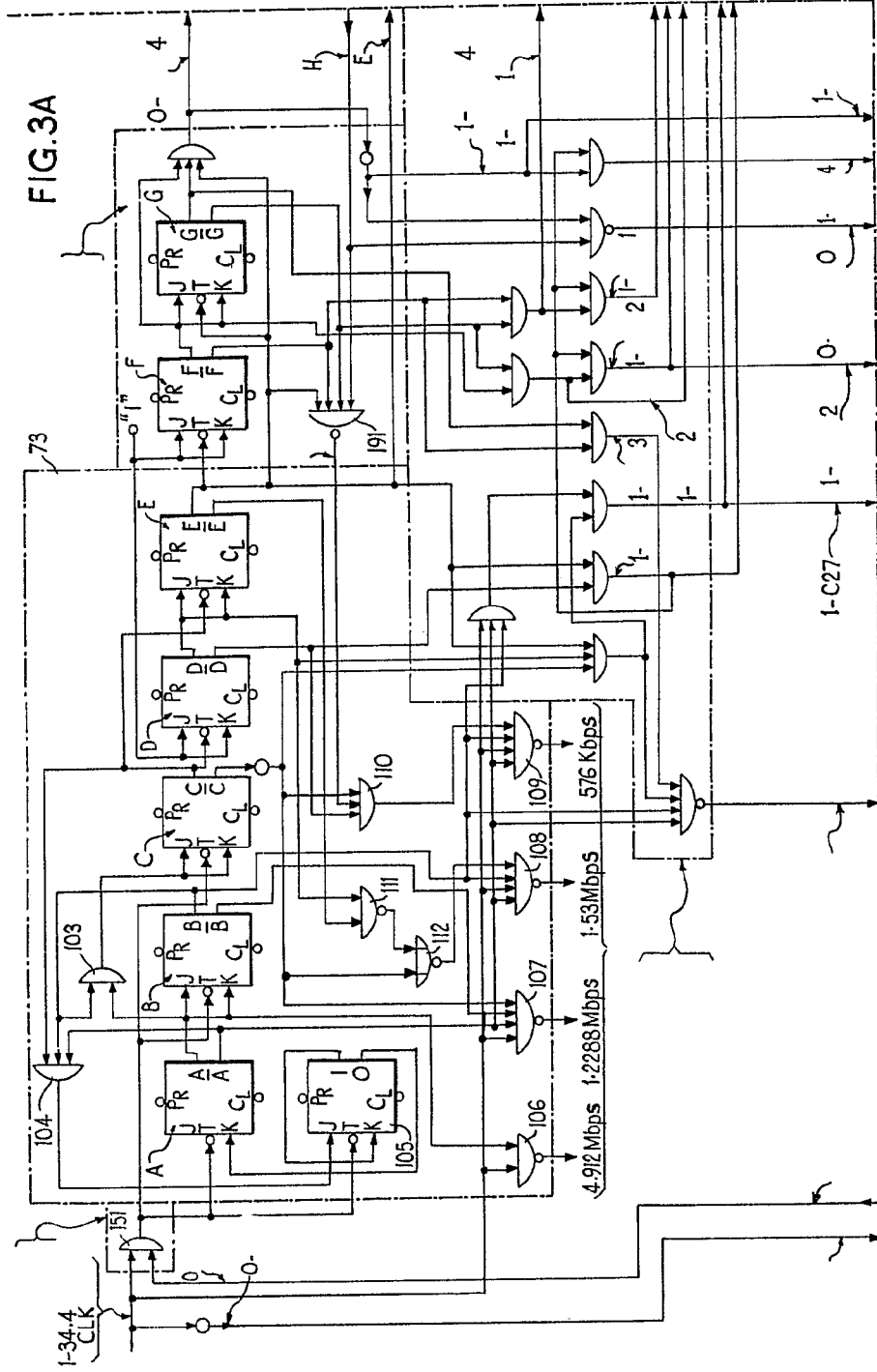
*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

1-4/5

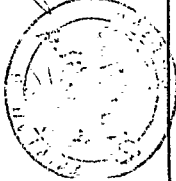
STANDARD ELECTRICA, S. A.

420331

420331

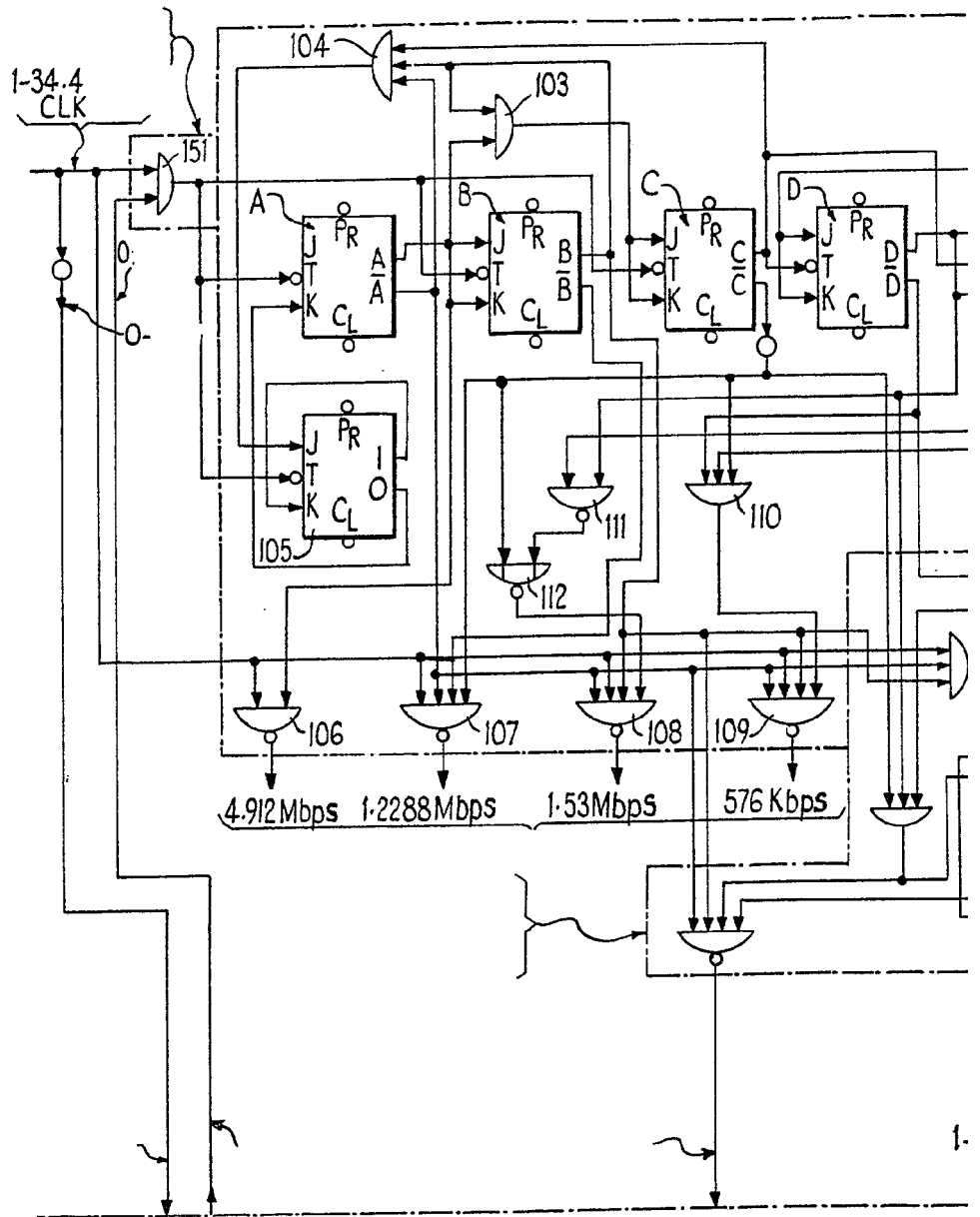


7 NOV 1973



M. G. SANTANA RIA  
VICESECRETARIO GENERAL

1420331

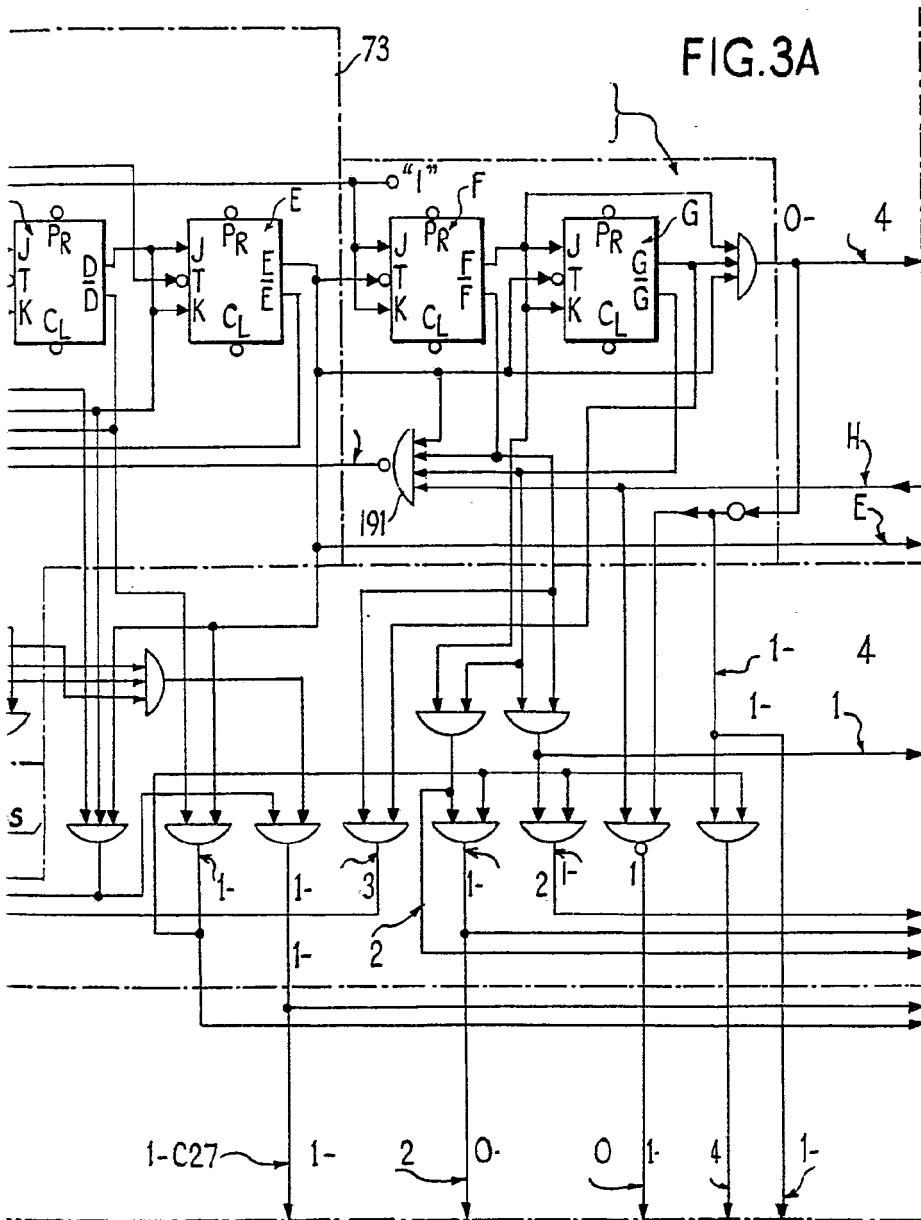


12/3

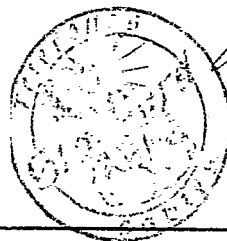
STANDARD ELECTRICA, S. A.



420331



7 NOV. 1973



M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL



420

420331

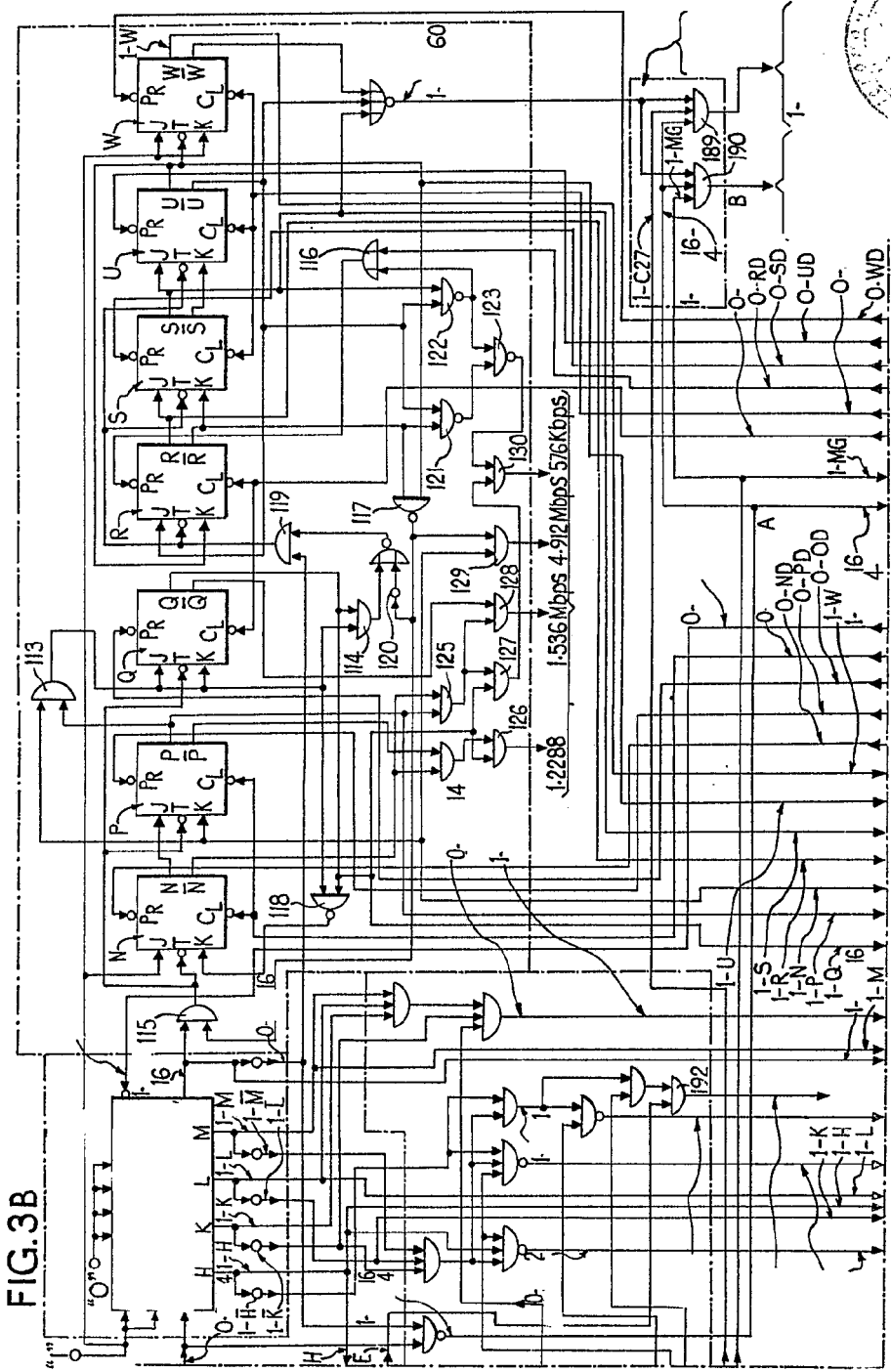
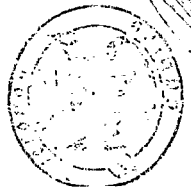


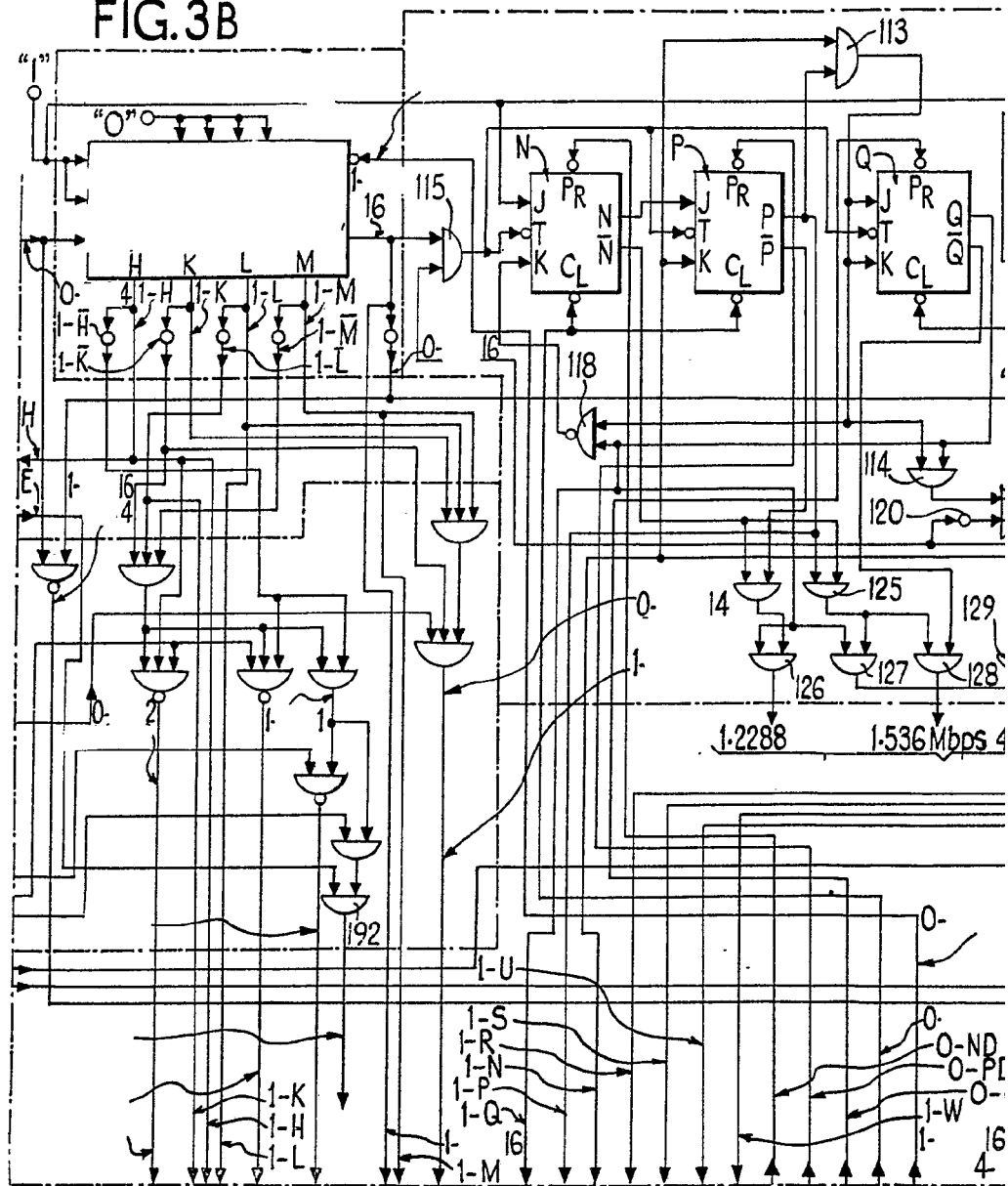
FIG. 3B



Handwritten signature and some illegible text in the bottom right corner.

420771

FIG. 3B

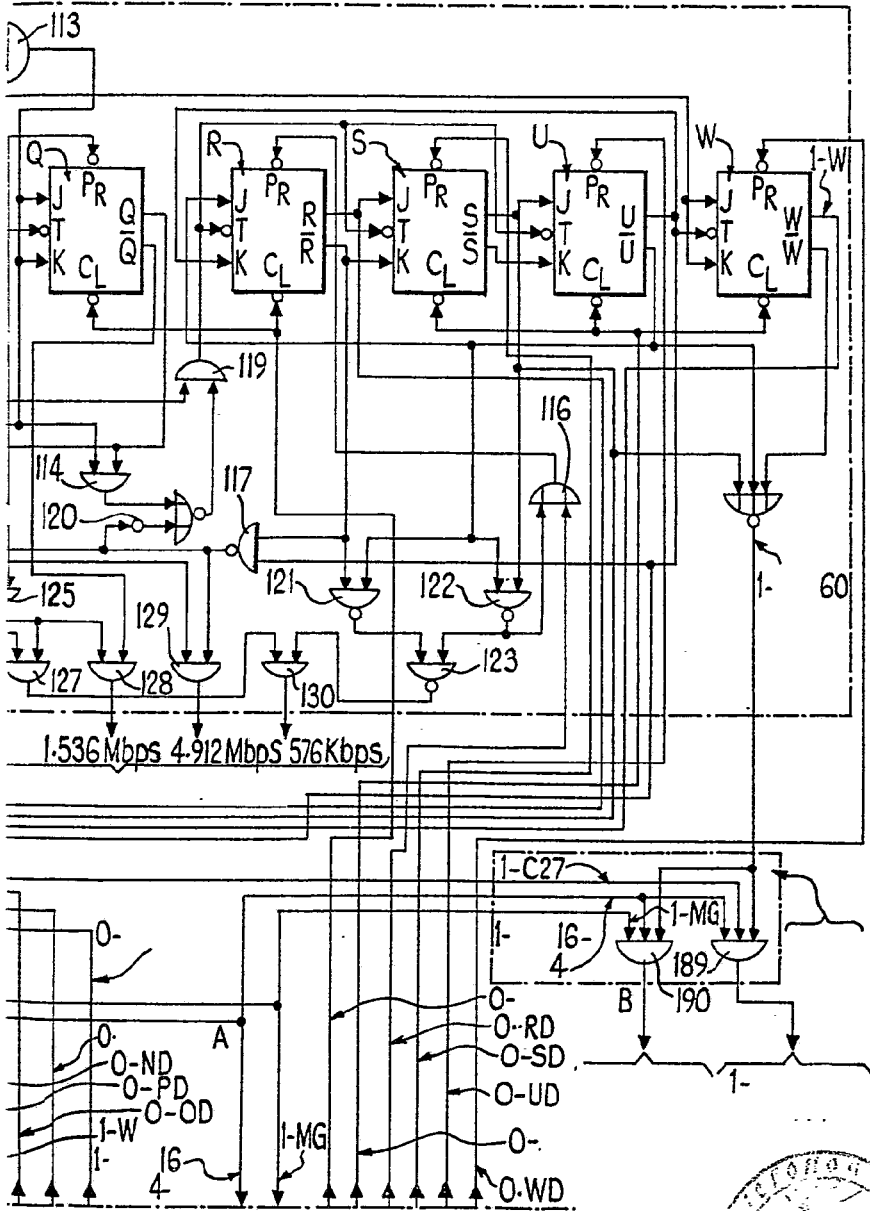


12/4

STANDARD ELECTRICAL, S. A.



420331



*[Handwritten Signature]*  
 MIN. DE DEFENSA  
 VICES-SECRETARIO GENERAL



420331

420331

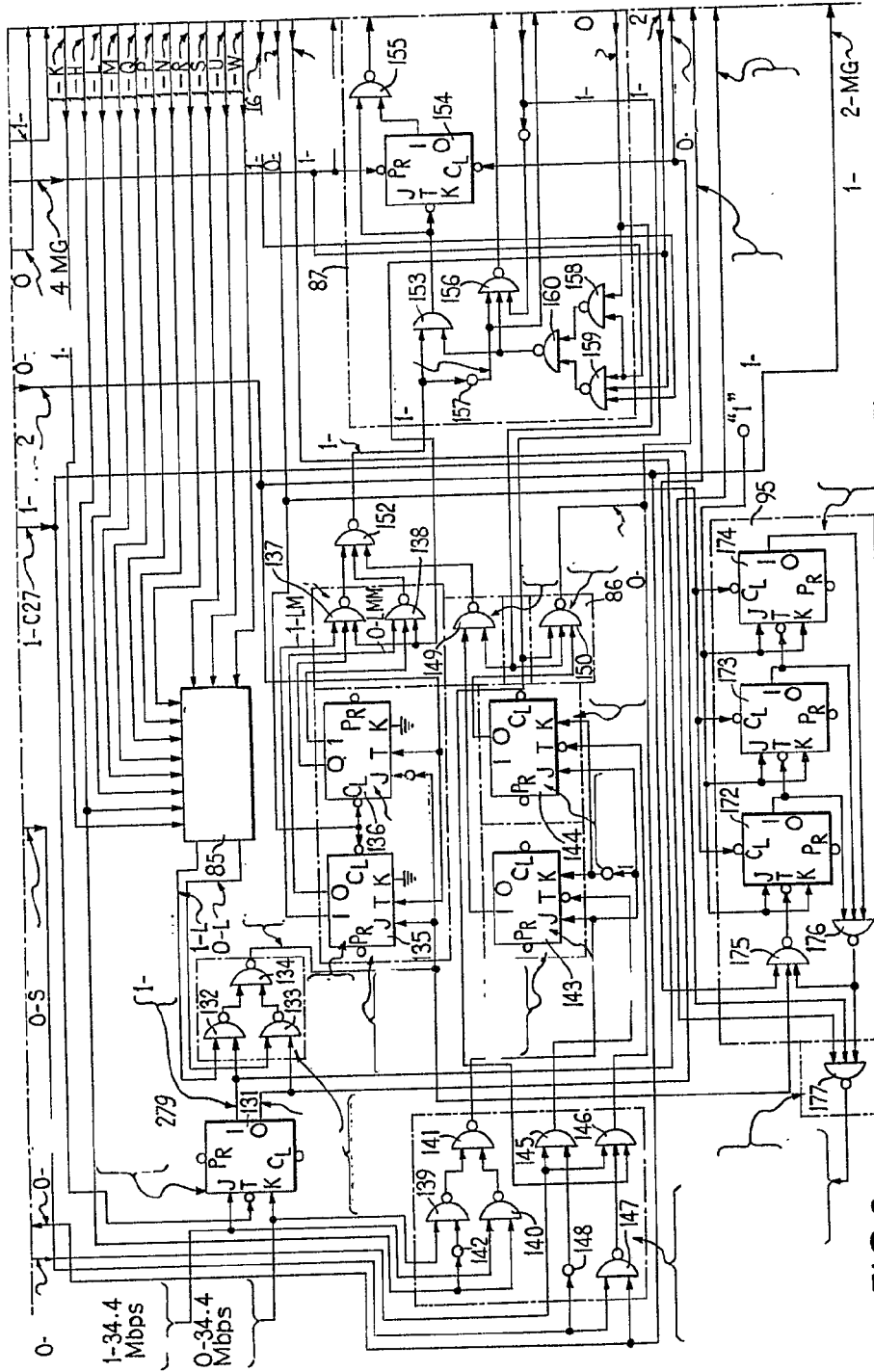


FIG. 3C

7 NOV 1973



420331

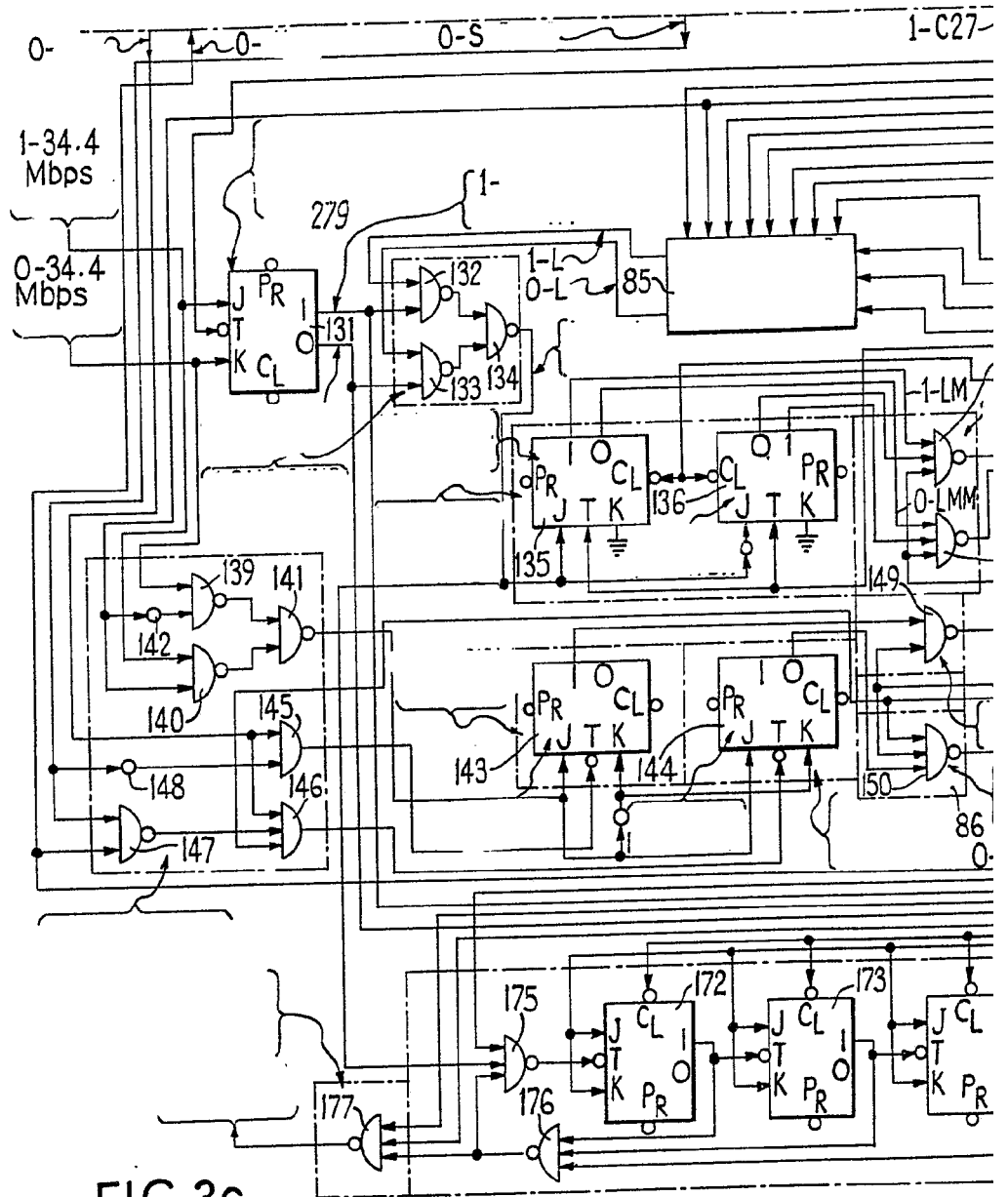
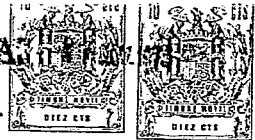
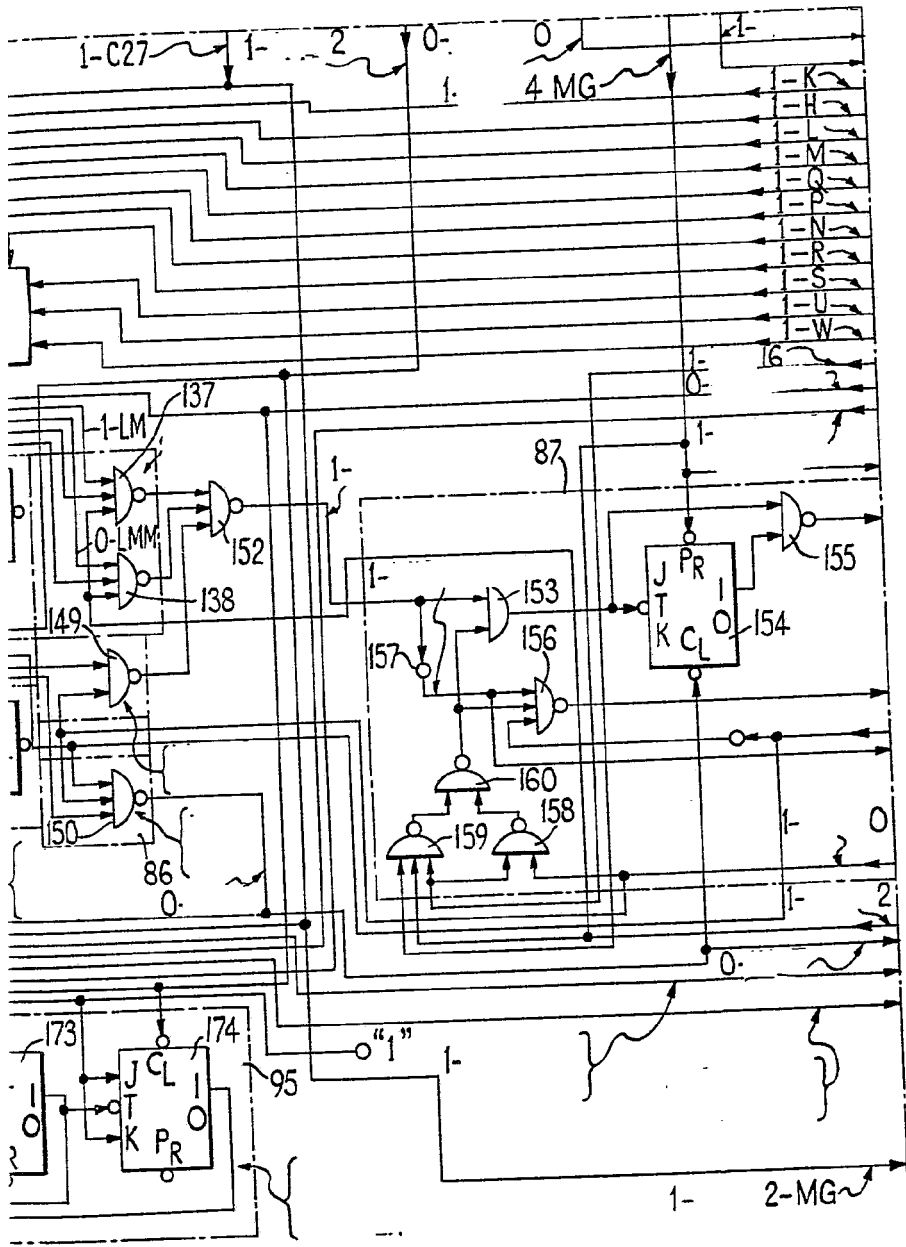


FIG. 3c



420331



7 NOV. 1973



*[Handwritten signature]*



420331

420331

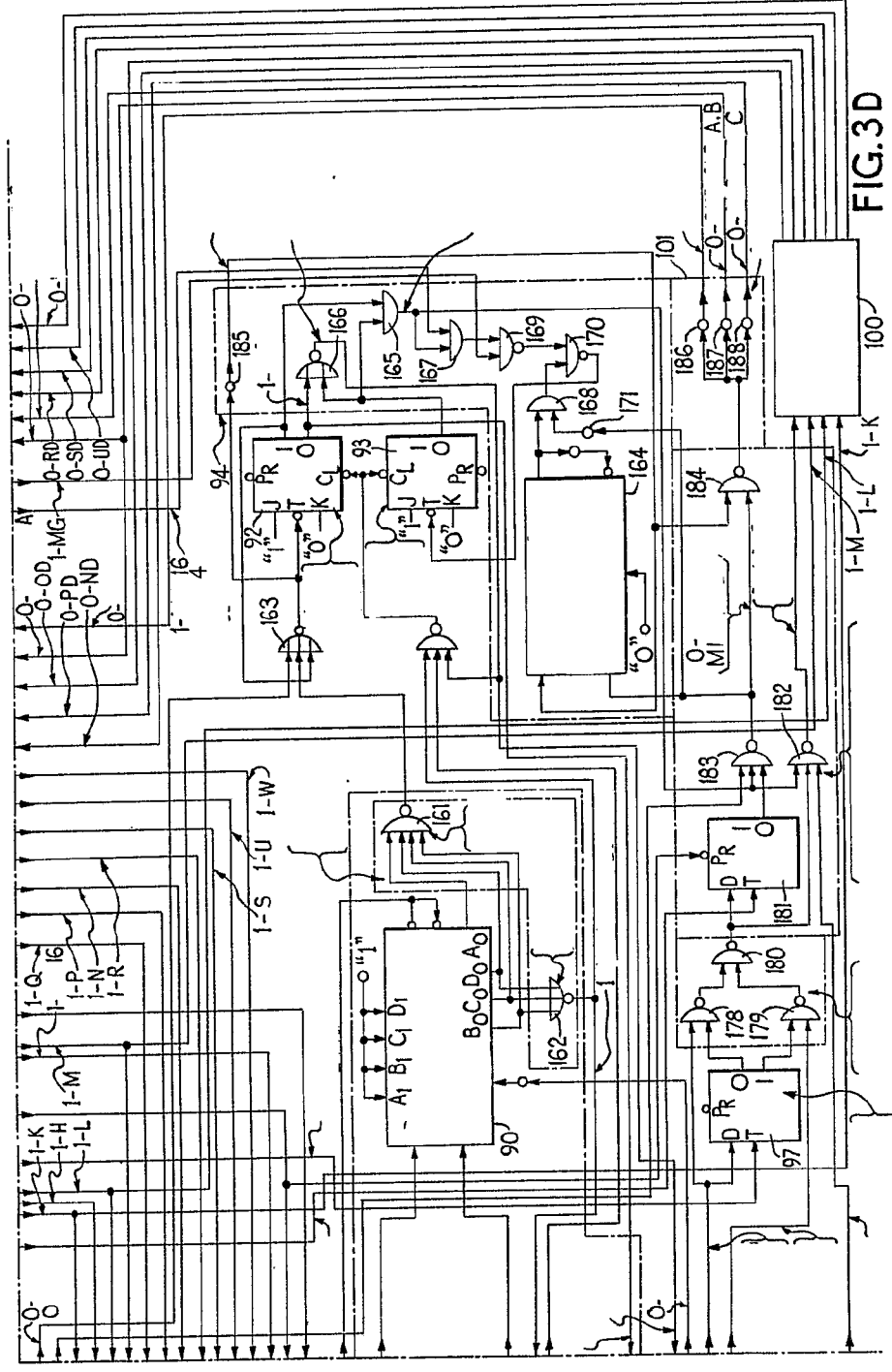
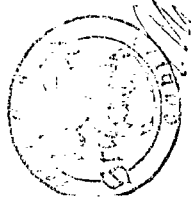
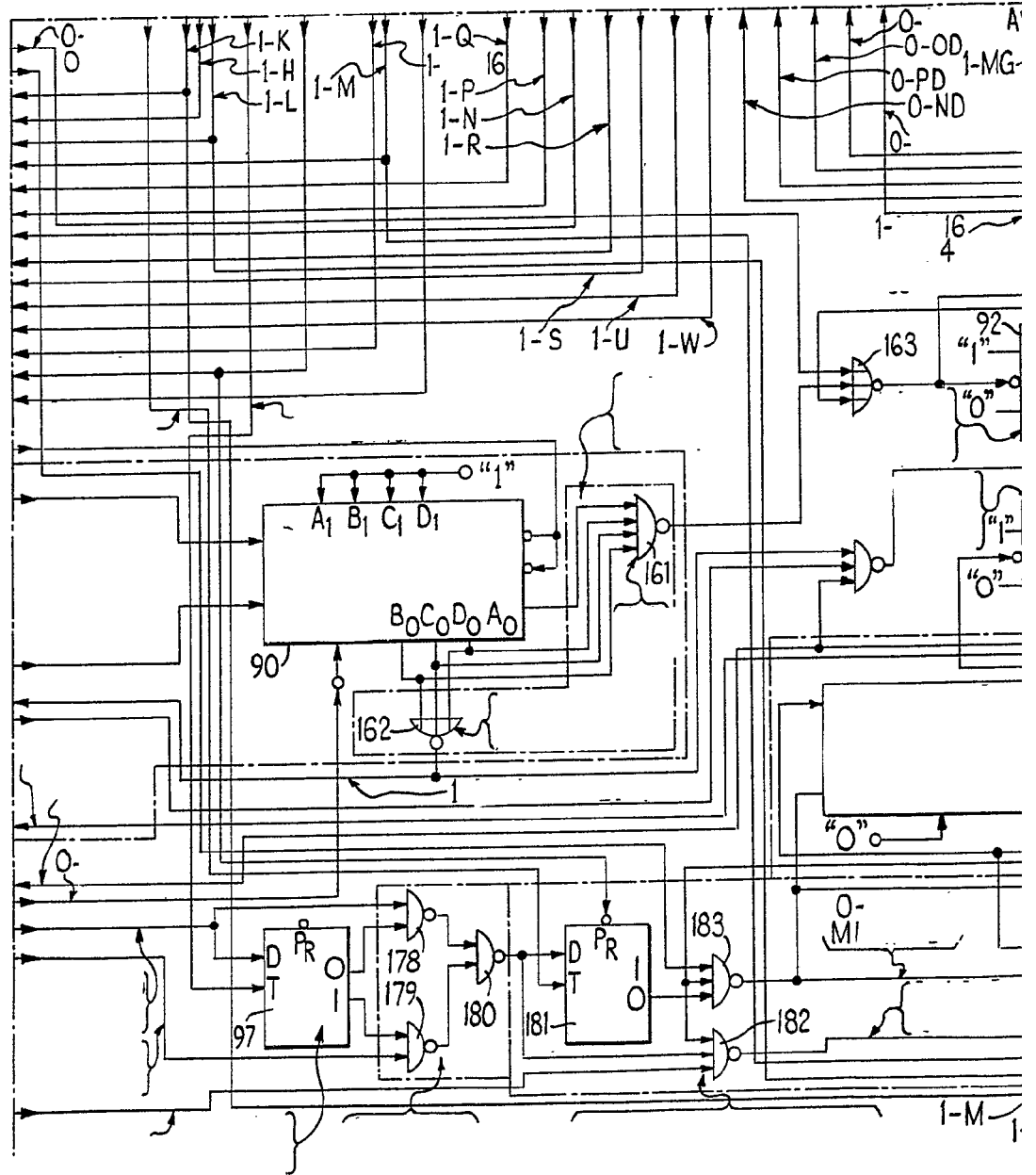


FIG. 3D



M. G. SANTA MARIA  
VICESECRETARIO GENERAL

420331

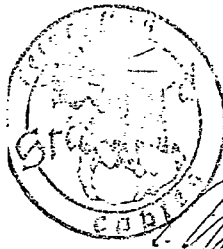
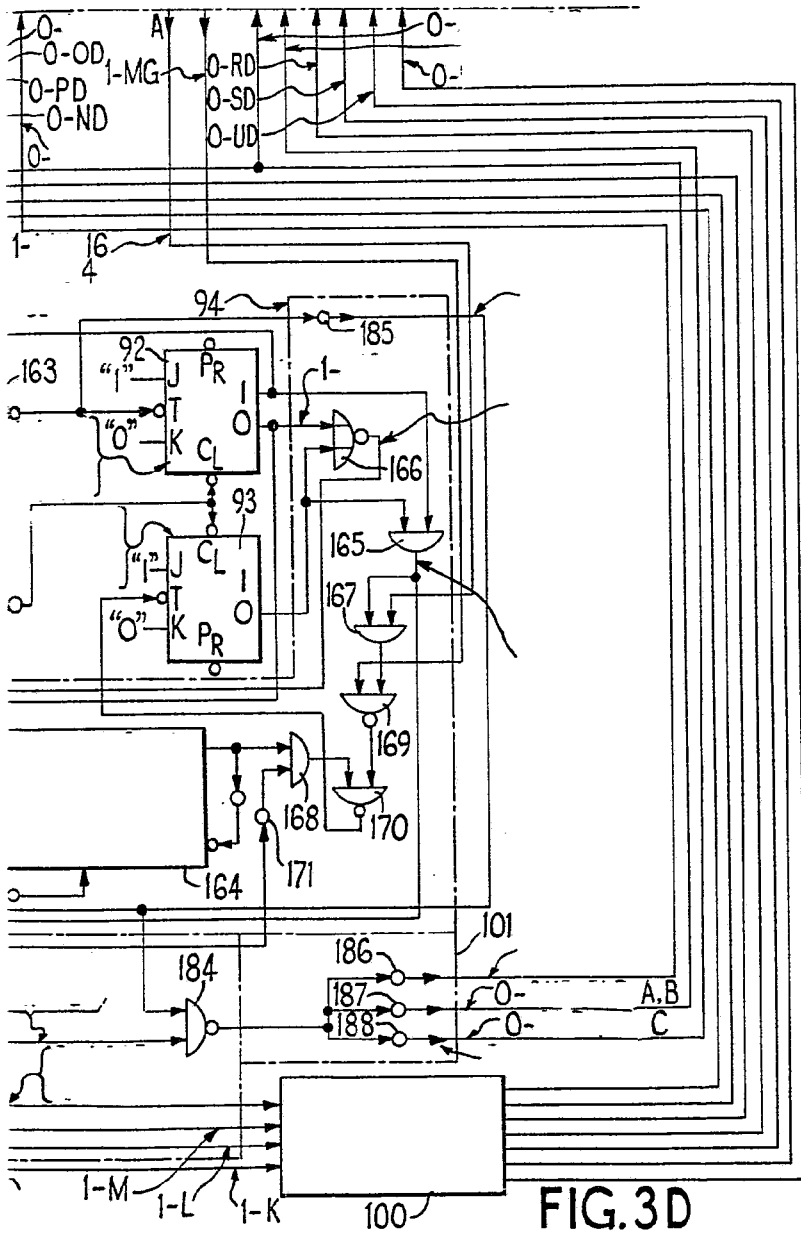


1016

STANDARD ELECTRICA, S.A.



420331

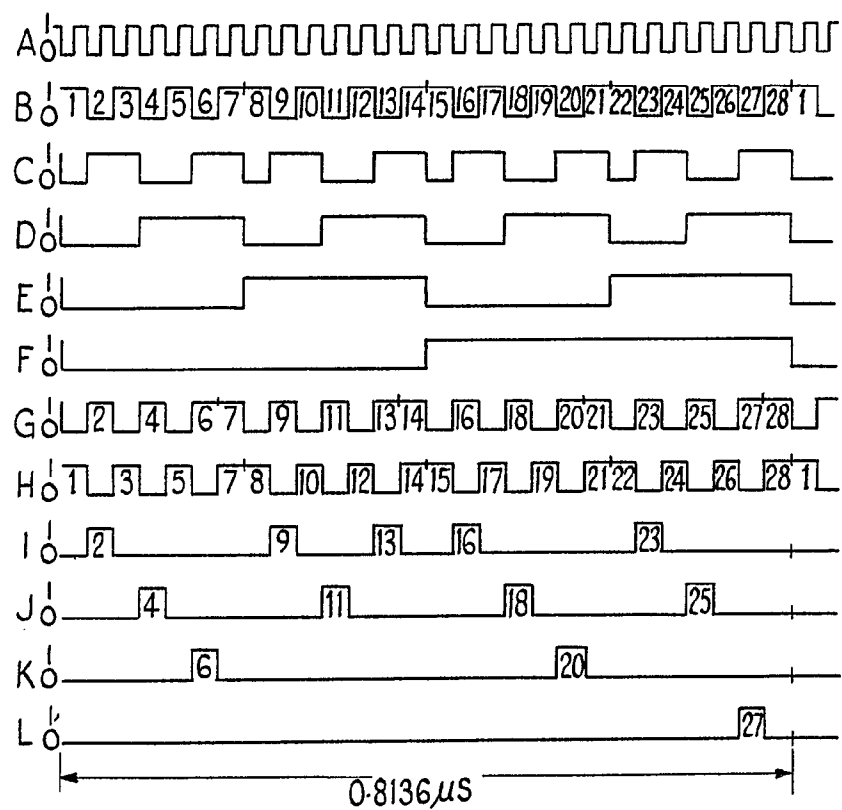


*M. G. Santamaría*  
 M. G. SANTAMARIA  
 VICE-SECRETARIO GENERAL



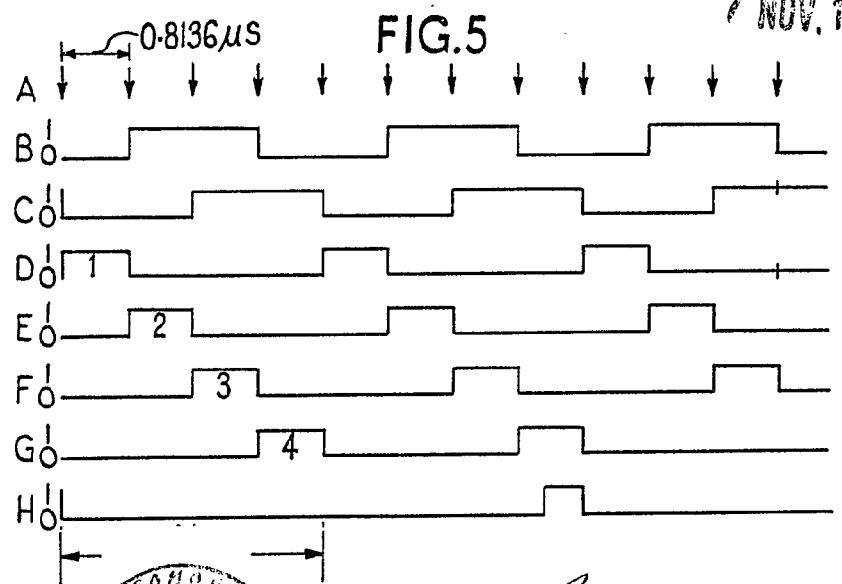
420331

FIG.4



7 NOV. 1973

FIG.5



*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

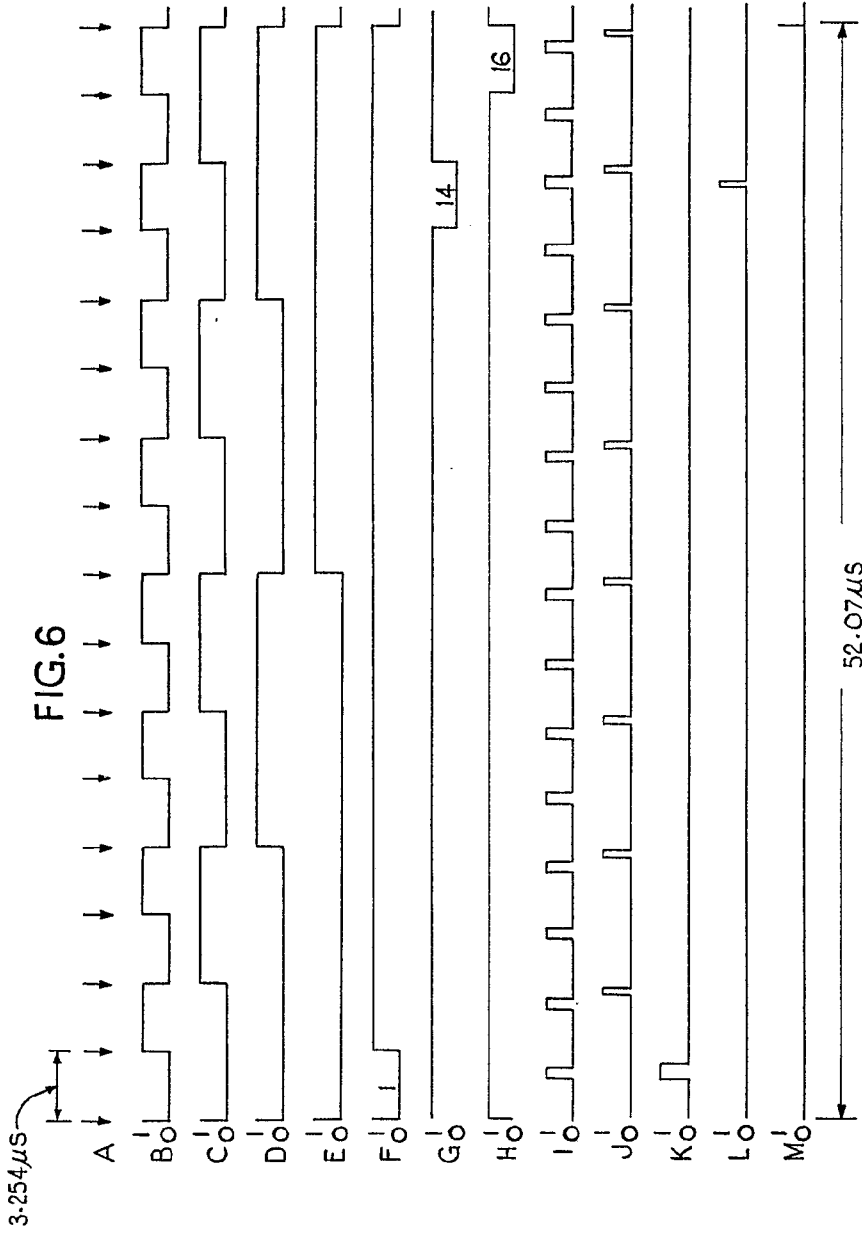


1979

STANDARD RESEARCH CO.

420331

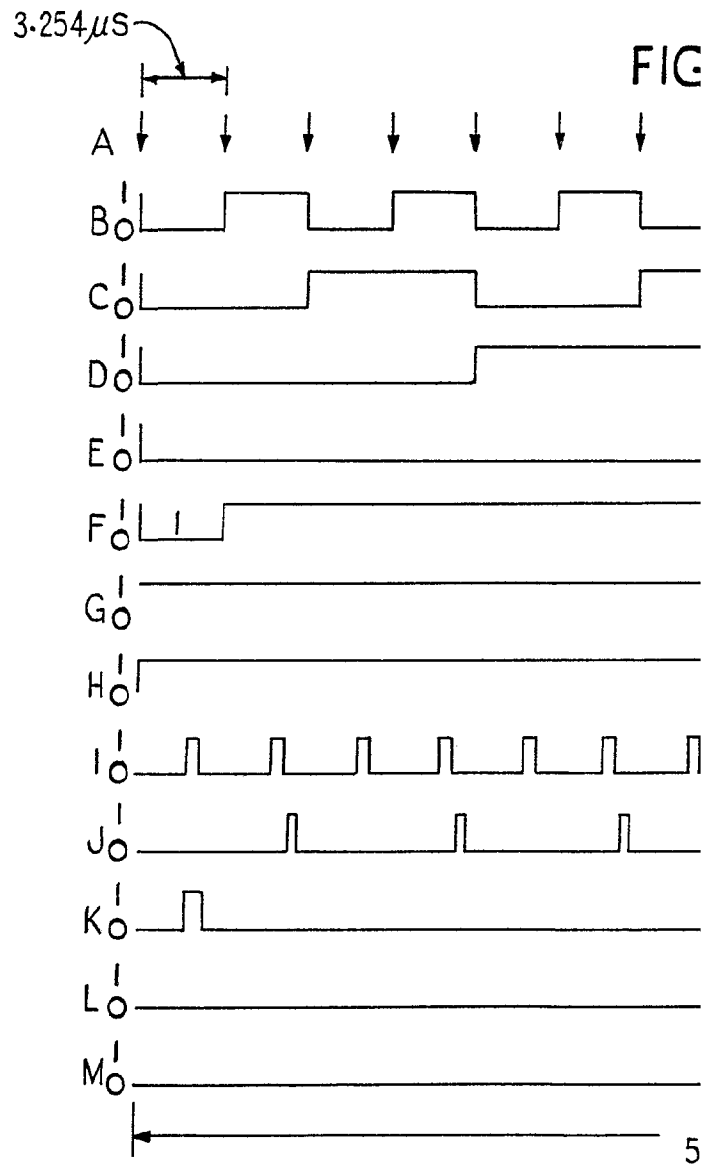
FIG. 6



7 NOV 1978

*Handwritten signature and scribbles.*

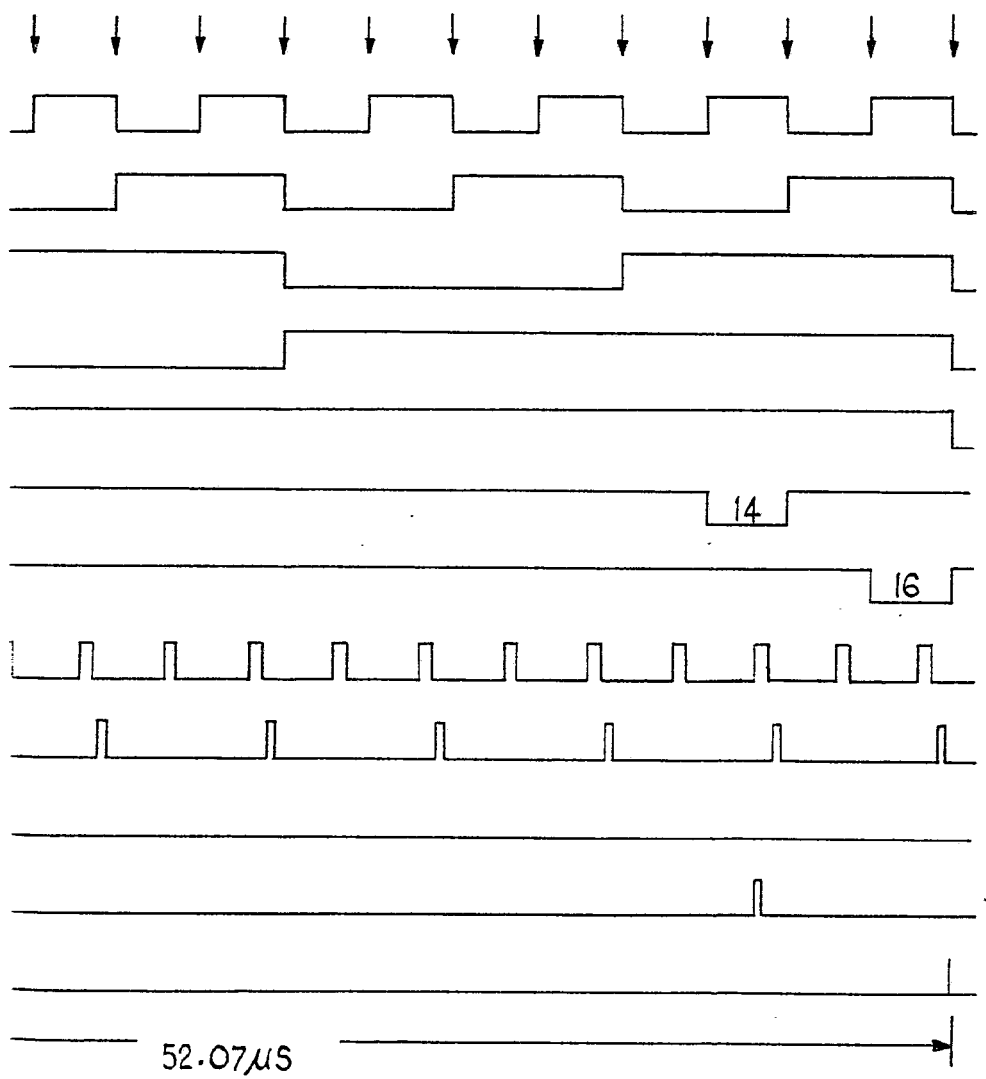
1420771





420331

FIG. 6



7 NOV 1973

*[Handwritten signature]*



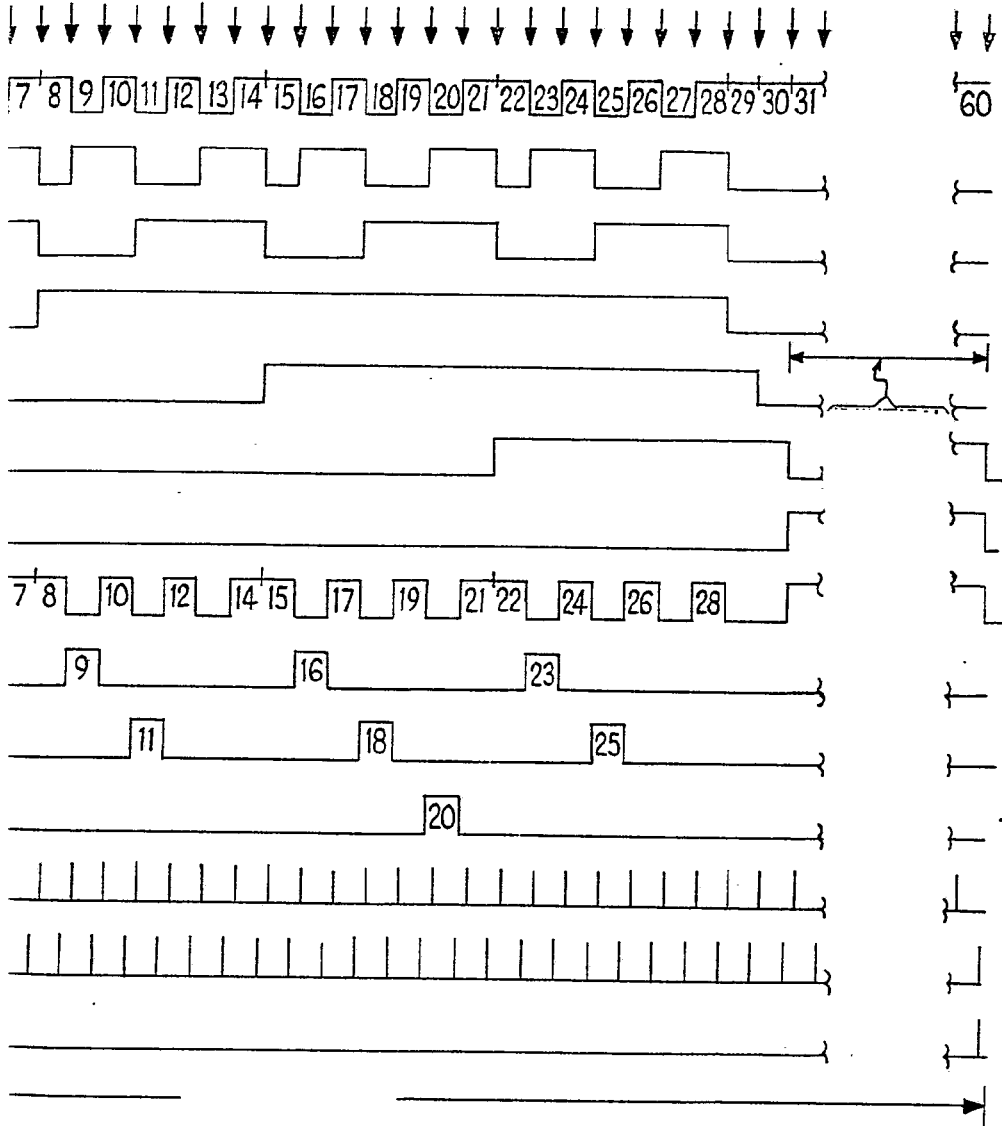


10/9



420331

FIG. 7



1973

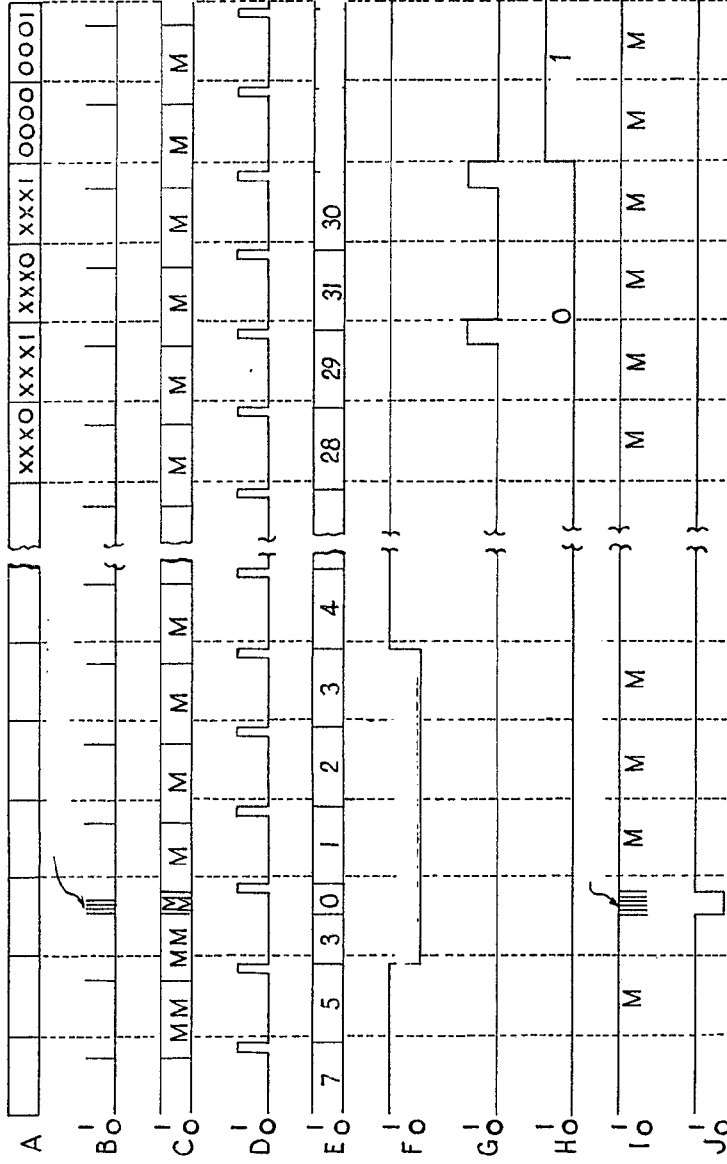


M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

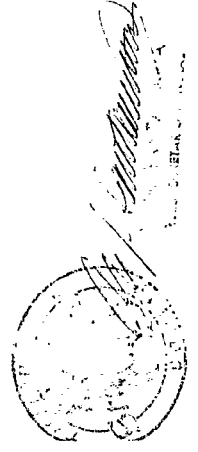
420331

420331

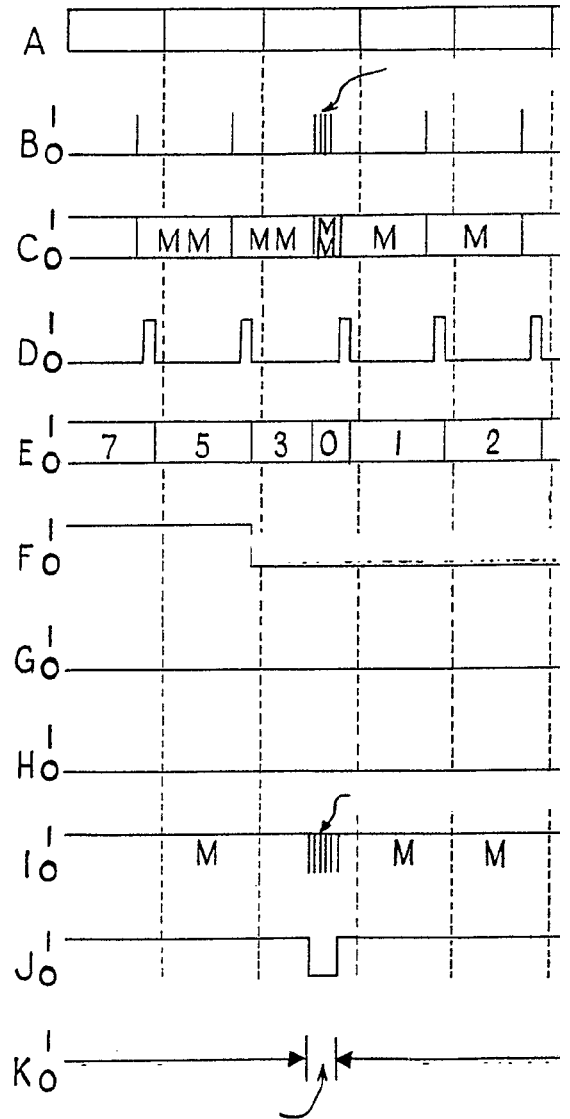
FIG.8



7 NOV 1978



420331



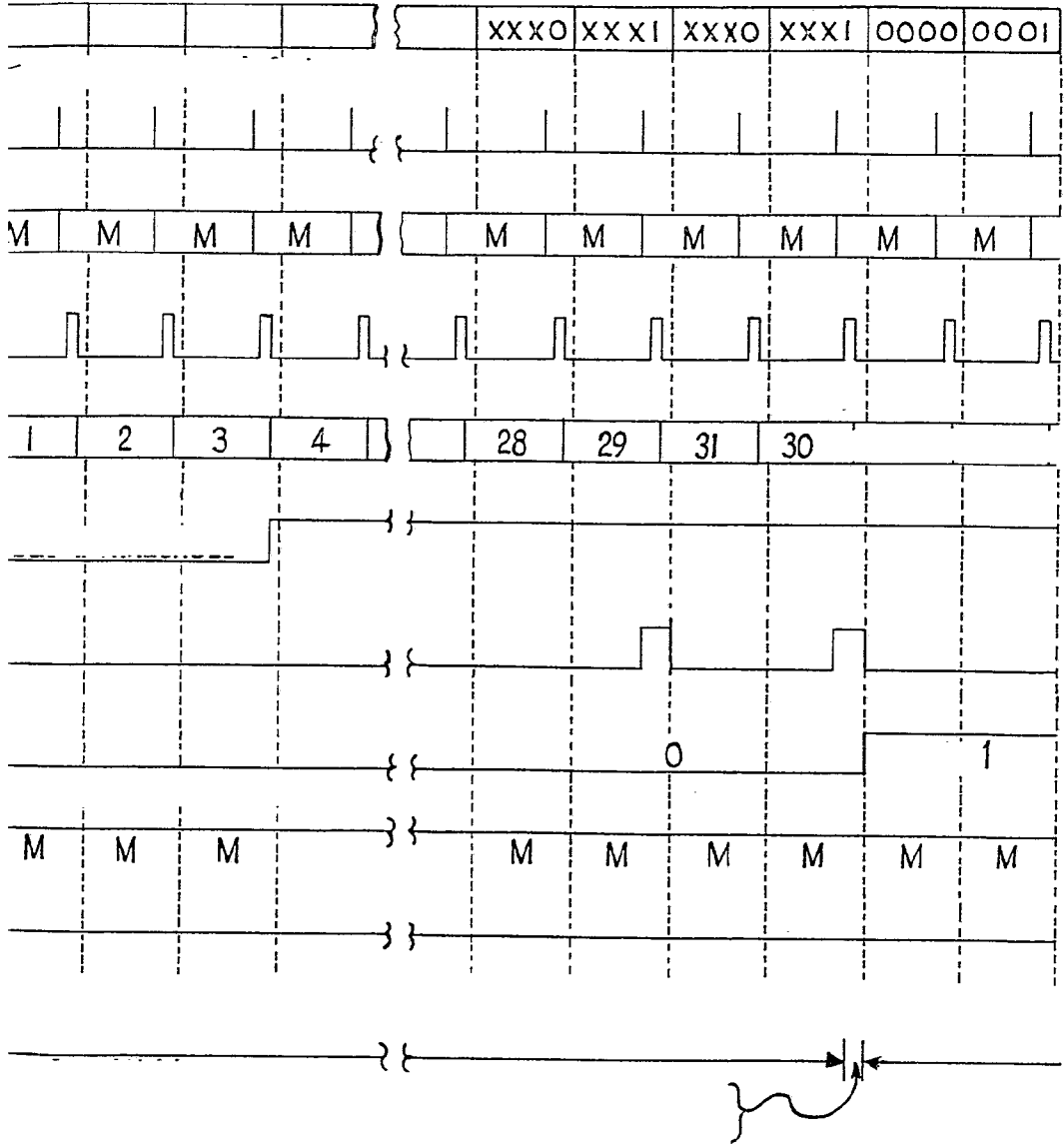
12/10

STANDARD ELECTRICA, S. A.



420331

FIG. 8



7 NOV. 1973



*[Handwritten Signature]*  
SECRETARIO GENERAL

15-11

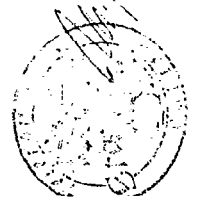
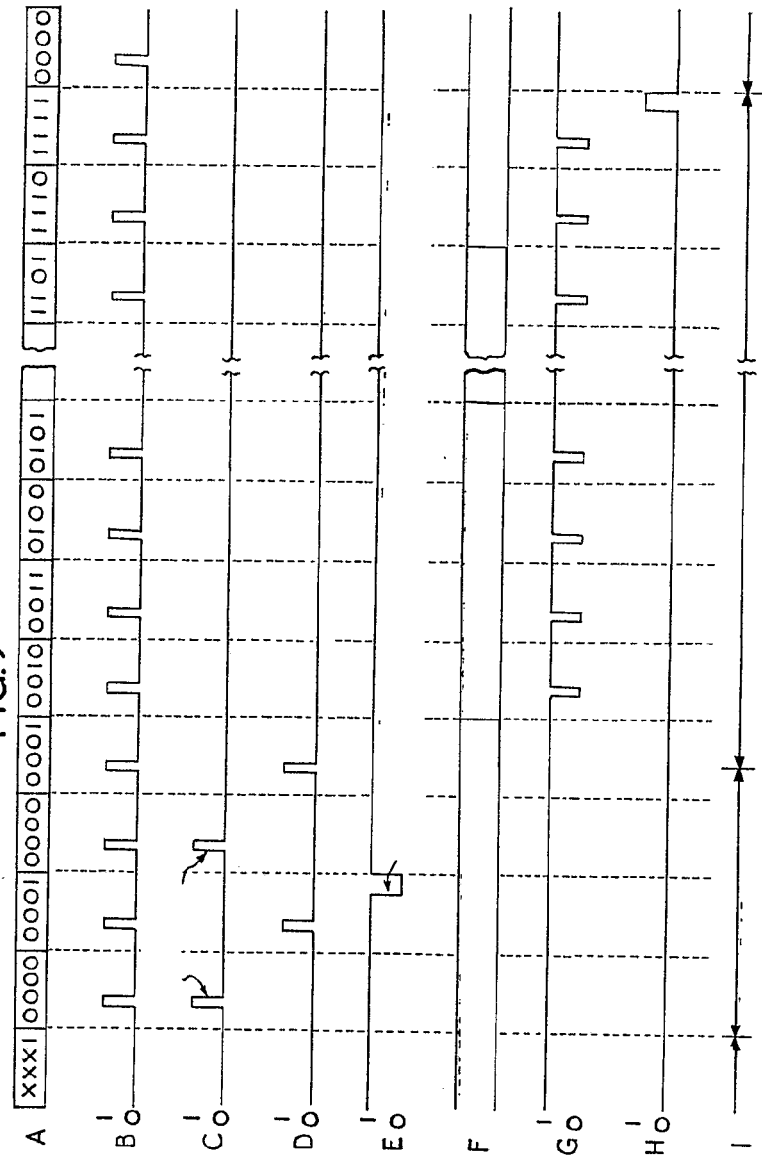


STANDARD ELECTRICA, S.A.

420331

420331

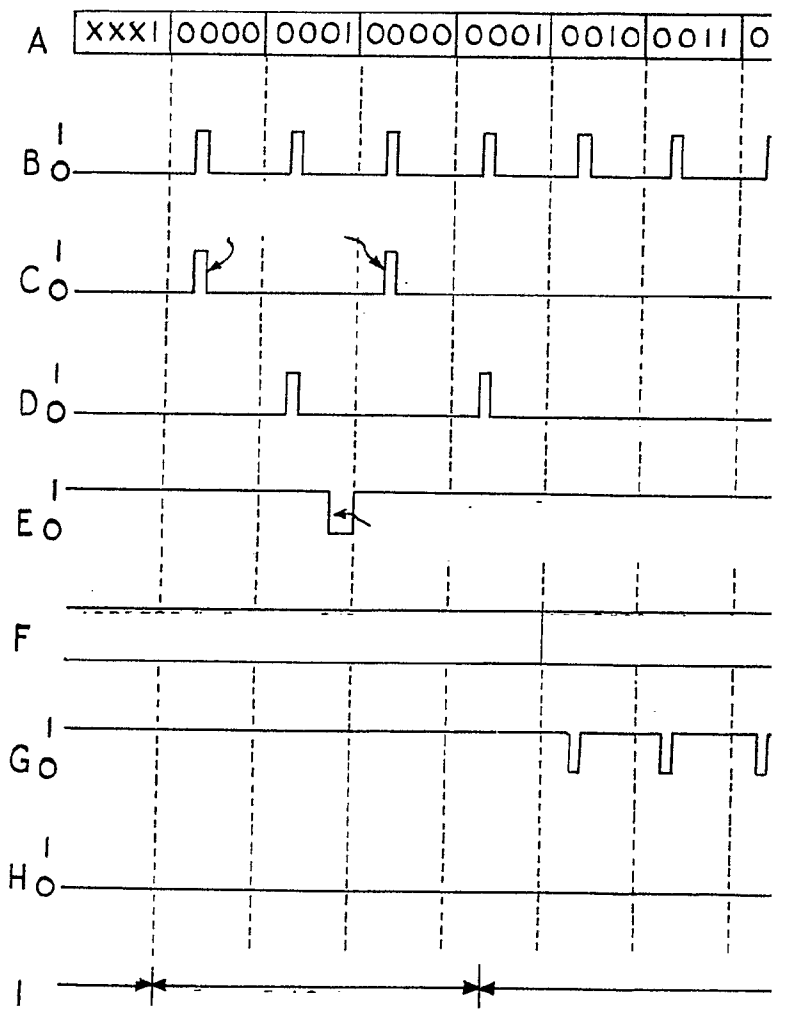
FIG. 9



M. G. SANTAMARÍA  
VICESECRETARIO GENERAL

420331

FIG. 9



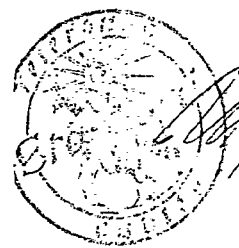
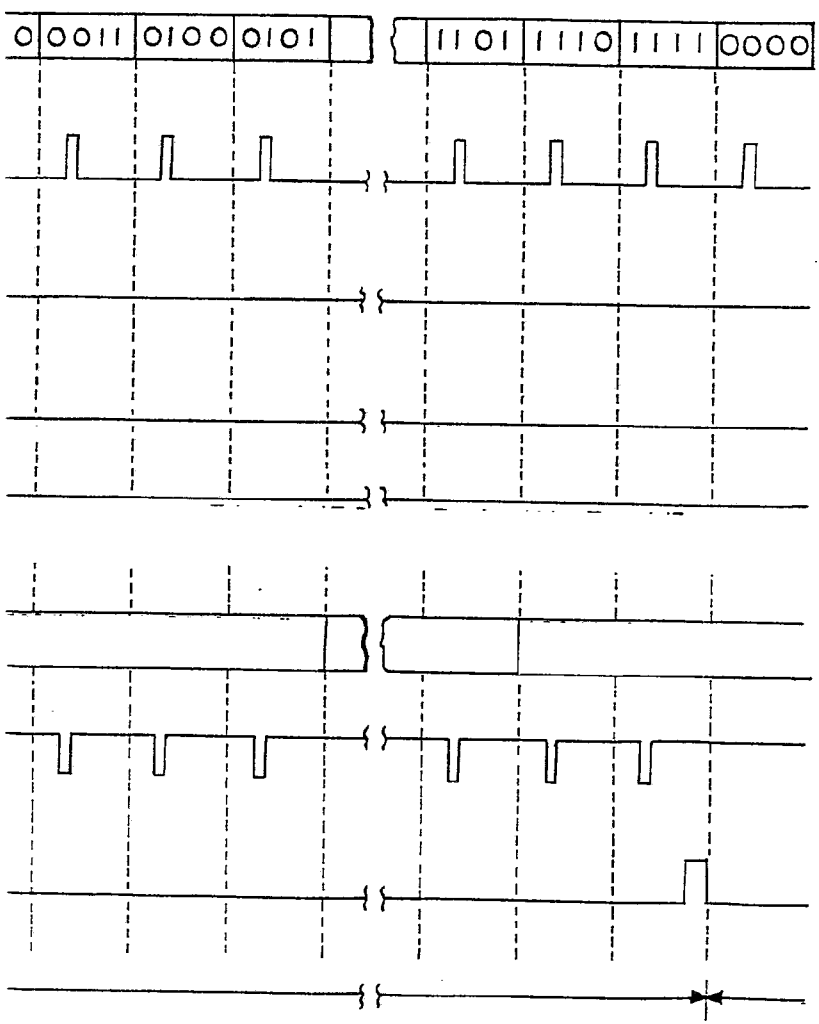
12/11

STANDARD ELECTRICA, S. A.



420331

9



*M. G. Santam*  
M. G. SANTAM  
VICE-SECRETARIO GENERAL



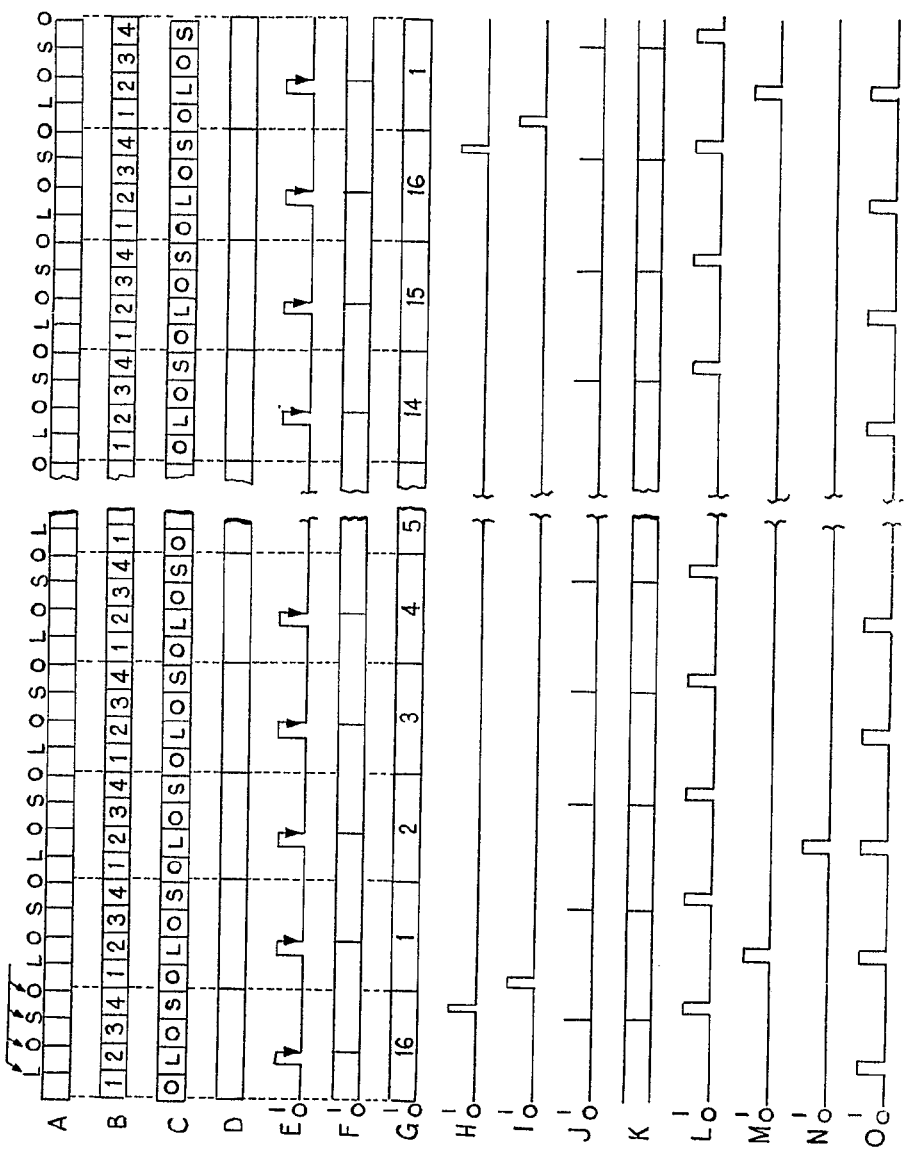
12/42

STANDARD ELECTRICAL, S.A.

420331

420331

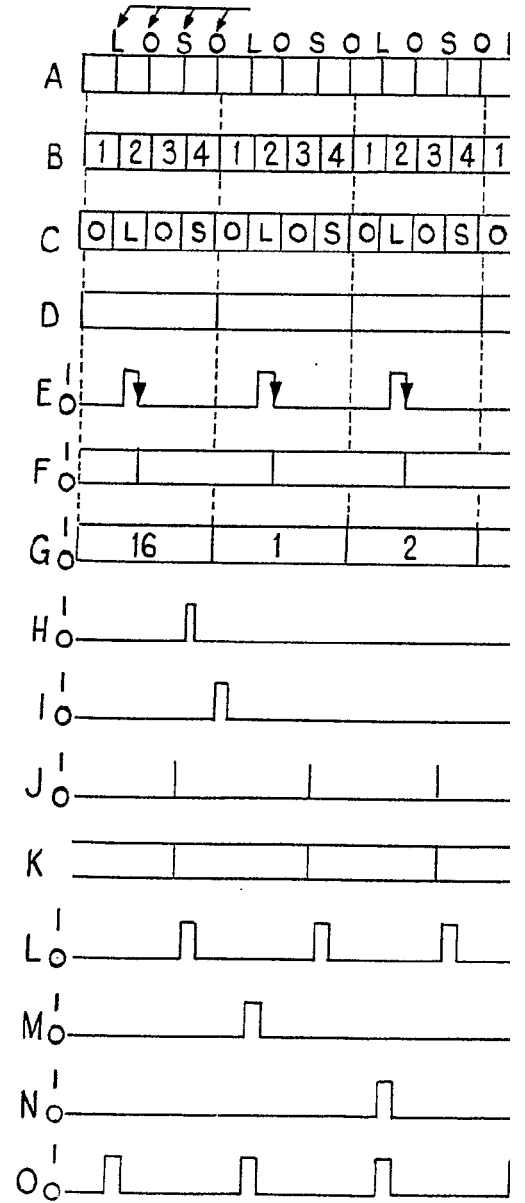
FIG.10



*[Handwritten signature or notes in the bottom right corner]*

420331

FIG.10

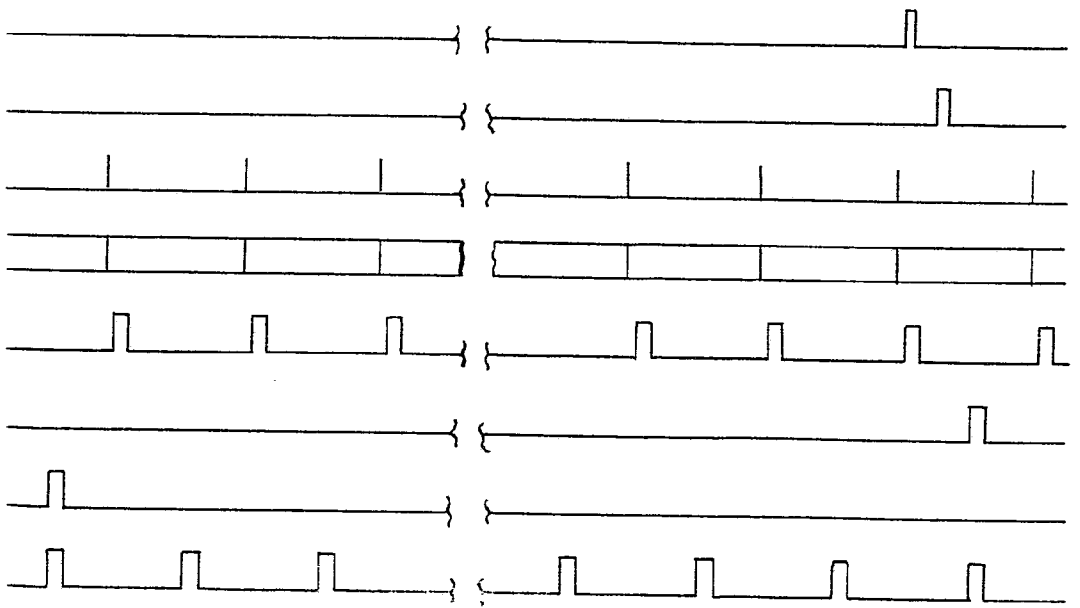
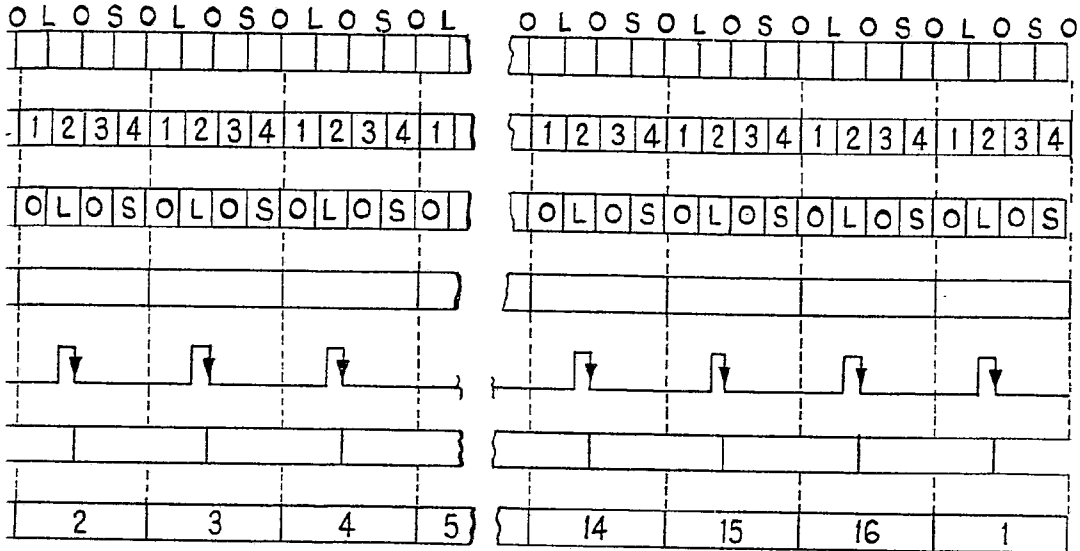


12/12

STANDARD ELECTRICA, S. A.



420331



*[Handwritten signature]*  
M. J. Santamaria  
Vicepresidente