





419952

- 2 -

secuencia en uno o más puntos de prueba en un sistema de pruebas de diagnóstico automatizado.

Muchos circuitos eléctricos complejos contienen compo-

5. nentes lógicos que deben responder a una variedad de niveles de montaje de entrada y formas de onda, por ejemplo, los elementos lógicos deben tener frecuentemente la capacidad de funcionar a una variedad de frecuencias de impulsos y deberán demostrar características de funcionamiento satisfactorias aún con ondas de impulsos alimentadas que tengan un cierto grado de deterioro de forma de la onda y nivel.
10. Un gran número de estos componentes lógicos que forman partes de un sistema complejo se suelen encontrar en una tarjeta de circuito impresos simple, siendo conveniente el poder comprobar automáticamente todos estos componentes para un comportamiento aceptable dinámico y estático en una sola sección de pruebas y sin tener que mover la tarjeta entre varias secciones de pruebas, cada una de las cuales desarrolla solamente una prueba limitada. Con el presente invento se puede efectuar una prueba lógica completa por generación y análisis de patrones digitales.
- 15.

20. Para conseguir una prueba completa de circuitos lógicos, cualquier aparato de pruebas debe tener la capacidad de alimentar una señal de prueba a los diversos puntos y terminales de los circuitos lógicos no solamente en patrones de bitios de palabras, paralelos, digitales, diferentes, si no en diferentes secuencias de palabras o bitios seriales y, quizás, a diferentes regímenes de alimentación de estas palabras digitales. Ninguno de los aparatos generadores de pruebas ha tenido hasta ahora dicha capacidad.
- 25.

30. La generación de patrones de bitios o palabras digitales para alimentación a un circuito bajo experimentación o prueba

419952



- 3 -

- ba es una operación que se ha realizado con anterioridad al presente invento. Se cree que todos los sistemas conocidos, hasta el grado en que están automatizados, confían en la memoria y lógica de un ordenador electrónico para desarrollar las palabras alimentadas. En tales casos, las pruebas de circuitos electrónicos se ven gravemente perjudicadas por la capacidad y velocidad del ordenador electrónico digital que controla las operaciones. Así, una palabra digital no se puede generar o elaborar en un periodo más corto que el ciclo del propio ordenador electrónico. Si, por ejemplo, se generara una palabra digital en la vía de entrada/salida del ordenador para alimentación al circuito en prueba, el ordenador debe esperar las respuestas del circuito antes de proseguir con un análisis de las señales. Además, no se pueden alimentar palabras digitales al circuito en prueba a una velocidad mayor que el tiempo de acceso a la memoria del ordenador. Como resultado de estas limitaciones, no se pueden realizar pruebas en circuitos de respuesta rápida y alta frecuencia cuyas frecuencias de funcionamiento sean sensiblemente mayores (más rápidas) que los tiempos de acceso del ordenador. Además, cuando el propio ordenador electrónico se utiliza como un generador de palabras digitales, los regímenes de generación de palabras quedan subordinados a los tiempos de los ciclos del ordenador.

- Un segundo inconveniente de los dispositivos de la tecnología anterior a sido su incapacidad para variar o detectar diferentes niveles de voltaje de la señal. Si se utilizará un ordenador solo sin equipo externo para generar la señal digital, por ejemplo, una señal recibida o generada puede quedar fuera de niveles de señal aceptables para el ordenador. La tecnología anterior es también deficiente en el sentido de proporcionar ge

419952

- 4 -



5. neración en secuencia de patrones paralelos de palabras y, en general, carece la versatilidad que ha sido siempre necesaria pero que, con anterioridad a este invento, se ha tenido que subordinar a tener que segregar procedimientos de pruebas y obtener solamente resultados parciales durante cualquier prueba da da.

10. Por lo tanto, el presente invento tiene por objeto resolver las limitaciones de los métodos de la tecnología anterior para generar y analizar palabras digitales para pruebas y otros fines.

Otro objeto del invento es proporcionar un generador de palabras digitales versátiles que puede realizar pruebas funcionales plenas sobre una base estática y una base dinámica.

15. Otro objeto del invento es proporcionar un aparato generador de palabras para desarrollar palabras digitales que tienen diferentes patrones de bitios para alimentación rápida en secuencia al circuito en prueba.

20. Otro objeto adicional del invento es proporcionar un generador de palabras digitales para funcionar junto con un ordenador electrónico digital, pero cuyas capacidades de generación y análisis de las palabras son esencialmente independientes del ordenador electrónico, con lo que se requiere un acceso mínimo al ordenador y solamente un modesto espacio de memoria.

25. Expuestos brevemente, los objetos anteriores y otros objetos de un aspecto del invento se consiguen en un generador de palabras digitales que comprende una memoria de bitios múltiples independientes de la memoria del ordenador, para almacenar los bitios de un patrón de señales digitales, y una fuente  
30. de señales que produce una señal cronométrica que tiene una frecuencia

419952

- 5 -



cuencia selectivamente diferente del tiempo de ciclo del ordenador, para hacer funcionar la memoria local y producir los bitios y el patrón de bitios en una secuencia predeterminada en la salida de la memoria.

5. En la modalidad de preferencia, la memoria local comprende un registrador de corrimiento de etapas múltiples mediante el cual los impulsos del temporizador desplazan en secuencia un patrón de bitios previamente almacenado a través del registrador para alimentación en secuencia al circuito en prueba. El
10. empleo de este tipo de memoria no exige acceso casual, y es considerablemente más rápido que esta operación, u otros tipos de dispositivos de memoria localizables. Existe un registrador de este tipo por cada punto de circuito que ha de recibir un bitio,
15. por lo que una palabra paralela digital de ocho bitios que se ha de alimentar simultáneamente a ocho puntos de prueba separados emplearía, por lo tanto, ocho de dichos registradores.

- Otro aspecto del invento consiste en la recepción y análisis de señales de la memoria. En términos generales, el receptor incorpora un comparador lógico para comparar las respuestas obtenidas del circuito en prueba con un patrón de bitios previsto y almacenado en el registrador local. La salida del comparador lógico, en este caso, se puede muestrear en instantes elegidos retardados de la fuente de impulsos cronométricos y alimentados a un registrador de error que almacena entonces
20. una indicación de error por cada posición de bitio de una secuencia de bitios recibidos desde un punto particular del circuito.

- Como se utiliza un registrador separado para cada punto de prueba conectable al circuito en experimentación, se pueden alimentar palabras digitales durante la prueba en forma pa-
- 30.

419952

- 6 -



5. paralela o en serie y, como la señal cronométrica que hace funcionar el registrador de corrimiento puede ser independiente del ordenador electrónico, al igual que puede serlo el registro de corrimiento, se puede efectuar la prueba mientras que el ordenador electrónico digital realiza otras funciones no relacionadas con el control de la operación específica de pruebas en realización. Al final de la prueba, el contenido del registro de errores puede muestrearse mediante el ordenador electrónico para determinar si se ha producido algún error y, si fuera así, en qué puntos de la prueba y en qué posiciones de bitios particulares de cada palabra.
- 10.

La descripción detallada expuesta a continuación deberá consultarse para comprender completamente el invento, junto con sus diversas ventajas, capacidades y características de funcionamiento.

15.

La figura 1 es un diagrama esquemático de conjuntos del invento en el medio ambiente de un sistema de pruebas de diagnóstico controlado por ordenador electrónico.

20. La figura 2 es un diagrama esquemático de conjuntos de un generador/receptor de palabras digitales según el invento.

La figura 3 es un diagrama esquemático de circuito, más detallado, de los elementos primarios productores de señales representados en la figura 2.

25. La figura 4 es un diagrama esquemático de circuito de aquellas partes del sistema de la figura 3 asociadas con un control de nivel de señal; y

30. La figura 5 es un diagrama esquemático de conjuntos de las partes de datos y lógica de control del sistema de la figura 2.



419952

- 7 -

- El uso general del invento en un sistema de pruebas controlado por ordenador electrónico se observará mejor tomando como referencia la figura 1. En este sistema supondremos que un circuito electrónico en prueba 10 debe experimentar pruebas para verificar el funcionamiento correcto de los elementos lógicos contenidos en este circuito. Normalmente, el circuito o conjunto en prueba (UUT) es una tarjeta de circuito impreso que contiene decenas, centenares o aún millares de componentes de circuito y que tiene quizá cien puntos de conexión para las señales que fluyen a la tarjeta del circuito y salen de la misma. Estos puntos de conexión se llevan a un conector en el borde de la tarjeta que se desliza penetrando en un conector de pruebas (no ilustrado) que comprende parte del equipo de pruebas. Un sistema de pruebas completo, que comprende una descripción detallada de un sistema de conmutación mediante el cual los puntos de prueba asociados con dispositivos de pruebas periféricos (tales como el generador/receptor de palabras digitales del presente invento) se puede conectar a puntos del propio UUT, se describe en la solicitud de patente pendiente de Ernest H. Ehling et al titulada "Sistema de Pruebas de Diagnóstico por Ordenador Electrónico", nº de serie 153.902, presentada el 15 de Junio de 1971 y cedida al cesionario del presente invento.
- El control de las funciones de prueba en el sistema de la figura 1 se realiza bajo el control de un moderno ordenador digital de pequeña escala 12, por ejemplo el "INTERDATA 4" o tipo similar. Las señales producidas por el ordenador electrónico digital aparecen en la vía de entrada/salida (I/O) 12A del ordenador y, en el sistema representado en la figura 1, se utilizan para controlar diversos aparatos que pueden ser necesarios durante una prueba funcional particular pueden existir
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.

419952

- 8 -



muchos de dichos aparatos periféricos, incluyendo diversos generadores de señales, voltímetros y fuentes de energía; no obstante, en la figura 1 solamente se ilustran aquellos que pertenecen al presente invento.

5. De una manera que comprenderán perfectamente los expertos en la materia las señales de control y datos aparecen en la vía I/O del ordenador en forma de magnitudes de información. Así, ocho bitios paralelos que comprenden una magnitud aparecen en los conductores paralelos de la vía I/O del ordenador
10. para controlar automáticamente la operación de pruebas. El ordenador electrónico se comunica con los aparatos periféricos, que comprenden el DWG/R 16, a través de reguladores de aparatos 14a, 14b, 14c y 14d. Estos reguladores aceptan información de la vía de I/O cuando son localizados y pueden comprender en
15. sí memorias tampones de datos temporales para almacenar información que representa una función de control para el aparato periférico por lo que, una vez que el regulador de aparato ha recibido datos del ordenador, puede continuar después funcionando aún cuando haya dejado de estar bajo la localización y haya de
20. jado de recibir datos del ordenador por ejemplo, en el caso de la fuente de energía programable (PPS) 15, el suministro se puede dirigir para que produzca un voltaje de salida de 3,5 voltios y después instruirse para funcionar al recibir una sola orden futura sin comunicación adicional con el ordenador. Enton
25. ces continuará funcionando según se haya graduado. Diversos tipos de reguladores de aparatos se conocen en esta rama de la industria, que no necesitan explicación en la presente memoria excepto en que cada regulador de aparato depende de la forma que tengan los datos alimentados por el ordenador particular y
30. sus limitaciones. Los reguladores se pueden adoptar, por lo tan

419952



- 9 -

to, muchas formas diferentes que no tienen que ver con el invento.

- Según el invento, el generador/receptor de palabras digitales (DWG/DWR) 16, al recibir instrucciones del ordenador por su regulador de aparato 14c, genera palabras digitales que tienen un patrón de bitios digitales que puede componer un operador. Este patrón de bitios digitales se puede alimentar simultáneamente como ocurre con una palabra de bitios paralela, o en secuencia, virtualmente a cada punto de prueba del UUT 10.
5. Estos datos se alimentan al UUT por el sistema de conmutación 17. Como variante, las señales procedentes del DWG/DWR se pueden alimentar directamente a los terminales del UUT. Las flechas anchas 19, 20 que interconectan el DWG/DWR 16 y el UUT 10 con el sistema de conmutación 17, indican una vía de conductores múltiples que puede comprender tantos conductores como puntos de prueba. El sistema de conmutación se encuentra bajo el control del regulador de aparato 14a que, cuando se localiza, permite que el sistema de conmutación 17 haga las conexiones necesarias entre el aparato 16 y el UUT 10 en la forma descrita en la solicitud de patente Estadounidense mencionada N<sup>o</sup> de serie 153.902.
10. 15. 20.

- El aparato 16 recibe voltajes variables de la fuente de energía programable 15 utilizados para elegir los niveles de amplitud de las señales que se ha de alimentar al UUT y para designar previamente aquellos niveles de señal que se consideran aceptables en la señal recibida. Las señales de impulsos procedentes de un generador de señales programables (PSG 22) que guardan una relación especial con el aparato 16 se alimentan también. De un modo específico, el generador 22 desarrolla las señales de impulsos que determinan el régimen al que se
25. 30.

419952



alimentan los patrones de bitios digitales al UUT y, también, el régimen que las respuestas del UUT a dichas señales se leen o muestrean.

5. En resumen, y en lo que se refiere al presente invento, la parte DWG del aparato 16 recibe niveles de voltaje variables del PPS 15 y señales de función cronométrica del PSG 22, y alimenta internamente al UUT 10 patrones de bitios digitales almacenados formulados por el operador. De un modo similar, la parte DWR del aparato analiza el patrón de bitios digitales entrante para ver si es correcto y hallar la tolerancia de nivel comparando el patrón almacenado con el recibido. A 10. continuación se describe la forma en que se realiza estas funciones.

15. La figura 2 representa en forma esquemática de conjuntos los elementos fundamentales del DWG/DWR 16, que funcionan junto con el PSG 22, el sistema de conmutación 17 y el UUT 10 para generar un patrón de bitios secuencial que se alimenta a un punto de prueba, o un terminal, asociado con el UUT, y también para recibir y analizar un patrón de bitios digitales en 20. secuencia recibidos en un punto de prueba. Según se ha mencionado anteriormente, el aparato puede realizar la doble función de no solamente generar un patrón de bitios en secuencia, si no también de recibir y analizar un patrón de bitios en secuencia generados en respuesta, por ejemplo, a un patrón de bitios 25. digitales o patrones alimentados a otros terminales o puntos de prueba. En las descripciones que siguen, se explican el aparato y la operación asociados con un solo punto de prueba, pero los mismos principios y operación son igualmente aplicables a los puntos de prueba restantes del sistema igualmente. Si, por 30. ejemplo, se desea poder alimentar una secuencia de bitios a

419952

- 11 -



100 puntos o terminales separados del UUT, o recibir datos de los puntos elegidos de estos terminales, existirán 100 canales generadores y receptores, según se ilustra en la figura 2, para todo el generador/receptor de palabras digitales.

5. Refiriendonos a la figura 2, el aparato 16 al recibir órdenes de ordenador procedentes del regulador de aparato 14c, desarrolla señales de datos y control dentro de la sección 24 (ilustrada con mayor detalle en la figura 5), recibiendo esta última señales cronométricas y de control del PSG 22, según se
10. ilustra. Fundamentalmente, esta señales de temporización comprenden impulsos cronométricos para correr estos a través del registrador 25, y para registrar datos en un registrador de errores 27 en aquellos casos en que el aparato 16 se encuentre en el modo de "recepción". El registrador 25 almacena datos,
15. v.g., en un patrón de bitios particular, que representa: (a) un patrón de bitios que se ha de alimentar a un punto de prueba de salida, o (b) un patrón de bitios que se espera recibir de dicho punto de prueba en respuesta a un cierto estímulo del UUT. El operador compone dicho patrón de bitios, que se intro-
20. duce en el aparato 16 desde el ordenador electrónico donde se conserva para utilizarse al recibirse una orden del ordenador electrónico.

- Considerando en primer lugar el caso en que el DWG/DWR funciona como un generador de palabras digitales, los datos pro-
25. cedentes del registrador 25 pasan a través del conmutador lógico 28, de donde pasan a través de un traductor de nivel 30 que ajusta la amplitud de la señal de salida, y después a un limitador/excitador 31 para preparar la señal para alimentación al punto de prueba. Un conmutador 33 que comprende relés K1 y K2
30. conecta el conductor de salida 35 al canal generador (que se

419952

- 12 -



acaba de describir), cuando el relé K1 se activa, o al canal receptor cuando se activa el relé K2. Los niveles de amplitud de la señal de salida se ajustan por medio del aparato de conmutación de nivel 36, cuyos detalles aparecen en la figura 4.

5. En el modo de "recepción", las señales en el conductor 35 se alimentan a un conjunto atenuador/separador 38 y desde este a un comparador de voltaje 39 que determina si la amplitud de la señal entrante está dentro de los límites previamente elegidos, establecidos por el conjunto conmutador de nivel de referencia 40. Si la señal recibida se encuentra, en primer lugar, dentro de la gama deseada, se dirigen señales apropiadas a un comparador lógico 42. En este punto, la señal de salida del comparador de voltaje 39 se compara directamente, respecto a una lógica idéntica, con la salida del registrador 25, porque el conmutador lógico 28 dirige la salida del registrador local 25 al comparador en este modo de funcionamiento.
- 10.
- 15.

- El comparador lógico 42 hace una comparación de bitio por bitio del patrón de bitios digitales entrantes con el patrón de bitios digitales esperado (v.g., el patrón de bitios digitales deseado) que se ha almacenado anteriormente en el registrador 25. Por lo tanto, es evidente que la señal de salida del comparador lógico 42 es una indicación de error que, si se encuentra presente, se almacena en el registrador 27.
- 20.

- Resumiendo brevemente el funcionamiento del dispositivo de la figura 2, los datos se cargan en el registrador 25. Estos datos representan los datos que se han de alimentar al punto de prueba o los datos que se esperan recibir desde dicho punto de prueba. Los niveles deseados de amplitud para la señal generada o para la señal recibida son establecidos por los aparatos 36, 40. En el modo de "excitación", el relé K1 se cierra
- 25.
- 30.

419952

- 13 -



- y el patrón de bitios digitales se alimenta al UUT. En el modo de funcionamiento de "recepción", el relé K2 se cierra y las señales en la salida del UUT se alimentan al canal de recepción del dispositivo donde, en los aparatos 39 y 42, se efectúan comparaciones de voltaje y lógica. Si estas operaciones de comparación dan por resultado una indicación de error, esta indicación se almacena en el registrador 27 y se puede leer de éste registrador en cualquier instante venidero apropiado durante el análisis de defectos.
- 5.
10. Ya se podrá haber apreciado ciertas ventajas del invento, En primer lugar, el sistema de la figura 2 puede proporcionar una verificación funcional plena del circuito digital. Puede probar la presencia o ausencia de una señal digital en un instante de tiempo particular; puede alimentar y probar niveles apropiados de voltaje, y puede generar una variedad infinita de patrones de palabras digitales por elección de los datos almacenados en el registrador de datos. Lo que es de igual importancia, el sistema funciona independientemente del ordenador electrónico una vez que los datos se han cargado en el registrador porque los datos pueden desplazarse del registrador a cualquier régimen deseado compatible con las limitaciones del aparato en prueba y del propio sistema. No depende de los tiempos de acceso del propio ordenador electrónico y, como regla general, funciona con una rapidez considerablemente mayor que el ordenador. Por la misma razón, si se espera de un aparato en pruebas que proporcione respuestas desusadamente lentas. v.g., grandes demoras entre la alimentación de la señal o un estímulo al aparato y la recepción de una respuesta del mismo, no es necesario desperdiciar ciclos valiosos del ordenador electrónico mientras que se espera dicha respuesta. Además,
- 15.
- 20.
- 25.
- 30.

en el modo de funcionamiento del recepción, se lleva a cabo análisis automático de una señal recibida y cualquier error se almacena para lectura en cualquier instante durante un análisis de defectos o problemas.

5. Si se toman como referencias las figuras 3-5 se tendrá una ayuda para comprender la forma precisa en que se realiza todo lo expuesto anteriormente.

10. Para elegir un punto de prueba particular al que se ha de alimentar un patrón de bitios o del que se ha de recibir, el ordenador electrónico 12 genera una señal de localización. Esta señal de localización es elaborada por el subregulador de aparato (figura 5) y activa ambas líneas de entrada a la puerta A1 (A= LOCALIZACION) 50 al mismo tiempo que se alimenta una señal para activar la puerta 51 y por lo tanto para que se
15. coloque uno de los dos basculadores 54, 55. Si el sistema ha de funcionar en el modo de "excitación", aparecerá una señal en la entrada en el basculador 54, colocando de éste modo la salida de éste dispositivo y activando la bobina 56 del relé excitador K1. La señal de salida del basculador 54 se alimenta
20. también a la puerta L2 (L=CARGA) y S1 (S= CORRIMIENTO) de las secciones de control lógicas 157A y 157B, que están adjuntas al control del registrador 25. Si el sistema ha de funcionar en el modo de recepción, la señal de salida del basculador 55 es por el contrario elevada y esta señal se alimenta
25. a las puertas Y L3, S2 y L6, estando esta última en la sección 57C, así como a la puerta Y R1 (R = RECEPCION). El basculador excitador 54 se coloca mediante una "orden de salida de excitación", mientras que el basculador receptor 55 se activa por una "orden de salida de recepción", En cualquiera de los casos
30. solamente se localiza dicho punto particular de prueba

419952

- 15 -



(puertas A1 - A4 activas).

- Según se ha mencionado anteriormente, el registrador 25 se carga con un patrón de bitios que se han de alimentar al punto de prueba en el modo de excitación y se carga con datos que cabía esperar se recibieran del punto de prueba en el modo de recepción. En cualquiera de los casos, es necesario que se conozca de antemano el mayor número de bitios que se han de alimentar en secuencia a cualquier punto de prueba o que se han de recibir de cualquier punto de prueba. Si el número de bitios presente en la mayor secuencia es menor que la capacidad del registrador de corrimiento de bitios múltiples 25, entonces los datos se deben mover a través del registrador de corrimiento en un número de etapas que es igual a la diferencia entre la capacidad del registrador y el mayor número de bitios de datos.

- El dato se escribe, v.g., se almacena, en el registrador 25 de la manera siguiente: Durante la escritura del dato del ordenador en este registrador, el dato aparece en el conductor de entrada del registrador 25A y se imprime una señal en el conductor de control de registrador 25B para hacer funcionar el registrador de tal manera que afecte los bitios del conductor 25A, en lugar de que cualquier dato del conductor 25C vuelva a circular desde las salidas Q del registrador. Durante el funcionamiento normal del registrador cuando el sistema está en funcionamiento, no existirá orden en el conductor 25B, por lo que el dato recircula desde la salida del registrador alimentándose de nuevo a su entrada por la conexión 25C.

- A medida que los bitios de información aparecen en cualquiera de las dos entradas al registrador, se deben crono-

419952

- 16 -



5.           metrar bitio por bitio a través de las diversas etapas del registrador de forma que aparezcan en orden apropiado de secuencia en la salida del registrador. Durante la escritura de datos al registrador se encuentran presente impulsos de cronometración de carga en la salida 58 a la puerta L1. Como las líneas de colocación y localización están activas, se producen la activación lógica de la puerta O L4 y el inversor L5, produciéndose impulsos de cronometración de carga al régimen de impulsos en la entrada al registrador 25. Una vez que ha

10.           finalizado la operación de escritura, es necesario avanzar los datos de forma que el primer bitio esté en la primera posición (derecha) del registrador, y esto se realiza por una orden (EXCITACION DE LLENADO) en la entrada 59 en la puerta L2. Esta orden tiene la forma de impulsos de cronometración de

15.           carga que continuan hasta que el dato ha avanzado el número deseado de etapas. Durante este periodo de tiempo, no hay datos presentes en el conductor de entrada 25A por lo que se "anotan" ceros detrás del dato ya escrito.

20.           El dato sale del registrador 25 bajo una orden apropiada, después de lo cual aparecen impulsos de corrimiento en la entrada 63 a la puerta de corrimiento S1. Como es lógico, las puertas S-1, S-3, se actibarán en virtud a que las líneas de colocación y localización están activadas siempre que se localice este punto de prueba particular.

25.           Cuando el sistema funciona en el modo de recepción, los impulsos de corrimiento (iniciados por el generador de señales programables 22) alimentados a la entrada 63 aparecen en el conductor 65. Esto dá por resultado el que los datos almacenados se desplacen del registrador 25. un bitio por cada

30.           impulso de corrimiento. Cada impulso se presenta en la



419952

- 17 -

5. entrada del basculador lógico 28. El basculador 28 funciona de manera que se produzca una corriente de entrada verdadera ("1") en el terminal J en una señal de salida "1" del basculador. El estado opuesto aparece si la entrada al basculador es un "0".
10. Como consecuencia de esta operación, el conmutador lógico 28 funciona para retener en su salida la última parte de la información digital al final del último impulso de corrimiento. La significación de esta característica de funcionamiento es que la señal de salida del basculador 28 no cambia durante la recirculación del dato desde la salida del registrador 25 hasta su entrada por los impulsos de cronometración de carga (no de corrimiento). Para todo fin práctico, por lo tanto, el aparato en prueba (al menos en un modo de prueba estática) observa una repetición del patrón de bitios sin "espacios de separación". Los datos en la salida del conmutador lógico 28 aparecen en una de las entradas a la puerta Y D1 (D = EXCITACION). Si se ha emitido una orden de salida de excitación, la otra entrada a esta puerta se activará y el último dato en la salida del registrador 25 se hallará presente en la salida de la puerta. Este dato avanza entonces hasta el traductor de nivel 30 para dicho punto de prueba particular.
15. El funcionamiento del generador de palabras digitales como aparato comprobador en el modo de recepción es similar. En este caso, como es lógico, el dato que se espera recibir está contenido en el registrador 25. El dato entrante en el modo de recepción aparece en el comparador lógico 42 en forma de una de las dos señales que satisfacen una condición de nivel. Si se busca un nivel entrante menor que un nivel
- 20.
- 25.
- 30.

419952



- 18 -

5. de voltaje máximo, entonces un impulso entrante que cumple con la exigencia de nivel bajo generará un "1" en la línea  $V_L$  que penetra en la puerta Y IGC2 (IGC = COMPARACION LOGICA) del comparador 42. De igual modo, si la señal entrante cumple con la exigencia de un nivel de voltaje mínimo superior, aparecerá un "1" en la línea de entrada  $V_H$  a la puerta IGCl.

10. Los errores se muestrean y almacenan como sigue: El aparato 16 se encuentra en el modo de recepción; la salida del basculador de "RECEPTOR DE COLOCACION" 55 será elevada y todas las puertas de entrada L3, S2, L6 y R1 se activarán para recibir impulsos de fijación (desarrollados desde los impulsos de corrimiento) para correr el dato a través del registrador 27. El dato (invertido) procedente del registrador 25 se alimenta a la otra entrada de las puertas IGCl y IGC2 del comparador lógico 42. Si en el instante de aparecer un impulso de fijación, el dato recibido en una de las líneas  $V_H$  y  $V_L$  no es idéntico al dato que cabía esperar, se genera un impulso de error en el conductor de salida del comparador 68.

15. 20. Cualquier error, o sea, un impulso de error, en el conductor de salida 68 se carga, por lo tanto, en el registrador 27 y simultáneamente activa al basculador 70. Una vez que este basculador ha recibido cualquier indicación de error, su salida Q permanece activa e induce una señal de identificación de error en la salida de la puerta de error 73.

25. 30. El dato entrante cabe esperar que se demore una cierta cantidad con relación a la cronometración del dato alimentado en los puntos de prueba. Por esta razón, los impulsos de corrimiento utilizados para cronometrar datos del registrador de almacenamiento 25 se retardan en una pequeña magnitud para compensar el retardo mínimo necesario para que los datos apa-

419952

- 19 -

5. rezcan en la salida del comparador lógico 42. Con este fin, los impulsos de corrimiento retardados alimentan a la entrada 75 de la puerta Y S-2 de la sección de datos y sección lógica 57B. Los impulsos de cronometración en el conductor 65 se retardarán por lo tanto algo detrás de los impulsos de corrimiento utilizados para alimentar datos a los otros canales del aparato 16 que se encuentran en el modo de "excitación".

10. Cuando se escriben datos en el registrador de errores, en otras palabras se cargan el registrador, es importante que no se indiquen innecesariamente bitios de error. A veces ocurre, por ejemplo, que la señal entrante se retarda sensiblemente del punto de alimentación de la señal alimentada produciendo una salida en el UUT. Por lo tanto, es conveniente que la señal en la salida del comparador lógico 42 se muestree en  
15. algún instante que sea relativamente representativo del tiempo real en que cabe esperar una salida del UUT. Los impulsos de fijación alimentados a la puerta R1 en 77 son, por consiguiente, variables en tiempo y se pueden ajustar en una gama sensible por medio de una línea de retardo variable asociada  
20. con el PSG 22. Esta puerta R1 se activa solamente en el modo de recepción, para proporcionar impulsos de fijación en el conductor de salida 79.

25. Para poder leer el contenido del segundo registrador 27, es necesario lógicamente poder hacer avanzar el patrón de errores de forma que cualquier bitio de error generado aparezca en la posición relativa apropiada dentro del registrador. Esta exigencia es similar a la exigencia de cargar información en el registrador 25. No obstante, cuando se trata del registrador de errores 27, el llenado del registrador ocurre  
30. por la alimentación de los impulsos de cronometración de



419052

- 20 -

carga en el conductor de entrada 80 a la puerta Y L6.

La señal de salida del registrador de errores 27 aparece en el conductor 82, por lo que cualquier error que aparece en cualquier posición de bitios se puede leer del registrador 27 ante una orden apropiada, que pone impulsos de cronometración de lectura en el conductor de entrada 83 que conduce a una puerta Y L7.

Se observará que, con respecto al funcionamiento del sistema en el modo de excitación, los impulsos de cronometración a la entrada 63 de la sección lógica 57B cesan siempre que se haya cronometrado el número máximo de bitios. Por lo tanto, aparecen impulsos de carga, por ejemplo, en el conductor de entrada 59 por lo que los datos dentro del registrador 25 se pondrán de nuevo en circulación mientras que se retiene la última salida del registrador 25 en la salida del basculador lógico 28. Con respecto al modo de recepción, los datos se mueven a la posición de lectura a través del registrador 25, y a través del registrador de errores 27, como medida preparatoria a la recepción del tren de impulsos siguientes, por medio de impulsos en la línea de entrada 80. Como la puerta L7 se activa solamente por la línea de localización y los impulsos de lectura, el registrador de errores se puede leer aún cuando no se hayan ordenado ni el funcionamiento en modo de excitación ni el funcionamiento en modo de recepción.

La figura 4 ilustra la circuitería electrónica para comparar la señal entrante contra los niveles de voltaje mínimo y máximo para los niveles lógicos "0" "1". Esta figura ilustra también la circuitería de traducción y excitación del nivel para alimentar el patrón de bitios digitales al punto de prueba, si el sistema no usa el sistema de conmutación 17, di-

419952



- 21 -

rectamente a la toma del UUT.

- Considerando en primer lugar los circuitos que funcionan durante el modo de excitación, el patrón de bitios digitales en acción de puerta en el conductor 63 penetra en el traductor del nivel 30 que comprende lo que se conoce como "dispositivo de corrimiento de nivel". Este dispositivo establece el nivel lógico inferior de acuerdo con el voltaje variable  $V_0$  alimentado a la entrada del nivel de control 90 del traductor de nivel. La señal de salida 91 del traductor de nivel de conecta al aparato limitador/ excitador 31 que establece el nivel lógico superior  $V_1$  por medio de un voltaje variable obtenido de la fuente de energía programable e inyectado en la línea de control 93. Los dos aparatos 30,31, que funcionan conjuntamente, establecen por lo tanto los niveles de señal superior e inferior para el patrón de bitios digitales que se ha de alimentar a los contactos cerrados de K1 cuando el DWG/DWR se encuentra en el modo de funcionamiento de excitación.

- En el modo de recepción, refiriéndonos de nuevo a la figura 4, la señal entrante en el conductor 35 pasa a través de los contactos cerrados del relé K2, a través del circuito atenuador 95 y después penetra en el amplificador separador 97. El atenuador 95 asegura que los niveles de señal entrante hasta el máximo obtenible no escedan nunca del voltaje de seguridad para la circuitería analítica. La señal de salida del separador pasa a través de otro atenuador ajustable 98 y después penetra en las entradas de polos opuestos de dos amplificadores comparadores 99 y 100. Cada uno de estos amplificadores funciona para comparar el nivel de entrada contra un nivel fijo  $V_{UL}$  y  $V_{LL}$ , respectivamente, que se establecen por medio del suministro de energía programable (c15 en las figuras 1 y

419952



2). Según se ha explicado anteriormente, en tanto el patrón de bits digitales entrante del atenuador 98 en el comparador 39 exceda de un voltaje proporcional al voltaje umbral  $V_{UL}$ , el amplificador comparador 99 producirá una señal de salida  $V_H$ .  
5. Por el contrario, si la señal en la salida del atenuador 98 cae por debajo de un nivel que es proporcional al nivel programable  $V_{LL}$ , entonces el amplificador comparador 100 proporciona una señal de salida  $V_L$ , es evidente que en todas las condiciones normales, solamente uno de los amplificadores 99, 100 tendrá una corriente de salida elevada, o verdadera, en cualquier  
10. instante particular de tiempo.

La figura 5 representa los elementos básicos de funcionamiento de la sección lógica de datos y control 24 mediante la cual se obtienen las diversas funciones de impulsos  
15. y control para el excitador y receptor. Todos los circuitos ilustrados esquemáticamente se pueden considerar parte de lo que podría llamarse un subregulador que funciona junto con el regulador de aparato, cuyos elementos no se ilustran con fines de simplificación. No obstante, para ayudar a la explicación podemos suponer que las señales que penetran en el diagrama del lado izquierdo (excepto las señales que entran desde el generador de señales programables), o que salen de dicho  
20. lado, se comunican con la vía I/O del ordenador electrónico digital. Esta vía, cuando se trata del "INTERDATA 4", comprende un cierto número de conductores (v.g., ocho conductores) mediante los cuales los datos pasan de la vía de I/O del ordenador a los aparatos periféricos conectados al ordenador y mediante los cuales también se envían datos desde dichos aparatos periféricos hasta el ordenador. El ordenador, como es  
25. lógico, emite también órdenes y estas pueden aparecer en líneas  
30.

419952

- 23 -



de órdenes separadas o pueden aparecer en líneas de datos y ser descodificadas por el regulador de aparato para producir señales separadas para los aparatos periféricos en funcionamiento.

5. Con el fin de explicar el funcionamiento del presente invento supondremos que los datos penetran en el DWG/DWR sobre líneas de datos disponibles (DAL) y que salen del aparato por líneas de recepción de datos (DRL), que aceptan datos del ordenador y envían datos al ordenador cuando se piden.

10. Finalmente, supondremos que el ordenador emite órdenes sobre un juego separado de conductores de órdenes y que estas son descodificadas por el regulador de aparato para desarrollar órdenes particulares y realizar funciones que comprenden la transferencia y recepción de datos y la iniciación de ciertas operaciones.

15. Refiriéndonos de un modo específico a la figura 5, todas las órdenes internas para el DWG/DWR son generadas en el descodificador de órdenes de salida 105 que recibe órdenes del ordenador electrónico por el regulador de aparato (no ilustrado) siempre que la línea de orden CMDO sea elevada. Los datos entrantes en la vía de datos DAL 106 penetran entonces en el descodificador 105 en forma de una orden de codificación digital. Esto da por resultado una de varias órdenes internas que salen de la salida del descodificador 105. Estas órdenes son como sigue: LECTURA, ESCRITURA, REPOSICION, LLENADO, CICLO  
20. EXCITADOR DE OC, RECEPTOR DE OC, REGISTRO INDICE DE POSICION LIMPIEZA DE ERROR Y PUESTA EN MARCHA.

25. Según se ilustra, la mayoría de estas órdenes internas se dirigen al aparato lógico de control 108. Las órdenes  
30. de receptor de OC y excitador de OC, así como la orden de lim-

419952



- 24 -

pieza de error, que aparecen en los conductores 109, 110 y 111 se dirigen a los elementos ilustrados en la figura 3.

Los datos de localizaciones necesarios para designar los canales excitador y receptor que han de activarse, v.g.,

5. conectados a las tomas elegidas o puntos de prueba, aparecen también en la vía DAL 106 cuando se activa la línea DAO entrante 113 a los enganches de localización 115. Cuando esto ocurre, la localización para el punto de prueba particular que se ha de localizar se almacena ("se engancha") hasta que se escribe por medio de nuevos datos. La información de localización está
10. definida adicionalmente en el descodificador de localización 116 que comprende una sección de localización de grupos principales 116a y una sección de subgrupos 116b. En términos de aplicación práctica, la localización de grupo puede indicar
15. una de las ocho tarjetas de circuito impreso que contienen cada una cantidades de excitación y recepción para excitar 16 puntos de prueba, y la localización de subgrupos designaría entonces un punto de prueba particular dentro de dicha tarjeta de circuito impreso. Los circuitos de unión de datos de localización 117 y 118 que salen de la salida del descodificador
20. de localización 116 alimentan por lo tanto a las tarjetas de circuito impreso, y comprenden conductores, como los indicados por las referencias 117a y 118a, que activan la puerta de localización 50 representada en la figura 3.

25. El aparato lógico de control 108 produce también tres señales empleadas para controlar directamente ciertos aspectos del funcionamiento de los canales receptor y excitador. Estas señales son la señal de REPOSICION en el conductor 120, la señal de ESCCITURA o LLENADO en el conductor 25b y la señal de ACTIVACION o REPOSICION en el conductor 121 que condu-
- 30.

419952

- 25 -



ce a la puerta 51 (Figura 3). Esta última señal se desarrolla para que los basculadores 54, 55 se puedan colocar o reponer al recibir esta orden y al ser localizados simultáneamente.

- Además de proporcionar ciertas señales directamente
5. a los canales excitador y receptor para realizar funciones de desconexión cíclica simples, la lógica de control 108 produce también ciertas señales de desconexión cíclica para un aparato de control de puerta de cronometración de carga 125. Estas señales son las señales de CONTROL de ESCRITURA, CONTROL de
10. LLENADO, CONTROL de CICLO y CONTROL de REGISTRADOR INDICE. El aparato de control de puerta de cronometración 125 realiza la función importante de hacer funcionar un reloj de desconexión cíclica 126 que marcha a una frecuencia fija de 2MHz y de proporcionar selectivamente los impulsos cronométricos de desconexión cíclica de salida en el conductor 128 a todos los canales
15. excitadores y receptores por los conductores 58, 59, 80 y 83 (Figura 3). El aparato de control de puerta de cronometración 125 ejercita un control de puesta en marcha/detención sobre el reloj por medio de la conexión 129. Durante la operación de escritura, llenado o ciclo por lo tanto, el reloj de desconexión cíclica 126 estará dirigido por una señal de control sobre el conducto 129 para que funcione y el control de
20. puerta de cronometración establecerá simultáneamente un trayecto para poner los impulsos cronométricos de carga en una de las salidas 130-132. Los impulsos cronométricos de carga son guiados, por consiguiente, a las diversas tarjetas de circuito por los conductores apropiados, dependiendo de cual de los conductores de salida 130, 131 y 132 se active.
- 25.

30. Según se ha explicado anteriormente que cuando el número de bitios de datos introducidos en el registrador 25 es



419952 - 26 -

- menor que la capacidad de bitios del registrador, es necesario desplazar los datos en avance, de forma que cuando se emita la orden de puesta en marcha, los datos de todos los registradores asociados con los puntos de prueba localizados salgan simultáneamente y en sincronismo. Si el registrador 25 tiene una capacidad, por ejemplo, de 1024 y solamente se introducen 32 bitios (4 magnitudes de información) en el registrador, los 32 bitios del dato deben avanzar 992 etapas. Esto se realiza, según se ha indicado anteriormente, alimentando impulsos desde
5. la salida de control de puerta de cronometración 132 a la línea de reloj y excitación de llenado 59 (Figura 3). De un modo específico, se deben generar 992 impulsos para hacer avanzar el dato en la magnitud necesaria en los registradores de datos.
10. De un modo similar, cualquier dato de error almacenado en el registrador 27 se puede desplazar hacia delante antes de tomarse su lectura, lo cual se realiza por alimentación de impulsos de reloj de carga a la línea de reloj de carga y receptor de llenado (80) (Figura 3). El reloj de desconexión cíclica 116 continúa emitiendo impulsos en la línea 128 (que
15. aparece en las salidas de desconexión cíclica 130-132) hasta que se le ordena la detención por medio de una señal apropiada en la línea de control 129 desarrollada por el control de puerta de cronometración 125.
20. En la Figura 5 las órdenes de llenado y ciclo se representan como señales separadas. Una orden de llenado tiene lugar cuando el dato se ha de desplazar desde su posición inicial en el registrador 25 hasta la posición máxima de la derecha antes de alimentar el patrón de bitios a la salida del DWG/DWR. No obstante, una vez que los datos se han escrito en
25. este registrador y se ha llenado, el patrón de bitios de datos
- 30.

419952

- 27 -



- se pone en recirculación y, por lo tanto, se mueve de nuevo a su posición inicial. Para hacer avanzar de nuevo este dato, si se deseara volver a poner en funcionamiento el mismo patrón de bits, se emite una orden de ciclo. Esto da por resultado
5. una orden de reloj de carga y llenado en el conductor de salida 132 procedente del aparato de control 125, como ocurre con la orden de llenado, siendo la diferencia que, en este caso, ningún dato presente en la línea de entrada 25b se introduce en el registrador.
10. Durante la carga inicial del registrador, aparece una orden de escritura, antes de lo cual se tiene que almacenar un contaje de magnitudes de información en el aparato descodificador de órdenes de salida del dato proporcionado en la vía de DAL 106. se puede utilizar un contaje de magnitudes de información diferente para el modo de recepción, si se desea.
15. Estos contajes indican al DWG/DWR el número máximo de magnitudes de información (y, por lo tanto, el número máximo de bits) que se introducirán en cualquiera de los registradores en los modos de funcionamiento de excitación o recepción. La
20. generación de la señal de control de escritura, por lo tanto, da por resultado el que se active el reloj de desconexión cíclica 126 y que funcione durante un cierto número de contajes que corresponden al contaje de la magnitud de información almacenada. Este contaje de magnitud de información se transfiere también por la orden de control de escritura al control de
25. puerta de cronometración 125.
- Durante la escritura de datos, cualquier dato en la vía de DAL del ordenador representa el patrón de bits que se ha de escribir en el registrador 25 y, por cada magnitud de información entrante, aparece una señal en la línea DAO 113. Es-
- 30.



419952

- 28 -

ta señal DAO se dirige también al control de puerta de cronometración 125 para introducir el contaje de la magnitud de información. Por cada magnitud de información de datos entrantes durante una orden de escritura el control de puerta de cronometración activa el reloj de desconexión cíclica para ocho contajes. Con el fin de seguir la posición del patrón de bitios escrito en el registrador 25, se emplea un par de registros índice 135, 136. Cada uno de estos registradores está compuesto por un número de etapas igual al número de etapas en el registrador 25 y contiene un bitio marcador móvil situado en una posición dentro del registrador índice que indica la posición del bitio más adelantado del patrón almacenado en el registrador 25. Si el registrador 25 se utiliza en el modo de funcionamiento de excitación, entonces el bitio marcador se sitúa en el registrador índice 135; si el aparato funciona en el modo de recepción, el bitio marcador en el registrador índice 136 indicaría la posición del dato.

Durante la escritura inicial de información al registrador de bitios múltiples local 25, se alimenta una orden de control de registrador índice al reloj 126 y la apertura de la puerta podrá proporcionar impulsos cronométricos en el conductos 130. Los impulsos cronométricos de carga se alimenta también a los registradores índice 135, 136 para mover los bitios marcadores en estos registradores en una cantidad igual al número de impulsos cronométricos de carga generados y, por lo tanto, se indica la posición del bitio más adelantado escrito en el registrador local. Los bitios marcadores de registrador índice se ponen en el registrador mediante el aparato de control del registrador índice 138 que coloca un solo bitio en la parte posterior del registrador. Esta operación tiene lugar ba

419952

- 29 -



jo el control del dispositivo de regulación del registrador índice en el conductor 140 desde el descodificador de órdenes 105.

5. Durante las operaciones de llenado y ciclo, los bits marcadores en los registradores índice 135, 136 avanzarán debido a la alimentación de impulsos cronométricos de desconexión cíclica a estos registradores. Los registradores detectan cuando el bitio marcador alcanza la posición más adelantada y, por lo tanto, proporcionan una orden de parada en la línea 141 al control del registrador índice 138. Esto produce una señal en la conexión 143 entre el control del registrador índice 138 y el control de puerta de cronometración 125 y hace que los impulsos de cronometración de desconexión cíclica se detengan cuando el funcionamiento es en los modos de llenado y ciclo.

10. Los impulsos de corrimiento, son variables en el régimen de repetición, se derivan del generador de señales programables y se alimentan a la puerta de control de puesta en marcha/parada 150. Estos mismos impulsos se encaminan también a una línea de retardo programable 151, que puede ser parte del generador de señales programables y produce impulsos de corrimiento (DLY CLK) en el conductor 143. De un modo similar, se generan impulsos de fijación por el conductor 155 a la puerta de control de puesta en marcha/parada. Cuando el ordenador electrónico digital ordena que se ponga en marcha el dispositivo 25. DWG/DWR, se activa la puerta de control de puesta en marcha/parada 150, permitiendo que los impulsos de cronometración retardada de corrimiento y de fijación, a la frecuencia elegida, activen las líneas 63, 75 y 77.

30. Cualquier dato de error almacenado en el registrador 27 se puede extraer bajo control de impulsos de corrimiento des

419952

- 30 -



de el reloj de carga de desconexión cíclica 126. Para efectuar esta operación, se utiliza la orden de salida de lectura para abrir la puerta 125. Si el ordenador electrónico pide entonces datos, una señal en la línea DRO 145 hace que se emita una orden de puesta en marcha por la línea de control 129 al reloj de desconexión cíclica y el dato se lee durante un cierto número de contajes correspondiente al número de bits de información escritos originalmente en el registrador 25. En otras palabras, la operación de lectura emplea también el contaje de magnitudes de información de datos, leyendo 8 bits cada vez que se activa la línea de RO.

Los datos en la vía de DAL penetran en el DWG/DWR a través de un convertidor serie/paralelo y paralelo/serie 160 que convierte los bits de datos paralelos entrantes en forma serial para transmisión al registrador 25 con el conductor 60, según se ilustra. Los datos procedentes de cada uno de los registradores de error penetran en transmisor múltiple 162. La información de localización de grupos y subgrupos procedente del aparato 116 abre un trayecto de señal desde uno de los conductores elegidos 82 por lo que cualquier dato en el mismo se transfiere al convertidor 160. Por lo tanto los datos se leen en el convertidor, un canal, o punto de prueba, a la vez.

Como una magnitud de información, u ocho impulsos de cronometración de carga, actúan al registrador de error cada vez que se activa la línea DRO, los impulsos de datos procedentes del registrador de errores penetran en el convertidor en grupos de 8 bits de información. La línea DRO permanece activada durante un periodo de tiempo mayor que el necesario para ensamblar estos ocho bits de información, y cuando cae

419952

- 31 -



la señal de DRO, la información se transfiere en ese instante al ordenador electrónico por la vía de DRL.

5. En aquellos casos en que se necesitan tiempos prolongados de llenado o ciclo, como ocurre cuando solamente una pequeña cantidad de dato se carga en el registrador 25, podría ocurrir que el aparato DWG/DWR no estuviera preparado para recibir la orden siguiente del ordenador electrónico. Así, si se generan y se utilizan en el sistema impulsos de cronometración de carga o de cronometración de corriente, una operación interna está en camino durante la cual es inapropiado emitir una nueva orden antes de la completa ejecución de la orden anterior. Por esta razón se genera una señal de OCUPADO en el reloj de carga de desconexión cíclica 126 y en la puerta de control de puerta en marcha/parada 150 siempre que estos aparatos estén emitiendo impulsos. Al cesar la señal de ocupado, de nuevo puede el ordenador electrónico comunicarse con el aparato 16.

20. Aunque el invento se ha descrito con relación a una modalidad de preferencia, es fácilmente evidente que se puede recurrir a muchas modificaciones y variaciones dentro del alcance del invento. Por ejemplo, muchas de las funciones que se describen desarrolladas dentro de ciertos aparatos o conjuntos podrían generarse o desarrollarse en otros aparatos. Como ejemplo más específico, existen muchos modos en que el reloj de carga se podría desconectar cíclicamente o comprobarse para 25. generar un número de impulsos correspondiente al contaje máximo de la magnitud de información. Por lo tanto, los circuitos de control pueden adoptar formas diferentes cuando se hallan de emplear ordenadores electrónicos diferentes y formatos de 30. datos de ordenador distintos.



419952

- 32 -

Otro ejemplo de variación posible pertenece a los aparatos de establecimiento de nivel representados en la Figura 4. A pesar de que es preferible desarrollar las dos señales  $V_H$  y  $V_E$  para utilizarse en los comparadores lógicos, esta función podría haberse realizado ajustando el nivel de la señal a la salida del registrador 25.

Todas estas modificaciones y variaciones han de considerarse comprendidas dentro del alcance del invento según se define en las reivindicaciones adjuntas.

#### N O T A

Descrita suficientemente la naturaleza del invento así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento corresponde a una solicitud de patente presentada en Norteamérica con el nº Ser. Nº. 300.536 de 25 de Octubre de 1972, acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención por 20 años en España sobre: PERFECCIONAMIENTOS EN APARATOS GENERADORES Y RECEPTORES DE PALABRAS DIGITALES; caracterizándose por lo siguiente:

1.- Perfeccionamientos en aparatos generadores y receptores de palabras digitales; para producir patrones de bits digitales en respuesta a órdenes procedentes de un ordenador electrónico digital y adaptado para utilizarse junto con el mismo, caracterizados porque dichos aparatos comprenden por

419952

- 33 -



5. lo menos un terminal de salida; una memoria local de bitios múltiples conectada al terminal de salida y que funciona independientemente del ordenador para recibir de dicho ordenador y almacenar los bitios de un patrón de señales digitales; una fuente de cronometración que produce una señal que tiene una frecuencia independiente del tiempo de ciclo de funcionamiento del ordenador; y medios para alimentar la señal cronométrica a la memoria de bitios múltiples y producir los bitios del patrón de señales digitales en el terminal de salida en una relación secuencial de tiempo.

10. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque para producir simultáneamente por lo menos dos bitios de una palabra digital de bitios paralelos, dicho aparato comprende además: un segundo terminal de salida; y una

15. segunda memoria local de bitios múltiples conectada al segundo terminal de salida y que funciona independientemente del ordenador electrónico para almacenar los bitios de un patrón de señales digitales recibidas del ordenador electrónico, y medios de alimentación que alimentan también la señal cronométrica a la segunda memoria de bitios múltiples para producir

20. bitios en cada terminal de salida simultáneamente.

25. 3.- Perfeccionamientos según la reivindicación 2, caracterizados porque dicho aparato comprende además: medios de localización que se conectan al ordenador y que responden a una señal de localización para hacer que cada una de las memorias locales funcione de una forma selectiva de acuerdo con una palabra de bitios paralelos que se ha de generar.

30. 4.- Perfeccionamientos según la reivindicación 1, caracterizados porque dicho aparato comprende además: un dispositivo comparador lógico conectable para recibir una señal di

419952

- 34 -



- gital desde un punto de prueba externo en una de sus entradas; y medios acoplados a la memoria local para alimentar su salida al dispositivo comparador lógico; funcionando el dispositivo comparador lógico para producir una indicación de error al
5. existir una discrepancia entre las señales digitales respectivas procedentes de la memoria local y del punto de prueba.
- 5.- Perfeccionamientos según la reivindicación 4, caracterizados porque dicho aparato comprende además: una memoria de errores conectada para recibir y almacenar indicaciones de error procedentes del dispositivo comparador lógico.
- 10.
- 6.- Perfeccionamientos según la reivindicación 5, caracterizados porque la memoria de errores comprende un registrador para almacenar en secuencia las indicaciones de error a un régimen correspondiente a régimen de alimentación de los bitios del error de palabras digitales procedente de la memoria local al dispositivo comparador lógico.
- 15.
- 7.- Perfeccionamientos según la reivindicación 6, caracterizados porque dicho aparato comprende además: medios para producir una señal de fijación para hacer funcionar el registrador de errores al régimen de alimentación de bitios y con relación desplazada en el tiempo respecto a la señal cronométrica para hacer que se almacenen en la memoria de errores solamente los bitios presentes en dicho tiempo desplazado.
- 20.
- 8.- Perfeccionamientos según la reivindicación 7, caracterizados porque el desplazamiento de tiempo de la señal de fijación con relación a la señal de cronometración es variable.
- 25.
- 9.- Perfeccionamientos según la reivindicación 1, caracterizados porque la fuente de cronometración funciona para producir impulsos de señales cronométricas a frecuencias variables en respuesta a una orden procedente del ordenador electrónico
- 30.

419952



nico.

5. 10.- Perfeccionamientos según la reivindicación 1, caracterizados porque la memoria de bitios múltiples local comprende un registrador de etapas múltiples para almacenar en secuencia los bitios de una palabra digital presentada al mismo en respuestas a la señal cronométrica y al régimen determinado por la misma.

10. 11.- Perfeccionamientos según la reivindicación 10, caracterizados porque el registrador funciona para hacer circular su contenido, comprendiendo dicho aparato además: medios de almacenamiento de bitios conectados entre la salida del registrador y el terminal de salida y que responden por separado a la señal cronométrica para proporcionar el bitio almacenado al terminal de salida sin tener en cuenta la presencia de un bitio de señal en la salida del registrador.

15. 12.- Perfeccionamientos según la reivindicación 4, caracterizados porque dicho aparato comprende además: medios de conmutación controlables conectados entre el terminal de salida y el punto de prueba, respondiendo los medios de conmutación a una orden de modo de funcionamiento procedente del ordenador electrónico para conectar de una forma selectiva el punto de prueba al terminal de salida o al comparador lógico.

20. 13.- Perfeccionamientos según la reivindicación 4, caracterizados porque dicho aparato comprende además: medios sensibles al nivel conectados entre el punto de prueba y el dispositivo comparador lógico y que funcionan para proporcionar una señal de salida a este último solamente cuando la amplitud de la señal en el punto de prueba está abarcada por niveles de amplitud predeterminados.

30. 14.- Perfeccionamientos según la reivindicación 4,

419952



- 36 -

- caracterizados porque dicho aparato comprende además: medios que responden a una orden de nivel procedente del ordenador electrónico para desarrollar por lo menos una señal que representa uno de los niveles de amplitud predeterminados; y siendo
5. los medios que responden al nivel sensibles a dicha señal representativa del nivel para establecer niveles predeterminados controlablemente diferentes.
- 15.- Perfeccionamientos según la reivindicación 1, caracterizados porque dicho aparato comprende además: medios
10. que responden a una orden de nivel procedente del ordenador para general una señal que representa el nivel de amplitud deseado de las señales de excitación que se han de alimentar al terminal de salida; y un circuito de desplazamiento de nivel que recibe la corriente de salida de la memoria local y que
15. responde a la señal representativa del nivel excitadora para producir en el terminal de salida un patrón de bitios digitales que tienen dicho nivel de amplitud deseado.
- 16.- Perfeccionamientos según las reivindicaciones anteriores, caracterizados porque cuando dicho aparato se emplea
20. en un sistema de pruebas de diagnóstico automatizados, para realizar pruebas funcionales y dinámicas de elementos lógicos en un aparato en pruebas, dicho sistema comprende la combinación de: un ordenador electrónico digital que proporciona señales de orden elegidas según un programa almacenado; medios
25. que proporcionan puntos de pruebas eléctricas para alimentar señales y recibir señales del aparato en prueba; un generador de palabras digitales que comprenden por lo menos un registrador de almacenamiento local para almacenar información del patrón de bitios digitales disponible; un generador de señales
30. de impulsos cronométricos para alimentar al registrador de al-



419952

macenamiento impulsos de corrimiento que hacen avanzar al patrón de bitios digitales almacenado a través de las etapas del registrador, para aparecer en una relación de tiempo desplazado en la salida del registrador; y medios para alimentar los bitios del patrón digital en la salida del registrador a uno de los puntos de prueba.

5.

17.- Perfeccionamientos según la reivindicación 16, caracterizados porque el generador de impulsos cronométricos alimentan impulsos cronométricos al registrador en respuesta a una orden del ordenador electrónico.

10.

18.- Perfeccionamientos según la reivindicación 17, caracterizados porque dicho sistema comprende además: por lo menos un registrador de almacenamiento local adicional para almacenar selectivamente información de patrón de bitios diferentes proporcionada por el ordenador electrónico en respuesta a una orden diferente del mismo; y medios que alimentan la corriente de salida del registrador de almacenamiento adicional a otro punto de pruebas del aparato en experimentación.

15.

19.- Perfeccionamientos según la reivindicación 17, caracterizados porque dicho sistema comprende además: un canal de recepción de datos asociado con cada uno de los registradores de almacenamiento, comprendiendo cada canal de recepción: un circuito comparador que tiene como entradas: (a) la salida de un registrador respectivo, y (b) la entrada al canal de recepción para desarrollar una señal de salida que representa discrepancias entre los mismos; y medios que responden a una orden del ordenador electrónico para conectar selectivamente el punto de prueba a la entrada del canal de recepción.

20.

25.

30.

20.- Perfeccionamientos según la reivindicación 19,

419952



- 38 -

- caracterizados porque dicho sistema comprende además: un regis  
trador de almacenamiento de errores conectado para recibir la  
señal de salida desarrollada por el circuito comparador; y me  
dios para alimentar una señal de fijación al registrador de al  
macenamiento de errores en relación cronometrada con la señal  
5. de impulsos cronométricos, para almacenar de este modo la se-  
ñal de salida del circuito comparador presente en instantes  
específicos correspondientes a los instantes en que se espera  
recibir una señal en el punto de prueba.
10. 21.- Perfeccionamientos según la reivindicación 20,  
caracterizados porque dicho sistema comprende además: medios  
que responden conjuntamente a las señales en las salidas de  
los circuitos comparadores conectados a los puntos de pruebas  
respectivos para desarrollar una indicación de error al produ-  
15. cirse cualquier discrepancia entre los patrones de señales di-  
gitales esperados y los patrones de señales digitales recibi-  
dos realmente en cualquier punto de prueba.
20. 22.- Perfeccionamientos según la reivindicación 18,  
caracterizados porque dicho sistema comprende además un regu-  
lador del generador palabras, cuyo regulador comprende: medios  
de control de localización asociados con cada uno de los regis  
tradores de almacenamiento para desarrollar una primera orden  
de mando y activar los registradores de almacenamiento asocia  
dos con un punto de prueba localizado por el ordenador electró  
nico; y medios de control de corrimiento que responden conjun-  
25. tamente a la primera señal de orden y a los impulsos de corri-  
miento para almacenar los bitios del patrón de bitios digita-  
les disponible en el registrador de almacenamiento local de es  
te modo localizado.
30. 23.- Perfeccionamientos según la reivindicación 16,

419952



- caracterizados porque los medios de alimentación comprenden: medios de almacenamiento de bitios de datos conectados para recibir la corriente de salida del registrador de almacenamiento local, teniendo dichos medios de almacenamiento de bitios una
5. entrada de conexión y desconexión cíclica para recibir impulsos de corrimiento y que funciona para proporcionar en una de sus salidas un bitio digital que representa la señal digital presente en la salida del registrador de almacenamiento local al recibir un impulso de corrimiento.
10. 24.- Perfeccionamientos según la reivindicación 23, caracterizados porque el registrador de almacenamiento local funciona de un modo controlable para poner de nuevo en circulación datos procedentes de su salida hasta su entrada, para hacer de este modo que el patrón de bitios digitales almacenados
15. vuelva a introducirse en el mismo en respuesta a impulsos de corrimiento.
20. 25.- Perfeccionamientos según la reivindicación 16, caracterizados porque dicho sistema comprende además: un registrador índice que tiene una capacidad de almacenamiento de bitios correspondiente a la capacidad de almacenamiento de bitios del registrador de bitios múltiples local; medios que responden a una orden del ordenador electrónico para almacenar por lo menos un bitio marcador en el registro índice; y medios que responden al patrón de bitios digitales recibido del ordenador
25. electrónico para situar el bitio marcador dentro del registrador índice en una posición que representa la longitud del patrón de bitios digitales almacenado.
30. 26.- Perfeccionamientos según la reivindicación 25, caracterizados porque dicho sistema comprende además: medios que responden a una orden del ordenador electrónico para hacer

✓

419952



- 40 -

5. avanzar el patrón de bitios digitales almacenado a través del registrador de bitios múltiple local y para hacer avanzar simultáneamente el bitio marcador a través del registrador índice; y medios que responden a la posición del bitio marcador para dar por terminado el avance del patrón de bitios digitales al llegar los bitios de dicho patrón a una posición deseada dentro del registrador de bitios múltiples local.

10. 27.- Perfeccionamientos según la reivindicación 1, caracterizados porque cuando el aparato es comprobador de palabras digitales para recibir y analizar patrones de bitios digitales y adaptados para funcionar en respuesta a órdenes procedentes de un ordenador electrónico digital, dicho aparato comprende: una memoria local de bitios múltiples que funciona independientemente del ordenador para recibir del ordenador y almacenar un patrón de bitios digitales que representa los datos que se esperaban recibir; una fuente de cronometración que produce una señal que tiene una frecuencia independiente del tiempo de ciclo de funcionamiento del ordenador; medios que responden a una señal de orden del ordenador electrónico para alimentar la señal de la fuente cronométrica a la memoria local y producir los bitios del patrón digital en la salida de la memoria guardando una relación de secuencia de tiempo; y medios comparadores lógicos que responden conjuntamente el patrón de bitios en la salida de la memoria local y la señal recibida para generar indicaciones de bitios de error al producirse cualquier discrepancia entre los patrones de bitios esperados y recibidos.

30. 28.- Perfeccionamientos según la reivindicación 27, caracterizados porque dicho aparato comprende además: una memoria de errores conectada para recibir y almacenar indicacio

419952



nes de error procedentes del dispositivo comparador lógico.

5. 29.- Perfeccionamientos según la reivindicación 27, caracterizados porque dicho aparato comprende además: una segunda memoria local de bitios múltiples que funciona independientemente del ordenador electrónico, para recibir y almacenar un patrón de bitios selectivamente diferente, proporcionando los medios de alimentación. también la señal de la fuente de impulsos cronométricos a la segunda memoria de bitios múltiples, para producir bitios en las salidas de la primera y la
10. segunda memorias simultáneamente, que representan bitios plurales de una palabra de bitios paralelos.

15. 30.- Perfeccionamientos según la reivindicación 29, caracterizados porque dicho aparato comprende además: un segundo dispositivo comparador lógico para generar indicaciones de error al aparecer cualquier discrepancia entre los patrones de bitios esperados y recibidos.

20. 31.- Perfeccionamientos según la reivindicación 30, caracterizados porque dicho aparato comprende además: un registrador de almacenamiento de errores para recibir las indicaciones de error de cada dispositivo comparador lógico respectivo a un régimen que corresponde al régimen de la fuente de cronometración.

25. 32.- Perfeccionamientos según la reivindicación 31, caracterizados porque dicho aparato comprende además: medios para producir una señal de fijación para el funcionamiento del registrador de errores al régimen de impulsos cronométricos y en una relación de tiempo desplazado con respecto a los mismos, para almacenar en el registrador de errores solamente aquellas indicaciones de error que pudieran encontrarse presentes en dicho instante desplazado.
- 30.



419952

- 42 -

5. 33.- Perfeccionamientos según la reivindicación 27, caracterizados porque dicho aparato comprende además: medios que responden a una orden del ordenador electrónico para generar una señal de control de nivel; y un dispositivo comparador de nivel que responde conjuntamente a la señal de control de nivel y a una de las señales esperadas y recibidas, para producir una señal de salida al aparecer en una señal recibida que representa aquellas partes de una señal recibida que corresponden a un nivel de señal esperado.
10. 34.- Perfeccionamientos según la reivindicación 33, caracterizados porque: el dispositivo generador de señales de control de nivel proporciona señales de control separadas que representan niveles aceptables máximo y mínimo para la señal entrante; y porque el dispositivo comparador de nivel funciona para generar una señal de salida que representa niveles de señal aceptables solamente cuando la señal entrante recibida está por debajo y por encima de dichos niveles máximo y mínimo, respectivamente, al aparecer un impulso de fijación.
15. 35.- Perfeccionamientos según la reivindicación 27, caracterizados porque la fuente de impulsos cronométricos funciona para proporcionar impulsos a varias frecuencias en respuesta a una orden procedente del ordenador electrónico.
20. 36.- Perfeccionamientos según la reivindicación 27, caracterizados porque la memoria de bitios múltiples local comprende un registrador de etapas múltiple donde el patrón de bitios digital puede avanzar a través del mismo en respuesta a la señal cronométrica, cuyo aparato comprende además: un registrador índice que tiene una capacidad de almacenamiento correspondiente a la capacidad de almacenamiento de bitios del registrador de bitios múltiples local; medios que responden a una
25. 30.



419952

5. orden del ordenador electrónico para almacenar por lo menos un bitio marcado en el registrador índice; y medios que responden al patrón de bitios digitales recibido del ordenador electrónico para situar el bitio marcador dentro del registrador índice en una posición que representa la longitud del patrón de bitios digitales almacenado.

10. 37.- Perfeccionamientos según la reivindicación 36, caracterizados porque dicho aparato comprende además: medios que responden a una orden del ordenador electrónico para hacer avanzar el patrón de bitios digitales almacenado a través del registrador de bitios múltiples local y para hacer avanzar si multáneamente el bitio marcado a través del registrador índice; y medios que responden a la posición del bitio marcador para dar por terminado el avance del patrón de bitios digitales al llegar los bitios de dicho patrón a una posición deseada dentro del registrador de bitios múltiples local.

15. 38.- Perfeccionamientos según la reivindicación 36, caracterizados porque los medios de avance comprenden un generador de impulsos cronométricos de carga que responde a una orden del ordenador electrónico para alimentar impulsos de avance de datos a los registradores índice y de bitios múltiples local.

20. 39.- Perfeccionamientos en aparatos generadores y receptores de palabras digitales, tal y como queda sustancialmente descrito en la presente Memoria y en los dibujos adjuntos.

25. Esta Memoria consta de cuarenta y tres hojas escritas a máquina por una sola cara.

Madrid, 7 2 ENE. 1974.

INSTRUMENTATION ENGINEERING, INC.

J. GÓMEZ ACELLO Y MODELO  
Por: Firmado: L. Guals Faránquez



419952

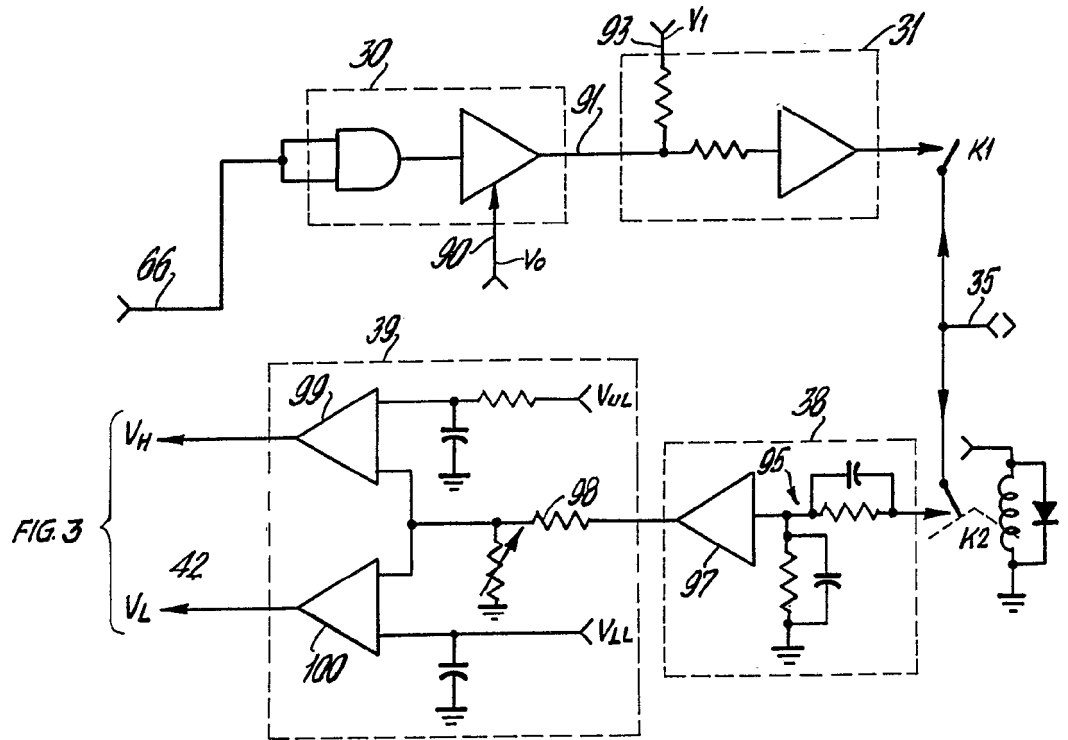
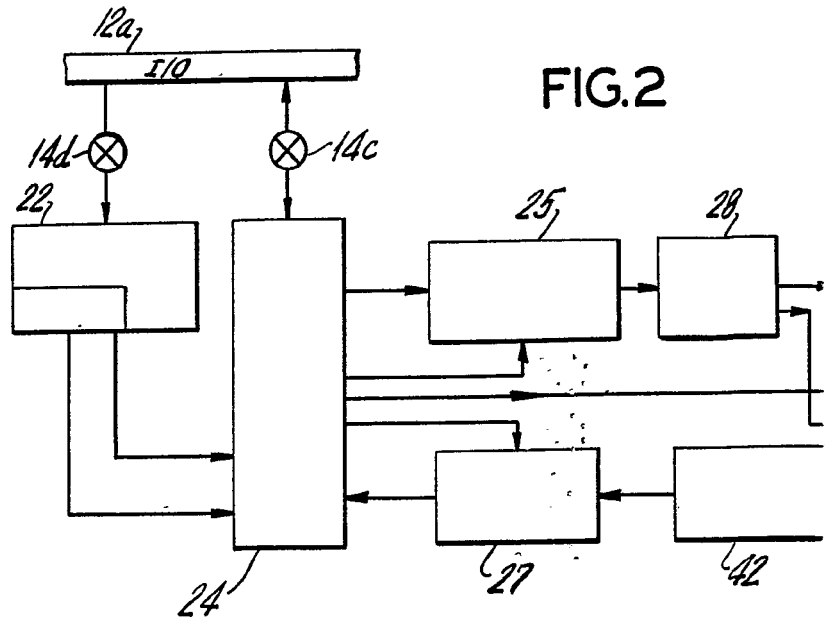
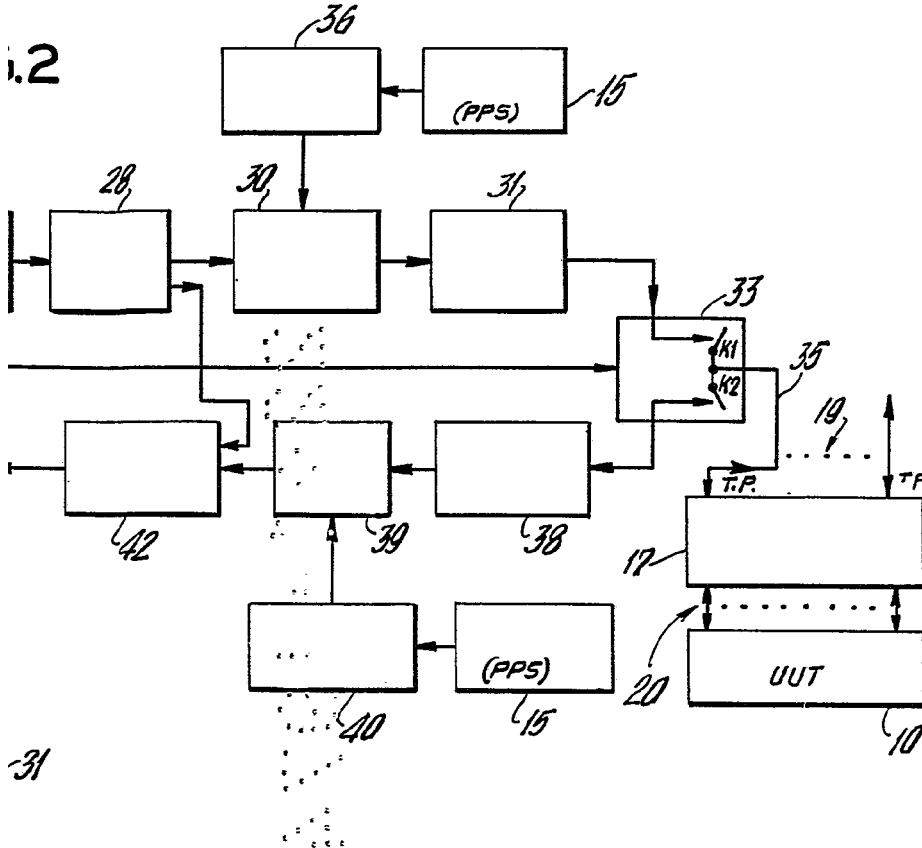


FIG. 4

419952



ESCALA VARIABLE

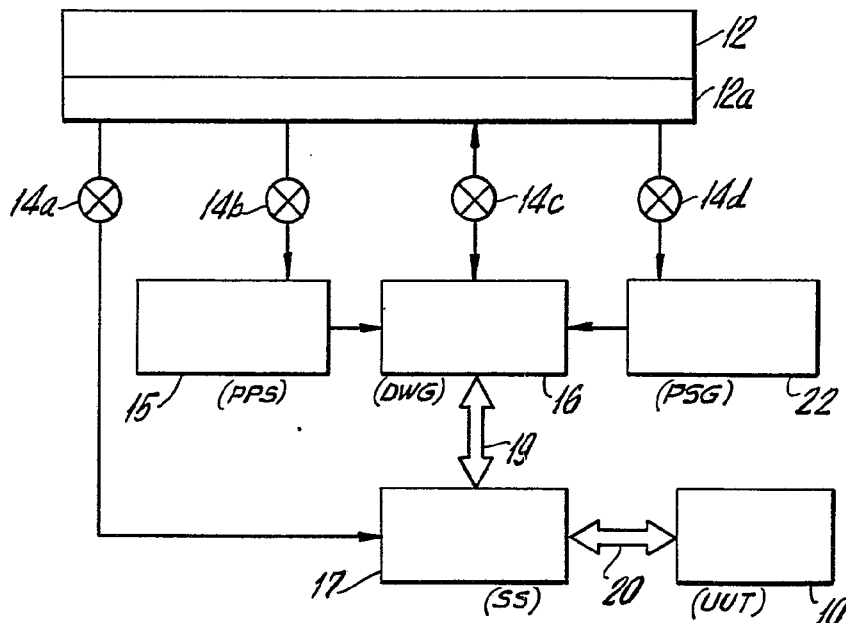
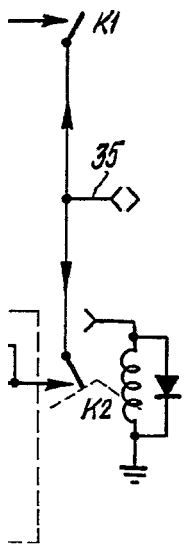


FIG.1

72 ENG 1071

Madrid

J. COMEL S...  
p. p. Elmer...  
...

*[Handwritten signature]*

419952

410952



# ESCALA VARIABLE

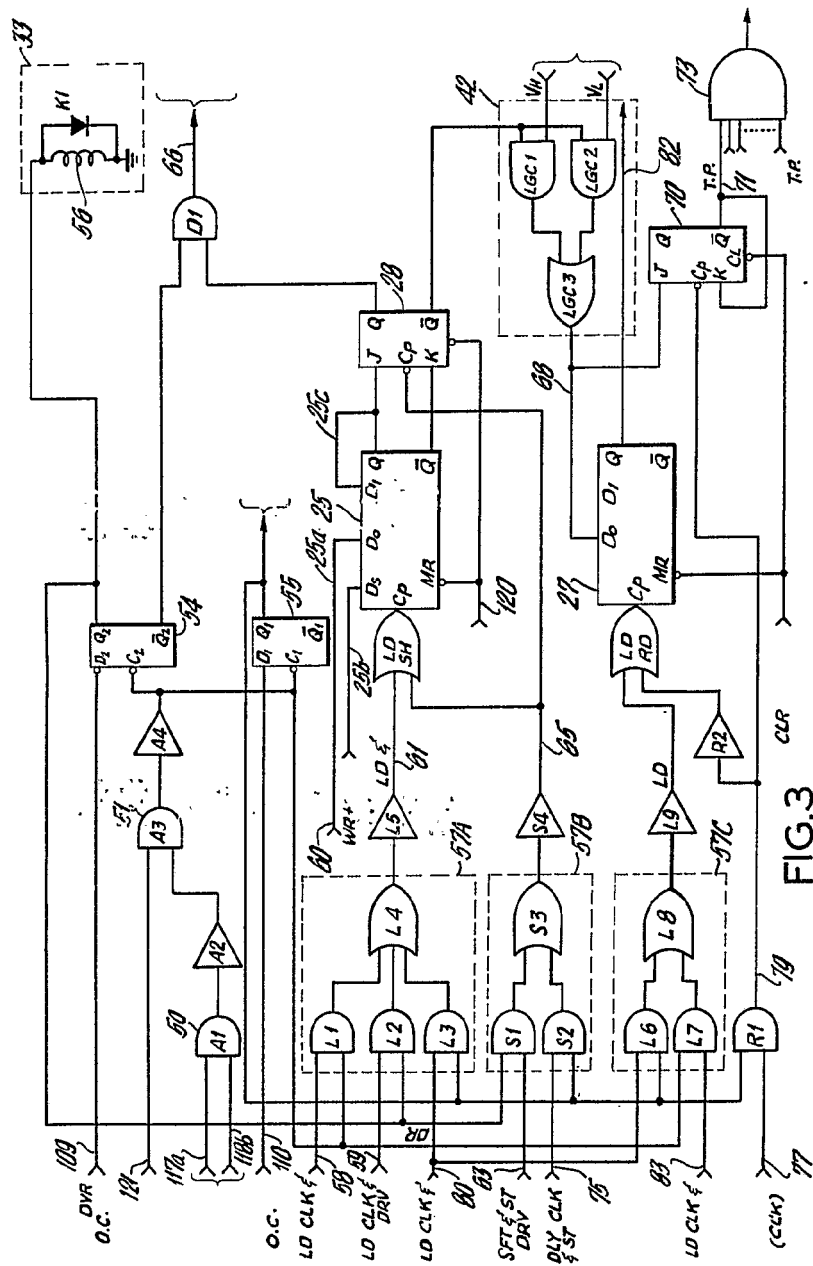


FIG.3

3 2 FME 1974

A. GONZALEZ

419952

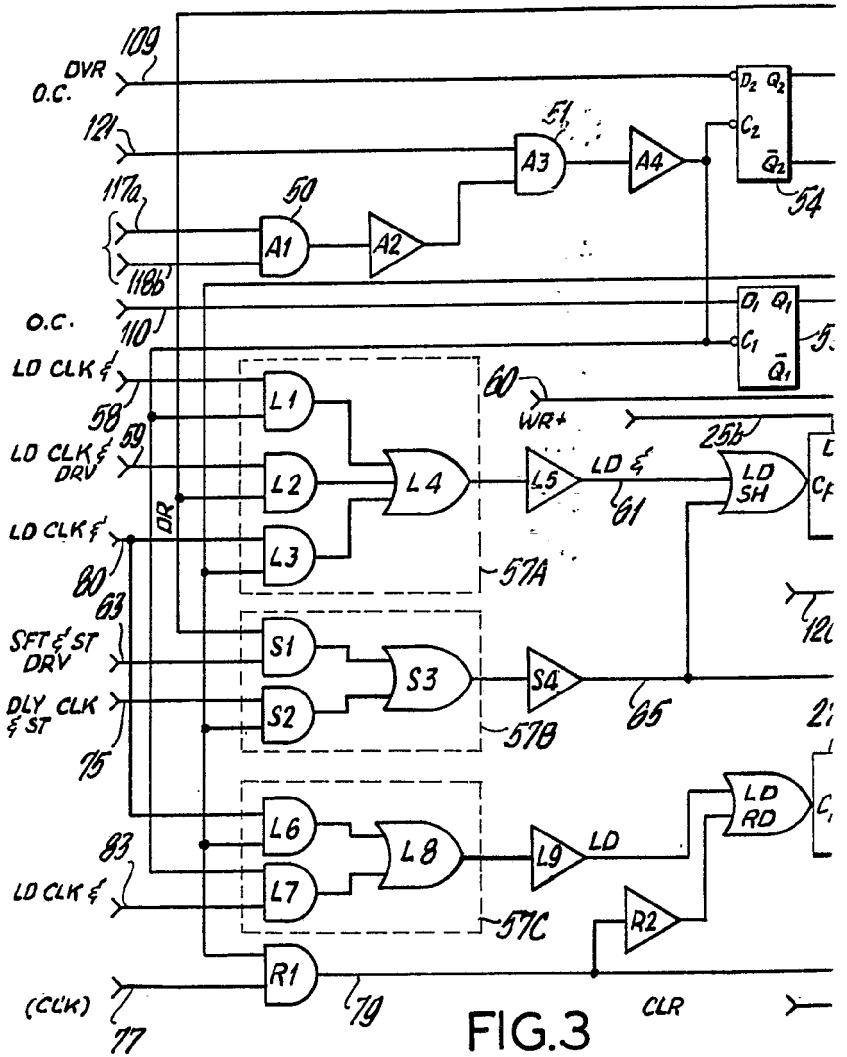


FIG. 3



419952

419952



72 EN



# ESCALA VARIABLE

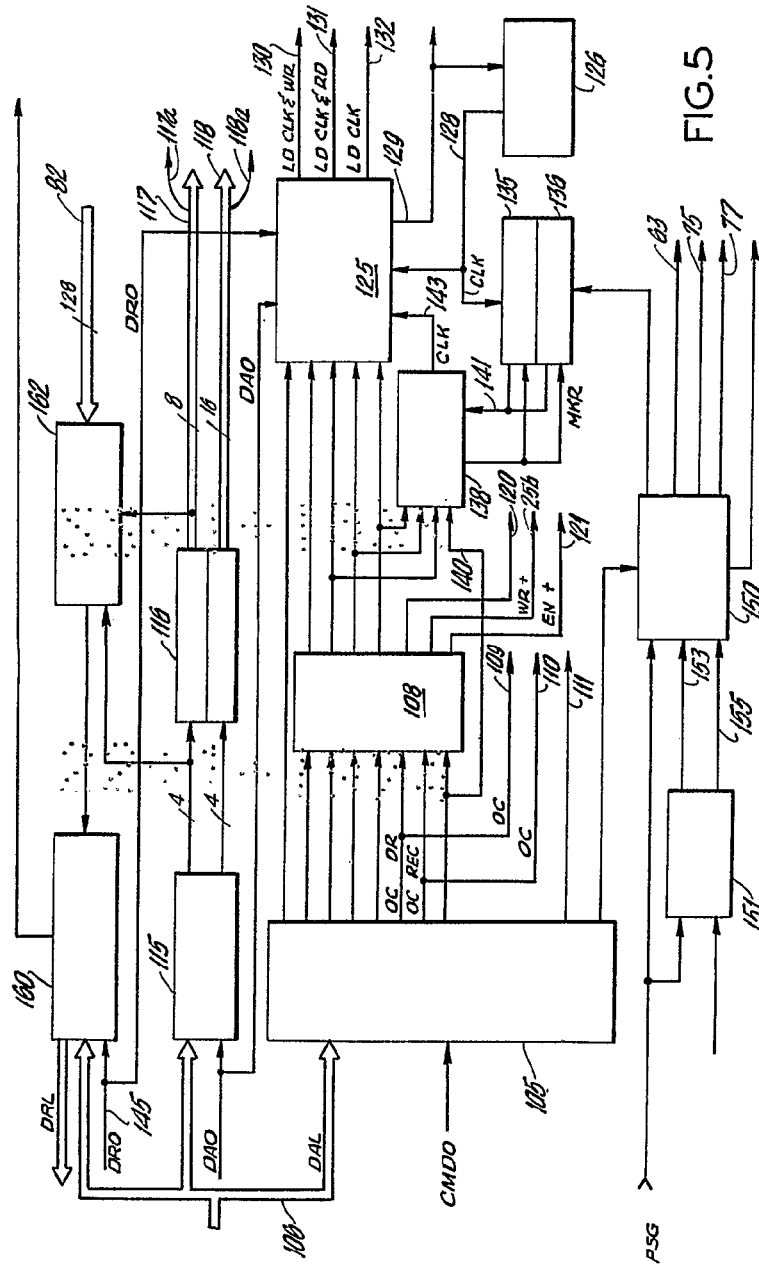


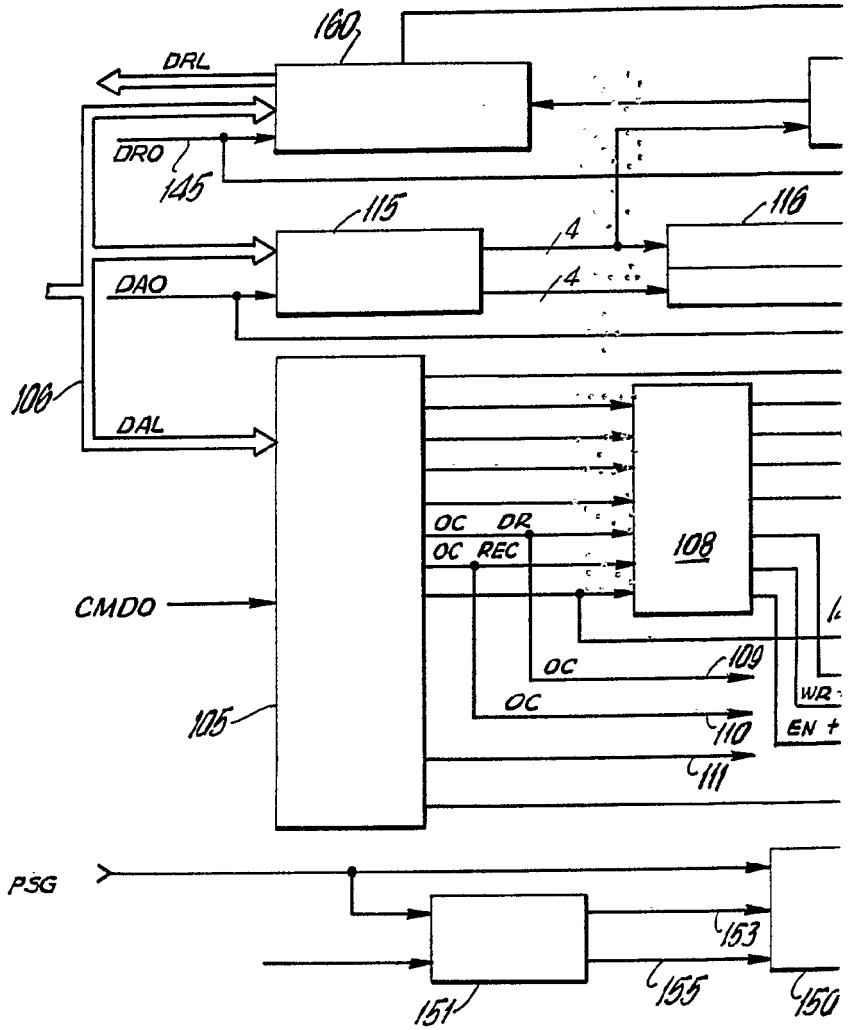
FIG.5

22 EN 1974

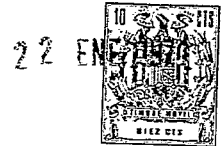
GOMEZ AN... Y... ROBERT

Dr. P. Filmedo, L. Guate... Ingeniero

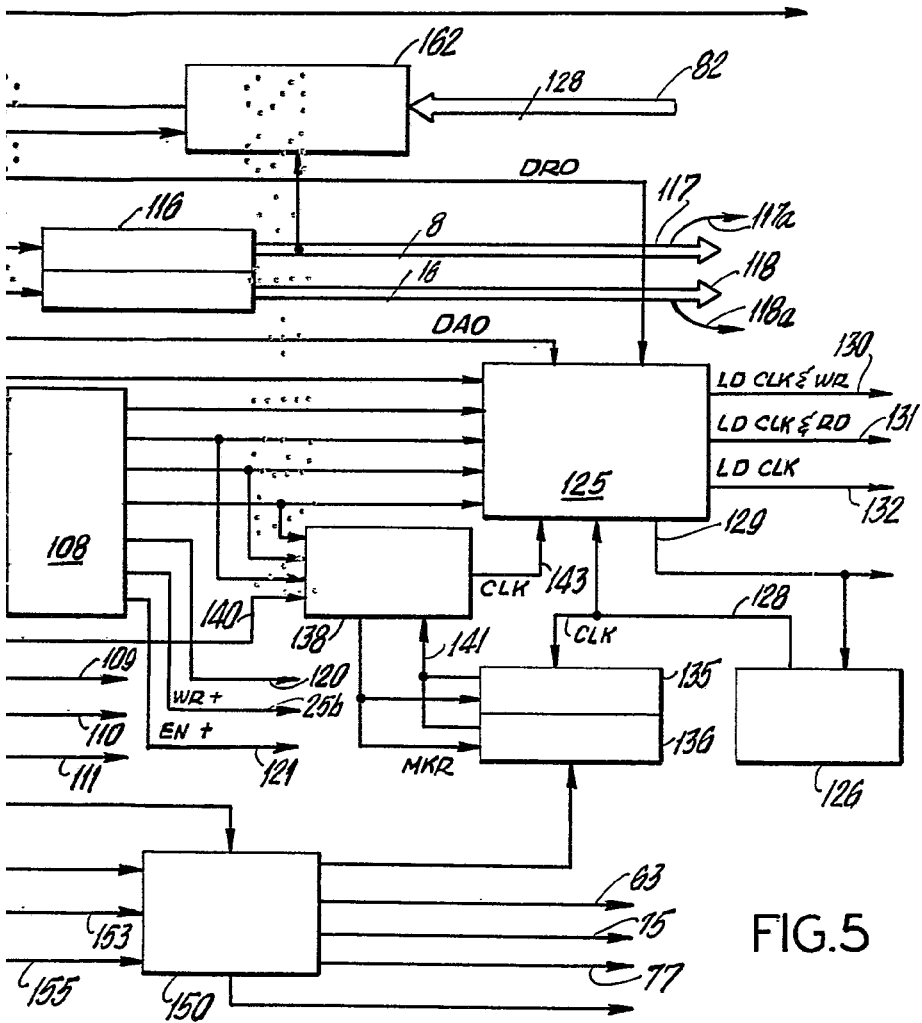
419952



419952



22 ENE 1974



ESCALA VARIABLE

FIG. 5

22 ENE 1974

A. GOMEZ ARRIAGA Y MODESTO  
P. P. Firmado: L. Gracia Fernández