

22



Int. Cl.<sup>2</sup> H04L

F.E. 17-9-75

MEMORIA DESCRIPTIVA.  
=====

PATENTE DE INVENCION. **479838**

P A I S : ESPAÑA.

DURACION : 20 AÑOS.

OBJETO : "PROCEDIMIENTO DE TRANSMISION DE INFORMA-  
"CIONES POR VARIOS PUESTOS EMISORES E INS  
"TALACION PARA SU REALIZACION".

=====

A nombre de : ATELIERS DE CONSTRUCTIONS ELECTRIQUES  
DE CHARLEROI (ACEC).

Residente en : BRUSELAS (Bélgica)(Commune de Saint-Gilles),  
54, Chaussée de Charleroi.

Nacionalidad : BELGA.



419838

El presente invento tiene por objeto un procedimiento y una instalación de transmisión de informaciones por varios puestos emisores de datos.

- Instalaciones de transmisión de informaciones por varios puestos emisores de datos son en sí conocidas. Comprenden un número cualquiera de puestos emisores, por ejemplo puestos de medida y control localizados en las diferentes subestaciones de una red de distribución de energía eléctrica. En cada uno de los puestos afluyen informaciones, diferentes en número y en género de puesto en puesto, bien en forma de variables analógicas bien en forma de variables numéricas, relativas a condiciones propias del lugar del puesto. Las variables analógicas y numéricas representan por ejemplo: la tensión secundaria del transformador, la corriente en el primario, la temperatura del aceite, el estado conectado o desconectado de varios disyuntores, contactores y seccionadores, etc. Todas estas informaciones deben ser enviadas a un puesto central. Para hacerlo, en la zona de cada puesto está instalado un selector que escruta o explora continuamente, en un orden cíclico las diferentes variables a transmitir. Si una variable es proporcionada en forma analógica, es transformada en primer lugar en forma numérica y a continuación es codificada al mismo tiempo que las otras informaciones numéricas para ser transportada en forma de telegrama. Los telegramas que emanan de cada uno
- 5.-
- 10.-
- 15.-
- 20.-
- 25.-

- 3 - 419838

2200



de los puestos pueden ser transmitidos bien por cable, bien por líneas de telecomunicación por ejemplo de corriente portadora o de cable herziano. La utilización de estos últimos medios de transmisión necesita además el paso de los telegramas a través de los modulares. En el puesto central cada una de estas líneas telegráficas se acaba en un descodificador y el conjunto de estos descodificadores alimenta finalmente un conjunto de órganos de marcación que puede estar constituido por tableros o cuadros luminosos y grupos de aparatos de medida, pero también, según una acepción más amplia de este término, por una instalación de control y de mando automático, igualmente muy compleja.

Tal instalación de transmisión de informaciones es tanto más costosa cuanto más elevado es el número de puestos emisores de datos. El objeto del invento es reducir el precio y el tamaño total de estas instalaciones suprimiendo los descodificadores individuales en cada puesto para reemplazarlos por un descodificador único, y contadores y memorias capaces de almacenar de manera apropiada las informaciones propias de cada puesto.

El invento tiene por objeto un procedimiento de tratamiento de información utilizable para la transmisión de informaciones por varios puestos emisores de datos, que transmiten cada uno de manera permanente o aleatoria las informaciones en forma de telegramas secuenciales sobre líneas de transmisión apropiadas hacia un conjunto de órganos de marcación, y está caracterizado por las fases siguientes:

a) selección cíclica de cadencia sensiblemente más rápida que la de los bitios de cada telegrama de las diferentes líneas de transmisión por medio de un primer selector;



- b) toma del valor instantáneo nuevo de cada telegrama a cada paso del selector sobre una línea de transmisión;
- c) almacenaje en una primera memoria del valor instantáneo nuevo de cada telegrama a cada paso del selector sobre una línea de transmisión;
- 60.-
- d) extracción de dicha primera memoria del valor instantáneo anterior almacenado durante el paso precedente del selector sobre la misma línea de transmisión;
- e) comparación del valor instantáneo anterior con el valor instantáneo nuevo en un detector de transición y emisión de una señal de transición;
- 65.-
- f) registro en una segunda memoria de un número determinado de bitios derivados de valores instantáneos de cada uno de los telegramas, tomados en un momento o en momentos determinados después de la aparición de una señal de transición para el telegrama considerado;
- 70.-
- g) extracción de una memoria muerta de parámetros de la unión propios de cada puesto con ayuda de un segundo selector accionado en sincronismo con el primer selector y eventualmente confundido al menos en parte con este primer selector;
- 75.-
- h) reconocimiento y verificación de las informaciones registradas en dicha segunda memoria en un circuito lógico conectado a la salida de dicha segunda memoria por una parte, y a dicha memoria muerta por otra parte.
- 80.-
- i) transferencia de los bitios útiles de las informaciones contenidas en dicha segunda memoria a través de un distribuidor, accionado en sincronismo con dichos primer y segundo selectores en órganos de restitución.
- 85.- El invento tiene por objeto también una instalación



que permite realizar el procedimiento anterior. Un ejemplo de instalación según el invento está descrito a continuación con referencia a los dibujos adjuntos.

90.- La figura 1 es un esquema de principio de una instalación según el invento.

La figura 2 representa un conjunto de diagramas de tensión en función del tiempo.

Las figuras 3 a 6 representan detalles de circuitos mencionados en la figura 1.

- 95.- En el ejemplo según la figura 1, están previstos 80 puestos emisores diferentes de datos, cada uno equipado de manera semejante al otro. En el lugar de cada uno de los 80 puestos se encuentra un selector local 101 a 180. Cada uno de estos selectores locales es independiente de los otros
- 100.- y es gobernado por un reloj local, no representado; explora continuamente, en un orden cíclico las diferentes variables a transmitir para enviarlas eventualmente a través de un convertidor analógico-numérico 201 a 280, hacia un codificador 301 a 380, propio de cada puesto. En los codificadores
- 105.- 301 a 380, las informaciones a transmitir son redactadas en mensajes en forma de telegramas. Como es bien conocido en este dominio de las técnicas, cada uno de estos telegramas está compuesto por un cierto número  $n$  de bitios significativos, relativos a las informaciones físicas de
- 110.- entrada, propias del puesto correspondiente, de  $m$  bitios de orientación, tales como bitios de sincronización o bitios de separación entre grupos de bitios informativos y de  $k$  bitios de redundancia obtenidos, bien por codificación según una clave determinada (ejemplo: paridad), bien por re-
- 115.- petición de una forma cualquiera. Los telegramas emitidos

419838 22 OCT 1973



120.- por los codificadores 301 a 380 son enviados hacia un puesto central bien directamente por cable como es el caso para el codificador 301, bien por medio de líneas de transmisión de corrientes portadoras, o por cable herziano, etc., necesitando el paso de los telegramas por moduladores 402 a 480 y a continuación por desmoduladores 502 a 580.

125.- La salida del codificador 301 y las salidas de los desmoduladores 502 a 580 son aplicadas a un primer selector, de salida única 1 que explora sucesivamente, en un orden cíclico, las informaciones codificadas en forma de telegramas aplicados a sus bornes de entrada.

130.- La cadencia de exploración del primer selector 1 es sensiblemente más elevada que la cadencia de bitios en cada telegrama, multiplicada por el número de puestos, de manera que cada bitio de un telegrama sufre un gran número de tomas sucesivas. Si el número de estas tomas sucesivas por bitio de telegrama es escogido igual a 30, y si los telegramas son emitidos a una velocidad de 1200 bauds, la velocidad de exploración del selector de salida única 1 es  
135.- igual a 2.880.000 tomas por segundo. Es evidente que esta característica no puede ser alcanzada de otro modo que por la utilización de circuitos lógicos electrónicos. En el presente ejemplo, el selector único 1 comprende 80 puertas cuyas entradas están unidas al codificador 301 y a los des-  
140.- moduladores 502 a 580 y cuyas salidas son comunes. La apertura de estas puertas y su bloqueo mutuo se hace por medio de una lógica de dirección. Esta lógica de dirección comprende p entradas y es mandada por un contador 2 de p pasos. En el caso de 80 entradas del selector, p es igual a  
145.- 7; es decir el estado del contador 2 es comunicado a la 16-

- 7 - 419838

220



- gica de dirección del selector 1 a través de un conjunto de  $p = 7$  conductores. El contador 2 es gobernado por un reloj 3 que emite dos trenes de señales de relojería desplazados en el tiempo uno con relación al otro. En el ejemplo considerado, el periodo de base del reloj 3 mide 1: 2.880.000 segundo = 0,347 microsegundos. El contador 2 es puesto a cero cada vez que alcanza el número de puestos a explorar, es decir, en este caso 80. Tales contadores son en sí conocidos y no deben ser descritos aquí.
- 155.- La señal de salida del contador 2, constituida por el conjunto de <sup>las</sup>señales transportadas por los  $p$  conductores es representativa del número de un puesto y puede servir de mando de dirección no solamente del selector 1 sino también de otros órganos en el interior del descodificador único
- 160.- que deben ser mandados en sincronismo con este primer selector 1.
- En respuesta a la dirección introducida en el selector único 1 por el contador 2, una unión correspondiente a esta dirección es establecida entre el codificador 301 o uno de los desmoduladores 502 a 580 y la salida única del selector 1. Las figuras 2a a 2h muestran diagramas de tensión en función del tiempo para un intervalo de tiempo sensiblemente más corto que la duración de un bitio de un telegrama. Las figuras 2a a 2g representan porciones de telegrama que
- 170.- aparecen a la salida del codificador 301 y de los desmoduladores 502, 503, 504, 505, 506, y 507. La figura 2h representa las tomas del valor instantáneo de los telegramas que salen de los desmoduladores anteriores y que aparecen a la salida del selector 1. Las tomas de estos 7 primeros de los
- 175.- 80 telegramas son agrupados siempre al comienzo de cada ci-

419838

- 8 -

38 22 OCT



ciclo de exploración de 80 codificadores 301 y desmoduladores 502 a 580. El valor instantáneo "cero" está representado en la figura 2h por un pequeño impulso negativo, y el valor instantáneo "uno" por un gran impulso positivo.

- 180.- La señal de salida del selector 1 es aplicada a varios dispositivos de entre los cuales un registro de desplazamiento de dos fases 4. Tales registros de desplazamiento de dos fases son productos que se encuentran en el comercio y están constituidos por un circuito integrado compuesto por ejemplo por 80 células de dos elementos biestables. Durante una primera fase de cada desplazamiento, mandada por un impulso de uno de los trenes de impulsos del reloj 3, los dos elementos biestables de cada célula del registro 4 son puestos en el mismo estado binario, mientras que durante una segunda fase, mandada por un impulso del otro de los trenes de impulso del reloj, el estado binario de uno de los elementos biestables de cada célula es transmitido al otro elemento biestable de la célula contigua. Durante esta segunda fase, la información en la última célula es enviada sobre un conductor de salida, mientras que el primer elemento biestable de la primera célula es receptivo en el estado binario del conductor de entrada. Por este hecho, la primera célula del registro 4 se hace receptora para el valor instantáneo nuevo de un telegrama mientras que a la salida de la última célula del registro 4 aparece el valor instantáneo anterior del mismo telegrama. Se trata de valores relativos al mismo telegrama ya que el ciclo de exploración del selector 1 es igual a 80 y que el registro 4 es gobernado por el mismo reloj que el selector 1. El registro 4 actúa de hecho como una línea de retraso cuyo período
- 185.-
- 190.-
- 195.-
- 200.-
- 205.-



es igual al del ciclo de 80 exploraciones del selector.

210.- El valor instantáneo nuevo de un telegrama determinado a la salida del selector 1 y el valor instantáneo anterior del mismo telegrama a la salida del registro 4 son aplicados simultáneamente a la entrada de un detector de transmisión 5 que es un circuito de comparación bien conocido. Este último entrega a su salida una señal de transición una vez que los dos valores difieren uno del otro. Este es el caso por ejemplo para los valores A y B (figura 2) relativos a la salida del codificador 301.

220.- La señal de transición es aplicada a la entrada de una lógica 6 de cómputo de tomas. Esta lógica 6 de cómputo de tomas de q pasos está unida a una memoria 7 constituida por q registros de desplazamiento de dos fases gobernadas por el reloj 3. Como se ha explicado con objeto del registro 4, los q registros de la memoria 7 poseen también cada uno 80 células de dos elementos biestables. Por este hecho, la memoria 7 almacena durante el período de duración de un ciclo completo de 80 exploraciones del selector 1 el total de las tomas para cada uno de los 80 telegramas. A cada toma que no da lugar a una transición, el cómputo de las tomas relativas a uno de los 80 telegramas tiene lugar a continuación de la llegada de un impulso de reloj y de la aparición, a la salida de los q registros, del estado de cómputo registrado durante el ciclo de exploración anterior para este mismo telegrama. El estado de cómputo anterior aumentado en una unidad es entonces reintroducido por la entrada de los q, registros de la memoria 7. Por el contrario durante una toma que da origen a una transición, un impulso de transición emitido por el detector 5 es utilizado

225.-

230.-

235.-

419838



- para volver a cero el estado de cómputo reintroducido en los q registros de la memoria 7. Por este hecho, la lógica 6 permite comenzar el cómputo de tomas relativas a un telegrama determinado a partir de la aparición de una señal de transición. Después de cada toma el estado del contador es enviado a los q registros de la memoria 7 a través de un conjunto de q conductores y al final del ciclo de exploración del selector 1, es decir en el momento en que llega la siguiente toma relativa al mismo telegrama, el estado anterior del contador correspondiente a este telegrama aparece sobre el conjunto de los q conductores a la salida de los registros de la memoria 7, disponible para la lógica 6, para eventualmente, aumentar en una unidad el contenido o para ponerle de nuevo a cero.
- 240.-
- 245.-
- 250.- La lógica 6 de cómputo de tomas es mostrada más en detalle en la figura 3. Está compuesta por la lógica de cómputo 61 propiamente dicha, alimentada por una parte por los impulsos que provienen de uno de los trenes de impulsos del reloj 3 y por otra parte por los q conductores que provienen del conjunto de los q registros de desplazamiento que constituyen la memoria 7. Los q conductores son aplicados además a un detector 62 del número máximo de tomas correspondiente a un bitio de un telegrama y a un detector 63 de la mitad aproximadamente de este mencionado número máximo, lo que corresponde aproximadamente a la mitad de un bitio de un telegrama. Como se ha explicado anteriormente, el número de tomas que efectúa el selector 1 durante el período de duración de un bitio de un telegrama es igual a 30. Por consiguiente el número al cual es sensible el detector 62 es escogido igual a 30 y el número al cual es sensible el
- 255.-
- 260.-
- 265.-

419838<sub>22</sub> 1973



- 11 -

- detector 63 es escogido igual a 15. El detector 63 entrega una señal de muestreo enviada hacia la lógica 8, mientras que el detector 62 entrega una señal de puesta a cero del cómputo que es aplicada a la entrada de un circuito "0" 64.
- 270.- En la otra entrada del circuito "0" 64 es aplicada la señal de transición suministrada por el detector 5. De esta manera, después de haber contado 15 tomas a partir de la llegada de una señal de transición, la lógica 6 transmite una señal de muestreo a una lógica de apilamiento 8. Pero si j
- 275.- bitios del mismo valor binario se siguen en un telegrama, no sólomente la lógica 6 emite señales de muestreo después de 15 tomas, sino también después de 45 tomas, 75 tomas,, (2j-1) tomas hasta que la nueva puesta a cero es mandada de nuevo por una señal de transición.
- 280.- Si los diferentes telegramas emitidos por el codificador 301 y los desmoduladores 502 a 580, poseen velocidades de transmisión diferentes por ejemplo, si algunos no emiten a 1200 bauds, sino a 600 bauds, debe estar previsto otro juego de detectores 65 y 66 y ser desbloqueado mientras
- 285.- que al mismo tiempo los detectores 62 y 63 son bloqueados por medio de una señal apropiada extraída de una memoria muerta, de la que se tratará a continuación, y transportada por un conductor 67. La salida del detector 65 es llevada como la del detector 62 a la entrada del circuito "0" 64.
- 290.- Las salidas de los detectores 63 y 66 son enviadas hacia la lógica 8 a través de un circuito "0" 68 y determinan la señal de muestreo.

La lógica 8 está conectada a las entradas y a las salidas de r registros de desplazamiento que constituyen una

295.- memoria 9 temporal. Es accionada por las señales de muestreo

419838



- 12 -

220

- que provienen de la lógica de cómputo 6. Tiene por misión introducir en la memoria 9 los diferentes bitios consecutivos relativos a cada uno de los 80 telegramas emitidos por el codificador 301 y los desmoduladores 502 a 580.
- 300.- Estos bitios aparecen a la salida del selector 1 que está unida a la lógica 8. Los  $r$  registros de desplazamiento de la memoria 9 comprenden, como por otra parte todos los registros de desplazamiento del presente ejemplo 80 células, cada una de 2 elementos biestables, porque tales registros se encuentran en el mercado. De una manera general, el número de células por registro debe ser de preferencia igual al número de las entradas del primer selector; puede ser superior, pero no puede ser inferior. El número  $r$  de registros es escogido en función del número máximo de bitios por palabra a transmitir. Este número de bitios es igual a la suma de los bitios significativos, de los bitios de orientación y de los bitios de redundancia para el mensaje más largo.
- 315.- A cada toma del selector 1, las informaciones contenidas en los  $r$  registros avanzan de una célula y las que aparecen a la salida de los  $r$  registros son inyectadas de nuevo en la entrada. En el momento en que llega una señal de muestreo sin embargo, la conexión en paralelo de los registros es interrumpida y es establecida una conexión en serie en el interior de la lógica de apilamiento 8. La entrada de esta conexión en serie registra el valor momentáneo del bitio salido del selector 1. De esta manera, los  $r$  registros almacenan los  $r$  últimos bitios consecutivos de cada uno de los 80 telegramas emitidos por el descodificador 301 y los desmoduladores 502 a 580.
- 320.-
- 325.-

419838 2200



- 13 -

La constitución de la lógica de apilamiento 8 y de la memoria 9 es mostrada en detalle en la figura 4.

330.- Durante el período de duración de una señal de muestreo proporcionada por la lógica 6, un conjunto de  $r$  inversores 81 es mandado simultáneamente por un dispositivo de mando de conmutación 82. El conjunto 81 está representado en forma de un inversor multifásico electromecánico con el objeto de facilitar la explicación. De hecho, se trata de un conjunto de circuitos electrónicos cuyo funcionamiento es en principio idéntico a tal inversor, pero mucho más rápido. La memoria 9 está constituida como ya se ha explicado por un conjunto de  $r$  registros de desplazamiento de dos fases.

340.- La información contenida en la memoria 9 debe ser decodificada. Para conseguir esto, es necesario conocer los parámetros de unión propios de cada puesto. Los parámetros de unión conciernen a informaciones sobre la velocidad de transición como se ha mencionado anteriormente, sobre el formato de los mensajes, las claves de codificación, etc.

345.- Todas estas informaciones son almacenadas en una memoria muerta 10 accesible a través de un conjunto de  $t$  conductores de los que forma parte el conductor 67 mencionado anteriormente. La memoria muerta 10 está constituida por ejemplo por una red de un grupo de 80 cables paralelos unidos a un selector 11 semejante al selector 1 y dirigida de la misma manera y en sincronismo con este primer selector 1 y de un grupo de  $t$  cables paralelos, perpendiculares a los 80 cables del primer grupo.

355.- Los  $t$  conductores del segundo grupo transportan entonces instrucciones de desbloqueo de circuitos materializados



por ejemplo por la presencia o la ausencia de diodos en las intersecciones de los cables. Las instrucciones de desbloqueo conciernen en particular a la velocidad de emisión de los telegramas por el codificador 301 y los desmoduladores 360.- 502 a 580, el formato y encuadrado de los mensajes. El selector 11 comprende una salida única que está unida a un potencial fijo apropiado.

La descodificación es efectuada por una lógica de reconocimiento y de verificación 12 que recibe los bitios transportados sobre los r conductores a la salida de la memoria 9.- La lógica de reconocimiento y de verificación 12 es por otra parte gobernada por el reloj 3. Comprende en especial un conjunto de s conductores de salida sobre los que aparecen una después de la otra las palabras reconocidas por la 370.- lógica 12 sobre los r conductores que provienen de la memoria 9. Estas palabras pueden ser acompañadas además por una información o dirección añadidas por la lógica 12, mientras que las palabras de sincronización y los bitios de orientación pueden ser suprimidos de la información transportada 375.- por los s conductores.

Por otra parte las señales de salida sobre los s conductores que dejan la lógica 12 son dirigidas a través de un distribuidor 13 hacia un conjunto de órganos de marcación no representados. El distribuidor 13 comprende s unidades, 380.- constituida cada una de la misma manera que el selector de salida única 1, pero recorrido en sentido inverso; se trata por tanto de s unidades de distribuidor de entrada única. El distribuidor 13 comprende por tanto 80 salidas cada una con s conductores, correspondientes al número de 385.- las entradas del selector 1. En este estado, corresponden

419838

220



- 15 -

390.- a la técnica conocida si se trataran de las salidas de 80 descodificadores. La novedad de la instalación se sitúa por tanto en la parte comprendida entre el interior de las 80 entradas del selector 1 y de las 80 salidas de s conductores cada una del distribuidor 13.

395.- En el ejemplo representado, los s conductores de salida de la lógica 12 no están unidos directamente al distribuidor 13, sino que están aplicados a una lógica de refresco 14 que coopera con una memoria 15. La memoria 15 está constituida por un conjunto de s registros de desplazamiento de dos fases gobernados por el reloj 3. La lógica de refresco 14 es accionada por señales transmitidas de la lógica 12. Cada vez que una palabra nueva es reconocida. Esta palabra es entonces introducida en la memoria 15 por la lógica de refresco. En ausencia de señales que sancionan el reconocimiento de una palabra, las s señales de salida de la memoria 15 son aplicadas a las s entradas para ser recirculadas en ellas. Los s conductores de salida de la memoria 15 están unidos al distribuidor 13.

400.- El funcionamiento y la constitución de la lógica de reconocimiento y de verificación 12, y de la lógica de refresco 13 que alimenta la memoria 14 son explicados con referencia a las figuras 5 y 6. La figura 5 se refiere solamente a la lógica 12 de la que una parte 12' está mostrada en la figura 6.

405.- Para facilitar la explicación, un ejemplo de una lógica 12 está descrito previsto para un formato de mensajes menor que de costumbre. El número r de los r conductores que salen de la memoria 9 puede en un ejemplo práctico, ser del orden de magnitud de 30 o más pero en el presente ejem-

415.-



420.- plo está escogido igual a 10. Sobre estos 10 conductores aparecen sucesivamente 10 bitios de los telegramas transmitidos por los 80 codificadores 301 y desmoduladores 502 a 580. Cada telegrama está constituido por un número determinado de palabras. Cada palabra de un mismo telegrama comprende un mismo número de bitios que es siempre igual o inferior a r, en el caso 10. Pero cada telegrama puede diferir de otro telegrama por el número de palabras y por el número de bitios por palabra. Los bitios sobre los r conductores avanzan un paso a cada aparición de un impulso de muestreo a la salida de la lógica 6 (figura 1) de manera que llega siempre un instante en el que una cierta configuración o secuencia de bitios aparece sobre una serie determinada de conductores del conjunto de los conductores r. Esta propiedad es utilizada durante el reconocimiento y verificación de los mensajes.

435.- Si por ejemplo varias palabras de sincronización diferentes pueden ser distinguidas, están previstos tantos detectores de palabras de sincronización. En el presente ejemplo, un detector 16 constituido por un circuito NAND (de coincidencia negativa) seguido de un inversor permite reconocer una palabra de sincronización constituida por una serie de 10 bitios "1" en los diez conductores I a X, un detector 17 constituido igualmente por un circuito NAND (de coincidencia negativa) y un inversor, permite reconocer una palabra de sincronización constituida por una serie de 5 bitios "1" que aparecen sobre los conductores I a V, y un detector 18 constituido por un circuito NOR (de inhibición múltiple) permite reconocer una palabra de sincronización constituida por una serie de 10 bitios "0" sobre los

419838

2 OCT



- 17 -

- diez conductores I a X. Los detectores 16, 17 y 18 son todos tributarios de una señal de desbloqueo transportada respectivamente sobre un conductor 19, 20, 21. Los conductores 19, 20, 21 forman parte de un conjunto de conductores
- 450.- t unidos a la memoria muerta 10 (figura 1). Las señales de desbloqueo sobre estos conductores 19 a 21 permiten elegir el detector de palabras de sincronización propio del telegrama al que pertenecen los bitios que se encuentran en el instante sobre los 10 conductores.
- 455.- La detección de una palabra de sincronización por uno de los detectores 16, 17 y 18 es transmitida a través de un circuito NOR 22 a una lógica de enmarcado. Esta lógica de enmarcado está compuesta por una primera lógica de cómputo 23 a la que está asociada una memoria 24 que comprende
- 460.- u registros de desplazamiento de dos fases de 80 células gobernadas por el reloj 3. Esta lógica de cómputo 23 puede ser puesta a cero y al mismo tiempo desbloqueada por una señal de reconocimiento de una palabra de sincronización que aparece a la salida del circuito NOR 22. La lógica de
- 465.- cómputo 23 recibe impulsos de cómputo por un conductor 25 unido a la salida de la lógica 6 (figura 1); cuenta por tanto las señales de muestreo a lo que es lo mismo, cuenta bitios. El estado de cómputo es introducido en los u registros de la memoria 24 y circula en ella hasta que un nuevo
- 470.- impulso de muestreo llega por el conductor 25. Como las palabras de un cierto telegrama comprenden siempre un mismo número de bitios, este número es seleccionado por medio de señales tomadas en la memoria muerta 10 con ayuda de un conjunto de conductores 26 que forma parte del conjunto t.
- 475.- Cuando el cómputo efectuado en la lógica 23 alcanza este



número seleccionado, una señal de validez o de fin de palabra aparece sobre un conductor 27. Esta señal es introducida en una segunda lógica de cómputo 28, que coopera con una memoria 29 que comprende u registros de desplazamientos

480.- de dos fases de 80 células gobernadas igualmente por el reloj 3. El contador 28 cuenta las señales de fin de palabra sobre el conductor 27, cuenta por ello el número de palabras después de la aparición de una palabra de sincronización. Como el número de palabras de un cierto telegrama

485.- es determinado, este número es seleccionado también por medio de señales tomadas en la memoria muerta 10 con ayuda de un conjunto de conductores 30 que forman parte del conjunto de los conductores t. Cuando el cómputo sobrepasa este número seleccionado, una señal de bloqueo aparece en un

490.- conductor 31 a la salida de la lógica de cómputo 28 que bloquea la lógica de cómputo 28 y que permite bloquear también otros circuitos de los que se hablará a continuación.

El reconocimiento de la palabra de sincronización fija el momento a partir del cual las palabras significativas

495.- deben ser marcadas. Estas palabras significativas son reconocibles gracias a señales de orientación y la fidelidad de la transmisión de su contenido puede ser controlada con ayuda de repeticiones y/o por medio de una verificación de paridad. En el ejemplo de la figura 5, son considerados tres

500.- casos diferentes en los que los mensajes comprenden:

- a) una palabra de sincronización de la forma llllllllllll  
y palabras de la forma OabcdefgpO

Los bitios abcdefg son bitios útiles, "O" bitios de orientación y p un bitio de paridad. La palabra de sincronización

505.- es detectada por el detector 16, la paridad es verificada

419838



220

en un circuito compuesto por una cascada de circuitos "o exclusivo" seguido de un circuito NAND (de coincidencia negativa) 32.

510.- b) una palabra de sincronización de la forma 11111  
y palabras de forma OxyPO  
Los bitios xy son bitios útiles, "0" bitios de orientación y p un bitio de paridad. La palabra de sincronización es detectada por el detector 17; la paridad es verificada en un circuito compuesto por dos circuitos "O exclusivo" seguido de un circuito NAND (de coincidencia negativa) 33.

515.- c) una palabra de sincronización de la forma 000000000  
y palabras de forma lxyzpxyzpl  
Los bitios xyz son bitios útiles que están repetidos; "1" bitios de orientación y p bitios de paridad. La palabra de sincronización es detectada por el detector 18, la paridad es verificada por los circuitos seguidos de circuitos NAND (de coincidencia negativa) 34y 35 y la repetición es verificada en un comparador 36.

520.- La elección de los circuitos de control de paridad y/o  
525.- de los circuitos de comparación para las repeticiones es operada con ayuda de señales de desbloqueo llevadas de la memoria muerta 10 con ayuda de conductores 37, 38, 39, 40,41 que forman parte del conjunto de los t conductores. Todas las salidas de los circuitos de control de paridad son combinadas a la entrada de un circuito NAND (de coincidencia negativa) 42 cuya salida 43 indica si una verificación de la paridad ha sido hecha y se ha mostrado correcta. Un circuito similar puede estar previsto, si deben ser verificadas configuraciones de repetición diferentes con ayuda de  
530.- comparadores semejantes al comparador 36. En el presente  
535.-



caso, un solo comparador 36 está previsto cuya señal de salida aparece sobre un conductor 44.

Los conductores 43, 44, 27, y 31, así como otros conductores 45, 46, 47 que provienen de la memoria muerta 10 (figura 1) y que forman parte del conjunto de los conductores transportan señales de desbloqueo o de validación que permiten registrar en la memoria de refuerzo 15 las palabras detectadas con ayuda de una lógica de refresco 14 (figura 1). Esta lógica de refresco está constituida por circuitos de coincidencia 48, 49, 50 cuyas salidas dependen de las diferentes combinaciones de señales de validez que aparecen en los conductores 43, 44, 27 y 31 a la entrada y que pueden ser desbloqueados con ayuda de una señal que proviene de la memoria muerta 10, (figura 1) llevada por el conductor 45 para el circuito 48 por el conductor 46 para el circuito 49 y por el conductor 47 para el circuito 50. Las señales de salida de los circuitos 48, 49, 50 son enviadas respectivamente sobre los conductores 51, 52 y 53.

La lógica de verificación y de reconocimiento 12 comprende además puertas múltiples 54, 55, 56 (partes 12' figura 6) que se abren en función de señales de validez transportadas por conductores 51, 52, 53 (véase también la figura 5). Las señales de validez aparecen sobre los conductores 51, 52, 53 accionan también, a través de un circuito "0" 57, un inversor múltiple 58 que forma parte de la lógica de refresco 14. Las puertas múltiples 54, 55, 56 unen un conjunto de conductores (véase también la figura 5) que provienen de la lógica 12 a un primer grupo s' de s conductores. Los s' conductores transmiten así las señales de dirección que acompañan a un mensaje. El mensaje propiamente



dicho es transmitido de los r conductores (véase también la figura 5) que provienen de la memoria 9 hacia un segundo grupo s" de los s conductores a través de las puertas múltiples 54 a 56. Los s conductores que salen de la lógica 12 son aplicados a través del inversor múltiple 58 a la memoria 15. En ausencia de una señal de validez a la salida del circuito 57, las s salidas de la memoria 15 son conectadas por el inversor 58 a las s entradas de esta memoria, de manera que la información en la memoria 15 circula en ella en circuito cerrado. Por el contrario, en presencia de una señal de validez a la salida del circuito 57, el inversor 58 conecta los s conductores en el interior de la lógica 14 a las s entradas de la memoria 15, mientras que la información que aparece en las s salidas es borrada en beneficio de la información nueva que aparece a la entrada de la memoria 15.

Los diferentes formatos de mensajes considerados anteriormente son transmitidos de manera siguiente:

lxyzpxyzpl gracias a señales de desbloqueo sobre los conductores 21, 41, 39, 40 y 45 por la puerta múltiple 54.

Oxyp0 gracias a señales de desbloqueo sobre los conductores 20, 38 y 46 por la puerta múltiple 55.

O,a,b,c,d,e,f,g,h,p,0 gracias a señales de desbloqueo sobre los conductores 19, 37 y 47 por la puerta múltiple 56.

Como se puede ver examinando las uniones entre el conjunto de los r conductores y el conjunto de los s conductores, los bitios de orientación no son recogidos sobre los s conductores, sino solamente los bitios significativos, sin repetición, y los bitios de paridad. Es evidentemente posible no volver a tomar los bitios de paridad o al con-



trario volver a tomar también las repeticiones de los bitios significativos. Todo ello depende de las circunstancias de aplicación.

N O T A.-  
=====

600.- Los puntos de invención propia y nueva que se presentan para que sean objeto de esta Patente de Invención en España, por veinte años, son los siguientes:

1º.- Procedimiento de transmisión de informaciones por varios puestos emisores de datos que transmiten cada uno

605.- de manera permanente o aleatoria las informaciones en forma de telegramas secuenciales sobre líneas de transmisión apropiadas hacia un conjunto de órganos de marcación, caracterizado por las fases de selección cíclica, de cadencia sensiblemente más rápida que la de los bitios de cada telegrama,

610.- de las diferentes líneas de transmisión por medio de un primer selector; de toma del valor instantáneo nuevo de cada telegrama a cada paso del selector sobre una línea de transmisión; de almacenaje en una primera memoria del valor instantáneo nuevo de cada telegrama, a cada paso del selec-

615.- tor sobre una línea de transmisión; de extracción de dicha primera memoria del valor instantáneo anterior, almacenada durante el paso precedente del selector sobre la misma línea de transmisión; de comparación del valor instantáneo anterior con el valor instantáneo nuevo en un detector de

620.- transmisión y emisión de una señal de transición; de registro en una segunda memoria de un número determinado de bitios derivados de valores instantáneos de cada uno de los telegramas, tomados en un momento o momentos determinados después de la aparición de una señal de transición para el

9

419838



- 23 -

22 OCT

- 625.- telegrama considerado; de extracción de una memoria muerta de parámetros de la unión propios de cada puesto, con ayuda de un segundo selector accionado en sincronismo con el primer selector y eventualmente confundido al menos en parte con el primer selector; de reconocimiento y verificación de las informaciones registradas en dicha segunda memoria en un circuito lógico conectado a la salida de dicha segunda memoria por una parte y, a dicha memoria muerta por otra parte; de transferencia de los bitios útiles de las informaciones contenidas en dicha segunda memoria a través de un distribuidor, accionado en sincronismo con dichos primer y segundo selectores.

- 2º.- Procedimiento de transmisión de informaciones según el punto 1º. caracterizado porque se registran en una memoria muerta, para lectura ulterior, las instrucciones de desbloqueo de circuitos relativos a al menos uno de los datos que conciernen a la velocidad de emisión de los telegramas, el formato y el encuadrado de los mensajes.

- 3º.- Procedimiento de transmisión de informaciones según uno de los puntos 1º. ó 2º. caracterizado porque se elaboran señales de muestreo con ayuda de un contador de señales de reloj puesto en movimiento por las señales de transición y porque se sirven de estas señales de muestreo para mandar el registrador de valores instantáneos de los telegramas en dicha segunda memoria.

- 645.- 4º.- Procedimiento de transmisión de informaciones según uno de los puntos 1º. a 3º. caracterizado porque se determina el o dichos momentos determinados después de la aparición de una señal de transición por medio de circuitos desbloqueados por instrucciones registradas en dicha memo-

22 OCT 1957



655.- ria muerta.

59.- Procedimiento de transmisión de informaciones según uno de los puntos 1º a 4º. caracterizado porque en la fase de reconocimiento y verificación, se marcan palabras de sincronización y porque se cuenta el número de bitios para determinar el último bitio de cada palabra en el momento o el número de bitios que alcanza un valor comunicado por la memoria muerta y porque se cuenta el número de estos últimos bitios para identificar las palabras de un mensaje por su número.

660.- 69.- Procedimiento de transmisión de informaciones según uno de los puntos 1º. a 5º. caracterizado porque se transfieren al menos los bitios significativos de las informaciones contenidas temporalmente a dicha segunda memoria hacia una tercera memoria por grupos que constituyen una palabra y acompañados de una dirección elaborada en el circuito lógico de reconocimiento y de verificación y porque de esta memoria se les envia hacia dicho distribuidor.

670.- 79.- Procedimiento de transmisión de informaciones según el punto 6º. caracterizado porque dicha dirección es el número de palabras tal como se ha determinado según el punto 5º.

675.- 89.- Instalación para realizar el procedimiento de transmisión de informaciones según uno de los puntos 1º. a 7º. caracterizada por un primer selector con una multitud de entradas y una sola salida; por una lógica de dirección que establece la selección cíclica de cadencia rápida de una de las entradas a unir a la salida; por un reloj que emite impulsos de reloj; por un contador que cuenta impulsos de reloj y cuyo estado de cómputo aparece sobre varias

419838

22 OCT. 1951



- 25 -

- 685.- salidas unidas a la lógica de dirección; por una primera memoria constituida por un registro de desplazamiento de dos fases gobernadas por el reloj y cuya entrada está unida a la salida del selector, siendo igual el número de células del registro de desplazamiento a al menos el número de entradas de dicho primer selector; por un detector de transición una de cuyas entradas está unida a la entrada de registro de desplazamiento de dos fases y cuya otra entrada está unida a la salida de este mismo registro de desplazamiento; por una primera lógica de cómputo de tomas que cuenta impulsos de reloj a partir de un impulso proporcionado por la salida del detector de transición y provista de al menos un circuito de nueva puesta a cero para un número determinado para el cual es suministrada a la salida una señal de muestreo; por una cuarta memoria que comprende varios registros de desplazamiento de dos fases gobernados por el reloj cuya entrada y salida están unidas a dicha primera lógica de cómputo; por una lógica de apilamiento mandada por la señal de muestreo a la salida de la primera lógica de cómputo y cuya entrada está unida a la salida del primer selector; por una segunda memoria que comprende varios registros de desplazamiento gobernados por el reloj cuya entrada y salida están unidas a la lógica de apilamiento; por una memoria muerta asociada a un segundo selector dirigido por dicho contador en sincronismo con dicho primer selector, comprendiendo la memoria muerta t salidas; por una lógica de reconocimiento y de verificación a la que están aplicadas las r salidas de dicha segunda memoria y la cual comprende una elección de circuitos de reconocimiento y de verificación de series de bitios desbloqueados en función



- 715.- de señales que aparecen sobre al menos una parte de las salidas de la memoria muerta y por un distribuidor hacia el que son enviadas sobre s conductores las informaciones reconocidas y verificadas por dicha lógica de reconocimiento, comprendiendo dicho distribuidor s unidades unidas por sus entradas a dichos s conductores, estando constituida cada una de las s unidad de manera semejante a dicho primer selector y mandada por dicho contador en sincronismo con este primer selector, siendo igual el número de salidas de dicho distribuidor a al menos s veces el número de las
- 720.-
- 725.- entradas de dicho primer selector.

- 9º.- Instalación según el punto 8º. caracterizada por que la lógica de apilamiento está constituida por un inversor múltiple que conecta en serie los r registros de desplazamiento de dicha segunda memoria durante el período de duración de un impulso de muestreo y la entrada del primer registro de la serie a la salida del primer selector y que conecta en ausencia de un impulso de muestreo las salidas de cada uno de los r registros de desplazamiento a su entrada.
- 730.-

- 735.- 10º.- Instalación según uno de los puntos 8º. ó 9º. caracterizada porque la primera lógica de cómputo comprende varios circuitos de coincidencia unidos cada uno a dicha cuarta memoria por una parte y a una de las t salidas de la memoria muerta por otra parte.

- 740.- 11º.- Instalación según uno de los puntos 8º. a 10º. caracterizada porque la lógica de reconocimiento comprende: al menos un circuito de reconocimiento de palabra de sincronización cuyas entradas están unidas a las r salidas de dicha segunda memoria; una segunda lógica de cómputo des-

419838



- 27 -

22 OCT

- 745.- bloqueada por la salida de un circuito de reconocimiento de palabra de sincronización y puesta de nuevo a cero por una señal que aparece a su salida por un número determinado por señales que aparecen sobre ciertas salidas entre las  $t$  salidas de la memoria muerta, siendo las señales contadas por esta segunda lógica de cómputo, las señales de muestreo a la salida de dicha primera lógica de cómputo; una quinta memoria gobernada por el reloj constituida por varios registros de desplazamiento y unida por sus entradas y por sus salidas a dicha segunda lógica de cómputo; una
- 750.-
- 755.- tercera lógica de cómputo que cuenta las señales de salida de dicha segunda lógica de cómputo entregando esta tercera lógica de cómputo una señal de salida para un número determinado por señales que aparecen sobre ciertas salidas entre las  $t$  salidas de la memoria muerta, sirviendo esta
- 760.- mencionada señal de salida para el bloqueo de las tercera y segunda lógica de cómputo; una sexta memoria gobernada por el reloj, constituida por varios registros de desplazamiento y unidos por sus entradas y sus salidas a dicha tercera lógica de cómputo; al menos un circuito de coincidencia cuyas entradas están unidas a al menos la salida de dicha segunda lógica de cómputo y a la salida de dicha tercera lógica de cómputo; al menos un circuito de puertas múltiples accionado por la salida de dicho circuito de coincidencia unido por una parte a varios conductores unidos a las  $r$  salidas de dicha segunda memoria y unido por otra parte a varios conductores de dichos  $s$  conductores.
- 770.-

*Handwritten mark, possibly initials or a signature.*

129.- Instalación según uno de los puntos 89. a 119. caracterizada por una tercera memoria compuesta por  $s$  registros de desplazamiento; por una lógica de refresco que



22 OCT 1973

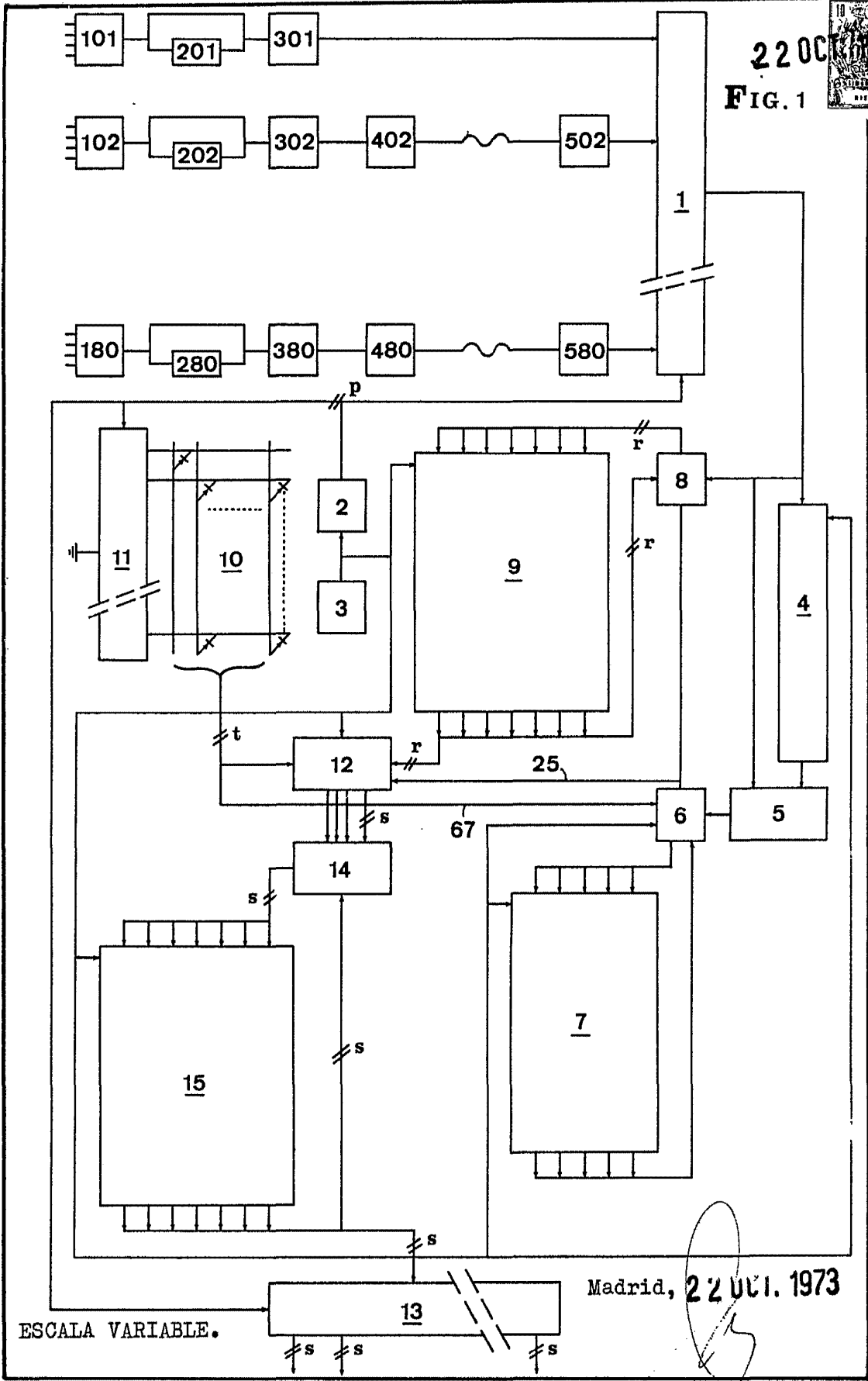
- 775.- comprende un inversor múltiple mandado por la salida de un circuito "0" cuyas entradas están constituidas por las señales de accionamiento de dichas puertas múltiples, conectando dicho inversor múltiple las entradas de los registros de desplazamiento a dichos conductores que salen de dicha lógica de reconocimiento t de verificación si una señal aparece a la salida de dicho circuito o conectando las salidas de dichos registros de desplazamiento a sus entradas si el circuito "0" no entrega señal de salida, estando conectadas las salidas de los registros de desplazamiento además a la entrada de dicho distribuidor.
- 780.-
- 785.-
- 139.- "PROCEDIMIENTO DE TRANSMISION DE INFORMACIONES POR VARIOS PUESTOS EMISORES E INSTALACION PARA SU REALIZACION", todo tal y conforme se describe en la presente memoria la cual consta de 790 líneas y a título de ejemplo se
- 790.- representa en los adjuntos dibujos.

Madrid, 22 OCT. 1973

C/



22 OCT  
FIG. 1



ESCALA VARIABLE.

Madrid, 22 OCT. 1973

419838

ATELIERS DE CONSTRUCTIONS ELECTRIQUES DE CHARLEROI (ACEC).

HOJA 2/5.



301

ESCALA VARIABLE.

22 OCT 1973



502



503



504



505



506



507

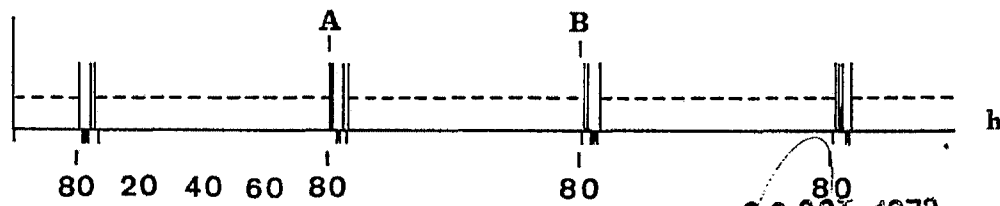
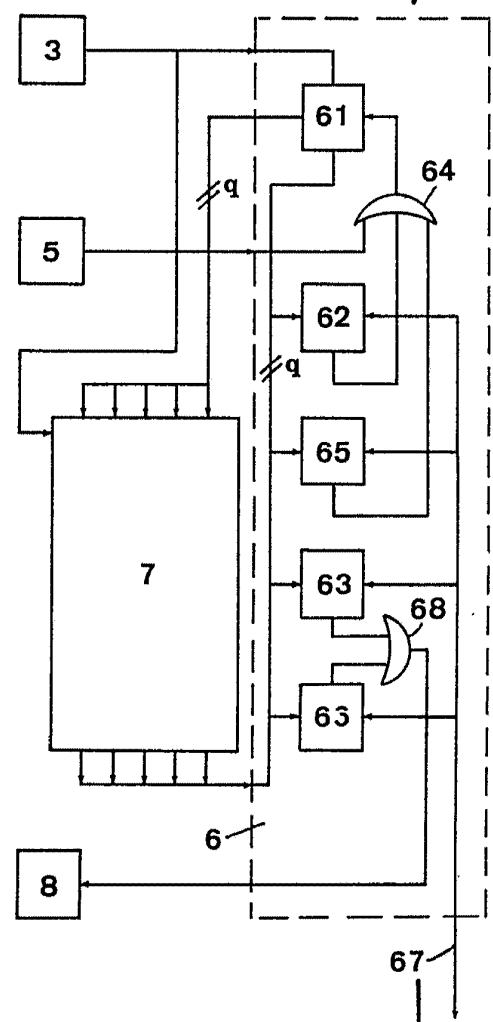
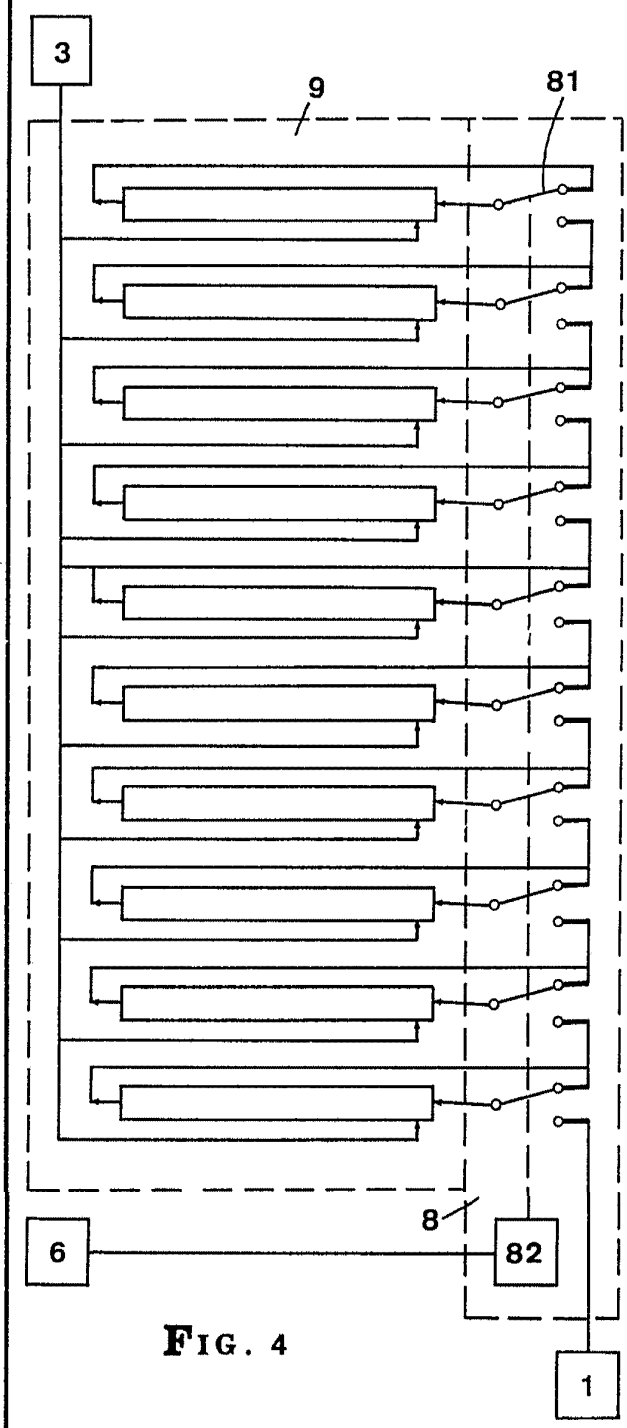


FIG. 2

ESCALA VARIABLE:

22 OCT 1973



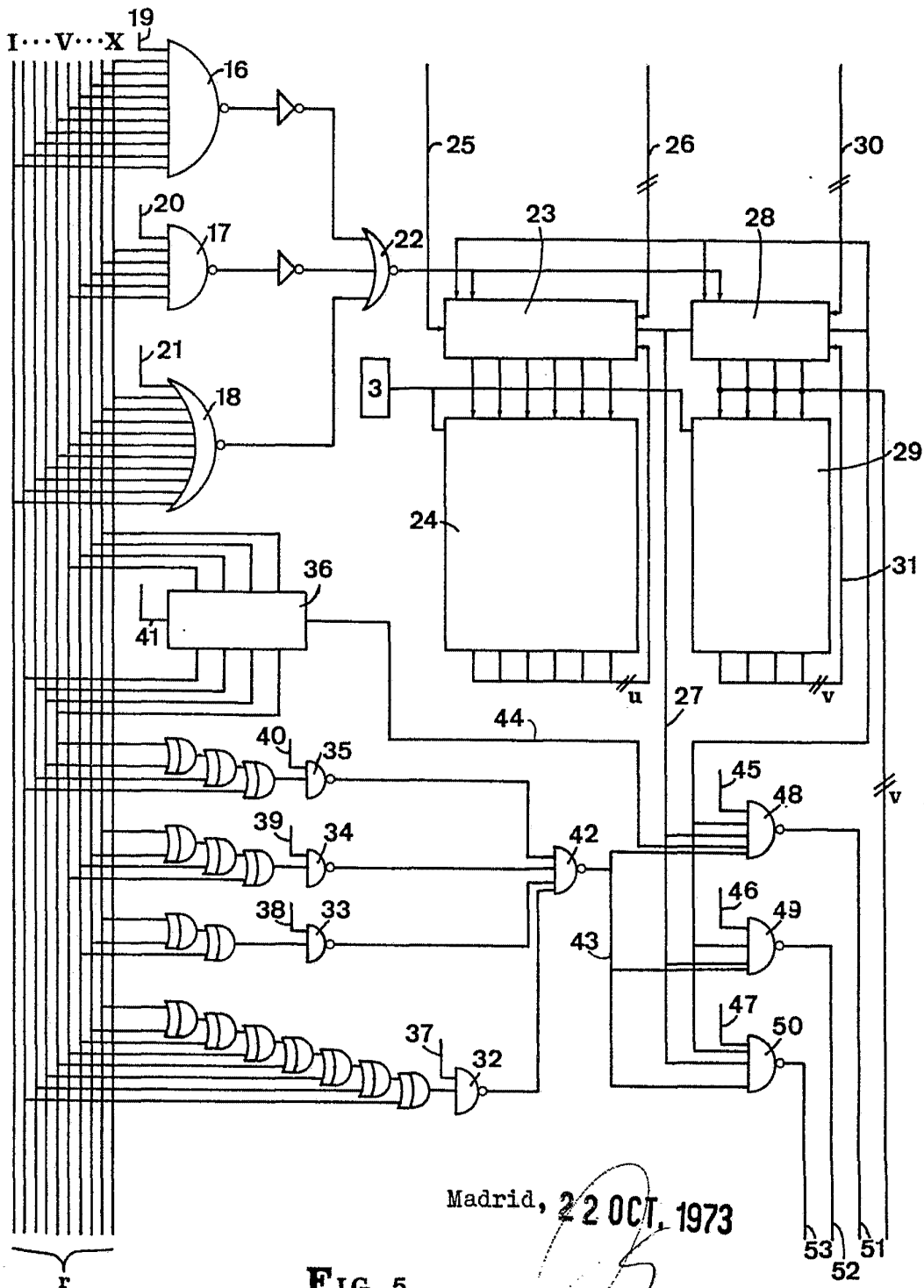
Madrid, 22 OCT. 1973

*[Handwritten signature]*

419838

ESCALA VARIABLE.

22 OCT 1973



Madrid, 22 OCT, 1973

FIG. 5

419838

ESCALA VARIABLE.

22 OCT 1973

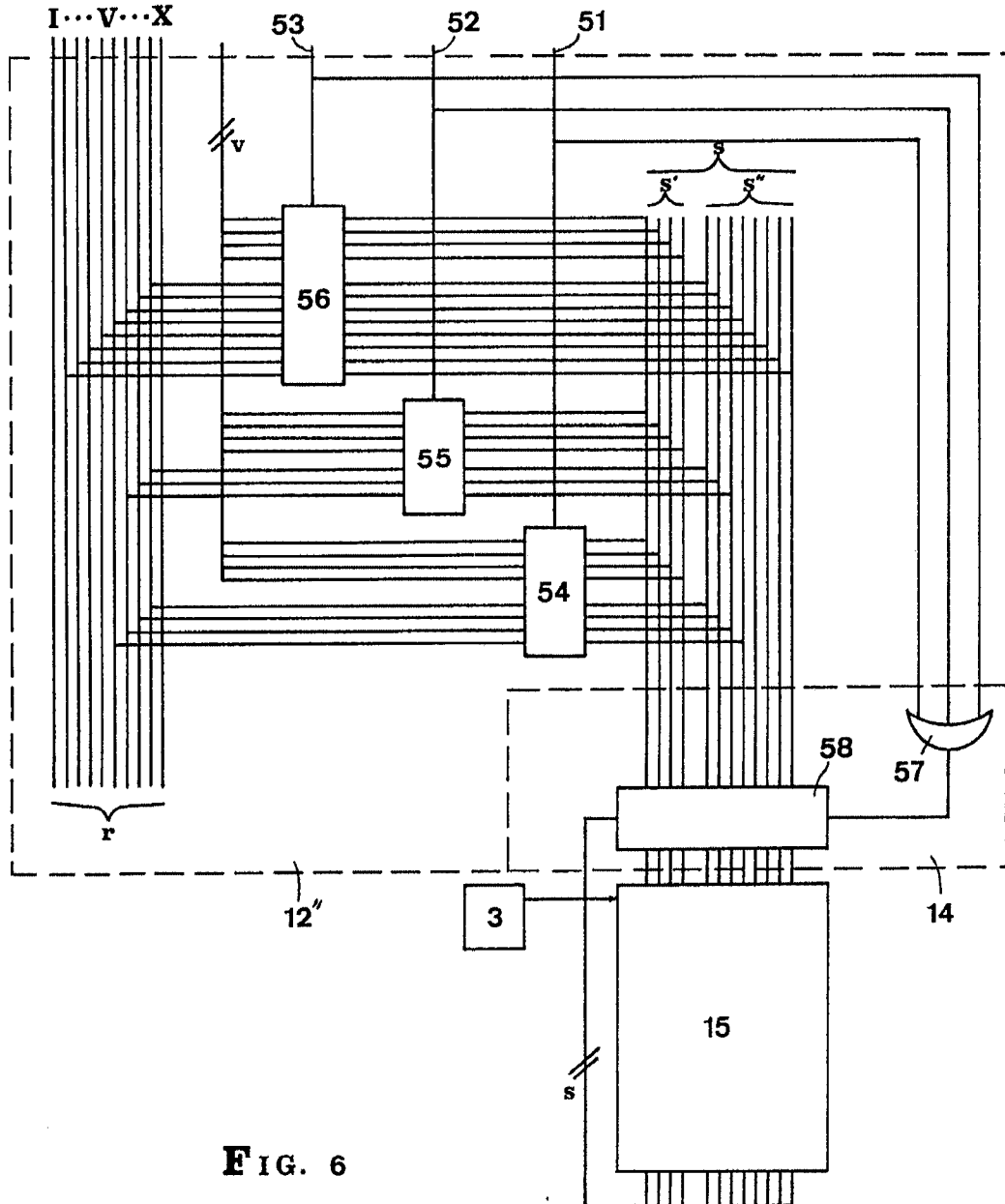


FIG. 6

Madrid, 22 OCT. 1973