



-8

419582

P.- 55.459

docket FI9-72-023

MEMORIA DESCRIPTIVA

Int. Cl.º: G06F

para solicitar PATENTE DE INVENCION por VEINTE años

A nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad norteamericana

establecida en Armonk, N.Y. 10504, Estados Unidos de
América

por: "UNA DISPOSICION DE CIRUITOS PARA EJECUTAR OPERACIONES
LOGICAS CON UN JUEGO DE SEÑALES DE ENTRADA"

(Clase Internacional G06f)

3-11-73

- 1 -



419582

La presente invención se refiere a sistemas lógicos para uso en ordenadores y calculadores numéricos de uso general y, más en particular, a una organización de la lógica de tales sistemas para hacerlos modulares, generalizados y sensibles a los niveles.

En tiempo pasado, el proyectista de la lógica de los ordenadores ha tenido una flexibilidad completa para disponer la circuitería lógica a fin de realizar físicamente funciones lógicas de sistema y de subsistema en unidades centrales de tratamiento, canales o bloques y unidades de control, empleados en aparatos calculadores numéricos. El ejercicio de esta flexibilidad ha dado por resultado una apreciable diversidad de realizaciones físicas de proyecto. Cada una de estas realizaciones físicas tiene su propia y especial dependencia respecto de las características en corriente alterna de los circuitos individuales empleados en el sistema.

La independencia y la flexibilidad que caracterizan las disposiciones del proyectista suelen conducir a inesperados problemas de sincronismo o regulación de tiempos del sistema, problemas complicados y difíciles en la prueba de circuitos, y una apreciable complejidad y minuciosidad necesarias para instruir al personal de servicio destinado a tales sistemas calculadores. Ahora bien, ello tenía la ventaja de permitir al proyectista utilizar to-



419582

dos los métodos para obtener el funcionamiento óptimo mediante el empleo del menor número posible de circuitos. El enlace entre el proyectista lógico y el fabricante de componentes estaba bastante bien definido, y este enfoque de
5 tiempos pretéritos podía apoyarse en la manufactura de componentes, ya que era posible verificar con bastante facilidad los parámetros de corriente alterna tales como el tiempo de formación y de decadencia de los impulsos, el retardo de los circuitos individuales, etc.

10 Con el advenimiento de la integración en gran escala, sin embargo, este enlace bien definido y ensayado de manera fiable ha dejado de existir. Se ha hecho imposible o impracticable probar cada circuito para la totalidad de los conocidos parámetros de circuito de corriente alterna.

15 Como consecuencia, es necesario repartir y dividir los sistemas y subsistemas lógicos en unidades funcionales poseedoras de características esencialmente insensibles a estos parámetros. La integración en gran escala proporciona al proyectista lógico, así como al fabricante de componentes,

20 la posibilidad de utilizar la capacidad para colocar centenares de circuitos en una sola pastilla de material semiconductor. Esta posibilidad ofrece medios potenciales para reducir el consumo de energía, aumentar la velocidad y disminuir apreciablemente el costo de los circuitos numé-

25 ricos.

419582



Por desgracia, interviene aquí cierto número de consideraciones graves, antes de que puedan lograrse dichos medios potenciales. Por ejemplo, en un sistema de ordenador de tamaño mediano que tenga aproximadamente 40.000 circuitos individuales, no viene siendo raro que haya que efectuar 1500 o más cambios técnicos o modificaciones de ingeniería durante el período de desarrollo del producto. Fácil es de ver que la realización física de tan importante número de modificaciones técnicas se acerca a lo imposible cuando se trate de la unidad modular del más bajo nivel de un ordenador que tenga centenares de circuitos contenidos en ella.

Otra área que es preciso tener en cuenta al evolucionar la tecnología hacia la fabricación de unidades funcionales integradas en gran escala es la de las pruebas de verificación del producto, necesarias antes de su incorporación a un sistema de ordenador o calculadora. Los sucesivos ensayos diagnósticos ejecutados durante el servicio en el campo, así como la simulación que se lleva a cabo durante el proyecto y la manufactura son asimismo factores a tener en cuenta en la fabricación de dichas unidades funcionales.

En el pasado se ha venido probando cada circuito individual en lo relacionado con los parámetros usuales y normales de corriente alterna y de corriente continua. El ac



-8 NOV 1973

419582

ceso a la unidad modular para aplicar las condiciones de prueba de entrada y medir las respuestas de salida se ha venido efectuando por medio de un número fijo de pastillas o terminales de conexión de entrada/salida. Ahora bien, en el dominio de las unidades funcionales integradas en gran escala se dispone del mismo número de pastillas o terminales de entrada/salida, pero existe una circuitería considerablemente mayor.

Así, en un módulo tipo que tuviese un centenar de pastillas, cada una de hasta seiscientos circuitos con un promedio de trescientos circuitos, el módulo contendría por lo menos 30.000 circuitos. No es posible efectuar pruebas paramétricas en una unidad de este tipo. Si se intenta efectuar pruebas funcionales en una unidad como ésta, con las configuraciones de diseño lógico ya conocidas, el grado y extensión de cobertura de las pruebas resultaría apreciablemente reducido y el nivel de fiabilidad para uso en un sistema ordenador o calculador sería también apreciablemente bajo. Por consiguiente, es preciso adoptar medidas para eliminar esta servidumbre del pasado. Es preciso evitar los sistemas lógicos actuales y utilizar nuevas organizaciones lógicas en los sistemas ordenadores, si se quieren llevar al máximo las ventajas de una integración en gran escala. Es necesario efectuar pruebas de manera funcional en estas nuevas unidades lógi



419582

cas, sea al nivel de pastilla, sea al nivel de módulo,
sea a otro nivel. Estas pruebas se efectúan generando
automáticamente los ensayos que aseguren el funcionamien
to adecuado de todos y cada uno de los elementos lógicos
5 de la unidad.

En contraste con los sistemas y organizaciones de
la lógica ya conocidos, el sistema lógico de esta inven-
ción es de tipo generalizado y aplicable a todos los ni-
veles de jerarquía de las unidades modulares. Los siste
10 mas lógicos generalizados tienen una dependencia de re-
tardo unilateral, evitan todo riesgo y condición de ines-
tabilidad o "desbocamiento" y eliminan las servidumbres de
sincronismo de corriente alterna normales y usuales. Las
unidades lógicas funcionales se hacen depender únicamente
15 de la aparición de las señales a partir de varios trenes
de impulsos de reloj del sistema. Esto se consigue utili-
zando circuitos de cerrojo de corriente continua regulados
en el tiempo para toda la circuitería interna de almacena-
je o memoria de las unidades aritmético/lógicas del siste
20 ma de ordenador. Esta circuitería de cerrojos se reparte
funcionalmente en particiones, en unión de las mallas ló-
gicas combinacionales asociadas, y se dispone en juegos o
grupos. Los diversos trenes de impulsos de reloj son sín-
cronicos, sin superposición e independientes. Los juegos de
25 circuitería de cerrojo están acoplados, por medio de una

419582

-8



lógica combinacional, a otros juegos de cerrojos controla-
dos por otros trenes de reloj, o combinaciones de trenes
de reloj, del sistema. Una de las maneras de conseguir
este objetivo es utilizar un reloj diferente de sistema
5 para cada uno de los juegos de circuitería lógica.

El sistema lógico de esta invención responde a otro
concepto, aparte del de la dependencia de retardo unila-
teral que da un funcionamiento sin riesgo y exento de ines-
tabilidad. Proporciona medios para que cada circuito de
10 cerrojo incluya una circuitería adicional de manera que ca-
da cerrojo funciona como un cerrojo de registrador de des-
plazamiento con unos controles de desplazamiento y entra-
da/salida independientes de los relojes del sistema y de
los medios de entrada/salida del sistema. Estos cerrojos
15 de registrador de desplazamiento van todos acoplados entre
sí formando uno o más registradores de desplazamiento. Ca-
da uno de ellos tiene una sola entrada, una sola salida y
unos mandos o controles de desplazamiento.

Con esta circuitería adicional, es posible desactivar
20 la totalidad de los relojes del sistema, aislando todos los
circuitos de cerrojo entre sí y permitiendo efectuar una
función de exploración de llegada/salida. El efecto es el
de reducir toda la circuitería secuencial a una circuite-
ría combinacional repartida o subdividida hasta bajar al
25 nivel jerárquico de las mallas combinacionales de varios

419582

- 8 -



pasos. Ello permite efectuar la generación automática de pruebas, para probar cada circuito contenido en la unidad lógica entera o completa.

5 Según se ha visto, es necesario reducir de modo efectivo los circuitos lógicos secuenciales a circuitos lógicos combinacionales, pues el problema de la generación automática de patrones o diseños de verificación se resuelve más fácilmente para este último tipo de mallas de circuito. El concepto de la invención permite que los
10 cerrojos se conviertan en cerrojos de registrador de desplazamiento. Una vez logrado ésto, los cerrojos de registrador de desplazamiento se emplean entonces para introducir por desplazamiento cualquier diseño de verificación o prueba deseado de unos y ceros binarios, donde
15 quedan retenidos para su uso como entradas a las mallas combinacionales. Los resultados de la lógica combinacional se introducen en los cerrojos, en tiempo regulado, y se sacan luego por desplazamiento para efectuar la medición y comparación y determinar así la respuesta funcional de la unidad lógica.
20

El uso de estos cerrojos permite efectuar las pruebas de corriente continua del sistema lógico. Mediante el control y la medición del máximo retardo de circuito recorriendo las mallas combinacionales de la unidad entera,
25 ra, se obtiene una apreciación de la respuesta en corrientes

419582



- te alterna de la unidad. Con un sistema tal, puede vigilarse el estado de todos y cada uno de los cerrojos del sistema lógico, a base de ciclo único, sacando por desplazamiento todos los datos contenidos en los cerrojos y trasladándolos a un dispositivo de presentación de algún género determinado. Esto puede conseguirse sin perturbar el estado del subsistema, si los datos se devuelven también por desplazamiento a los cerrojos en el mismo orden en que se sacaron.
- 5.
- 10 La disposición tiene por efecto el de eliminar la necesidad de tener puntos de prueba especiales en un sistema como éste y, por lo tanto, permite lograr una mayor densidad de agrupación de circuitos. Otra ventaja de tal sistema es la de que proporciona un sencillo enlace normalizado que permite una mayor flexibilidad para crear pupitres de operador o de mantenimiento. Los pupitres pueden cambiarse fácilmente sin tener que modificar de manera alguna el sistema lógico. Los ensayos de diagnóstico pueden efectuarse bajo el control de otro ordenador o aparato probador y, además, efectúan funciones tales como las de reposición, iniciación y registro de errores. Una de las ventajas más significativas de este sistema y organización lógicas es la de poder realizar físicamente ensayos marginales sin más que controlar la velocidad a la
- 15
- 20
- 25 cual funcionan los relojes del sistema. Partiendo de es-

419582



tos datos de prueba es posible determinar fácilmente la ve
locidad de respuesta de la unidad funcional y su posible
área de utilización en el futuro.

5: Uno de los rasgos característicos significativos de la
invención es la realización física de los cerrojos de regis-
trador de desplazamiento en forma de bloques básicos de
construcción en un sistema y organización lógicos, con ma-
llas lógicas combinacionales que proporcionan la excitación
para los cerrojos de registrador de desplazamiento. En el
10 funcionamiento del sistema, los diversos trenes de impulsos
o señales de reloj controlan a los grupos de cerrojos de re-
gistrador de desplazamiento. Se prevén también para estos
cerrojos unos controles y medios de acceso independientes,
para la función de exploración de llegada/salida a efectuar.

15 En los dibujos adjuntos:

- la figura 1 es un esquema funcional o por bloques
de la organización de un sistema lógico generalizado, que
lleva incorporados los principios de la invención;

20 - la figura 2 es un diagrama de tiempos de regulación
o sincronismo de las señales de reloj del sistema, emplea-
do con el sistema lógico de la fig. 1;

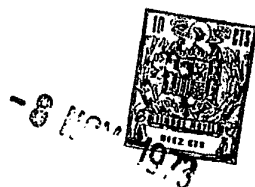
- la figura 3 es un esquema funcional de una de las
formas de cerrojo de corriente continua regulado en el tiem
po, realizado a base de puertas de coincidencia e inversión,
25 para uso en el sistema lógico de la fig. 1;



419582

- la figura 4 es un esquema de principio de un circuito de cerrojo que efectúa la inversa de la misma función que el representado en la Fig. 3;
- la figura 5 es un diagrama de tiempos para el cerrojo de la fig. 3;
- la figura 6 es un esquema funcional de otro cerrojo de corriente continua regulado en el tiempo, que puede emplearse en el sistema lógico de la fig. 1;
- la figura 7 es un esquema de principio de la organización de un sistema lógico generalizado, dotado de previsiones para efectuar la exploración de llegada/salida del sistema;
- la figura 8 es una representación simbólica de una configuración de cerrojo a emplear en la estructura generalizada de la fig. 7;
- la figura 9 es un esquema funcional de un cerrojo de corriente continua regulado en el tiempo, empleado en la estructura de la figura 7 y en el que se ha previsto la exploración de llegada/salida;
- la figura 10 es una ilustración simbólica de la manera en que una pluralidad de los cerrojos de la fig. 8 se interconectan en un solo dispositivo de pastilla de semiconductor;
- la figura 11 es una ilustración simbólica de la manera en que una pluralidad de configuraciones de pastilla

419582



tales como la representada en la fig. 10 están interconectadas en un módulo;

5) - la figura 12 es un esquema de principio de la organización de un sistema lógico generalizado, dotado de una forma modificada, que se utiliza para llevar a cabo los principios de la invención;

- la figura 13 es un esquema de principio de una realización física en "simplex" de la organización de la fig. 12; y

10 - la figura 14 es un diagrama de tiempos para los trenes de reloj de la organización de la fig. 13.

El sistema lógico generalizado y modular del presente invento tiene una estructura y organización comunes. Es aplicable a cualquier unidad aritmética o lógica de un sistema de ordenador, a la que se hace aquí referencia en lo que sigue con el simbolismo ALU. Un sistema o subsistema con arreglo a la invención formaría la totalidad, o una parte funcional sustancial, de una unidad central de tratamiento, un bloque o canal o una unidad de control del sistema de ordenador. Una estructura y organización tales favorecen el ensayo de módulos y pastillas integradas en gran escala, el diagnóstico en el campo y perfeccionar la tecnología. Casi todas las funciones realizables por medio de una disposición de circuitos lógicos pueden ser puestas en práctica físicamente utilizando esta organización y

15

20

25

419582



estructura. Por razones de economía, las funciones puras de almacenaje, tales como las disposiciones de memoria, formaciones de registradores, etc., no se realizarían normalmente de esta manera. Ahora bien, también podría realizarse físicamente de ese modo la lógica de control asociada a tales funciones de almacenaje. Como se desprende de la descripción que sigue, las funciones no numéricas, tales como los circuitos analógicos y los amplificadores de percepción pueden no estar organizados con arreglo a los principios de la invención.

La configuración lógica de la invención se caracteriza por tener una dependencia de retardo unilateral. La organización lógica hace uso del concepto de configurar de manera que el funcionamiento correcto y apropiado de la estructura no dependa del tiempo de subida, del tiempo de bajada ni del retardo mínimo de un circuito individual cualquiera en una unidad funcional. La única dependencia es la de que los retardos totales al cabo de cierto número de niveles o de etapas de lógica sea menor de cierto valor conocido. Una configuración como ésta se denomina aquí "sensible a los niveles".

A los fines de la definición, un sistema lógico es sensible a los niveles cuando, y sólo cuando, la respuesta de régimen permanente a un cambio cualquiera permitido del estado de entrada sea independiente del circuito y de

419582



los retardos fijos o de conexionado del sistema. Asimismo, si un cambio del estado de entrada trae consigo la va
riación de más de una señal de entrada, la respuesta debe
ser entonces independiente del orden en el que éstas va-
5 ríen.

De esta definición se desprende fácilmente que el con
cepto de funcionamiento sensible a los niveles depende de
que se tengan tan sólo variaciones o cambios de estado per
mitidos. Así, una configuración sensible a los niveles in
10 cluye cierta limitación en cuanto al modo de aparecer u o-
currir las variaciones de las señales de entrada. Como se
describirá con mayor detalle más adelante, estas limitacio
nes en las variaciones de entrada se aplican casi exclusi-
vamente a las señales de marcación de tiempos, o de reloj,
15 del sistema. Otras señales de entrada, tales como las se-
ñales de datos, no tienen virtualmente limitaciones en cuant
to al momento en que puedan aparecer.

El término de "respuesta de régimen permanente" hace
referencia al valor final de todos los elementos internos
20 de almacenaje, tales como los biestables o los bucles de
retroacción o realimentación. Se da por supuesto que un
sistema sensible a los niveles opera, como resultado de
una secuencia de variaciones o cambios admitidos del esta-
do de entrada, con un lapso o intervalo de tiempo suficien-
25 te entre cambios para dejar que el sistema se estabilice.



419582

en el nuevo estado interior. Esta duración en el tiempo se asegura normalmente por medio de los trenes de señales de reloj del sistema, que regulan el funcionamiento dinámico de la configuración lógica.

- 5) La organización lógica de la invención lleva también incorporado el concepto de configurar todos los elementos internos de almacenaje de manera que puedan funcionar como registradores de desplazamiento, o como porciones de registradores de desplazamiento. Para realizar físicamente este concepto, todo almacenaje dentro de la organización lógica se ejecuta utilizando cerrojos exentos de riesgos o condiciones de inestabilidad, obteniéndose así unos sistemas lógicos insensibles a características de corriente alterna tales como el tiempo de subida, tiempo de bajada y retardo mínimo en los circuitos.
- 10
- 15)

Los circuitos de cerrojo son sensibles a los niveles. El sistema se excita por medio de dos o más trenes de señales de reloj independientes entre sí y que no se superponen. Cada una de las señales de un tren necesita tener una duración suficiente tan sólo para activar un cerrojo. La señal de excitación y la señal de franqueo de paso para un cerrojo cualquiera regulado en el tiempo (por señales de reloj) son función lógica combinacional de las señales de entrada al sistema y de las señales de salida procedentes de unos cerrojos controlados por otros tre-

20

25



419582

nes de señales de reloj procedentes del tren que sirven de entrada a dicho cerrojo regulado en el tiempo.

Una de las maneras de llevar a la práctica este último objetivo, como se describirá más adelante con mayor detalle, es la de tener a cada uno de estos cerrojos, de regulación por reloj, controlado por exactamente una de las señales de reloj del sistema. Cuando la señal de franqueo de paso y la señal de reloj estén ambas en la condición activa o de nivel alto, el cerrojo regulado en el tiempo se pone en el estado determinado por la señal de excitación destinada a ese cerrojo.

En la fig. I se representa una estructura y organización lógica generalizada, que lleva incorporados estos conceptos. La configuración está compuesta de una pluralidad de mallas lógicas combinacionales de circuito, 10, 11, 12, dispuestas en paralelo. Cada malla va acoplada a un juego de cerrojo respectivo, 13, 14, 15. Efectivamente, pues, el sistema lógico está dividido en una pluralidad de partes o particiones, cada una de las cuales se compone de una malla combinacional y un juego de cerrojos. Aun cuando se representan tres de estas particiones, se sobrentiende que puede disponerse en paralelo un número mayor o menor del representado, con arreglo a la presente invención. El sistema incluye también una malla combinacional 16 adicional para aceptar las señales de salida del juego de cerrojo



419582

jos y para generar unas señales de salida del sistema, designadas en forma de juego R de dichas señales. La malla 16 se representa respondiendo al juego S' de señales de entrada, así como a las indicaciones procedentes de los juegos de cerrojos 13, 14, 15. Se sobrentiende que la respuesta R del sistema puede ser una función lógica cualquiera de las salidas de los juegos de cerrojos y del juego de señales de entrada.

Cada una de las mallas combinacionales 10, 11, 12 es una malla de circuito lógico de entrada múltiple y salida múltiple. Incluye un número cualquiera de niveles o etapas de circuitos combinacionales, que pueden adoptar la forma de circuitos lógicos de semiconductor usuales. Aun cuando las mallas de un sistema como éste, en la mayoría de los casos, son complejas e incluyen cierto número de etapas de lógica, se sobrentiende, como se describirá más adelante con mayor detalle, que las mallas pueden ser simples o triviales, y constar sólo de unos conductores de paso de un juego de cerrojos a otro.

Cada malla de circuito es capaz de responder a cualquier combinación única o singular de entrada de señales, dando una combinación única o singular de señales como salida. Las señales de salida, tales como E1, E2, E3, son en realidad unos juegos de señales de salida, de modo que el símbolo E1 da a entender e11, e12, ... e1N. De igual



419582

modo, los símbolos G1, G2 y G3 se refieren a unos juegos de señales de franqueo de paso que pueden venir proporcionadas por cada una de las mallas combinacionales, respectivamente. Las señales de entrada proporcionadas a las
5 mallas combinacionales son las señales exteriores de entrada indicadas como juego S de tales señales, y los juegos de señales de retroacción procedentes de las mallas combinacionales y los juegos de cerrojos. Se sobrentiende, en toda la descripción de este invento, que al hablar
10 de "juego" se quiere dar a entender desde una sola a una sustancial pluralidad de las partidas o unidades componentes (señales, circuitos de cerrojo, etc.) de que se hable.

Es requisito necesario de esta estructura generalizada el de que se empleen dos o más trenes de señales de reloj independientes para controlar la regulación en el tiempo (sincronismo) de las señales de la unidad de equipo. Como ya se ha dicho, un cerrojo o juego de cerrojos controlado por un determinado tren de señales de reloj no puede ser reacomplado por medio de lógica combinatorial a otros
15 cerrojos que estén controlados por el mismo tren de señales de reloj. Así, la salida procedente del juego 13 de cerrojos no puede ser reacomplada a la malla combinatorial 10, pues el juego 13 de cerrojos es capaz de responder al tren de señales de reloj G1. En cambio, este juego de cerrojos puede ser acoplado a las mallas combinatoriales 11
20
25

419582

-8-



y 12, capaces ambas de responder a diferentes trenes de señales de reloj.

Una de las maneras de realizar físicamente este requisito consiste en disponer un reloj por separado para cada partición, como se ilustra en la fig. 1. Así, el 5 tren C1 de señales de reloj va acoplado al juego 13 de cerrojos, el tren de reloj C2 al juego 14 de cerrojos y el tren de reloj C3 al juego 15 de cerrojos. El modo en que cada juego de cerrojos es controlado por exactamente 10 uno de estos trenes de señales de reloj es el de que cada señal de reloj C_i gobernante vaya asociada a un cerrojo L_{ij} que reciba otras dos señales: una señal de excitación E_{ij} y posiblemente una señal de franqueo de paso G_{ij} . Estas tres señales controlan el cerrojo de manera 15 que cuando ambas señales, la de franqueo de paso y la de reloj, se hallen en estado o nivel alto, esto es, en la condición de uno binario, el cerrojo se active al valor de la señal de excitación. Cuando una u otra de las señales, de reloj o de franqueo de paso, se halle en el es- 20 tado de cero binario, o sea al nivel bajo, el cerrojo no puede cambiar de estado. Se sobrentiende asimismo que la marcación de tiempos puede efectuarse haciendo que los trenes de señales de reloj actúen directamente sobre los respectivos juegos de cerrojos, sin utilizarse los juegos 25 de señales G1, G2, G3 de franqueo de paso ni las puertas



419582

de coincidencia intermedias.

El funcionamiento del sistema lógico viene determinado por los trenes de señales de reloj. Con referencia a la fig. 2, al subir C1 en el espacio de tiempo 47, tanto C2 como C3 son cero, y las entradas y salidas de la malla combinacional 10 son estables. Si se supone que el juego exterior de entradas S tampoco está variando, se da paso entonces a la señal de reloj C1 hasta los cerrojos del juego 13 si el juego correspondiente de señales C1 de franqueo de paso está al nivel alto o de uno binario. Los cerrojos del juego 13 se activan o ponen al valor de su juego de señales E1 de excitación. Así, algunos de los cerrojos del juego 13 de cerrojos puede hacerse cambiar durante el tiempo en que C1 se halla en el estado o nivel alto. La duración del espacio de tiempo 47 sólo tiene que ser lo bastante larga para que se activen los cerrojos. Las variaciones de señal en los cerrojos se propagan inmediatamente a través de las mallas combinacionales 11, 12, por medio de las conexiones de retroacción o realimentación. También se propagan a través de la malla combinacional 16.

Antes de que la señal de reloj C2 pueda cambiar a la condición de nivel alto o de uno binario, las señales de salida del juego 13 de cerrojos han de completar la propagación a través de las mallas combinacionales 11, 12. Este tiem-



419582

po de duración entre las señales de reloj C1 y C2 tiene lugar en el espacio de tiempo 48, que debe ser por lo menos tan largo como el tiempo de propagación por la malla de circuito 11.

5 Cuando la señal de reloj C2 pasa de la condición de nivel bajo a la de nivel alto, el proceso operativo se continúa con el almacenamiento, en los cerrojos del juego 14, de las señales de excitación procedentes de la malla 11. De igual manera, la señal de reloj C3 pasa a la
10 condición de nivel alto, para el juego de cerrojos 15. Así, para un funcionamiento correcto y adecuado del sistema lógico, es necesario que las señales de reloj tengan una duración lo bastante larga para activar los cerrojos, y un intervalo de tiempo, entre señales de los
15 trenes de reloj sucesivos, suficiente para dejar que todos los cambios de cerrojo terminen de propagarse a través de las mallas combinatorias activadas por las conexiones de retroacción. Tal funcionamiento satisface el requisito de que el sistema sea sensible a los niveles, y asegura una dependencia mínima respecto de los pa
20 rámetros de corriente alterna de circuito.

 La información fluye entrando y saliendo del sistema lógico sensible a los niveles, a través del juego de señales de entrada S. Estas señales de entrada interactúan dentro del sistema lógico mediante el control de
25



419582

las mismas utilizando las señales de reloj que van sincro
nizadas con el sistema lógico. Se controla el instante
particular de reloj en el que cambian o varían las seña-
les, y luego se limita o restringe la señal de entrada a
5 las mallas combinacionales apropiadas. Por ejemplo, con
referencia a la fig. 1, si el juego de señales S cambia
siempre en el instante de reloj Cl, puede emplearse el
juego S como entrada a la malla combinacional l1 o l2, pe
ro no como entrada a la malla 10.

10 Si las señales exteriores de entrada son asíncronas,
esto es, cambian de estado en cualquier momento, estas se
ñales se manipulan entonces dentro del sistema lógico sin
cronizándolas mediante el uso de cerrojos. Un cerrojo re
cibe como entradas una de las señales de excitación y, a-
15 demás, la señal particular de reloj. Como el cerrojo no
puede cambiar de estado cuando la señal de cerrojo se ha-
lla en la condición de nivel bajo o de cero binario, la sa
lida del cerrojo sólo cambia durante el período en que el
impulso de reloj se halla en la condición de nivel alto o
20 de uno binario. Aunque el juego de señales S de entrada
varíe durante el tiempo en que la señal de reloj se halla
en la condición de nivel alto, no se plantea problema al-
guno operacional. Si el cerrojo casi cambia, podría apa-
recer una salida de brevísimo impulso de hiperamplitud



419582

5 ("spike")) procedente del cerrojo, durante el tiempo en que el impulso de reloj se halla en la condición de nivel alto o de uno lógico. Ahora bien, esto no crea problema alguno, ya que la salida de este cerrojo se utiliza sólo durante otro tiempo de reloj.

10 Las señales externas de salida, tales como el juego de repuestas R, no ocasionan normalmente problema alguno a menos que haya limitaciones críticas en relación con el sincronismo de la salida. Para mayor sencillez y homogeneidad o constancia, la mayoría de las señales de salida son probablemente alguna función de las salidas de cerrojo, que están todas controladas por la misma señal de reloj. Por tanto, permanecen en un valor dado para un número dado de ciclos de reloj.

15 De las figs. 1 y 2 se desprende que el funcionamiento apropiado del sistema lógico depende tan sólo del retardo o tiempo de propagación a través de las mallas combinacionales 10, 11, 12. Este retardo (espacio de tiempo 48) debe ser menor que el lapso o intervalo de tiempo correspondiente entre señales de reloj sucesivas. Si no
20 lo es, no resulta posible entonces activar los juegos de cerrojos. Esta dependencia final respecto al tiempo se elimina previendo la posibilidad de volver a ensayar o probar (reensayar) el sistema a una velocidad menor de
25 reloj. El uso de impulsos de reloj más largos con un ma



3 NOV 1973

419582

5 por intervalo de tiempo entre señales de reloj da por resultado que el reensayo tenga éxito, aun cuando el error fuese causado por un problema de regulación de tiempos del sistema. Este enfoque da una mayor fiabilidad al sistema, reduce las peticiones de servicio in-
fructuosas ("no se encuentra avería") en el campo y reduce el riesgo de que resulten incompletas las pruebas de corriente alterna de las pastillas lógicas de gran densidad.

10 Un sistema lógico poseedor de dependencia de retardo unilateral tiene la ventaja de permitir que el sistema sea modelado en una lógica unitaria funcional de velocidad más lenta, fácilmente modificable durante las etapas de desarrollo de la tecnología de la reali-
15 zación física. La transición de la lógica unitaria a la lógica integrada en gran escala se hace a continuación, estando expuesta tan sólo a la máxima velocidad a que la pastilla funcione con éxito. Si los retardos de circuito fuesen, en la versión integrada en gran es-
20 cala, distintos de lo previsto, ello significaría tan sólo que el sistema habría de hacerse funcionar a una velocidad más lenta. De ese modo, ofrece la posibilidad de realizar ensayos marginales para comprobar la regulación de tiempos. Por ejemplo, en el sistema se
25 hace circular un diseño lógico como el del caso más des



419582

favorable, mientras se va aumentando lentamente la ve
locidad de reloj. Una vez establecida la velocidad de
reloj para la cual se producen fallos, se recurre, bien
a fijar el reloj de modo que el funcionamiento resulte
5. fiable, bien a sustituir la unidad que falle por otra
que funcione con fiabilidad a la velocidad estableci-
da.

Se ha insistido en que uno de los objetivos impor-
tantes o significativos de un sistema lógico generali-
10 zado de este tipo, según lo representado en la fig. 1,
es el de obtener un sistema que sea insensible a las
características de corriente alterna. Para lograr es-
to, los elementos de almacenaje contenidos en tal sis-
tema son unos dispositivos sensibles a los niveles, que
15 no presentan condiciones de riesgo o inestabilidad de
ninguna clase. Los circuitos que satisfacen este re-
quisito se clasifican o denominan generalmente cerrojos
de corriente continua regulados en el tiempo. Un cerro-
jo de corriente continua regulado en el tiempo contiene
20 entradas de dos tipos: entradas de datos y entradas de
reloj. Cuando las entradas de reloj se hallan todas en
cierto estado (por ejemplo, el estado de cero binario),
las entradas de datos no pueden modificar el estado del
cerrojo. En cambio, cuando una entrada de reloj a un
25 cerrojo se halla en el otro estado, es decir, en el de



419582

uno binario, las entradas de datos a ese cerrojo controlan el estado del cerrojo en el modo de corriente continua.

5 Uno de estos cerrojos, del tipo de corriente continua regulado en el tiempo, es el cerrojo de retención de polaridad realizado, según la fig. 3, a base de puertas de coincidencia e inversión y, según la fig. 4, en una circuitería lógica de semiconductores. En la fig. 10 3, la parte del cerrojo dedicada a almacenamiento está designada con el número 17. La fig. 3 hace uso de unas puertas de coincidencia e inversión 18, 19 y del inversor 20. La circuitería equivalente de transistores de la fig. 4 incluye los inversores de transistor 21, 22, 23 dispuestos en circuitos lógicos combinacionales, con 15 los transistores 21 y 23 incluidos en los circuitos de retroacción o realimentación para la circuitería de almacenamiento.

El cerrojo de retención de polaridad tiene unas señales de entrada E y C, y una sola salida designada L. 20 En funcionamiento, cuando la señal C de reloj está al nivel de cero binario, el cerrojo no puede cambiar de estado. En cambio, cuando C está al nivel de uno binario, el estado interior del cerrojo se pone al valor de la entrada de excitación E.

25 Con referencia ahora a la fig. 5, en las condicio



-8 NOV 1973

419582

nes normales de funcionamiento la señal de reloj C se
halla al nivel de cero binario (a los fines de la des
cripción, el menor o más bajo de los dos niveles de
voltaje o tensión) durante el tiempo en que la señal
5 de excitación E puede variar. El mantenimiento de la
señal C en la condición de cero binario impide que una
variación de la señal de excitación E altere inmediata
mente el estado interno del cerrojo. La señal de re-
loj aparece (al nivel de uno binario) normalmente des
10 pués de que la señal de excitación ha llegado a esta-
bilizarse, sea al nivel de uno binario, sea al de cero
binario. El cerrojo se activa o pone al nuevo valor
de la señal de excitación en el instante en que tiene
lugar la señal de reloj. Por lo tanto, el cambio apro
15 piado del cerrojo no depende del tiempo de subida ni
del tiempo de bajada de la señal de reloj, sino tan só
lo de que la señal de reloj sea un uno binario durante
un período igual o mayor que el intervalo de tiempo ne
cesario para que la señal se propague a través del ce-
20 rrojo y se estabilice.

El diagrama de señales de la fig. 5 indica cómo
las variaciones espurias de la señal de excitación no
son causa de que el cerrojo cambie de estado incorrec-
tamente. Así, la variación espuria que aparece en 24
25 en la señal de excitación E no produce un cambio de es



419582

tado del cerrojo, como puede verse por la característi-
ca L de la señal de salida. Igualmente, las señales de
reloj de perfil defectuoso (por ejemplo, como en 25) tam-
poco dan por resultado un cambio incorrecto o indebido
5 en el cerrojo. Estas características del cerrojo de re-
tención de polaridad se utilizan en la estructura gene-
ralizada para el sistema lógico de la fig. 1.

Con referencia ahora a la fig. 6, se representa en
ella otro circuito de cerrojo susceptible de ser emplea-
do como circuito secuencial en un sistema lógico sensi-
10 ble a los niveles. Este cerrojo es del tipo de activa-
ción-reposición regulado en el tiempo, en el que la par-
te de enganche o retención es la indicada en 26. Reci-
be sus entradas de los circuitos lógicos de coinciden-
15 cia e inversión 27, 28 que van respectivamente acoplados
a las entradas de activación y de reposición y a un tren
de señales de marcación de tiempos o de reloj en C. La
señal de salida indicativa del estado del cerrojo se ob-
tiene en L.

20 Es asimismo característico del sistema lógico gene-
ralizado de esta invención proporcionar la posibilidad
o aptitud de vigilar dinámicamente el estado de todos
los elementos de almacenaje interno. Esta aptitud eli-
mina la necesidad de habilitar puntos de prueba especia-
25 les, simplifica todas las fases de eliminación manual



419582

de errores, y habilita un enlace normalizado para los pupitres de operador y de mantenimiento. Para alcanzar esta aptitud o posibilidad, se dispone con cada cerrojo, en cada juego de cerrojos del sistema, una circuitería que permite al cerrojo funcionar como si fuese una de las posiciones de un registrador de desplazamiento con controles de desplazamiento independientes de los relojes del sistema, y una capacidad de entrada/salida independiente de la entrada/salida del sistema.

5

10 Esta configuración de circuito es la denominada "cerrojo de registrador de desplazamiento". Todos estos cerrojos de registrador de desplazamiento, dentro de un módulo, pastilla, etc. dado, están interconectados formando uno o más registradores de desplazamiento.

15 uno de los registradores de desplazamiento tiene una entrada y salida y unos controles de desplazamiento disponibles en los terminales de la caja.

Mediante la conversión de los cerrojos de corriente continua regulados en el tiempo en cerrojos de registrador de desplazamiento, se presentan y obtienen las ventajas de los cerrojos de registradores de desplazamiento. Se incluyen en éstas la capacidad o posibilidad general de detener el reloj del sistema, y sacar por desplazamiento el estado de todos los cerrojos

20

25 y/o meter por desplazamiento unos valores nuevos o pri



419582

mitivos en cada cerrojo. A esta posibilidad o capacidad es a la que se denomina aquí exploración de llegada/salida, o anotación de llegada/salida. En las pruebas de la unidad funcional, la verificación de corriente continua se reduce, pasando de un ensayo secuencial a un ensayo combinacional, que es sustancialmente más fácil y más eficaz. Para probar o verificar en corriente alterna las dependencias respecto de corriente alterna bien definidas, la capacidad de exploración de llegada/salida proporciona la base para efectuar pruebas de corriente alterna eficaces, económicas y efectivas. La exploración de llegada/salida da la posibilidad o capacidad necesaria para diagnosticar con precisión tanto los errores de proyecto como los fallos del equipo físico para la puesta en funcionamiento del sistema, las pruebas finales del mismo y los diagnósticos en el campo. Los registradores de desplazamiento son asimismo utilizables para funciones de sistema, tales como las de enlace de pupítrés, reposición del sistema y señalamiento de puntos de comprobación.

Entre estas ventajas, las más significativas son las que se acumulan en el área de la verificación. Cuando los métodos de verificación o pruebas tanto en corriente continua como en corriente alterna se describen de manera general en lo que sigue, se sobrentiende

419582



que no han de considerarse incluidos los mismos dentro del tema ni del ámbito de esta invención. Ello no obstante, la circuitería necesaria para efectuar esta verificación sí que forma parte de la presente invención.

5 Hasta ahora, los circuitos formados en una pastilla de semiconductor han venido siendo lo bastante simples como para que fuese posible efectuar considerables ensayos de corriente alterna y corriente continua, a fin de asegurar un adecuado funcionamiento de dispositivos y circuitos. Las sucesivas pruebas de verificación, a los niveles de módulo o de ficha o placa de circuitos, se concentraban luego en el funcionamiento adecuado en corriente continua. Tales pruebas verificaban que los circuitos estaban correctamente interconectados y no habían sido afectados de modo adverso por ninguna de las etapas de los procedimientos de fabricación. Ahora bien, con el advenimiento de la integración en gran escala, en la que una pastilla contiene hasta de 300 a 500 circuitos, ya no es posible la verificación detallada en corriente alterna, y la verificación en corriente continua se hace extremadamente difícil, debido a la complejidad de la unidad funcional sometida a ensayo y el importante cambio en las relaciones de circuito a patillas terminales en la pastilla.

25 Como es bien sabido en la técnica del ramo, el pro



419582

blema de generar automáticamente diseños de verificación
o ensayo para las mallas lógicas combinacionales es rela-
tivamente más sencillo que el de la generación de dise-
ños de ensayo para circuitos lógicos secuenciales compli-
5 cados. Por consiguiente, es necesario dar a los circui-
tos lógicos secuenciales, tales como el circuito de alma-
cenaje interno del sistema lógico generalizado, una forma
que permita emplear el mismo tipo de generación de di-
10 seños de ensayo utilizado para las mallas combinaciona-
les. Esto se consigue mediante el recurso de incluir
una circuitería adicional para convertir selectivamente
los cerrojos de corriente continua regulados en el tiem-
po en unos cerrojos de registrador de desplazamiento.

Con referencia a la fig. 7, se representa en ella
15 un sistema lógico con dos señales de reloj y dos juegos
de cerrojos de registrador. Las mallas de circuito com-
binacionales 30, 31, 32 son del mismo tipo y naturaleza
que las descritas en relación con la fig. 1. Responden
a unos juegos de señales de entrada S, así como a las
20 señales de enganche o retroacción de cerrojo proporci-
nadas por unos juegos 33, 34 de cerrojos. Las mallas
combinacionales 30, 31 proporcionan cada una un juego
de señales de excitación E1, E2 y un juego de señales
de franqueo de paso G1, G2. Por medio de unas puertas
25 de coincidencia 35, 36 se da paso a las señales de re-



419582

loj C1, C2 del sistema hasta los respectivos juegos 33, 34 de cerrojos.

Los juegos de cerrojos 33, 34 difieren de los de la fig. 1 en que están conectados a modo de cerrojos de registrador de desplazamiento. Un cerrojo de registrador de desplazamiento como éste es el representado en forma simbólica en la fig. 8, que incluye dos circuitos de almacenaje o enganche 37, 38 distintos. El cerrojo 37 es igual a los circuitos de cerrojo empleados en los juegos de cerrojos de la fig. 1, e ilustrados en una de sus formas en la fig. 3. Cada uno de estos cerrojos tiene una entrada de excitación E, una entrada C de trenes de señales de reloj y una salida designada con la letra L.

El cerrojo 38 es la circuitería que hay que añadir para convertir la estructura en un cerrojo de registrador de desplazamiento. Incluye una entrada por separado U, una salida por separado V y unos controles de desplazamiento A y B. La realización física del cerrojo de registrador de desplazamiento en las puertas de coincidencia e inversión es la representada en la fig. 9.

En el recuadro de líneas de trazo interrumpido se indica el cerrojo 37, que es igual al cerrojo de la fig. 3. La entrada adicional U se hace pasar por una lógica de coincidencia e inversión que incluye unas puertas 39,



419582

40, y un circuito inversor 41. Esta circuitería acepta
asimismo la primera entrada A de control de despla-
zamiento. Desde estas puertas 39, 40 se efectúa el aco-
plamiento al circuito de cerrojo 37. A partir de las
5 salidas del cerrojo 37 se dispone un segundo circuito
de enganche o cerrojo que incluye la configuración de
cerrojo 42 y las puertas de coincidencia e inversión
43, 44, que aceptan las salidas procedentes de la con-
figuración de cerrojo del circuito 37 así como la segun-
10 da entrada B de control de desplazamiento.

El circuito 42 actúa de circuito de almacenaje
transitorio durante la operación de desplazamiento de
entrada y salida de la disposición. Estos cerrojos de
registrador de desplazamiento se emplean para despla-
15 zar cualquier diseño deseado de unos y ceros metiéndolo
en los cerrojos 37 de retención de polaridad. Estos
diseños se emplean luego como entradas a las mallas de
circuito combinacionales. Las salidas del circuito 37
se llevan luego, reguladas en el tiempo, al circuito
20 de cerrojo 42, y se sacan por desplazamiento bajo el
control de la señal de desplazamiento B para su inspec-
ción y medición.

Con referencia de nuevo a la fig. 7, cada uno de
los juegos de cerrojos 33, 34 incluye una pluralidad
25 de los circuitos representados en la fig. 9. Los cir-



419582

5 cuitos están secuencialmente conectados entre sí de tal modo que la entrada U de la fig. 9 sería la línea de entrada 45 de la fig. 7. La señal A de reloj de desplazamiento se aplica al primer circuito (por ejemplo, al circuito 37) de todos los cerrojos de los juegos. De igual modo, la señal B de reloj de desplazamiento se aplica al segundo circuito de cada cerrojo de los juegos de cerrojos. La salida V del circuito 42 de la fig. 9 iría acoplada como entrada al cerrojo inmediato sucesivo del

10 juego, hasta llegar al último de tales cerrojos del registrador entero, en que esta salida sería el equivalente de la línea de salida 46 de la disposición de la fig. 7. Por lo tanto, los cerrojos de registrador desplazamiento se hallan interconectados con una entrada, una

15 salida y dos relojes de desplazamiento, formando un registrador de desplazamiento.

 Para ilustrar de qué modo puede verificarse o probarse la malla combinacional 30 de la fig. 7, considérese que en los juegos de cerrojos 33 y 34 se introduce

20 por desplazamiento un diseño particular de prueba, de unos y ceros binarios, por medio y bajo el control de los relojes de desplazamiento A y B. El diseño de prueba o ensayo se aplica también a las entradas S del sistema. Después de dejar tiempo a que las señales se propaguen por el juego 34 de cerrojos, se pone en acción

25



4195A2

5 el reloj C1 durante el tiempo suficiente para almacenar el juego de señales de excitación El introducidas por medio de las puertas G1 en el juego 33 de cerrojos. El diseño contenido en el juego 33 de cerrojos se saca por desplazamiento, por la línea 46, y se efectúa una comparación con el diseño esperado como respuesta.

10 Para efectuar la verificación de la malla combinatorial 31 se emplea el mismo método, con la salvedad de que la respuesta se saca, por desplazamiento, del juego 34 de cerrojos. Para probar la malla combinatorial 32, se introduce por desplazamiento un diseño de prueba en los juegos 33, 34 de cerrojos, y se obtiene el resultado de las salidas R. Para efectuar la verificación de la configuración de registrador de desplazamiento, se
15 desplaza a través de la misma una secuencia breve de unos binarios y de ceros binarios. También es posible aplicar simultáneamente ambas señales de reloj A y B de desplazamiento. La respuesta de salida del registrador de desplazamiento por la línea 46 es observada, a
20 medida que la entrada de registrador de desplazamiento por la línea 45 es desplazada de un lado a otro, entre el uno binario y el cero binario.

25 Cualquier partición de la estructura general representada en la fig. 7 da por resultado una estructura unitaria funcional que puede ser probada o verificada



419582

da de la misma manera. Las puertas lógicas en su totalidad se verifican con unas pruebas combinatorias, mediante aplicación de los diseños de prueba adecuados al juego de entradas S y a las entradas de retención o cerrojo, y mediante introducción de las mismas por desplazamiento en serie en los cerrojos de registrador de desplazamiento. Los diseños de salida pueden obtenerse de las salidas de respuesta R, y sacando por desplazamiento el diseño de bitios de los cerrojos. Este mismo método de verificación es aplicable sea cual fuere el nivel de agrupación o concentración: esto es, al nivel de pastilla, al de módulo, al de ficha o placa de circuitos y al nivel de sistema.

En la fig. 10 hay tres cerrojos, del tipo ilustrado simbólicamente en la fig. 8, indicados con los números 50, 51, 52 en la pastilla 53. Cada uno de los cerrojos está acoplado a los controles A y B de desplazamiento previstos en unas líneas 54, 55, respectivamente. El diseño de entrada se suministra al primero de estos cerrojos 50, por medio de una conexión 56, y los cerrojos individuales se acoplan entre sí secuencialmente como se ha descrito más arriba, en relación con las figuras 7 y 9, de manera que la salida se obtiene por la línea 57.

En la fig. 11 hay cuatro de las pastillas de la fig.



419582

10 acopladas entre sí y designadas con los números 60, 61, 62, 63. Por medio de unas conexiones 64, 65 se suministra cada uno de los controles de desplazamiento A y B a cada una de las pastillas 60 ... 63. El diseño
5 de entrada se suministra a la primera de dichas pastillas (la pastilla 60) de la conexión secuencial por medio de la línea 66, y la salida se toma de la línea 67 procedente de las pastillas 60 ... 63 conectadas secuencialmente.

10 Aun cuando la disposición unitaria funcional del presente invento permite fácilmente la verificación en corriente continua del sistema lógico, tiene también la
15 ventaja de hacer al sistema relativamente independiente de las características transitorias o de corriente alterna de los circuitos lógicos individuales del sistema. Esto puede observarse fácilmente cuando se considera que en el momento en que la señal de reloj C1 se lleva a un nivel alto, alguno de los cerrojos del juego 33 de cerrojos (fig. 7) puede cambiar de estado a
20 consecuencia de las señales de excitación E1 y de las señales de franqueo de paso G1. Los cambios resultantes en el juego 33 de cerrojos han de propagarse, según lo requerido, a través de la malla combinacional 31. Es preciso estabilizar las señales de excitación E2 y las
25 señales de franqueo de paso G2 antes de llevarse a un



419582

nivel alto la señal de reloj C2. Así, pues, se necesita que las señales procedentes del juego 33 de cerrojos se propaguen por completo a través de la malla combinacional 31 durante el intervalo que transcurre entre el comienzo del estado de nivel alto de la señal de reloj C1 y el comienzo del estado de nivel alto de la señal de reloj C2. Además, se requiere que las señales procedentes del juego 34 de cerrojos se propaguen por completo a través de la malla combinacional 30 durante el tiempo que transcurre entre el comienzo del estado de nivel alto de la señal de reloj C2 y el comienzo del estado de nivel alto de la señal de reloj C1.

Es evidente, pues, que el único requisito de esta disposición en cuanto a la corriente alterna es el de que los retardos en las mallas 30, 31, en el caso más desfavorable, sean forzosamente menores de ciertos valores ya conocidos, y ya no hay necesidad alguna de controlar o probar individualmente los tiempos de formación, tiempos de decadencia o retardos mínimos de circuito. Sólo es necesario controlar y medir el máximo retardo de circuito. Sólo se necesitan medir los retardos totales en los trayectos que van de la entrada a la salida de las mallas 30 y 31.

Uno de los enfoques para efectuar la verificación de tales retardos es el de valorar automáticamente to-



419582

dos los trayectos de retardo, y generar unas pruebas para los mismos. Esto exige que se desarrolle un algoritmo muy eficaz, a fin de lograr el objetivo de una verificación completa.

5 Como segundo enfoque de la cuestión, algunos diseños de prueba fundamentales se hacen pasar cíclica y repetidamente por el sistema, de manera que verifiquen el camino de retardo del caso más desfavorable. El registrador de desplazamiento es útil para introducir el diseño inicial de bitios e inspeccionar el diseño de bitios final, al cabo de cierto número de ciclos completos.

10 Ambos enfoques permiten efectuar una verificación o prueba marginal. Como el tiempo de retardo viene medido por el tiempo transcurrido entre señales de reloj, el reloj se hace marchar más deprisa de lo normal durante la verificación, para asegurarse un margen de seguridad durante el funcionamiento real y efectivo del sistema.

15 Con referencia de nuevo a las figs. 8 y 9, las configuraciones de cerrojo funcionan de tal modo que, con tal que las señales A y B de control de desplazamiento estén ambas al nivel bajo o de cero binario, la parte 37 de la fig. 8 funciona como un cerrojo de retención de polaridad según lo descrito en relación con la fig.



419582

3. Los terminales U y W son las entradas y salidas, respectivamente, para el registrador de desplazamiento. Funcionando como registrador de desplazamiento, los datos procedentes de la etapa anterior son introducidos en un cerrojo de retención de polaridad por efecto del cambio de la señal de desplazamiento A al nivel de uno binario. Después de haber vuelto a cambiar la señal de desplazamiento A al nivel de cero binario, la señal B de desplazamiento da paso a los datos contenidos en el cerrojo hasta el cerrojo de salida conectado en 42 al terminal de salida W. Así, las señales de desplazamiento A y B no pueden estar al mismo tiempo al nivel de uno binario, si se quiere que el registrador de desplazamiento funcione apropiadamente.

La modificación del cerrojo de retención de polaridad de la figura 3 para que incluya posibilidades o capacidad de desplazamiento exige añadir al circuito de cerrojo una entrada de reloj más, y un segundo circuito de cerrojo que actúe de almacenaje intermedio o transitorio durante el desplazamiento. La célula básica de cerrojo de la fig. 3 se hace de dos a tres veces más compleja, o más, en la configuración de la fig. 9. Los circuitos de desplazamiento, esto es, los controles de desplazamiento en A y B, y el diseño de entrada previsto en U y la salida tomada en V, no se utilizan durante el funcionamiento normal del sistema. Ahora bien, la interconexión de una con



419582

figuración de cerrojo como ésta en un cerrojo de registrador de desplazamiento exige que haya cuatro terminales adicionales de entrada/salida a cada nivel de agrupación o concentración.

5 La organización lógica del presente invento permite también llevar a un grado óptimo el uso de los cerrojos de registrador de desplazamiento en los juegos de cerrojos y prever la situación en que una malla combinacional acoplada en forma de juego de cerrojos sea de naturaleza
10 simple o trivial. Así, como se indica en la fig. 12, los juegos de entradas S se disponen y llevan en subjuegos XI y X2 a unas mallas combinacionales 70, 71, respectivamente. Cada una de estas mallas proporciona un juego de señales de excitación E1 y E2 y un juego de señales de franqueo de paso G1 y G2. Las señales de excitación se aplican directamente a los respectivos juegos 72, 73 de cerrojos, bajo el control de las señales de reloj y de franqueo de paso. El reloj C1 controla el juego 72 de cerrojos a través de una puerta de coincidencia 74, que recibe también el juego de señales G1 de franqueo de paso. De
20 igual modo, el juego 73 de cerrojos está controlado por el tren de reloj C2 por medio de una puerta de coincidencia 75, que recibe también las señales de franqueo de paso G2. Los juegos de salidas obtenidos de los juegos 72,
25 73 de cerrojos se llevan con acoplamiento cruzado a las

-8 NOV



419582

mallas combinacionales 71, 70, respectivamente, a través de unas conexiones 76, 77. Hasta aquí, la organización y estructura del sistema lógico es igual a la descrita en relación con las figuras 1 y 7.

5 Ahora bien, si se supone que la lógica combinacional que precede a los juegos 78, 79 de cerrojos es del tipo simple o trivial, entonces puede emplearse efectivamente el segundo circuito de almacenaje de cada cerrojo de registrador de desplazamiento de un juego de cerrojos
10 del tipo ilustrado en la fig. 9, para los juegos 78, 79 de cerrojos. Como se indica, el juego 78 de cerrojos está controlado, sea por el tren de reloj C2, sea, en la alternativa durante una operación de exploración de llegada/salida, por el control de desplazamiento B. De
15 igual modo, el juego 79 de cerrojos está controlado por el tren de reloj C1 o, durante la operación de exploración de llegada/salida, por el control de desplazamiento B. Durante la operación de exploración de llegada/salida, los juegos 72, 73 de cerrojos están ambos controlados por el control de desplazamiento A. Los juegos
20 78, 79 de cerrojos van acoplados a una malla combinacional 80 de subsistema, que recibe también las salidas de los juegos 72, 73 de cerrojos y el juego de señales S de entrada del sistema. La salida R viene dada por la malla 80, y se utiliza para excitar otras unidades lógicas
25



419582

funcionales.

En la forma más sencilla, la organización lógica de la invención habilita, como se indica en la fig. 13, una malla combinacional 86 que recibe el juego S de señales de entrada dando un juego de señales de excitación E1 y un juego de señales G1 de franqueo de paso. El juego 81 de cerrojos es controlado por el tren de reloj G1 a través de la puerta de coincidencia 82. El segundo juego 83 de cerrojos sigue efectivamente a una malla simple o trivial, habilitándose un acoplamiento directo 84 desde el juego 81 al juego 83. El juego 83 de cerrojos está controlado por el tren de reloj C2, de manera que los cerrojos que hay en él se activan a los niveles determinados en el juego de líneas de entrada 84. La salida del juego 83 de cerrojos se aplica a una malla combinacional 87 de salida de subsistema, que recibe también las salidas procedentes del juego 81 de cerrojos y del juego S de señales de entrada del sistema. La malla 87 proporciona el juego de respuestas R. Las salidas del juego 83 de cerrojos están acopladas en retroceso, por medio de la conexión 85, a la malla combinacional 86. Durante la exploración de llegada/salida, el juego 81 de cerrojos funciona bajo el control de la señal de control A de desplazamiento, y el juego 83 de cerrojos bajo el control de la señal de control B. Para hacer funcionar la disposi



419582

ción de la fig. 13, es necesario que los trenes de reloj sigan los mismos requisitos arriba descritos. Como se ilustra en la fig. 14, los trenes de reloj C1 y C2 no se superponen, para llevar a grado óptimo el funcionamiento. Entre la bajada de C1 y la subida de C2 ha de transcurrir un espacio mínimo de tiempo. El de duración entre la subida del tren de reloj C2 y el comienzo de la condición de nivel alto inmediata sucesiva para el tren C1 habría de ser por lo menos tan largo como el tiempo de propagación a través de la malla combinacional 86 y el cerrojo 83.

De todo ello se desprende fácilmente que, con la disposición de las figs. 12 y 13 se obtiene una utilización más efectiva para los cerrojos de registrador de desplazamiento que, como se representa en la fig. 9, constan cada uno de dos circuitos de almacenaje, estando la salida de cada uno de los primeros circuitos de almacenaje acoplada a su correspondiente segundo circuito de almacenaje. Los segundos circuitos de almacenaje se agrupan para su uso como juegos 78 y 79 de cerrojos de la figura 12, y 83 de la fig. 13. Estos circuitos sirven efectivamente al doble objeto de actuar como disposición secuencial de circuitos para la organización lógica, y de proporcionar acceso durante la opera-



419522

ción de exploración de llegada/salida.

La ventaja más significativa que se deriva de la configuración de cerrojos de registrador de desplazamiento está en que con ella pueden hacerse mediciones dinámicas de mallas de circuito lógico sepultadas en el interior de una caja de lógica particular. El personal de mantenimiento en servicio que esté tratando de eliminar errores en la máquina o atendiéndola para vigilar el estado de todos y cada uno de los cerrojos del sistema, puede conseguirlo mediante el uso de la invención de esta solicitud. Esto se logra a base de un solo ciclo, desplazando todos los datos de los cerrojos a un dispositivo de presentación. Ello no perturba el estado del sistema, si los datos se devuelven a los cerrojos, por desplazamiento, en el mismo orden en que se sacaron. Así, tras cada señal de reloj se examina el estado de todos los cerrojos.

Teniendo la posibilidad de examinar el estado de todos los cerrojos, se elimina la necesidad de disponer de puntos de prueba especiales, lo que permite al proyectista de la lógica dar la máxima densidad posible a la caja de circuitos lógicos sin preocuparse de habilitar líneas adicionales de entrada/salida para operaciones de reparación o mantenimiento. Con esta posibilidad de examinar todos y cada uno de los cerrojos de un sistema después de cada señal de reloj, cualquier avería que se presente



419582

puede ser localizada hasta llegar a una malla lógica combinacional particular cuyas entradas y salidas pueden ser controladas.

5 Con las cuatro salidas adicionales requeridas para realizar físicamente este sistema de lógica generalizado, se habilita un enlace normalizado que permite una mayor flexibilidad al proyectista y en los pupitres de operador o de mantenimiento. Los pupitres pueden cambiarse sin modificar en manera alguna el sistema lógico. Estos
10 controles permiten también efectuar pruebas o ensayos de diagnóstico bajo el control de otro ordenador o aparato probador, y para funciones tales como las de reposición, iniciación y registro de errores, a ejecutar por medio de los registradores de desplazamiento.

15 Si bien esta invención ha sido descrita en particular con referencia a las formas preferidas de realización de la misma, se sobreentiende para las personas versadas en la materia que pueden hacerse en ellas los indicados y otros cambios de forma y de detalle sin salirse del ám
20 bito ni apartarse del espíritu de la invención.

Esta solicitud que corresponde a la presentada en Estados Unidos de América, el día 16 de Octubre de 1972, bajo el N° 297543, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

25

28 NOV 1973



419582

REIVINDICACIONES

5.

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

1ª.- Una disposición de circuitos para ejecutar operaciones lógicas con un juego de señales de entrada, que comprende: medios para generar una pluralidad de trenes de señales de reloj de una duración prefijada entre la aparición de impulsos de reloj en diferentes trenes;

15

una pluralidad de particiones lógicas, cada una de las cuales comprende una malla de circuitos combinacional acoplada para aceptar dicho juego de señales de entrada y suministrar por lo menos un primer juego de señales combinacionales, y unos medios de circuito secuenciales acoplados para recibir dicho primer juego de señales com

20

binacionales procedente de la malla combinacional contenida en su partición, bajo el control de uno (seleccionado) de dichos trenes de señales de reloj, a fin de almacenar unas indicaciones de las señales combinacionales recibidas y dar un juego de señales de salida repre

25

les recibidas y dar un juego de señales de salida repre

3-11-73

- 48 -

MS



8 NOV 1973

419582

sentativas de dichas indicaciones; medios de acoplar el juego de señales de salida procedente de los medios secuenciales de circuito de cada partición como entradas adicionales a la malla combinacional de una partición sí
5 y otra no, controlados por un tren de señales de reloj que difiere del tren de señales de reloj que ejerce el control en la provisión de ese juego específico de señales de salida; y medios combinacionales para aceptar por lo menos los juegos de señales de salida de los medios
10 secuenciales de circuito, dando como resultado un juego de señales de respuesta.

2ª.- La disposición de circuitos de la reivindicación 1ª, en la que por lo menos una de dichas mallas combinacionales está compuesta de varios pasos de lógica,
15 con un tiempo de propagación menor que la duración prefijada entre impulsos de trenes de señales de reloj diferentes.

3ª.- La disposición de circuitos de la reivindicación 2ª, en la que el sistema es sensible a los niveles, y una pluralidad de fuentes de reloj independientes y no superpuestas da la pluralidad de trenes de señales de reloj, teniendo las señales de reloj de cada tren una duración suficiente para efectuar la marcación o regulación de tiempos de los primeros juegos respectivos de señales combinacionales a su entrada en los medios secuen-
20
25



419582

ciales de circuito asociados a las mismas.

5 4ª.- La disposición de circuitos de la reivindicación 3ª, en la que el número de dichos trenes de señales de reloj es equivalente al número de particiones, y los medios secuenciales de circuito de cada partición son capaces de responder a uno (distinto) de dichos trenes de señales de reloj.

10 5ª.- La disposición de circuitos de la reivindicación 4ª, en la que la malla de circuitos combinacional de cada partición da además un segundo juego de señales combinacionales, y en cada partición se prevén medios para hacer que los medios secuenciales de circuito sean capaces de responder a la presencia del segundo juego de señales combinacionales en esa partición y al tren de señales de reloj suministrado a dicha partición, almacenando unas indicaciones del primer juego de señales combinacionales de esa partición.

15 6ª.- La disposición de circuitos de la reivindicación 1ª, en la que los medios secuenciales de circuito de cada partición consisten en un juego de "cerrojos" o circuitos de enganche de corriente continua regulados en el tiempo, en número equivalente al número de señales contenidas en el primer juego de señales combinacionales para esa partición, para su aceptación como señales de entrada respectivas de dicho primer juego de señales com

20

25

- 8 NOV



419582

binacionales.

7ª.- La disposición de circuitos de la reivindicación 6ª, en la que dichos cerrojos son unos cerrojos de retención de polaridad.

5 8ª.- La disposición de circuitos de la reivindicación 6ª, en la que dichos cerrojos son unos cerrojos de activación-reposición regulados en el tiempo.

10 9ª.- La disposición de circuitos de la reivindicación 6ª, en la que cada uno de dichos cerrojos incluye unos circuitos biestables de almacenaje primero y segundo conectados con la salida del primer circuito de almacenaje como entrada al segundo circuito de almacenaje, unos medios para acoplar una señal de entrada a dicho primer circuito de almacenaje independientemente del citado primer juego de señales y para acoplar una señal de salida procedente de dicho segundo circuito de almacenaje, y unos medios acoplados a los circuitos de almacenaje primero y segundo de cada uno de dichos cerrojos para controlar el almacenaje de señales en los citados circuitos de almacenaje, de modo que cada uno de dichos cerrojos es un cerrojo de registrador de desplazamiento.

15 10ª.- La disposición de circuitos de la reivindicación 9ª, en la que todos los cerrojos de registrador de desplazamiento están acoplados entre sí secuencialmente formando por lo menos un registrador de desplazamiento,

20

25



419582

de modo que el primer circuito de almacenaje del primer cerrojo de la secuencia acepte la entrada y el segundo circuito de almacenaje del último cerrojo de la secuencia suministre la salida, y de modo que el segundo circuito de almacenaje de cualquier otro cerrojo esté conectado al primer circuito de almacenaje del cerrojo que le sigue.

11ª.- "UNA DISPOSICION DE CIRCUITOS PARA EJECUTAR OPERACIONES LOGICAS CON UN JUEGO DE SEÑALES DE ENTRADA".

10 Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan, y para los fines que se han especificado.

Esta Memoria consta de cincuenta y dos hojas escritas a máquina por una sola cara.

15

Madrid,
P.A.

- 8 NOV. 1973

Alfonso de Eizaburu
Por Poder
[Handwritten signature]

20

25

3-11-73
MPB.-

[Handwritten signature]



419582

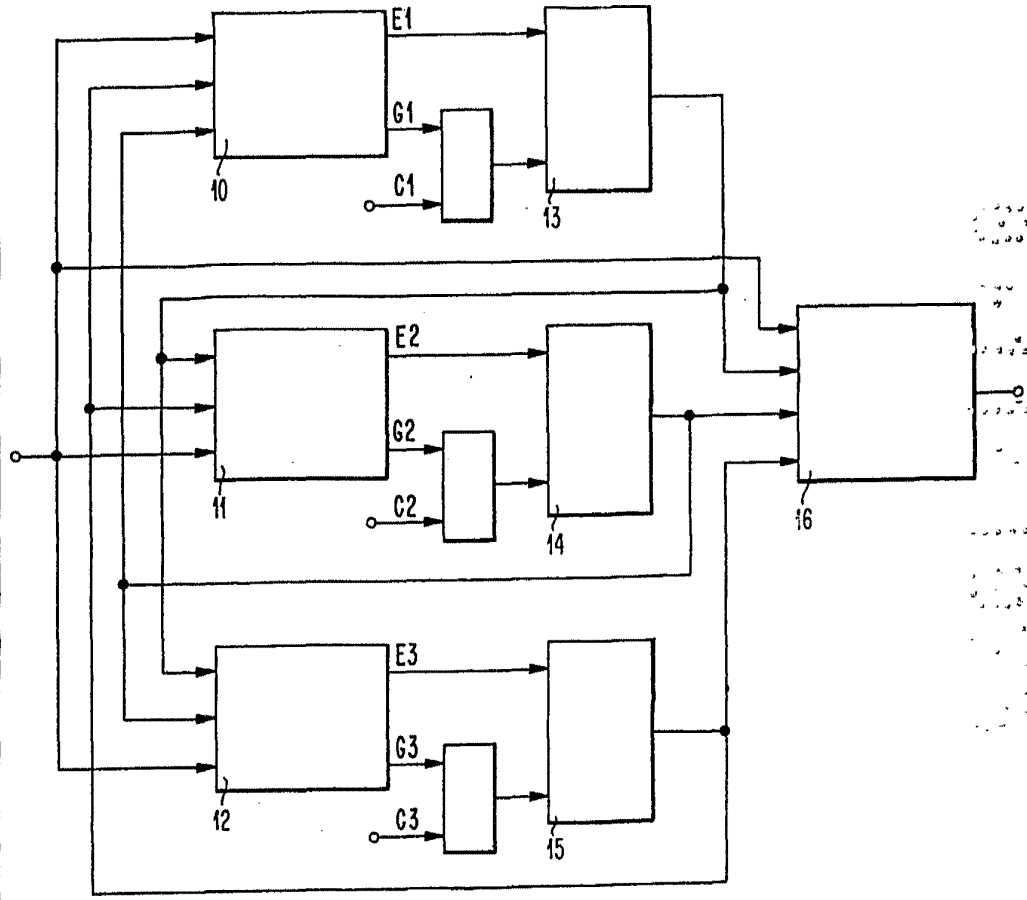


FIG. 1

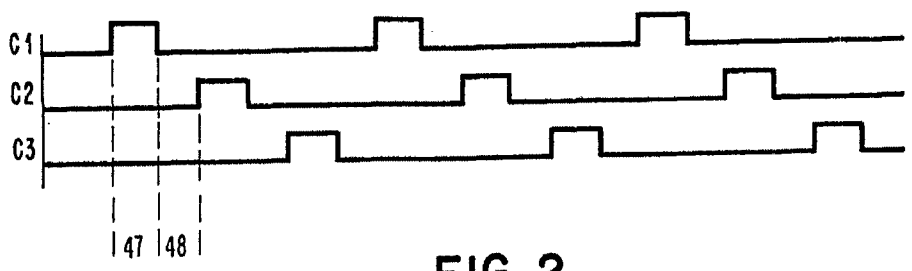


FIG. 2

Alberto de Lizasoain
Per Peter *[Signature]*

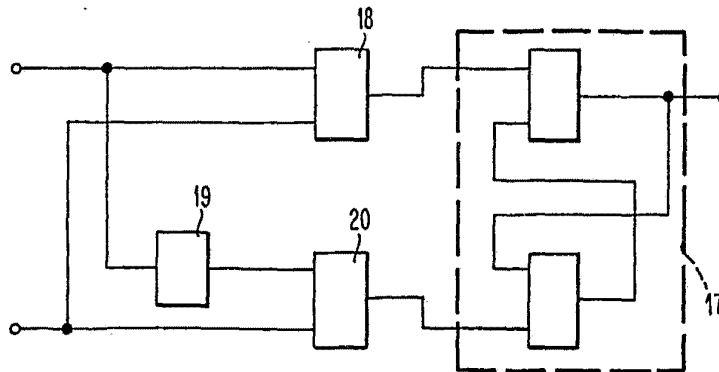


FIG. 3

4105

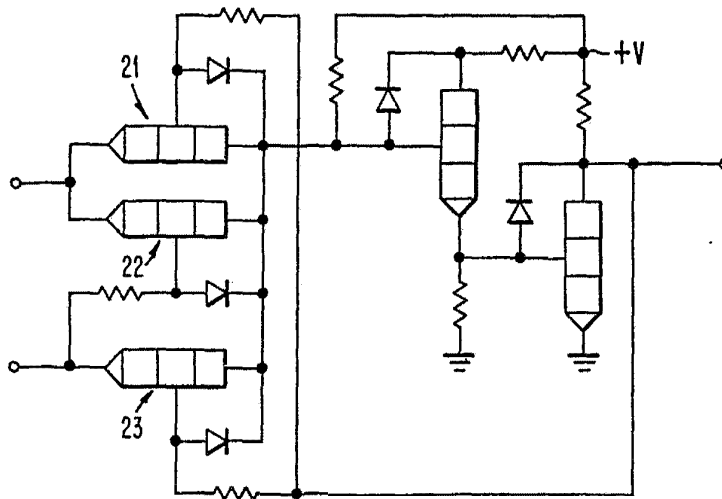


FIG. 4

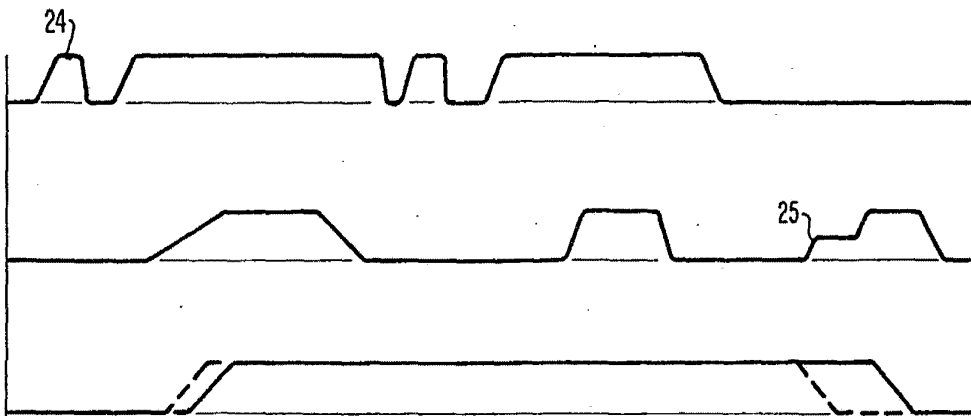


FIG. 5

IBM
Patent Department
Curry



419582

FIG. 6

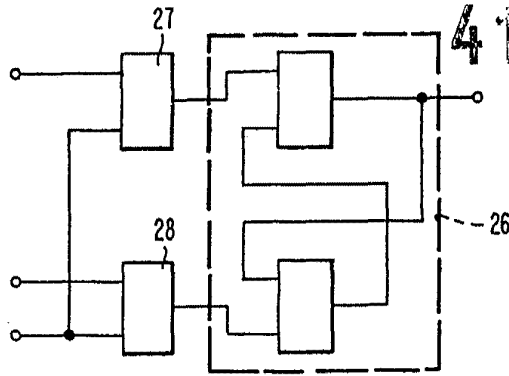


FIG. 7

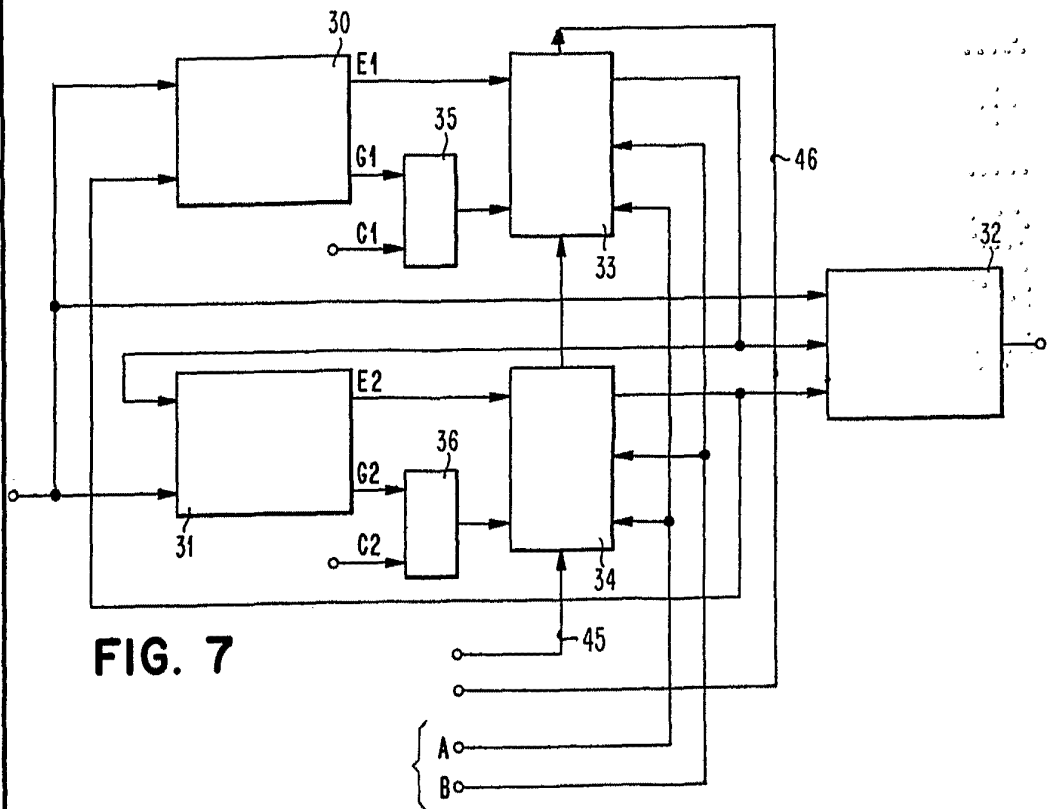
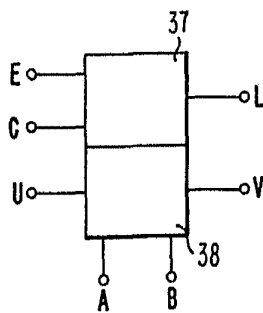


FIG. 8



Handwritten signature
A. S. ...
Head of ...



FIG. 9

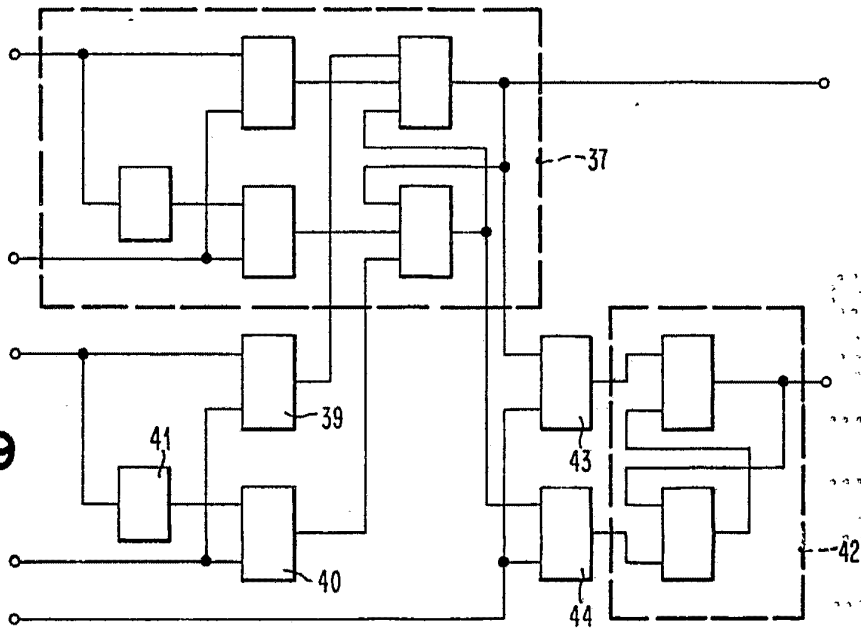
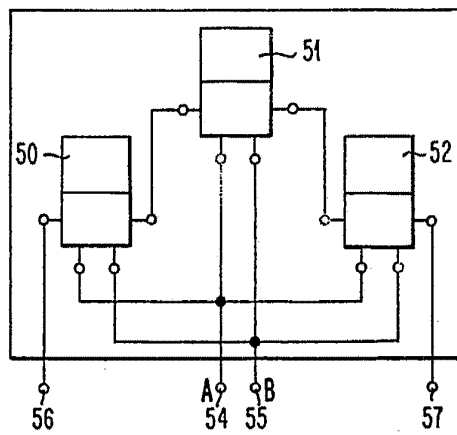
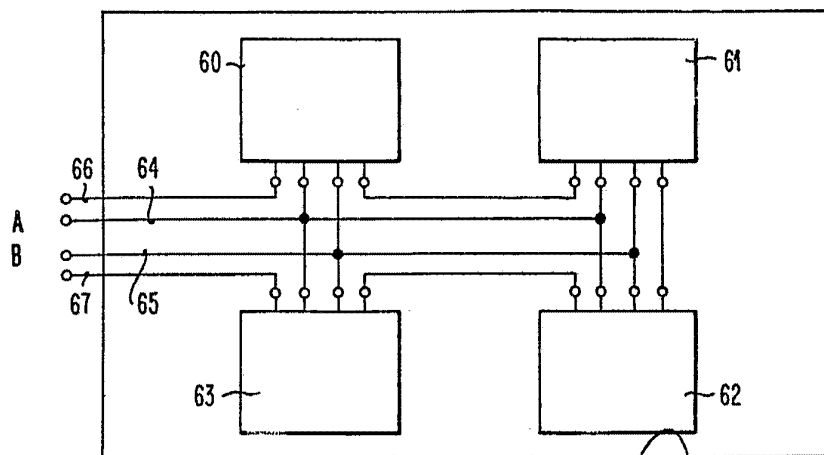


FIG. 10



419582

FIG. 11



Handwritten signature or initials.

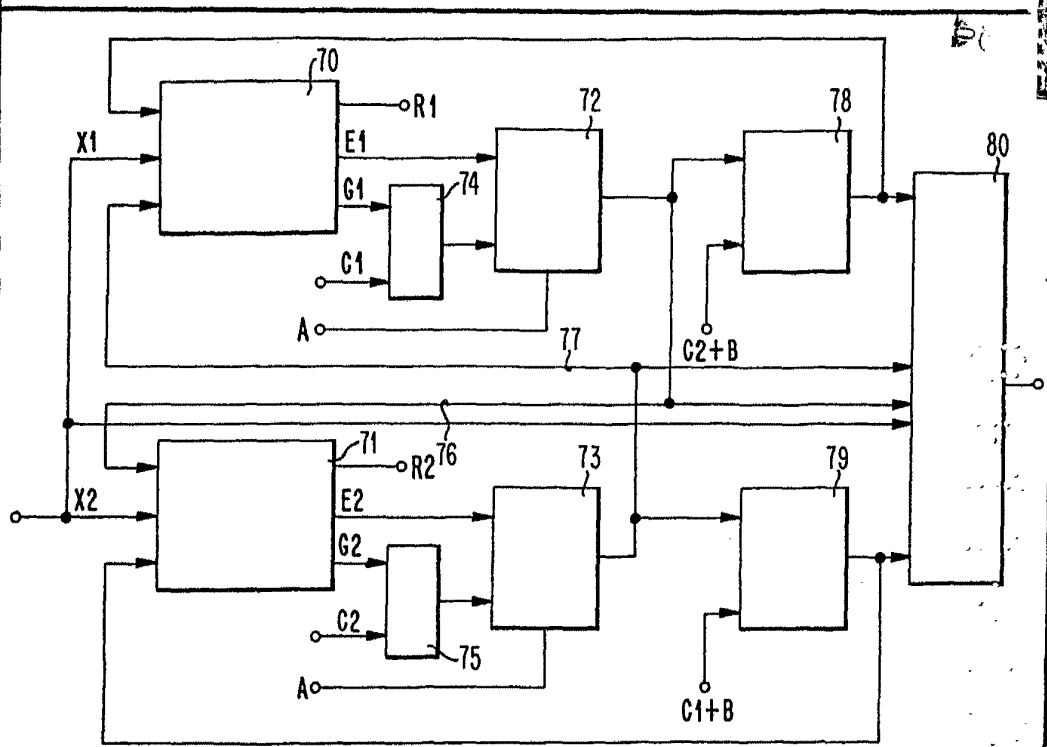


FIG. 12

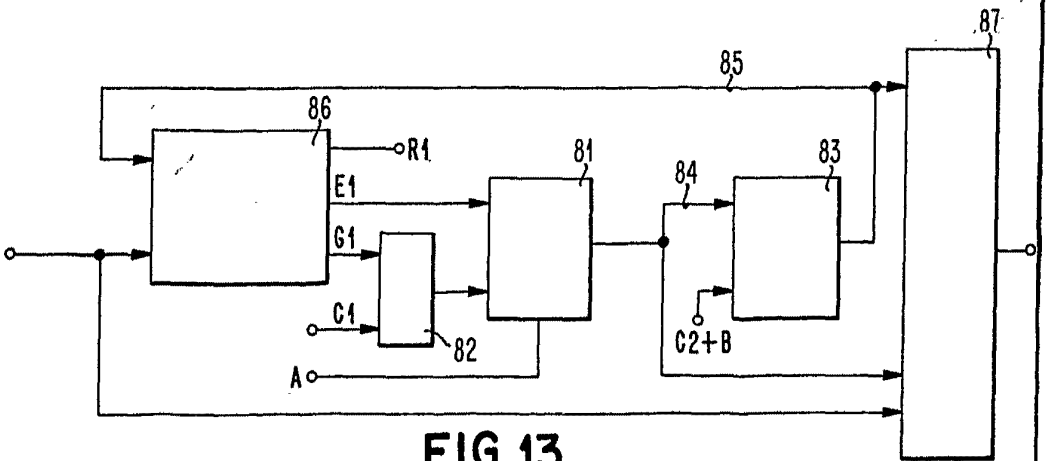


FIG. 13

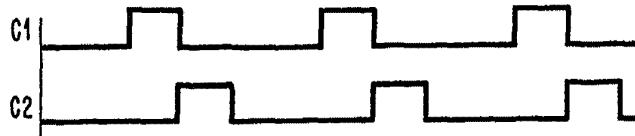


FIG. 14

419582

[Handwritten signature]