



419438

Int. Cl.: G05B//H04M

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR: "UN SISTEMA DE CONTROL PARA PROCESO DE DATOS",
A NOMBRE DE STANDARD ELECTRICA, S.A., CON DOMICILIO EN MA-
DRID, CALLE DE RAMIREZ DE PRADO Nº 5.

El presente invento se refiere a un sistema de control para proceso de datos que incluye varios procesadores y unidades de memoria a las que tienen acceso los primeros. Solamente a uno de dichos procesadores se le permite
5 ejecutar programas predeterminados.

Tales sistemas de control para proceso de datos ya son conocidos y, en los mismos, el procesador maestro es uno predeterminado e invariable. La desventaja de tales conocidos sistemas es que un fallo en el procesador maestro
10 incapacita todo el sistema. Otra desventaja es que generalmente, el procesador maestro es un equipo especializado y diferente de los otros procesadores.

Un objetivo del presente invento es, por lo tanto, proporcionar un sistema de control para proceso de datos,

419438

2.ª 001



del tipo mencionado anteriormente, que no presente estas des-
ventajas.

Según el presente invento, esto se consigue, por el hecho de que entre dichos procesadores, que son todos,
5 iguales, el procesador principal es cualquiera de, por lo menos dos de ellos y se selecciona de antemano como el más apropiado para ejecutar dichos programas predeterminados, esto es, antes de que ocurra la necesidad de ejecutar dichos programas prede-
terminados. Como consecuencia, la ventaja del presente invento
10 esta en que incluye un procesador maestro flotante que es igual a los otros procesadores. Los objetivos y características del presente invento aparecerán más claramente y serán mejor entendidos refiriéndonos a la siguiente descripción y a los dibujos que se acompañan, en los cuales:

15 - la Fig. 1 es un diagrama bloque de un sistema de control para proceso de datos según el presente invento;
- la Fig. 2 muestra con más detalle, el bloque de memoria DMBO de la Fig. 1;
- la Fig. 3 representa el bloque de memoria de datos DMB1C y
20 parte del controlador de memoria asociado DMB1C de la Fig. 1, con más detalle;
- la Fig. 4 muestra con más detalle, parte del controlador de memoria TMBOC de la Fig. 1;
- las Figs. 5 y 6 son cartas de flujo de programas para ser
25 ejecutados por el sistema de control para proceso de datos de la Fig. 1.

Refiriéndonos a la Fig. 1, el sistema de control para proceso de datos que se muestra incluye un dispositivo de conmutación SA, varios procesadores similares CPU0, CPU1,
30 CPU2, CPU3 de un tipo clásico que, por lo tanto, no describi-

479438

3.



remos con detalle, una memoria que incluye varios bloques de memoria PMB0, PMB1, PMB2, PMB3, TMB0, TMB1, DMBO y DMB1 con sus controladores de memoria asociados PBMOC, PMBOC, PMB1C, PMB2C, TMBOC, TMB1C, DMBOC y DMB1C respectivamente, un dispositivo de la unidad de estado SUD y varias barras de distribución:

- Las primeras barras de distribución BB00 y BB01;
- las segundas barras de distribución BB10, BB11, BB12 y BB13;
- las terceras barras de distribución BB20 y BB21;
- 10 - las cuartas barras de distribución BB22 y BB23 de las que se muestran sólo los terminales;
- las quintas barras de distribución BB30, BB31, BB32, BB33 de las que se muestran sólo los terminales;
- las sextas barras de distribución BB40.

15 El dispositivo de conmutación SA es del tipo descrito en la solicitud de patente Española Nº 411.963 (J. JANSSENS 5.1) y está constituido por una malla de conmutación SN que es, por ejemplo, una malla de conmutación telefónica, y por el multicircuito periférico PC adaptado para realizar

20 operaciones de esta malla de conmutación SN bajo el control de uno de los procesadores CPU0 y CPU1 que son los únicos que tienen acceso al multicircuito periférico PC a través de las primeras barras de distribución BB00 y BB01, respectivamente. El objetivo de estas operaciones es controlar el

25 establecimiento y reposición de las conexiones de llamada a través de la malla de conmutación telefónica SN que está constituida, por ejemplo, por varios junctores de entrada y salida interconectados por diferentes etapas de conmutación con enlaces comunes. Los diferentes datos recogidos de la malla

30 de conmutación por los procesadores CPU0 y CPU1 se procesan

419438



por los mismos y por los CPU2 y CPU3.

A este fin, cada uno de los procesadores CPU0 a CPU3 puede ejecutar una serie de programas de nivel base y una serie de programas de interrupción que pueden interrumpir cualquiera de estos programas de nivel base. Estos programas
5 de interrupción son los siguientes:

- Programas de interrupción de reloj. Estos programas se ejecutan después de tener lugar una, así llamada, señal de interrupción de reloj, que se genera cada 10 ms;

10 - programas de interrupción de eliminación. Estos programas se ejecutan después de ocurrir una, así llamada, señal de interrupción de eliminación, que se genera al detectarse un error importante en el sistema;

- programas de interrupción de estado. Estos programas se ejecutan después de ocurrir una, así llamada, señal de interrupción de estado que se genera cuando cambia el estado de uno
15 de los procesadores.

Nótese que, debido a su importancia, una señal de interrupción de eliminación puede interrumpir cualquier
20 programa, que una señal de interrupción de reloj puede interrumpir cualquier programa excepto un programa de interrupción de eliminación, y que un programa de interrupción de estado puede interrumpir solamente un programa de nivel base.

Los bloques de memoria PMB0, PMB1, PMB2 y PMB3 se emplean para almacenar todos los programas mencionados anteriormente. Los procesadores CPU0, CPU1, CPU2 y CPU3 tienen
25 acceso a los bloques de memoria de programa privados PMB0, PMB1, PMB2 y PMB3 a través de las segundas barras de distribución respectivas BB10, BB11, BB12 y BB13 y los controladores
30 de memoria respectivos PMB0C, PMB1C, PMB2C y PMB3C. En



relación con la Fig. 1, nótese que una cruz en una porción de una primera barra de distribución indica que esta porción no se emplea.

Aunque cada uno de los procesadores tiene acceso a todos los programas y puede ejecutarlos, el último se distribuye normalmente entre los procesadores del modo descrito en la solicitud de patente mencionada anteriormente. Como se describe allí, cada procesador tiene una máscara de distribución de función modificable asociada que ésta constituida por, al menos, una palabra de bits binarios cada uno de los cuales está asociado a un programa distinto, y son 1 ó 0 dependiendo de que este programa deba o no ser ejecutado, respectivamente.

Se emplean también tablas de tratado por mí para distribuir la carga entre dos o más procesadores en caso de que los últimos ejecuten un mismo programa. Estas tablas, por ejemplo, indican los junctores de entrada y salida de la malla de conmutación SN que deben ser manejados por los procesadores respectivos.

Los bloques de memoria TMBO y TMBl se emplean para almacenar idéntica información semi-permanente que permite la conversión de código de ciertos datos proporcionados durante el funcionamiento del sistema. Los procesadores CPU0 y CPU2 tienen acceso al bloque de memoria del traslator TMBO a través de las segundas barras de distribución respectivas BB10 y BB12 y del controlador de memoria TMBOC, mientras que los procesadores CPU1 y CPU3 tienen acceso al bloque de memoria traslator TMBl a través de las segundas barras de distribución respectivas BB11 y BB13 y el controlador de memoria TMB1C.

La memoria mencionada anteriormente incluye además

419438

6. 8 00



diferentes datos que se almacenan en los bloques de memoria, de los que se muestra solamente el DMBO y el DMB1. Los procesadores CPU0, CPU1, CPU2 y CPU3 estan conectados a cada uno de los controladores de memoria DMB0C y DMB1C asociados a los
5 respectivos bloques de memoria DMBO y DMB1 a través de las barras de distribución BB10, BB11, BB12 y BB13 respectivamente. Cada uno de los bloques de memoria, tales como DMBO y DMB1 se usa, generalmente, para almacenar dos tipos de datos:

- datos de variable y constante redundante, esto es, datos
10 que se almacenan también en otro bloque de la memoria de datos. Estos datos variables pueden no ser recuperados comprobando la malla de conmutación SN;
- datos variables que pueden ser recuperados comprobando la malla de conmutación SN. Un ejemplo podría ser los datos que
15 indican el estado de los enlaces de interconexión de las etapas de conmutación, que constituyen la malla de conmutación anterior SN.

Los procesadores CPU0 y CPU1 estan conectados también a cada uno de los controladores de memoria PMBOC,
20 TMBOC, PMB1C, TMB1C, DMB0C y DMB1C a través de las terceras barras de distribución BB20 y BB21, respectivamente. Estas terceras barras de distribución se emplean para realizar las operaciones de control en dichos controladores, como se explicará más adelante.

25 La unidad de estado mencionada anteriormente SUD incluye varias unidades de estado SU0, SU1, SU2 y SU3 que estan asociadas, cada una, a un procesador diferente CPU0, CPU1, CPU2 y CPU3, respectivamente. Los procesadores CPU0 y CPU1 estan conectados a las unidades de estado SU0 y SU1 a
30 través de las terceras barras de distribución BB20 y BB21

419438

7.



respectivamente, mientras que los procesadores CPU2 y CPU3
están conectados a las unidades de estado SU2 y SU3 a través
de las cuartas barras de distribución BB22 y BB23, respecti-
vamente. Los procesadores CPU0, CPU1, CPU2 y CPU3 están conec-
5 tados también a las unidades de estado SU0, SU1, SU2 y SU3 a
través de las quintas barras de distribución BB30, BB31, BB32
y BB33, respectivamente. En la Fig. 1, solamente se muestran
los terminales de estas cuartas y quintas barras de distri-
bución. Las unidades de estado que están interconectadas a
10 través de las sextas barras de distribución comunes BB40,
se emplean también para almacenar el estado del procesador
asociado de manera análoga a la descrita en la patente Española
nº 349.578 (R. SALADE 2.2.1). Los cuatro estados posibles son
ahora: on-line, alto, recarga y mantenimiento; en donde;
15 - on-line significa que el procesador está en una condición
en la que ejecuta programas operativos;
- recarga significa que el procesador está en una condición
en la que ejecuta programas de prueba o carga los bloques de
memoria con datos y/o programas;
20 - mantenimiento significa que el procesador está en una
condición en la que está a disposición del personal de mante-
nimiento;
- alto significa que el procesador no funciona.

Cada uno de los procesadores CPU0 a CPU3 puede
25 modificar su unidad de estado asociada SU0 a SU3 a través de
sus terceras o cuartas barras de distribución asociadas BB20
a BB23, respectivamente, y modificar una de las otras unidades
de estado a través de su barra de distribución asociada BB20
a BB23 y la sexta barra de distribución común BB40. Al ocurrir
30 una modificación en la unidad de estado el procesador asociado

479438

8.



es informado de ello a través de la quinta barra de distribución asociada BB30, BB31, BB32 ó BB33, mientras que los otros procesadores son informados a través de la sexta barra de distribución común BB40 y la quinta barra de distribución asociada.

En relación con lo anterior, téngase en cuenta que cada uno de los controladores de memoria almacena una primera dirección fija, que solamente puede ser modificada actuando los conmutadores a través de una de las terceras barras de distribución BB20 a BB21, y una segunda dirección que es modificable bajo control de programa y que permite que el controlador de memoria se dirija a través de una de las segundas barras de distribución BB10 a BB13. La segunda dirección de un controlador de memoria es indicativa de la naturaleza del contenido del bloque de memoria al que está asociado este controlador y, por lo tanto, debe ser modificado cuando se modifica esta naturaleza, por ejemplo, un bloque de memoria traslator que se emplea, en un cierto momento, como un bloque de datos. La primera dirección es independiente de la naturaleza del contenido del bloque de memoria y, por lo tanto, es invariable.

Refiriéndonos a la Fig. 2, en ella se muestra parte del bloque de memoria de datos DMBO, y más concretamente, la porción del mismo que incluye:

- las células BB'00, BB'01, BB'20 y BB'21 que almacenan la condición de disponibilidad (no-fallo) o no disponibilidad (fallo) de las primeras barras de distribución BB00 y BB01



267 9433

- y de las terceras barras de distribución BB20 y BB21, respectivamente;
- las células SU'0 a SU'3 que almacenan, cada una, una de las condiciones posibles (on-line, alto, recarga o mantenimiento) de los procesadores CPU0 a CPU3;
- la célula IE que almacena la identidad de un, así llamado, procesador ejecutivo, que se definirá después;
- las células o apiladores de mensajes entre procesadores IPMH0 a IPMH3 que están asociadas a los procesadores CPU0 a CPU3, respectivamente, y que se emplean para la intercomunicación de estos procesadores;
- una tabla IMBT que almacena la información acerca de todos los bloques de memoria y controladores mencionados anteriormente y, más concretamente, las direcciones primera y segunda de estos controladores de memoria, así como el hecho de si las segundas barras de distribución BB10 a BB13 están o no empleadas en cooperación con estos controladores de memoria.

Por ejemplo:

- para un controlador de memoria DMB0C las direcciones primera y segunda ADD00 y ADD01 y las usadas o no usadas que indican las condiciones C00, C01, C02 y C03 de las segundas barras de distribución BB10, BB11, BB12 y BB13, respectivamente. Estas condiciones indican que todas estas barras de distribución se emplean en cooperación con el controlador de memoria DMB0C;
- para el controlador de memoria DMB1C las direcciones primera y segunda ADD10 y ADD11 y las condiciones de usadas o no usadas C10, C11, C12 y C13 de las segundas barras de distribución BB10, BB11, BB12 y BB13 respectivamente, todas estas barras de distribución se emplean en cooperación con el con-

419438

10.



trolador de memoria DMB1C;

- para el controlador de memoria TMBOC las direcciones primera y segunda ADD20 y ADD21 y las condiciones de usadas o no usadas C20, C21, C22 y C23 de las segundas barras de distribución BB10, BB11, BB12 y BB13, respectivamente. Estas condiciones indican que las segundas barras de distribución BB10, BB12 y BB11, BB13 se usan y no se usan, respectivamente (como se indica también por las cruces) en cooperación con TMBOC;

10 - para el controlador de memoria TMB1C, las direcciones primera y segunda ADD30 y ADD31 y las condiciones C30, C31, C32 y C33 de las segundas barras de distribución BB10, BB11, BB12 y BB13, respectivamente. Estas condiciones indican que las barras de distribución BB10, BB12 y BB11, BB13 no se usan y
15 se usan, respectivamente, en cooperación con TMB1C(como también se indica por las cruces).

Ya que los bloques de memoria traslator TMBO y TMB1 almacenan la misma información, las segundas direcciones ADD21 y ADD31 son, de hecho, idénticas.

20 Nótese que los datos variables mencionados anteriormente y almacenados en el bloque de memoria de datos DMBO están también registrados en el bloque de memoria de datos DMBl.

Como ya se ha dicho en relación con la Fig. 1, los procesadores CPU0, CPU1, CPU2 y CPU3 están conectados al
25 controlador de memoria DMB1C asociado con la memoria de datos DMBl a través de las barras de distribución BB10, BB20; BB11, BB21; BB12; y BB13, respectivamente.

La Fig. 3 muestra el bloque de memoria de datos DMBl y parte del controlador de memoria asociado DMB1C que
30 incluye los circuitos de control CC1 y CC2. El circuito de

419438

11.



control CC1 esta conectado a las segundas barras de distribución BB10, BB11, BB12 y BB13. Solamente se muestran con detalle la barra BB12 y la parte del circuito de control CC1 conectada a esta barra BB12. El circuito de control CC2 está
5 conectado a las barras de distribución BB20 y BB21 y no se muestra con detalle. Sin embargo, es análogo al circuito de control CC'2 que se describirá en relación con la Fig. 4.

La barra de distribución BB12 que se muestra incluye varios conductores empleados para transferir información
10 entre el procesador CPU2 y el controlador de memoria DMB1C;
- conductores de dirección con terminales Ao a Am que se emplean para transferir la segunda dirección ADD11 del controlador de memoria DMB1C desde el procesador CPU2 a este controlador;
15 - conductores de dirección con terminales Am+1 a An que se emplean para transferir una dirección de una célula del bloque de memoria de datos DMB1 desde el procesador CPU2 al controlador DMB1C;
- conductores de control con terminales Co a Cs-2 que se
20 emplean para transferir información en relación a una operación que debe ejecutarse por ejemplo, una operación de lectura o escritura, desde el procesador CPU2 al controlador de memoria DMB1C;
- un conductor de control con terminal Cs-1 que se emplea
25 para transferir una señal estroboscópica desde el procesador CPU2 al controlador de memoria DMB1C;
- un conductor de control con terminal Cs que se emplea para transferir un error de paridad que indica una señal de interrupción de eliminación desde el controlador de memoria DMB1C
30 al procesador CPU2;

419438

12.



- conductores de datos con terminales Do a Dp que se emplean para transferir datos desde el procesador CPU2 al bloque de memoria de datos DMB1 y viceversa. El conductor con terminal Dp se emplea para la transferencia de un bit de paridad asociado a los datos sobre los conductores con terminales Do a Dp-1 (no mostrado).

El circuito de control CC1 incluye:

- un registrador ADMB1C que almacena la segunda dirección modificable ADD11 de la memoria DMB1C;
- 10 - un circuito comparador de dirección ACC para comparar la segunda dirección almacenada en ADMB1C con la dirección proporcionada en los conductores de dirección con terminales Ao a Am;
- dispositivos biestado UBB10, UBB11, UBB12 y UBB13 que
15 indican que las segundas barras de distribución correspondientes BB10, BB11, BB12 y BB13 se emplean o no en cooperación con el controlador de memoria DMB1C. En el caso presente, todos estos dispositivos biestados indican que se emplean estas segundas barras;
- 20 - un circuito de comprobación de paridad PCC1 que se emplea para comprobar la paridad de los datos;
- puertas AND G, Ga(m+1) a Gan, Gco a Gc(s-2) y Gdo a Gdp.

El circuito de control CC1 puede emplearse para dirigir una célula en el bloque de memoria DMB1, mientras que
25 el circuito de control CC2 puede emplearse para modificar la segunda dirección ADD11 y las condiciones de los dispositivos biestado UBB10, UBB11, UBB12 y UBB13 almacenados en el registrador ADMB1C, como se explicará después.

Como ya se ha mencionado anteriormente en relación
30 con la Fig. 1, los procesadores CPU0, CPU1, CPU2 y CPU3 estan

40438

13.



conectados al controlador de memoria TMBOC asociado con el bloque de memoria traslator TMBO a través de las barras de distribución BB10, BB20; BB11, BB21; BB12 y BB13, respectivamente. Por esta razón, las barras de distribución BB11 a BB13 llevan una
5 cruz que significa que no se emplean en cooperación con TMBOC.

La Fig. 4 muestra parte del bloque de memoria traslator TMBOC que comprende los circuitos de control CC'1 y CC'2. El circuito de control CC'1, que esta conectado a las barras de distribución BB10, BB11, BB12 y BB13, no se
10 muestra con detalle. Sin embargo, es análogo al circuito de control CC1 de la Fig. 3. El circuito de control CC'2 esta conectado a las barras de distribución BB20 y BB21. Solamente se muestran con detalle la barra de distribución BB20 y la parte del circuito de control CC2 conectado a esta barra
15 BB20.

El circuito de control CC'1 incluye:

- un registrador STMBOC que almacena la segunda dirección modificable ADD21 del controlador de memoria TMBOC;
- dispositivos biestados UBB'10, UBB'11, UBB'12 y UBB'13
20 que indican que las segundas barras correspondientes BB10 BB11, BB12 y BB13 se usan o no se usan en cooperación con el controlador de memoria DMB1C. En el caso presente, estos dispositivos biestados indican que las segundas barras de distribución BB10, BB12 y BB11, BB13 se usan y no se usan
25 en cooperación con el DMB1C, respectivamente.

El circuito de control CC'2 incluye:

- un registrador ATMBOC' que almacena la primera dirección fija mencionada anteriormente ADD20 del controlador de memoria TMBOC;
30 - un circuito comparador de dirección ACC' para comparar la

479438

8 OCT
14.



primera dirección almacenada en ATMBOC' con una dirección proporcionada en los conductores de dirección con terminales A' o A'q que fórman parte de la barra de distribución BB20. Esta barra de distribución, incluye además, conductores de
5 datos con terminales D'o a D'm+4 que sirven para transferir datos desde uno de los procesadores al circuito de control CC'1 y un conductor de control con terminal D's que sirve para transferir una señal estroboscópica desde uno de los procesadores al circuito de control CC'1;

10 - puertas AND G', GdO', a GD(m+4)'.

A fin de impedir un corte total del sistema de proceso de datos que puede ocurrir después de haberse detectado un fallo importante en el mismo, existe siempre seleccionado de antemano un procesador que es el más apropiado para manejar,
15 sin retraso, las funciones más importantes, dependiendo de la naturaleza del fallo. Este procesador pre-seleccionado se denomina procesador ejecutivo.

Las funciones más importantes que deben ejecutarse al ocurrir un fallo importante en el sistema son:

20 - primeramente la detección y almacenamiento de las conexiones de llamada que se reponen en la malla de conmutación SN ya que, entre otras consecuencias, los abonados telefónicos estarían cargados indebidamente por estas conexiones;
- en segundo lugar, la reconfiguración del sistema, esto es,
25 una modificación del acceso de los procesadores a los bloques de memoria.

Por lo tanto, un procesador pre-seleccionable:

- estaría on-line
- tendría una primera barra de distribución BB00 ó BB01 dando
30 acceso al dispositivo de conmutación SA para permitir la

419438

15. 8



detección y almacenaje de las conexiones de llamada que se reponen;

- tendría una tercera barra de distribución BB20 ó BB21 si debe ejecutarse una reconfiguración.

5 Estas condiciones pueden expresarse por la función $y = a(2b+c)$, en donde las variables a, b y c tienen el significado siguiente:

- a es un bit binario que indica si un procesador funciona on-line o no (esto implica que está simultáneamente operativo y tiene una segunda barra de distribución correcta BB10, BB11, BB12 ó BB13 o no, respectivamente);
- b es un bit binario que indica que un procesador tiene o no una primera barra de distribución BB00 ó BB01;
- c es un bit binario que indica que un procesador tiene o no una tercera barra de distribución. La variable b está multiplicada por 2 ya que se considera que tiene más importancia que la variable c.

15 Ya que para que un procesador sea pre-seleccionable deberá estar on-line y tener una primera barra de distribución, el valor mínimo de y para tal procesador es igual a dos cuando el mismo no debe poder controlar una operación de reconfiguración.

20 Entre los procesadores pre-seleccionables se elige como procesador ejecutivo el que tenga el valor más elevado de y.

25 De $y = a(2b+c)$ se deduce que el valor de esta función, para un procesador, cambia cuando el valor de, por lo menos, una de las variables a; b y c. Esto significa que, al ocurrir un tal cambio, el procesador que en ese momento es ejecutivo puede volverse no ejecutivo. Por lo tanto, cada

30

479438

16.



procesador puede calcular la función y para todos los procesadores, pero cuando tiene lugar un cambio más alto, solamente el procesador ejecutivo calcula el valor de la función para todos los procesadores, incluyendo él mismo, y compara estos valores. El procesador que tiene el valor más elevado de y se convierte en el nuevo procesador ejecutivo. Cuando ocurre un tal cambio, el procesador ejecutivo debe poder redistribuir la carga de llamadas en proceso entre los procesadores.

De lo anterior se deduce que el procesador ejecutivo debe ser capaz de ejecutar los siguientes programas:

- a) un programa para hacerse cargo del manejo de los mensajes que asegure que las conexiones de llamadas que se reponen serán detectadas y almacenadas;
- b) un programa de bloque de memoria de reemplazamiento y un programa de tomar a su cargo, para controlar una operación de reconfiguración;
- c) un programa de procesador ejecutivo escogido;
- d) un programa de distribución del proceso de llamadas.

En los dos ejemplos siguientes se describe cómo el procesador ejecutivo ejecuta los dos programas mencionados c y d, y en otro ejemplo se muestra cómo el procesador ejecutivo ejecuta los dos programas mencionados antes a y b.

Nótese que ninguno de los procesadores CPU2 y CPU3 puede convertirse en el procesador operativo ya que, para cada uno de ellos, el valor de b es igual a 0, de tal modo que el valor máximo de y es 1.

El funcionamiento del sistema de proceso de datos descrito es como sigue.

Después de que se han comprobado todos los elementos constituyentes del sistema, uno de los procesadores CPU0 y CPU1,



por ejemplo el CPU0, pasa a on-line y se elige como procesador
ejecutivo. Para este procesador, el valor de la función anterior
es igual a 3, ya que este procesador tiene unas correctas
BB00, BB10 y BB20. La identidad de este procesador CPU0 se
5 inscribe en la célula IE de los bloques de memoria de datos
DMB0 (Figs. 1 , 2) y DMB1 (Fig. 1).

Entonces, el procesador ejecutivo CPU0 lleva las
unidades de estado SU1, SU2 y SU3 de los procesadores CPU1,
CPU2 y CPU3 de la condición de alto a la condición de recarga,
10 a través de las barras de distribución BB21, BB22 y BB23,
respectivamente.

Considerando en primer lugar la unidad de estado
SU1 del procesador CPU1, se genera en él mismo la señal de
interrupción de estado y se aplica a los diferentes procesa-
15 dores CPU0 a CPU3 a través de las barras de distribución BB40,
BB30, BB31; BB40, BB32; y BB40, BB33, respectivamente. A la
recepción de esta señal de interrupción de estado, cada pro-
cesador comprueba si él es el ejecutivo o no y solamente
cuando lo es acepta esta señal. El procesador ejecutivo no
20 reacciona a esta señal ya que la transición de la condición
de alto a la de recarga es una transición normal. De la misma
manera a como se describe en la patente Belga 693.071 (R.
SALADE 2.2.1), el procesador CPU1 se recarga a partir de la
cinta magnética con los programas de prueba y cuando estos
25 se han ejecutado con éxito se recarga con los programas opera-
tivos y de datos. Después, el procesador CPU1 se lleva, él
mismo, a la condición on-line. A través de la barra de dis-
tribución BB21 modifica la condición de su unidad de estado
SU1 a fin de ésta indique la condición on-line. Debido a esta
30 modificación se genera una señal de interrupción de estado

419438

18.



en la unidad de estado SU1 y se maneja del mismo modo a como se ha descrito anteriormente. El procesador ejecutivo CPU0 reacciona ahora a esta señal ejecutando un programa de procesador ejecutivo seleccionado (Fig. 6). Este programa se ejecuta solamente por el procesador CPU0 a fin de impedir posibles conflictos entre los procesadores, debido a que la barra de distribución BB40 es común a todas las unidades de estado.

Este programa consiste en la lectura de los estados de todas las unidades de estado SU0 a SU3 a través de las barras de distribución BB30 a BB40 y en la comparación de estos estados con los almacenados en las células SU'0 a SU'1 del bloque de memoria de datos DMB0. De esta manera, el procesador ejecutivo CPU0 detecta que el procesador CPU1 esta on-line. Ya que este cambio de estado afecta el valor de la variable a de la función y para el procesador CPU1, el procesador ejecutivo calcula esta a y para este procesador CPU1 a partir de los valores de a , b y c almacenados en SU'1, BB'01 y BB'21 de DMB0 y lo compara con su propio valor para a . En el caso de que el valor de a para CPU1 sea mayor que el valor de a para CPU0, que solamente puede ocurrir en el caso de que uno de los valores de a , b y c haya cambiado para el procesador CPU0, se elige el procesador CPU1 como nuevo procesador ejecutivo. Ya que los procesadores CPU0 y CPU1 han sido comprobados, los valores de a para el procesador CPU1 serán, probablemente, los mismos que para el procesador CPU0 y, en este caso, CPU0 se mantiene como procesador ejecutivo.

Del mismo modo que el procesador CPU1, los procesadores CPU2 y CPU3 se pasan sucesivamente a on-line y, cada vez, se calcula la función a para estos procesadores, ya que el procesador ejecutivo no hace distinción entre los



procesadores CPU0 y CPU1, por una parte y, CPU2 y CPU3 por otra parte, aunque ninguno de los últimos CPU2 y CPU3 tenga una primera barra de distribución que de acceso al conmutador SA y, por lo tanto, no puede hacerse procesador ejecutivo.

5 Cada vez que un procesador pasa a on-line, el procesador ejecutivo CPU0 ejecuta también el programa de distribución de llamadas en proceso mencionado anteriormente, durante el cual, la carga de llamadas en proceso se distribuye entre los procesadores que están entonces on-line.

10 Otro ejemplo de un caso en el que el procesador ejecutivo debe ejecutar el programa de procesador ejecutivo seleccionado es el siguiente. Supongamos que el procesador CPU0 es el ejecutivo y que, en cierto momento, falla el procesador CPU1 y queda off-line y que también falla la tercera barra de distribución BB20. En este caso, el procesador CPU0 permanece como ejecutivo, ya que el valor de su función y es igual a 2, mientras que el valor de la función y para el procesador CPU1 es igual a 0. Sin embargo, en el momento en que el procesador CPU1 pasa de nuevo a on-line y cuando las
15 barras de distribución primera y tercera BB01 y BB21 son correctas, el procesador CPU0 calcula de nuevo los valores de y para CPU0 y CPU1, y encuentra que estos valores son iguales a 2 y 3, respectivamente. Consecuentemente, el procesador CPU1 pasa a ser el nuevo ejecutivo.

25 Como otro ejemplo, supongamos que todos los procesadores están on-line y que el procesador CPU2, que no es el ejecutivo, sino que lo es el CPU0, debe leer datos de la memoria de datos DMB1. A este fin, el procesador CPU2 ejecuta una instrucción de lectura como consecuencia de la cual la segunda
30 dirección del controlador de memoria DMB1C asociado al bloque

479438



20.

de memoria de datos DMB1, una dirección de una célula a ser
leída en el bloque de memoria DMB1 y las señales de control,
se transmiten por los conductores de la barra de distribución
BB12 y se aplican a los bloques de memoria PMB2C, TMBOC,
5 DMBOC y DMB1C a los que tiene acceso esta barra de distribución
BB12. En cada uno de estos bloques de memoria la segunda direc-
ción transmitida se compara con las segundas direcciones
ADD11 almacenadas allí, y la dirección transmitida es correcta,
la comparación tendrá éxito solamente en el controlador de
10 memoria DMB1C.

Más concretamente, la segunda dirección anterior,
la dirección de célula y las señales de control se aplican a
los terminales Ao a Am, Am+1 a An y Co a Cs-1 de la DMB1C,
respectivamente. Las señales de control en los conductores
15 Co a Cs-2 indican que debe realizarse la operación de lectura,
mientras que la señal de control en el conductor Cs-1 sea
una señal estroboscópica. No se aplican señales a los conduc-
tores con terminales Do a Dp y Cs en esta operación de lectu-
ra. En el circuito comparador de dirección ACC, la segunda
20 dirección aplicada a los terminales Ao a Am se compara con
la segunda dirección ADD11 almacenada en el registrador ADMI1C.
Como resultado de esto, la salida OKO de este circuito compa-
rador ACC se activa cuando ambas direcciones son idénticas,
como se ha supuesto. Ya que, como se ha mencionado anterior-
25 mente, la barra de distribución BB12 esta disponible para su
utilización en cooperación con el controlador de memoria DMB1C
también se activa la salida del dispositivo biestado UBB12,
de tal manera que el impulso estroboscópico aplicado a la puer-
ta-AND G desde el terminal de control Cs-1 activa las dife-
30 rentes puertas-AND Ga(m+1) a Gan, Gco a Gc(s-2) y Goa Gdp.

419438

21.

8 00



Bajo el control de la dirección de la célula de memoria y las señales de control que aparecen en las salidas de estos dos primeros grupos de puertas-AND $G_a(m+1)$ a G_n y G_c a $G_c(s-2)$, se lee esta célula de memoria del bloque de memoria de datos DMB1. Los datos leídos aparecen en las salidas O_0 a O_p de este bloque de memoria de datos DMB1, donde se comprueba la paridad por el circuito de comprobación de paridad PCCL. Suponiendo que este circuito PCCL detecta un error de paridad, se activa la salida \overline{OKI} de este circuito y también el terminal de control. Como consecuencia se transmite una señal, así llamada, señal de supresión de error de paridad al procesador CPU2 a través de la barra de distribución BB12. Como una consecuencia de esto, el procesador CPU2 interrumpe su programa en curso, ya que una señal de interrupción de supresión tiene más elevada prioridad, y comienza un programa de exploración de supresión (Fig. 5).

El programa de exploración de supresión es un programa de diagnóstico, cuya finalidad es definir la localización y naturaleza del origen del fallo que provocó la señal de interrupción de supresión anterior. En el caso presente, este programa detecta que ha fallado el bloque de memoria de datos DMB1. Este programa es bien conocido en la técnica de los computadores y, por lo tanto, no será descrito con más detalle.

El procesador CPU2 comunica el resultado de la diagnóstico del fallo al procesador ejecutivo CPU0, cuya identidad esta almacenada en los bloques de memoria de datos DMBO (célula IE) y DMB1, escribiendo un mensaje entre procesadores en el apilamiento de mensajes entre procesadores IPMHO (Fig. 2) asociado al procesador ejecutivo CPU0. Este IPMHO forma parte del DMBO y del DMB1. Este mensaje entre procesadores está

479438

22.



constituído por:

- el tipo de mensaje TM; aquí, este tipo indica que el mensaje se debe a la ejecución de un programa de exploración de supresión;

- 5 - la primera dirección ADD10 del controlador de memoria DMBC1 asociado al bloque de memoria que falla DMB1.

Después de esto, el procesador CPU2 que detectó el fallo en el bloque de memoria de datos DMB1 comprueba si él es o no el procesador ejecutivo;

- 10 - en caso negativo, como es ahora, ya que el procesador ejecutivo es el CPU0, el procesador CPU2 pasa él mismo a la condición de alto;

- en caso negativo, comienza la ejecución de un programa de hacerse cargo del manejo de mensajes (Fig. 5).

- 15 Todos los bloques de memoria de datos y también DMB1 funcionan, muy frecuentemente, con todos los procesadores. Dentro de un muy corto intervalo de tiempo son informados también los procesadores CPU0, CPU1 y CPU3 del fallo en el DMB1 por una señal de interrupción de supresión.

- 20 Consecuentemente, los procesadores CPU1 y CPU3 también escriben un mensaje entre procesador en el apilamiento de mensajes entre procesadores IPMHO asociado en el DMB0 al procesador ejecutivo CPU0 y, después, pasan ellos mismos a la condición de alto, debido a que ellos no son el procesador ejecutivo.

- 25 El procesador ejecutivo CPU0 escribe también un mensaje entre procesador en su apilamiento de mensaje IPMHO pero, en lugar de pasar él mismo a la condición de alto, ejecuta un programa de hacerse cargo del mensaje que se maneja (Fig. 5), ya que su respuesta a la anterior comprobación

- 30 es positiva.

419438

23.



Nótese que cada vez que un procesador pasa a la condición de alto, el procesador ejecutivo es informado de ello por una señal de interrupción de estado. Sin embargo, estas señales permanecen sin efecto ya que el procesador ejecutivo
5 recibe la señal de interrupción de supresión antes de que se reciben las señales de interrupción de estado. Este programa de hacerse cargo del mensaje que se maneja controla la modificación de la máscara de distribución de función del procesador ejecutivo CPUO, a fin de que el último pueda ejecutar en nivel
10 de reloj, esto es, cada 10 milisegundos, un programa capaz de detectar la reposición de conexiones de llamada establecidas en la malla de conmutación SN y almacenar la información en un bloque de memoria de datos correcto, por ejemplo en DMBO.

El procesador ejecutivo CPUO ejecuta el programa de bloque de memoria de sustitución (Fig. 4) que consiste
15 en encontrar, en la tabla IMBT (Fig. 2), un bloque de memoria disponible adaptado para sustituir el bloque de memoria de datos que falla FMB1 y el controlador asociado DMB1C. Más concretamente, en esta tabla IMBT, el procesador ejecutivo
20 CPUO encuentra que existen dos bloques de memoria de traslator TMBO y TMB1 que almacenan los mismos datos indicados por sus segundas direcciones idénticas ADD21 y ADD31 y que, por lo tanto, puede emplearse para sustituir el bloque de memoria que falla DMB1. Se supone que el procesador
25 ejecutivo CPUO selecciona la unidad de memoria constituida por el bloque de memoria de traslator TMBO y el controlador TMBOC para sustituir a la unidad de memoria constituida por el bloque de memoria DMB1 y el controlador DMB1C.

Para sustituir a las DMB1, DMB1C por TMBO,
30 es también necesario:

419438

24.



- hacer que TMBOC sea accesible a todos los procesadores ya que también DMB1C era accesible a todos los procesadores;
- impedir el acceso de todos los procesadores a DMB1C, ya que este último ha fallado;

5 - hacer TMB1C accesible a todos los procesadores, ya que es ahora el único controlador del sistema asociado a un bloque de memoria de traslator.

Por lo tanto, durante el programa de bloque de memoria de sustitución, el procesador ejecutivo CPUO:

10 - modifica la función de traslator del controlador de memoria TMBOC en la función de almacenaje de datos del controlador de memoria que falla DMB1C, sustituyendo la segunda dirección ADD21 del TMBOC por la segunda dirección ADD11 del DMB1C. Además, el procesador CPUO hace accesible el controlador de memoria TMBOC a todos los procesadores escribiendo las condiciones C10, C11, C12, C13 de DMB1C almacenadas en IBMT en los dispositivos biestados UBB'10, UBB'11, UBB'12, UBB'13 de TMBOC (Fig. 4), respectivamente;

15 - desactiva el acceso de todos los procesadores al controlador de memoria DMB1C asociado al bloque de memoria que falla DMB1, desactivando todos los dispositivos biestado UBB10, UBB11, UBB12 y UBB13 del DMB1C (Fig. 3);

20 - hace accesible el controlador de memoria TMB1C a todos los procesadores desactivando todos los dispositivos biestado (no mostrados) del TMB1C.
25

Ya que todas estas operaciones son análogas, describiremos solamente la primera haciendo referencia a la Fig. 4.

Por medio de la primera dirección del controlador de memoria TMBOC, el procesador ejecutivo CPUO dirige
30

419438

25.



este controlador de memoria TMBOC a través de la barra de distribución BB20, una primera vez para sustituir a la segunda dirección modificable ADD21 almacenada en el registrador ATMBOC' por la segunda dirección modificable
5 ADD11 del controlador de memoria DMB1C asociado al bloque de memoria de datos averiado DMB1 y, una segunda vez, para modificar las condiciones de los dispositivos biestado UBB'10 a UBB'13 almacenados en este controlador de memoria TMBOC. Nótese que el procesador ejecutivo CPUO encuentra
10 estas direcciones ADD20 y ADD21 en la tabla IMBT (Fig.2).

Primeramente, el procesador ejecutivo CPUO transmite, a través de la barra de distribución BB20, una primera dirección fija ADD20 del controlador de memoria TMBOC, la segunda dirección ADD11 del controlador de memoria
15 TMB1C y una señal estroboscópica a todos los controladores de memoria, y las aplica, particularmente, a los terminales A' o A'q, D'o a D'm y D's del controlador de memoria TMBOC (fig. 4). No se aplican señales a los terminales D'm+1 a D'm+4. Solamente puede reconocerse la dirección ADD20 en el
20 TMBOC, cuando se compara, en el circuito comparador ACC', con la primera dirección ADD20 almacenada en el registrador ATMBOC'. Cuando ambas primeras direcciones comparadas son idénticas, como hemos supuesto, se activa la salida OK del circuito comparador ACC' de tal manera que, por la señal
25 estroboscópica en el terminal D's, la segunda dirección ADD11 del controlador de memoria DMB1C se aplica a los terminales D'o a D' se escribe en el registrador ATMBOC'.

De una manera análoga el procesador ejecutivo CPUO, a través de la barra de distribución BB20, aplica
30 la primera dirección ADD20 del TMBOC a los terminales A'o

419438

18 05
26.



a A'q del TMBOC, las condiciones C10 a C13 de los dispositivos
biestado UBB10 a UBB13 del controlador de memoria DMB1C a
los terminales D'm+1 a D'm+4 del TMBOC y una señal estro-
boscópica al terminal D's del TMBOC. La dirección ADD20 se
5 compara de nuevo con la almacenada en el ATMBOC' y cuando
son idénticas, las condiciones en los terminales D-m+1 a
D'm+4 se copian en los dispositivos biestado UBB'10 a UBB'13.

Después de haberse ejecutado el programa de bloque
de memoria de sustitución, el procesador ejecutivo CPU0 reali-
10 za el programa de tomar a su cargo (Fig.5). Este programa
consiste en cargar en el bloque de memoria de traslator
TMBO todos los datos que estaban almacenados en el bloque de
memoria de datos averiado DMB1. Como se ha mencionado anterior-
mente, parte de estos datos esta almacenada también en la
15 memoria de datos DMBO, una parte de estos datos es constante
y está también almacenada en otro bloque de memoria de datos,
y finalmente, una parte de estos datos se recuperan probando
la malla de conmutación SN. El procesador ejecutivo CPU0
también fuerza a los procesadores CPU1, CPU2 y CPU3 a la
20 condición on-line.

Finalmente, el procesador ejecutivo CPU0 ejecuta
de recomienzo de procesador (Fig. 5) que consiste en preparar
los procesadores de tal manera que puedan ejecutar los progra-
mas de proceso de llamadas operacionales.

25 Ha de quedar entendido que la anterior descripción
anterior de una forma determinada del invento se hace a modo
de ejemplo, y no debe considerarse como limitación de su
alcance.

El presente invento corresponde a una solicitud de
30 patente formulada en Bélgica el día 9 de Octubre de 1972,

19438

8 OCT 27.



señalada con el Nº 789.828 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

----- NOTA -----

5 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

1.- Un sistema de control para proceso de datos que incluye varios procesadores y varias unidades de memoria, a las que tienen accesos dichos procesadores, y que solamente uno de los procesadores puede ejecutar programas predeterminados
10 Caracterizado porque entre dichos procesadores (CPU0, CPU1, CPU2, CPU3) que son todos similares, dicho único procesador sería cualquiera de, por lo menos, dos (CPU0, CPU1) de ellos y seleccionado anticipadamente como el más apropiado para
15 ejecutar dichos programas predeterminados, esto es, antes de tener lugar la necesidad de ejecución de los programas predeterminados.

2.- Un sistema de control para proceso de datos, según el punto 1, caracterizado porque incluye un dispositivo controlable (SA) acoplado a cada uno de los procesadores pre-
20 seleccionables por un primer canal individual (BB00, BB01). Cada uno de los procesadores esta acoplado (CPU0 a CPU3) a las unidades de memoria a través de un segundo canal individual (BB10 a BB13). Cada uno de los procesadores preselecciona-
25 bles esta acoplado a todas las unidades de memoria a través de un tercer canal individual (BB20, BB21), y un procesador pre-seleccionado puede calcular para cada procesador, incluido él mismo, el valor de una función que depende de varias variables y que son las condiciones de operativo y no-operativo
30 del procesador y la disponibilidad o no-disponibilidad para



419438

28.

este procesador de un primer canal correcto, un segundo y un tercer canal correcto. Dicho procesador pre-seleccionado puede además comparar los valores así calculados a fin de pre-seleccionar, eventualmente, otro procesador como el más apropiado.

5

3.- Un sistema de control para proceso de datos, según el punto 2, caracterizado porque dichas variables se almacenan en, por lo menos, una unidad de memoria (DMBO, DMBOC, DMB1, DMB1C) que es accesible a todos los procesadores.

10

4.- Un sistema de control para proceso de datos, según el punto 3, caracterizado porque dichas variables están almacenadas en, por lo menos, dos (DMBO, DMBOC, DMB1, DMB1C) de las unidades de memoria.

15

5.- Un sistema de control para proceso de datos, según el punto 2, caracterizado porque el procesador pre-seleccionado ejecuta dicha función de cálculo y comparación cada vez que el valor de, por lo menos, una de las variables de la función para un procesador, cambia.

20

6.- Un sistema de control para proceso de datos, según el punto 2, caracterizado porque dichas operaciones de cálculo y comparación se realizan bajo el control de un primero de dichos programas predeterminados.

25

7.- Un sistema de control para proceso de datos, según el punto 2, caracterizado porque un procesador pre-seleccionable (CPU0, CPU1) debe estar, simultáneamente, en condición operativa, tener disponible un primer canal correcto (BB00, BB01), tener disponible un segundo canal correcto (BB10, BB11) y tener, eventualmente, disponible un tercer canal correcto (BB20, CC21) para poder ejecutar un programa pre-determinado.

30

419438

29.



8.- Un sistema de control para proceso de datos, según el punto 1, caracterizado porque incluye diversas unidades de estado (SU0, a SU3) cada una de ellas asociada a uno de los procesadores (CPU0 a CPU3) para almacenar el estado de los mismos y cada una de ellas acoplada, por una parte, al procesador asociado CPU0 a CPU3 a través de un cuarto canal individual (BB20, BB30; BB21, BB31; BB22, BB32; BB23, BB33) y, por otra parte, a cada uno de los demás a través de un quinto canal común (BB40). Cada procesador puede cambiar su estado almacenado en su unidad de estado asociada a través de su cuarto canal. Un cambio de estado se comunica al procesador asociado a través del cuarto canal asociado y cada uno de los procesadores a través del quinto canal (BB40) y del cuarto canal (BB22, BB32) asociado al otro procesador.

9.- Un sistema de control para proceso de datos, según los puntos 6 y 8, caracterizado porque, por lo menos una de las unidades de memoria (DMBO, DMBOC) es accesible a todos los procesadores y también almacena (SU'0 a SU'3) el estado de dichos procesadores. Dicho procesador pre-seleccionado, al ser informado de un cambio de estado compara, primeramente, el estado almacenado en dicha unidad de memoria y en las unidades de estado a fin de deducir el procesador que ha cambiado su estado y, consecuentemente, ejecutar el primer programa predeterminado cuando este cambio afecte al valor de la función de este procesador.

10.- Un sistema de control para proceso de datos, según el punto 6, caracterizado porque dicho dispositivo (SA) es un conmutador de telecomunicación a través del cual dos procesadores pre-seleccionables (CPU0, CPU1) pueden establecer o reponer conexiones de llamada. Dicho procesador preselecciona

30

419438

36.0



do puede ejecutar un segundo de los programas predeterminados inmediatamente después de haber ejecutado un primer programa. Dicho segundo programa predeterminado esta adaptado para controlar la distribución de carga de proceso de llamadas sobre los procesadores entonces operativos.

11.- Un sistema de control para proceso de datos, según los puntos 2 y 7, caracterizado porque un tercero de dichos programas predeterminados incluye el control de la reconfiguración del sistema modificando el acceso de dichos procesadores a, por lo menos, una unidad de memoria y la carga con datos de, por lo menos, una unidad de memoria. Dicho procesador pre-seleccionado puede ejecutar este programa cuando tiene también disponible un tercer canal correcto (BB20, BB21).

12.- Un sistema de control para proceso de datos, según el punto 2, caracterizado porque el dispositivo controlable (SA) es un conmutador de telecomunicación a través del cual dos procesadores pre-seleccionables pueden establecer y reponer conexiones de llamada y que un cuarto de los programas predeterminados esta adaptado para detectar regularmente la reposición de las conexiones de llamada y el almacenaje de las mismas en, por lo menos, una unidad de memoria (DMBO, DMBOC; DMB1, DMB1C) a la que tienen acceso todos los procesadores.

13.- Un sistema de control para proceso de datos, según el punto 12, caracterizado porque cada una de, por lo menos, dos (DMBO, DMBOC; DMB1, DMB1C) de dichas unidades de memoria son accesibles a todos los procesadores y se utilizan para almacenar las conexiones de llamadas repuestas.

14.- Un sistema de control para proceso de datos, según el punto 2, caracterizado porque cada una de las unidades de memoria tiene elementos de detección de fallos (PCCL)



31. 18

410478

acoplados a cada uno de los procesadores a través de los segundos canales (BB10 a BB13) para informar al procesador de la detección de un fallo. Cada uno de los procesadores, al ser informado de tal fallo, ejecuta un programa de diagnóstico para detectar la localización y naturaleza del fallo; el resultado de esta diagnóstico se almacena en, por lo menos, una de las unidades de memoria (DMB0, DMB1) a la que todos los procesadores tienen acceso.

15.- Un sistema de control para proceso de datos, según el punto 14, caracterizado porque, para la ejecución de dicho programa de diagnóstico, cada procesador se lleva él mismo, a la condición de alto, a no ser que se trate del procesador pre-seleccionado, en cuyo caso, ejecuta primero los programas tercero y cuarto y después lleva a los procesadores en condición de alto a la condición operativa.

16.- Un sistema de control para proceso de datos, según el punto 2, caracterizado porque cada una de las unidades de memoria incluye un primer registrador (ATMBOC) que almacena una dirección modificable (ADD11) para acceder a la unidad de memoria por un procesador (CPU0 a CPU3) a través de un segundo canal (BB10 a BB13) que interconecta este procesador y esta unidad de memoria. Un dispositivo biestado (UBB'10 a UBB'13) esta asociado a cada segundo canal acoplado a la unidad de memoria para indicar si este canal se emplea o no en cooperación con esta unidad de memoria. Dicha unidad de memoria es accesible, a través de un tercer canal, para modificar dicha primera dirección y/o la condición de dicho segundo canal(es).

17.- Un sistema de control para proceso de datos, según el punto 16, caracterizado porque la dirección modifi-

30

419438

32.



cable de una unidad de memoria es un indicativo del contenido de esa memoria.

5 18.- Un sistema de control para proceso de datos, según el punto 2, caracterizado porque cada unidad de memoria incluye un segundo registrador (ATMBOC') que almacena una dirección fija (ADD10) para que la unidad tenga acceso por uno de los dos procesadores (CPU0, CPU1) a través de dicho tercer canal (BB20, BB21).

10 19.- Un sistema de control para proceso de datos, según los puntos 11, 16 y 18, caracterizado porque la operación de reconfiguración consiste en poner direcciones en, por lo menos, una unidad de memoria por medio de la dirección fija de la misma, y en modificar la dirección modificable y/o la condición de los dispositivos biestados de la misma.

15 20.- Un sistema de control para proceso de datos, según el punto 1, caracterizado porque incluye unidades de memoria (TMBO, TMBOC; TMB1, TMB1C) que almacenen los mismos datos semi-permanentes.

20 21.- Un sistema de control para proceso de datos. Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que acompañan y a los fines especificados.



419438

33.

Esta memoria consta de treinta y tres hojas escritas por una sola cara.

MADRID, 8 OCT. 1973

Eugenio Barroso
EUGENIO BARROSO
Secretario General



[Handwritten signature]

4/1

21 FEB 1974

STANDARD ELECTRICA, S.A.



419438

419438

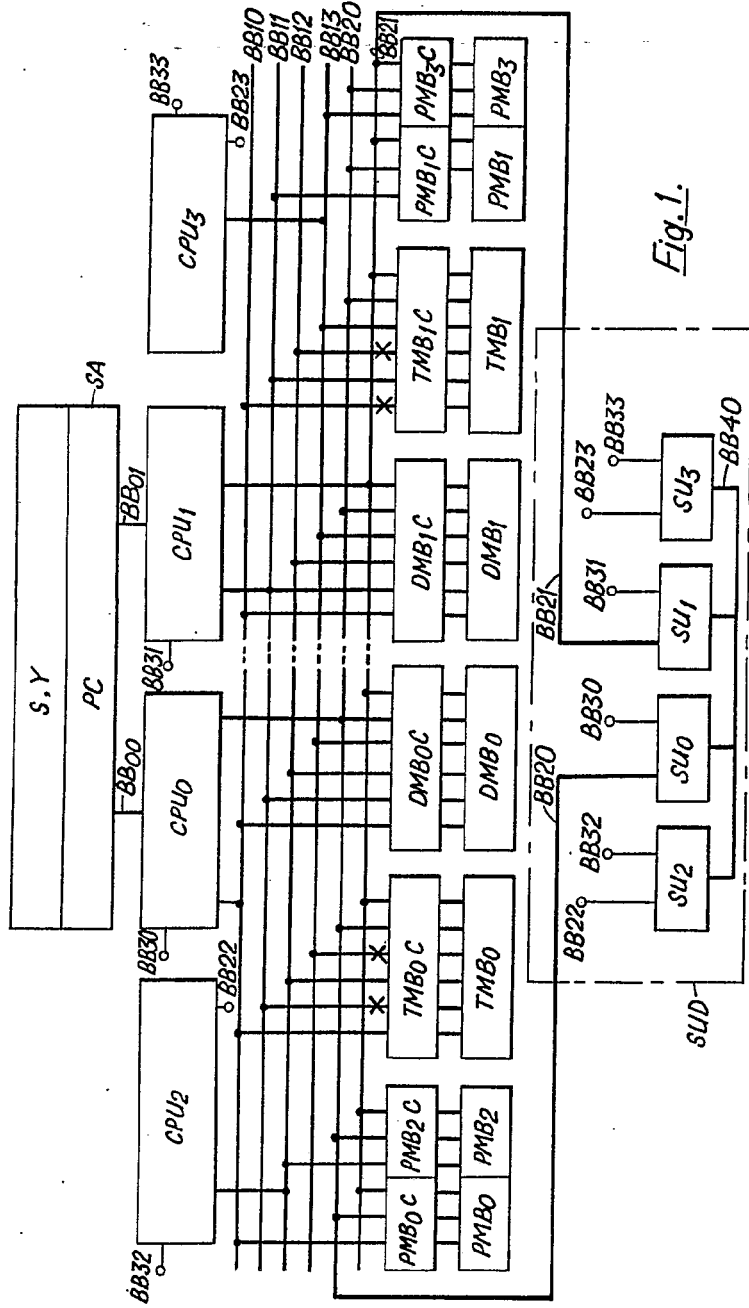


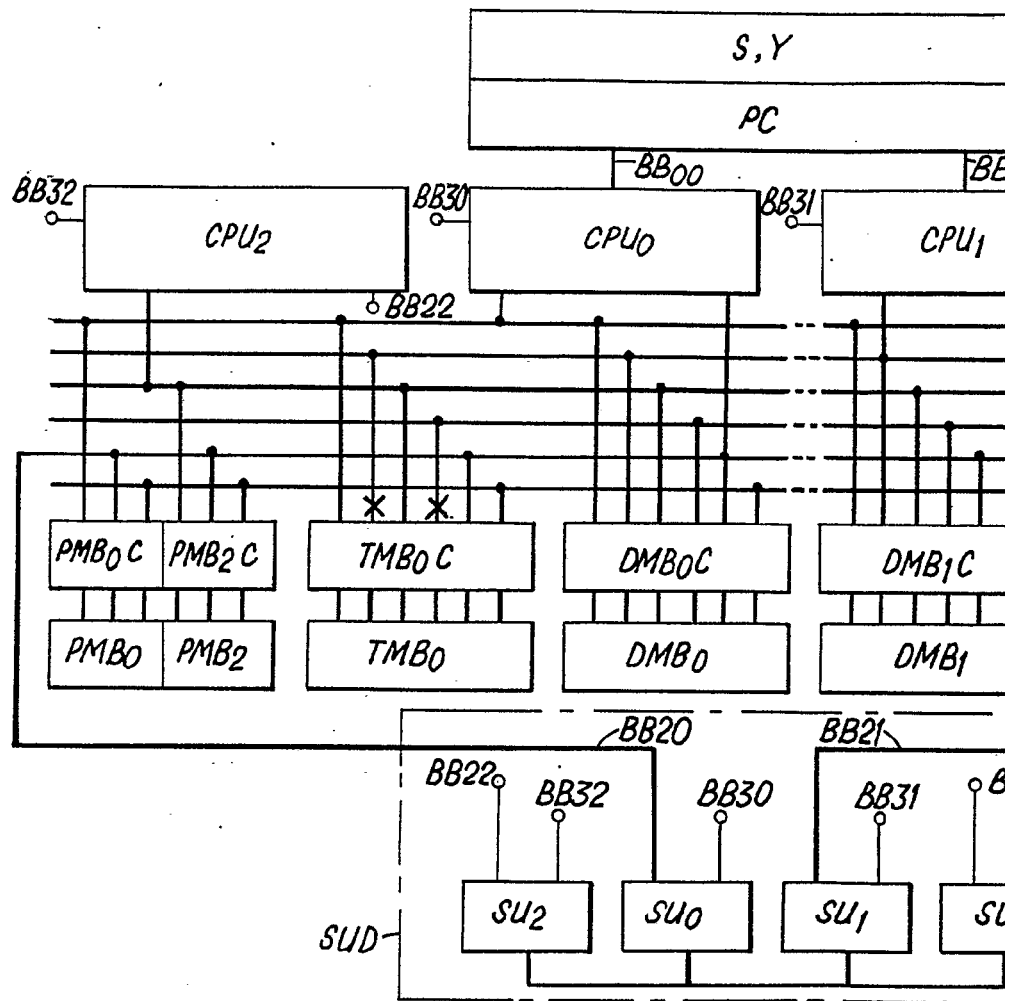
Fig. 1.

21 FEB. 1974



Eugenio Barroso
EUGENIO BARROSO
Secretario General

419438





419438

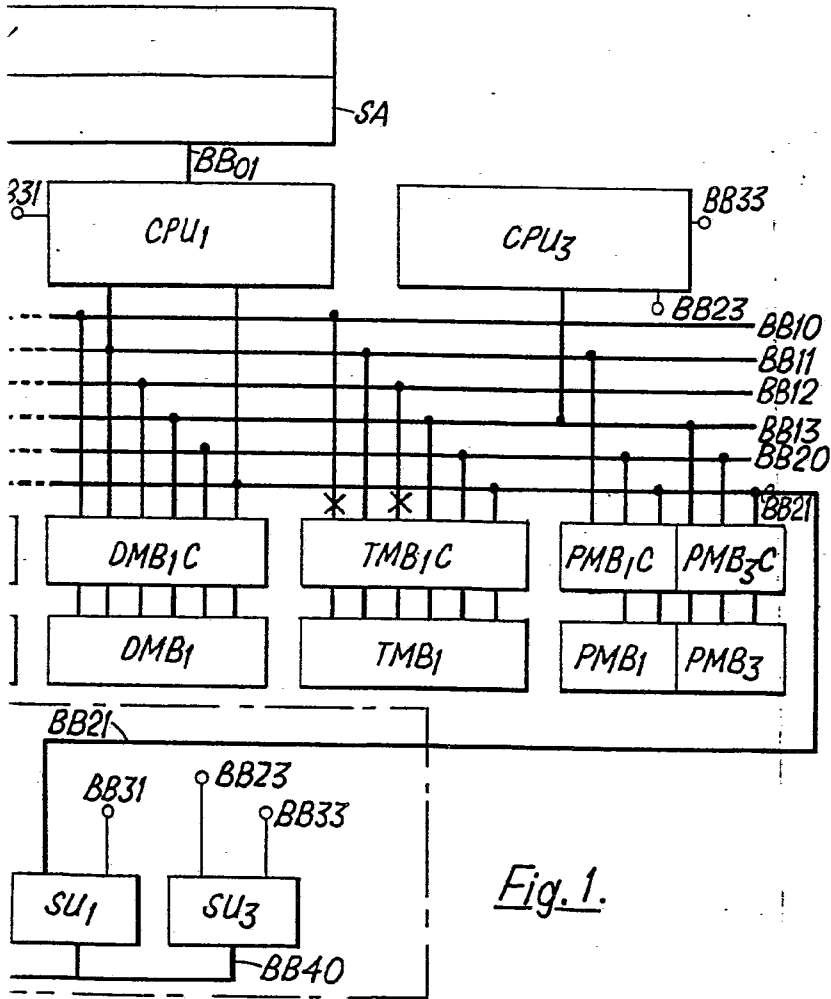
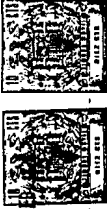


Fig. 1.

21 FEB. 1974



Eugenio Barroso
EUGENIO BARROSO
Secretario General



671 2400

499438

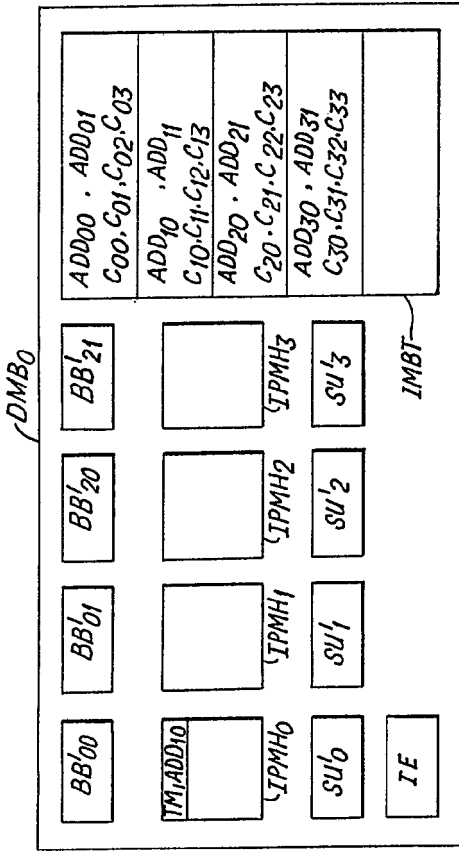


Fig. 2.

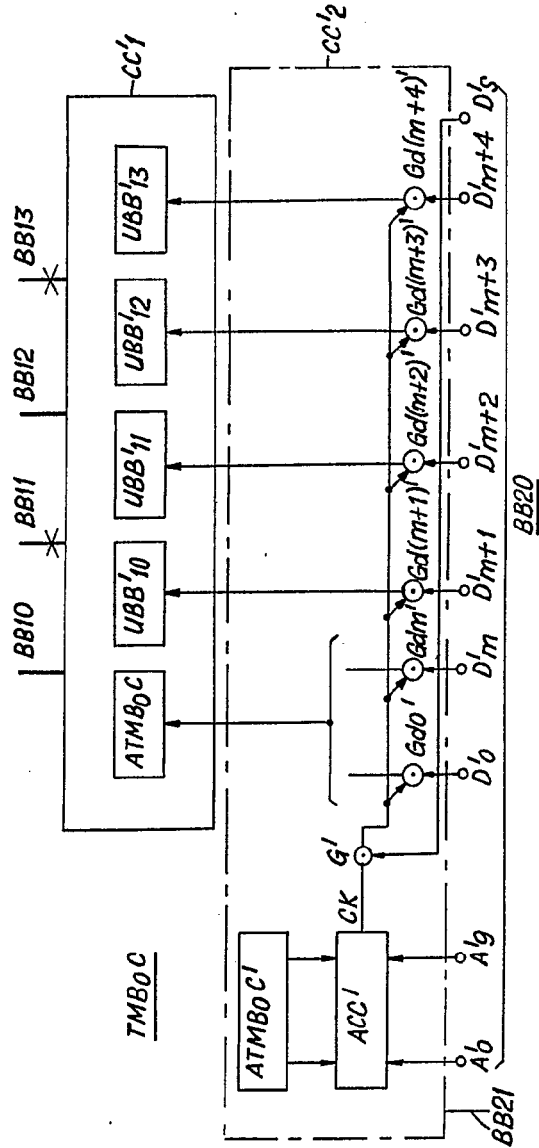


Fig. 4.

21 FEB. 1974



Eugenio Barroso

EUGENIO BARROSO
Secretario General

419450

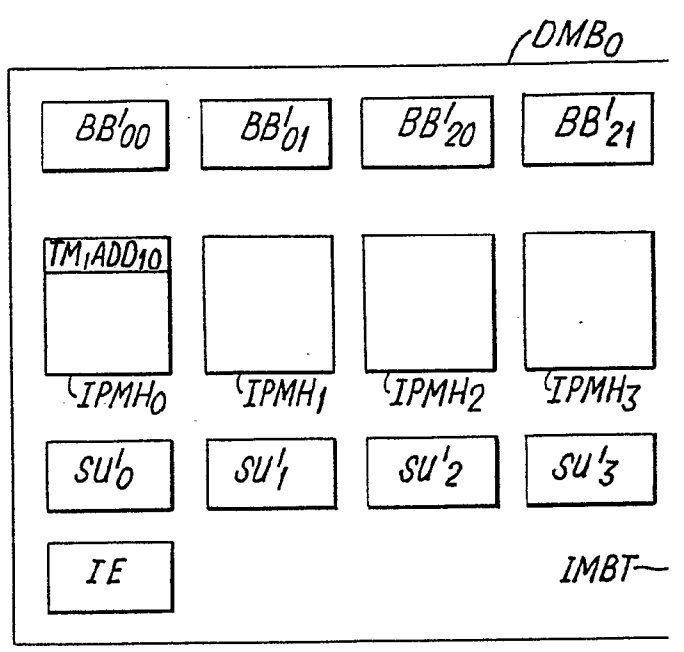


Fig. 2.

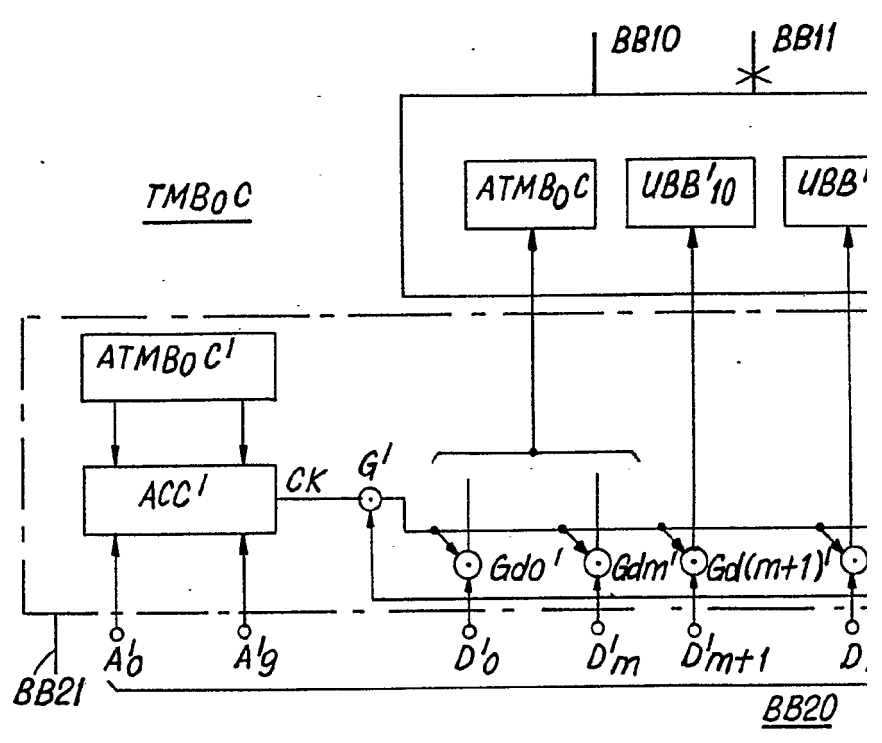


Fig. 4.



499438

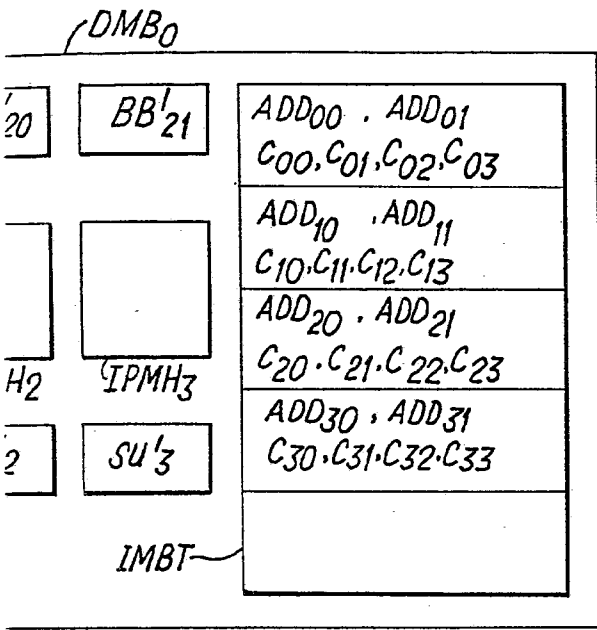
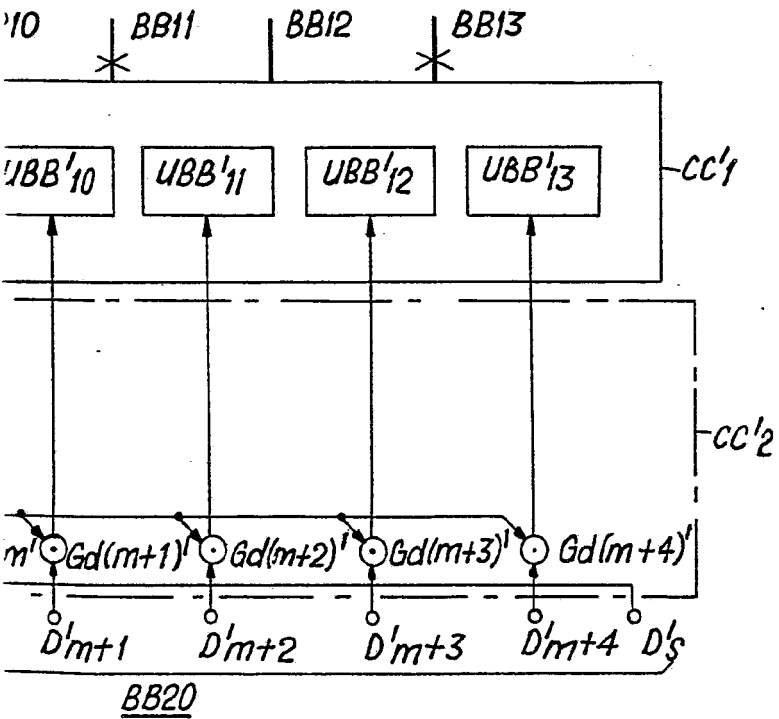


Fig. 2.



21 FEB. 1974



Eugenio Barroso

EUGENIO BARROSO
 Secretario General



4/3

STANDARD ELECTRICA, S. A.

419438

419438

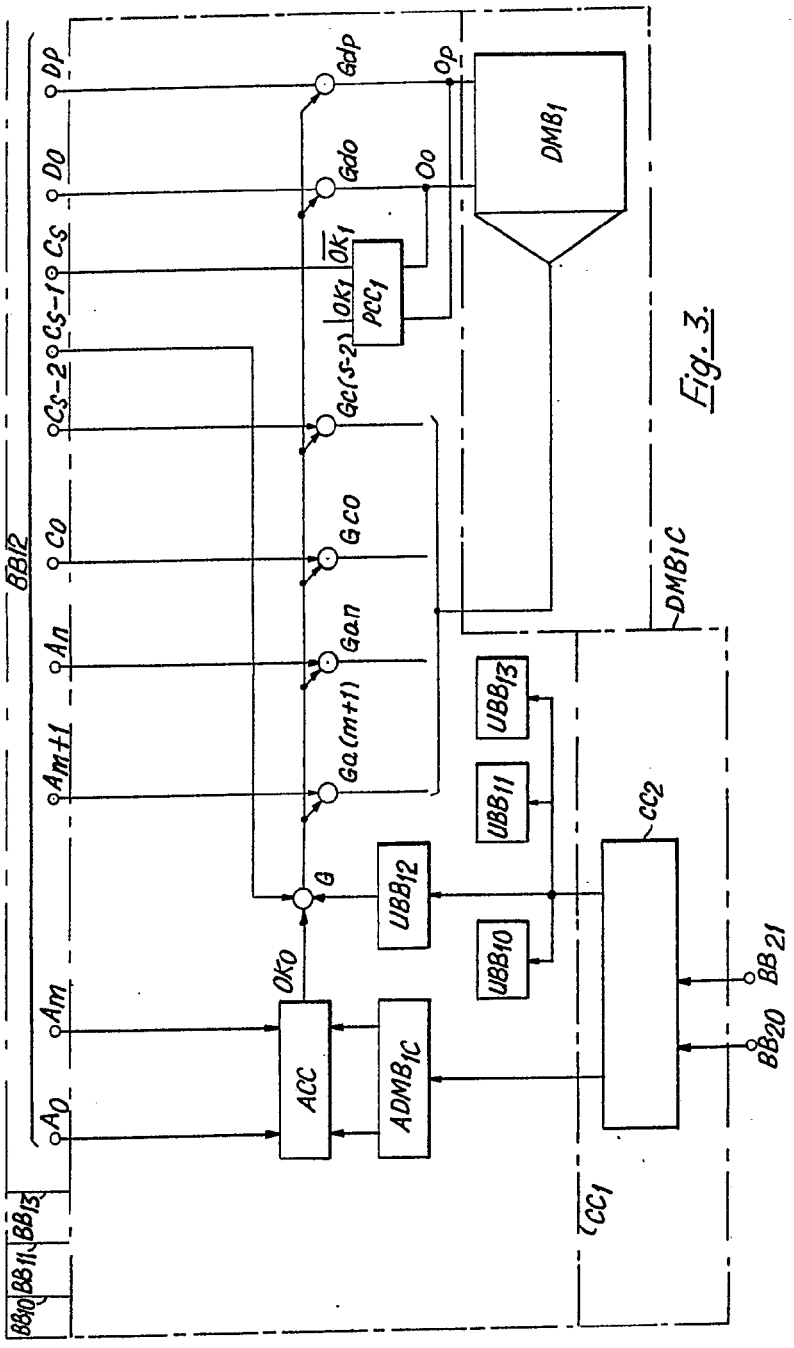


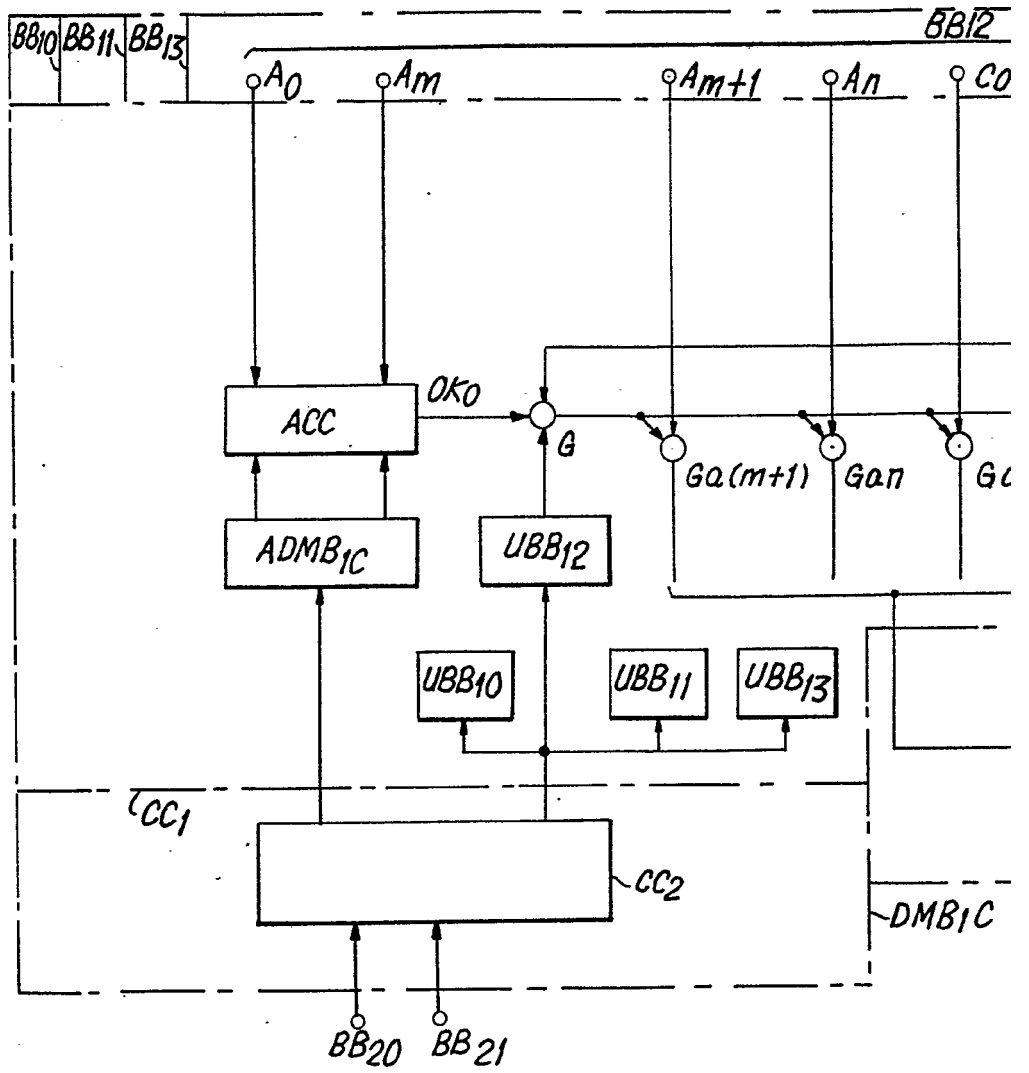
Fig. 3.

21 FEB. 1974



Eugenio Barroso
EUGENIO BARROSO
Secretario General

419438



4/3

STANDARD ELECTRICAL



719438

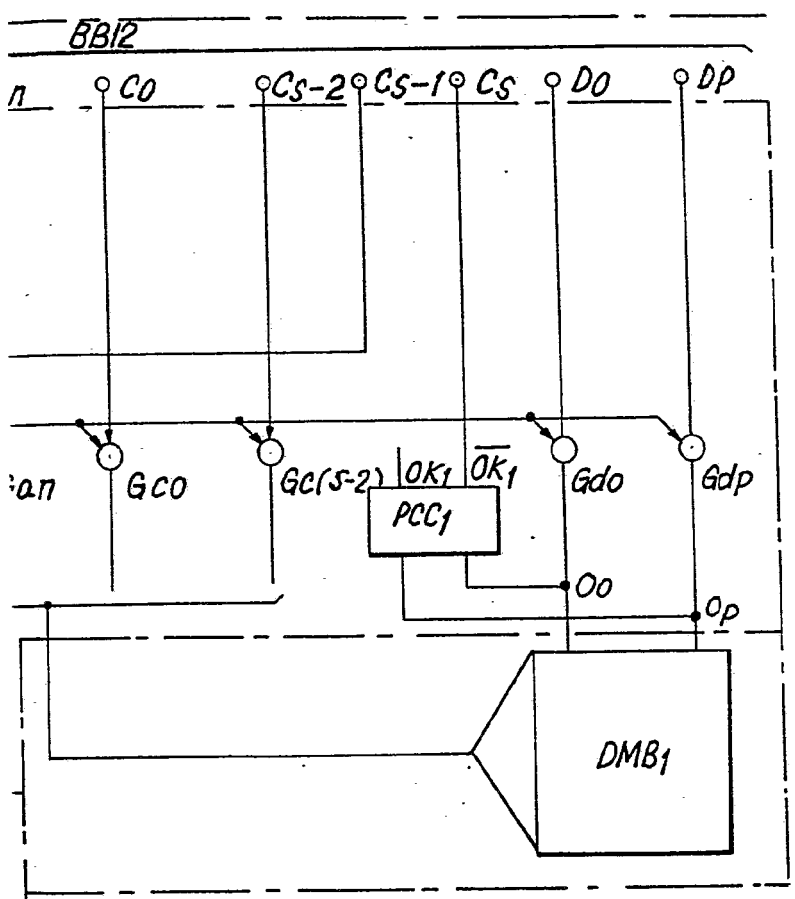


Fig. 3.

21 FEB. 1974



Eugenio Barroso
 EUGENIO BARROSO
 Secretario General



419438

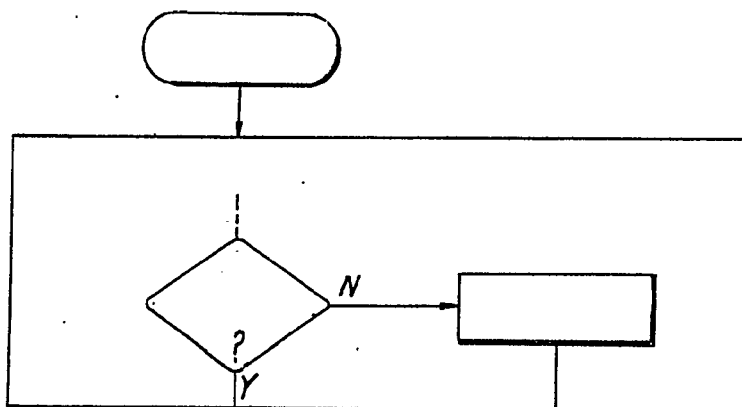
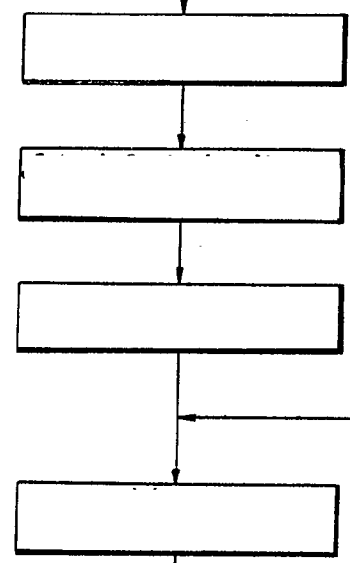


Fig. 5.



21 FEB. 1974

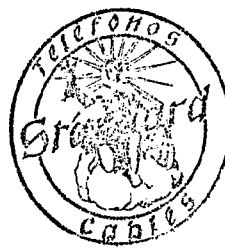


Fig. 6.

Eugenio Barroso
EUGENIO BARROSO
Secretario General