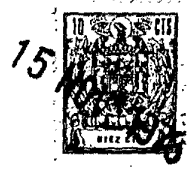


418980



P.- 55.568

File: S0471.53

MEMORIA DESCRIPTIVA

Incl. Cls: H04H

para solicitar PATENTE DE INVENCION por VEINTE años

A nombre de SONY CORPORATION

entidad japonesa

establecida en 7-35 Kitashinagawa, 6-Chome, Shinagawa-ku,  
Tokyo, Japón

por: "UN DISPOSITIVO DE CIRCUITO DE PUERTA"

(Clase Internacional H04h)

6-11-73

- 1 -



## PRINCIPIOS BASICOS DEL INVENTO

### Campo del Invento

5 Este invento se refiere al campo de circuitos puerta  
diferenciales y en particular al campo de circuitos para  
controlar el paso de señales de sincronismo de color en  
aparatos de televisión.

### La Técnica Anterior

10 Se utilizan circuitos puerta para seleccionar cier-  
tas señales de información de una serie de tales señales  
y para hacer esta selección tomando como base el instan-  
te en que se produce la señal seleccionada. Estos circui-  
tos son muy útiles en receptores de televisión para selec-  
15 cionar señales de sincronismo de color de una señal com-  
pleta de televisión en color. Las señales de sincronis-  
mo de color se presentan en un instante conocido en cada  
intervalo de supresión horizontal, y es relativamente fá-  
cil generar un impulso de puerta a ser aplicado a un cir-  
20 cuito puerta para hacer que el circuito puerta deje pasar  
las señales de sincronismo de color. Las señales de sin-  
cronismo de color son entonces utilizadas para controlar  
la frecuencia y la fase de un oscilador local que es uti-  
lizado en la reproducción de señales de color.

25 No se supone que la señal de color entre impulsos de



puerta pasa a través del circuito puerta, porque la señal de color contiene componentes que pueden hacer que el oscilador local produzca una señal que tenga incorrecta la fase. Por tanto, es muy indeseable cualquier fuga de señal a través del circuito puerta cuando no se supone que el circuito puerta deja pasar las señales. Si los impulsos de puerta fuesen rectangulares y precisamente de la temporización y duración correctas, la fuga podría evitarse más fácilmente, pero los impulsos típicos de puerta tienen flancos inclinados anterior y posterior que hacen posible que algunas señales de información no deseadas pasen a través del circuito puerta al comienzo y al final de cada uno de los impulsos de puerta.

La disposición básica de circuitos de puerta diferenciales del tipo que se utiliza actualmente incluye tres transistores. Los emisores de dos de estos transistores están conectados entre sí y están también conectados al colector del tercer transistor. Se hace referencia a los dos primeros transistores como transistores conectados diferencialmente porque el circuito está diseñado para funcionar de tal modo que la corriente a través del primer transistor aumenta a medida que disminuye la corriente a través del segundo transistor. También es cierto el funcionamiento inverso. Puesto que el tercer transistor está conectado en serie con el par conectado diferencialmen



te, la corriente a través de cualquiera del primero o se  
gundo transistores debe fluir a través del transistor co  
nectado en serie.

5 En algunos circuitos puerta diferenciales existentes  
la información de señal cuyo paso ha de ser controlado es  
aplicada al primer transistor conectado diferencialmente,  
y el terminal de salida de señal de paso controlado está  
conectado al circuito de salida del mismo transistor. El  
10 tercer transistor conectado en serie está controlado por  
una señal de paso que permite que los tres transistores  
conduzcan solamente durante cada uno de los impulsos de  
paso.

15 Los circuitos puerta diferenciales de este tipo tie  
nen fuga excesiva de las señales de información desde el  
terminal de entrada al terminal de salida en aquellos ins  
tantes situados entre impulsos de paso cuando se supuso  
que el camino de transmisión no era conductor para tales  
señales. Esta fuga es debida al hecho de que hay solamen  
te un único transistor no conductor en el camino de se-  
20 ñal. La capacidad parásita inevitable proporciona un ca  
mino adicional alrededor de un transistor no conductor y  
aunque la señal es atenuada en su paso a través de este  
camino adicional, la corriente de fugas puede aún ser de  
masiado grande.

25 La fuga de señal se reduce en otros circuitos puer-



ta existentes conectando la señal de información al tran-  
sistor conectado en serie y controlando la conducción del  
primer transistor conectado diferencialmente, que es el  
que amplifica la señal de salida del transistor conecta-  
do en serie. El segundo transistor conectado diferencial-  
mente es conductor durante intervalos entre impulsos de  
paso y pone virtualmente en cortocircuito la señal de sa-  
lida del transistor conectado en serie durante esos inter-  
valos. Durante los intervalos entre impulsos de paso,  
cualquier señal de fugas tendría que seguir un camino de  
capacidades parásitas alrededor del transistor no conduc-  
tor conectado en serie y alrededor del primer transistor  
no conductor conectado diferencialmente. La atenuación  
de la corriente de fugas en tal camino es grande y el ter-  
minal de salida está mejor aislado del terminal de entra-  
da. Sin embargo, al menos uno o el otro de los transisto-  
res conectados diferencialmente está siempre en conduc-  
ción, junto con el dispositivo de transistor conectado  
en serie, y esto da como resultado un consumo medio de  
potencia indeseablemente alto con una cantidad de calor  
a disipar correspondientemente alta. Estos circuitos  
han de ser construidos en forma de circuito integrado,  
y es deseable reducir al mínimo la disipación de calor  
en circuitos integrados.

25



RESUMEN DEL INVENTO

De acuerdo con el presente invento es utilizado un  
circuito diferencial para controlar el paso de una señal  
5 de información. Esta última señal es aplicada a un pri-  
mer transistor, o dispositivo semiconductor, conectado  
en serie con dos dispositivos semiconductores conectados  
diferencialmente, uno de los cuales tiene su conducción  
controlada por una señal de paso. El primer dispositivo  
10 semiconductor no solamente amplifica la señal de informa-  
ción, sino que también está conectado para tener contro-  
lada su conducción por la señal de paso de modo que esté  
en estado de no conducción, y por consiguiente no funcio-  
ne como amplificador, excepto durante los intervalos de  
15 conducción controlada de la señal de paso. Puesto que es-  
te dispositivo semiconductor está conectado en serie con  
cada uno de los dispositivos semiconductores conectados  
diferencialmente, los dos últimos dispositivos están tam-  
bién en estado de no conducción excepto durante los in-  
20 tervalos de conducción controlada.

Uno de los dispositivos semiconductores conectados  
diferencialmente está conectado para amplificar adicio-  
nalmente la señal de información de salida del dispositi-  
vo semiconductor conectado en serie durante los interva-  
25 los de conducción controlada. El segundo dispositivo se



miconductor conectado diferencialmente está polarizado de tal modo que se hace conductor antes de que lo haga el primer dispositivo conectado diferencialmente cuando la señal de paso hace que entre en conducción el dispositivo semiconductor conectado en serie. Cuando el segundo dispositivo semiconductor conectado diferencialmente se hace conductor, pone virtualmente en cortocircuito la señal de salida del dispositivo semiconductor conectado en serie hasta que la señal de paso aplicada al primer dispositivo semiconductor conectado diferencialmente alcanza el nivel de tensión necesario para provocar la conducción de ese dispositivo. El funcionamiento diferencial transfiere entonces el estado de conductividad desde el segundo al primer dispositivo semiconductor conectado diferencialmente, el cual amplifica entonces la señal de información procedente del dispositivo semiconductor conectado en serie.

Como resultado del control sucesivo de conducción y transferencia diferencial de la conductividad, la señal de información es aislada del terminal de salida por dos dispositivos semiconductores durante los intervalos entre señales de paso e incluso se evita el flujo de señales de información no deseadas precisamente después del comienzo y precisamente antes del final de cada uno de los impulsos de paso no rectangulares.



### BREVE DESCRIPCION DE LOS DIBUJOS

La figura 1 es un diagrama de bloques de las secciones de un receptor de televisión en color; que se refiere al funcionamiento del circuito de este invento.

Las figuras 2 y 3 son diagramas esquemáticos de circuitos puerta de la técnica anterior.

Las figuras 4 y 5 son diagramas esquemáticos de circuitos puerta de acuerdo con el presente invento.

Las figuras 6A - 6D son formas de onda que representan el funcionamiento del circuito de la figura 5.

La figura 7 es un diagrama esquemático de otra realización del invento.

### DESCRIPCION DETALLADA DEL INVENTO

Los componentes del receptor de televisión en color ilustrados en la figura 1 incluyen una antena 1 conectada a un sintonizador 2 que selecciona el canal de televisión a ser visto. La salida del sintonizador está conectada a un amplificador 3 de frecuencia intermedia que suministra señales a un detector 4 de video. Una de las salidas del detector 4 está conectada a un canal 5 de señal de luminancia y a un amplificador 6 de crominancia en



un canal de crominancia. El detector 4 suministra también señales a un separador de señal de sincronismo y circuito 7 de deflexión. Este circuito suministra una señal de deflexión horizontal y una señal de deflexión vertical por intermedio de los circuitos X e Y, a un conjunto de bobinas de deflexión sobre un tubo de imagen de rayos catódicos.

Este invento está relacionado con un circuito de puerta tal como puede ser utilizado para un separador 8 de señal de sincronismo de color. Este circuito recibe una señal de información en la forma de la señal de crominancia del amplificador 6 de crominancia y una señal H de paso procedente del circuito 7 separador de señal de sincronismo.

La salida del separador 8 de señal de sincronismo de color está conectada a un circuito 9 oscilante de señal de sincronismo de color en el cual un circuito sintonizado de alta selectividad que incluye un cristal  $X_1$  convierte las señales de sincronismo de color intermitentes en una señal más continua. Esta señal es utilizada para controlar la frecuencia de las oscilaciones generadas por un oscilador 10. La salida del circuito 9 oscilante de señal de sincronismo de color está también conectada a circuitos 11 de control automático de color y de supresión de color que controlan el funciona



miento del amplificador 6 de crominancia. La salida controlada del amplificador de crominancia es aplicada a un demodulador 12 de color que recibe también la señal controlada procedente del oscilador 10 para demodular las  
5) señales de crominancia. Las señales demoduladas son aplicadas junto con las señales de luminancia procedentes del canal 5 de luminancia a un circuito 13 matriz para producir señales independientes de color rojo, verde, y azul. Estas son aplicadas a un tubo de imagen de color de rayos catódicos, para generar una imagen de televisión en color.  
10

La figura 2 representa un tipo de circuito 8 puerta de la técnica anterior utilizado en el receptor de la figura 1. Este circuito recibe una señal C de crominancia como señal de información en un terminal 21 de entrada de señal de información. Este terminal está conectado a la base del transistor  $Q_1$  que tiene su emisor conectado a masa a través de una resistencia y su colector conectado directamente a los emisores de los dos transistores  $Q_2$  y  $Q_3$  conectados diferencialmente.  
15  
20

La señal H de impulso de paso está aplicada a un terminal 22 de entrada de señales de impulso de paso, que está conectado a la base del transistor  $Q_2$ . La señal de salida del circuito 8 está presente entre los dos terminales 23 y 24, y está conectado a través de estos termina-  
25



les el primario de un transformador  $T_1$ . Un condensador  $C_1$  sintoniza el transformador, y están conectados los terminales 25 y 26 de salida a los extremos del arrollamiento secundario. La corriente continua necesaria para el funcionamiento del circuito es suministrada a través de dos terminales de alimentación de corriente, uno de los cuales está indicado por la cifra 27 de referencia y el otro de los cuales es el terminal de masa.

Durante el funcionamiento del circuito de la figura 2, las tensiones de polarización sobre los tres transistores son tales que los transistores  $Q_1$  y  $Q_3$  están en conducción pero el transistor  $Q_2$  está normalmente en estado de no conducción. Las señales C de información aplicadas al terminal 21 de entrada son amplificadas por el transistor  $Q_2$  solamente cuando un impulso H de puerta hace conductor a ese transistor. Cuando el transistor  $Q_2$  se hace conductor, el funcionamiento diferencial de los transistores  $Q_2$  y  $Q_3$  hace que el último quede en estado de no conducción. Entre los impulsos H, el transistor  $Q_2$  está en estado de no conducción y no es, por consiguiente, capaz de amplificar ninguna señal en el colector del transistor  $Q_1$  conectado en serie. Adicionalmente, cuando el transistor  $Q_2$  está en estado de no conducción, el funcionamiento diferencial hace conductor al transistor  $Q_3$  y hace que el colector del transis



tor  $Q_1$  quede limitado a una tensión fija que es precisamente un poco más baja que la tensión  $V_{cc}$  presente en el terminal 27. Cualquier corriente de señal de información sería bastante pequeña en el colector del transistor  $Q_1$  debido a esta acción de fijación de nivel y sería adicionalmente atenuada al recorrer cualquier camino proporcionado por la capacidad  $C_{ec2}$  parásita entre el emisor y el colector del transistor  $Q_2$  o la capacidad  $C_{be2}$  parásita base emisor en serie con la capacidad  $C_{bc2}$  parásita base colector.

El circuito de la figura 2 tiene una desventaja muy indeseable. Está circulando siempre corriente continua a través del transistor  $Q_1$  y uno de los transistores  $Q_3$  o  $Q_2$ . Esta corriente continua no es deseable en receptores portátiles y en circuitos integrados, lo cual hace no satisfactorio este circuito para estos fines.

El circuito de la figura 3 es similar al de la figura 2 excepto en que los terminales 21 y 22 de entrada están invertidos y el transistor  $Q_1$  está polarizado para estar normalmente en estado de no conducción mientras que el transistor  $Q_2$  está polarizado de modo que estaría normalmente en estado de conducción si el transistor  $Q_1$  conectado en serie permitiese que fluyese corriente a través del mismo.

En funcionamiento, la señal H de paso es aplicada

15



al terminal 22 de entrada de señales de paso para hacer conductor al transistor  $Q_1$ . Esto permite también que el transistor  $Q_2$  amplifique la señal C de información aplicada al terminal 21 de entrada. Entre impulsos de paso, el transistor  $Q_1$  está en estado de no conducción y de este modo no puede fluir corriente a través de cualquiera de los transistores  $Q_2$  y  $Q_3$  conectados diferencialmente. Esto reduce mucho la corriente media a través del circuito y, por consiguiente, la disipación de calor, pero es posible que la corriente de fuga circule exteriormente al transistor  $Q_2$  que está en estado de no conducción fluyendo desde el terminal 21 de entrada al terminal 24 de salida a través de la capacidad  $C_{bc2}$  parásita.

La figura 4 representa una realización básica del presente invento. Muchos de los componentes son los mismos que en los circuitos de las figuras 2 y 3. Las diferencias importantes son que el terminal 21 de entrada de señal de información está conectado al electrodo de entrada de base del transistor  $Q_1$  semiconductor conectado en serie, el cual está polarizado para estar normalmente en estado de no conducción; el terminal 22 de entrada de señal de paso está conectado al electrodo de entrada de base de uno de los dispositivos semiconductores conectados diferencialmente (transistor  $Q_2$ ), que está también normalmente en estado de no conducción; y un circuito



que comprende una resistencia  $R_4$  conecta los electrodos de entrada de los transistores  $Q_1$  y  $Q_2$ .

5 En funcionamiento, el circuito de salida emisor colector del transistor  $Q_1$  está normalmente en estado de no conducción. Esto evita que fluya cualquier corriente continua a través del circuito de salida emisor colector de cualquiera de los transistores  $Q_2$  o  $Q_3$ . Con el fin de que la señal C de información aplicada al terminal 21 de entrada produzca alguna corriente saliente del terminal 24 de salida en tales condiciones, sería necesario que fluyese una corriente de fuga a través de la capacidad  $C_{be1}$  e indistintamente la capacidad  $C_{ec2}$  parásita o las capacidades  $C_{be2}$  y  $C_{bc2}$  parásitas. La corriente de fuga sería, por consiguiente, atenuada.

15 Cuando la señal H de paso es aplicada al terminal 22, hace subir la polarización sobre la base del transistor  $Q_1$  al nivel en el cual este transistor conduce lo cual permite que fluya corriente a través de los transistores  $Q_1$  y  $Q_3$ . A medida que la señal H de paso continua subiendo, el transistor  $Q_2$  se hace conductor y hace que el transistor  $Q_3$  entre en estado de no conducción. Entonces la señal C de información aplicada al terminal 21 de entrada será amplificada por los transistores  $Q_1$  y  $Q_2$  y aplicada al arrollamiento primario del transformador 20  $T_1$  por medio del terminal 24 de salida y el terminal 23 25



común.

Está claro que el circuito de la figura 4 tiene la importante característica de baja corriente media del circuito de la figura 3 y tiene también la característica de baja corriente de fuga del circuito de la figura 2, pero no tiene las desventajas de cualquiera de los circuitos de la técnica anterior.

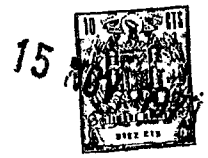
La figura 5 representa una realización modificada del invento y nuevamente los componentes similares a los de los circuitos anteriores están identificados por los mismos caracteres de referencia. En vez de estar conectado directamente a la base del transistor  $Q_1$ , el terminal 21 de entrada de señal de información está conectado al electrodo de entrada de base de un transistor  $Q_4$  conectado como seguidor de emisor con una resistencia  $R_{4a}$  de carga de emisor. Un diodo  $D_1$  conecta el emisor del transistor  $Q_4$  a la base de otro transistor  $Q_5$  que está también conectado como seguidor de emisor y tiene una resistencia  $R_5$  de carga de emisor. El terminal 22 de señales de paso está conectado a la base de un transistor  $Q_6$  además de estar conectado a la base del transistor  $Q_2$ . Está conectada una resistencia  $R_6$  entre el colector del transistor  $Q_6$  y el terminal 27 de fuente de alimentación, y está conectada otra resistencia  $R_7$  entre el emisor del transistor  $Q_6$  y la base del transistor  $Q_5$ .



Se describirá el funcionamiento del circuito de la figura 5 con referencia a las formas de onda de las figuras 6A-6D. Inicialmente, el diodo  $D_1$  y todos los transistores excepto el transistor  $Q_4$  están en estado de no conducción. De este modo, la señal C de información aplicada al terminal 21 de entrada es separada del terminal 24 de salida por el diodo  $D_1$  y los transistores  $Q_5$ ,  $Q_1$  y  $Q_2$  todos los cuales están en estado de no conducción. Esto aísla los terminales 21 y 24 entre sí aún más que los mismos terminales en el circuito de la figura 4.

La figura 6A representa la forma de onda de la señal H de paso como se aplica al terminal 22 de entrada. Todos los transistores  $Q_6$ ,  $Q_5$  y  $Q_1$  se hacen conductores cuando la señal H alcanza el nivel  $V_1$  de tensión. Esto ocurre en el instante  $t_1$ . A medida que la señal H continúa aumentando, la corriente a través del circuito colector emisor del transistor  $Q_1$  aumenta, como se representa en la forma de onda de la figura 6B. Puesto que el transistor  $Q_2$  está en estado de no conducción en este instante, la corriente a través del circuito de salida emisor colector del transistor  $Q_1$  debe fluir a través del circuito de salida emisor colector del transistor  $Q_3$ , como se representa en la forma de onda de la figura 6D.

Cuando la señal H de paso alcanza el nivel  $V_2$  el



transistor  $Q_2$  se hace conductor y un aumento adicional en la tensión  $H$  hace que la conductividad en el circuito diferencial se desplace desde el transistor  $Q_3$  al transistor  $Q_2$ . En la práctica real, este funcionamiento diferencial no es probable que tenga lugar tan instantáneamente como resulta de las figuras 6C y 6D. La figura 6C ilustra el flujo de corriente a través del circuito emisor colector del transistor  $Q_2$ . Sin embargo, el transistor  $Q_2$  conduce solamente durante la parte central del impulso  $H$  entre los instantes  $t_2$  y  $t_3$ . Desde el instante  $t_3$  hasta el instante  $t_4$ , el transistor  $Q_2$  está en estado de no conducción y el transistor  $Q_3$  está en conducción.

La razón que justifica la secuencia de funcionamiento que se acaba de describir es que las señales de sincronismo de color están situadas en lo que se conoce como umbral posterior de las señales de supresión horizontal. La duración total de cada impulso  $H$  de paso puede ser mayor que el tiempo requerido para el umbral posterior de la señal de supresión horizontal. Precediendo al umbral posterior está la señal de sincronismo horizontal, la cual no tiene componente de la misma frecuencia que la señal de sincronismo de color, y, por consiguiente, no es probable que origine perturbaciones en la sincronización del oscilador 10. Sin embargo, si la señal



H tiene una duración suficientemente larga para mantener en conducción los transistores  $Q_1$ ,  $Q_5$  y  $Q_6$ , después que haya finalizado el intervalo de supresión horizontal, lo cual es probable que ocurra, sería posible que  
5 alcanzasen el terminal 24 de salida componentes de señal de crominancia indeseadas en la señal C de información aplicada al terminal 21 de entrada.

El nivel  $V_2$  del impulso H en el cual el transistor  $Q_2$  se hace no conductor cuando la amplitud del impulso  
10 disminuye, está seleccionado de modo que el transistor  $Q_2$  estará en estado de no conducción y el transistor  $Q_3$  se hará conductor nuevamente antes de que finalice la señal de supresión horizontal. Incluso si el intervalo de supresión horizontal termina entre los instantes  $t_3$   
15 y  $t_4$  representados en la figura 6D, el transistor  $Q_3$  estará en conducción y mantendrá baja la amplitud de la señal de información. El transistor  $Q_2$  estará en estado de no conducción, de modo que alcanzará el terminal 24 de salida muy poca señal de fuga, e incluso esa señal de  
20 fuga de amplitud baja finalizará en el instante  $t_4$  en que el transistor  $Q_1$  se hace no conductor junto con el transistor  $Q_5$ , el diodo  $D_1$  y el transistor  $Q_6$ .

Son parámetros típicos para el circuito de la figura 5 los siguientes:

25  $R_1$  150 ohmios



	$R_2$	4,3 K
	$R_3$	2,2 K
	$R_4$	1 K
	$R_5$	1,5 K
5.	$R_6$	1 K
	$R_7$	5,1 K
	$C_1$	68 pF
	$V_{cc}$	12 voltios.

10 La figura 7 representa otra realización del invento  
en la cual la polaridad de la señal H de paso es negati-  
va en vez de positiva como lo ha sido en las realizacio-  
nes comentadas anteriormente. En la figura 7 el terminal  
21 de entrada está conectado a la base del transistor  $Q_7$   
15 que está conectado como seguidor de emisor y tiene una  
resistencia  $R_8$  de carga de emisor. Una resistencia  $R_9$   
acopla el emisor del transistor  $Q_7$  a la base del transis-  
tor  $Q_1$ . El circuito de salida emisor colector de un tran-  
sistor  $Q_8$  de conmutación está conectado directamente en-  
20 tre la base del transistor  $Q_1$  y masa. La base del tran-  
sistor  $Q_8$  está conectada, a través de un diodo Zener  $ZD_1$ ,  
a la base del transistor  $Q_3$ .

En esta realización, el terminal 22 de entrada de se-  
ñal de puerta está conectado directamente a la base del  
25 transistor  $Q_3$  en vez de a la base del transistor  $Q_2$  como



en realizaciones anteriores. Los emisores de los transistores  $Q_2$  y  $Q_3$  están conectados directamente al colector del transistor  $Q_1$ , como lo han estado hasta ahora, y el colector del transistor  $Q_2$  está conectado directamente al terminal 24 de salida el cual, junto con el terminal 23, suministra la señal de salida al arrollamiento primario del transformador  $T_1$ . La base del transistor  $Q_2$  se polariza por estar conectada al punto de unión común entre las dos resistencias  $R_2$  y  $R_3$  que están conectadas como divisor de tensión entre el terminal 27 de fuente de alimentación y masa.

En funcionamiento, el nivel de tensión de reposo aplicado al terminal 22 de entrada entre los impulsos  $H$  de puerta es suficientemente positivo para hacer conducir el transistor  $Q_8$  a través del diodo Zener  $ZD_1$ . El transistor  $Q_7$  está también inicialmente en conducción, pero su señal de salida, que es la señal  $C$  de información, está aplicada a través de un divisor de tensión que comprende la resistencia  $R_9$  y el circuito de salida emisor colector del transistor  $Q_8$ . Cuando el último está en conducción, la impedancia de su circuito de salida es muy baja, y de este modo la fracción de la tensión de señal en el emisor del transistor  $Q_7$  que es transferida a la base del transistor  $Q_1$  es muy baja. El transistor  $Q_1$  está en estado de no conducción en este instante en



virtud de la baja impedancia del circuito de salida del transistor  $Q_8$  conectado entre la base del transistor  $Q_1$  y masa. Esto no solamente evita que el transistor  $Q_1$  actúe como amplificador para aquellas señales de información que podrían existir a través del circuito de salida emisor colector del transistor  $Q_8$ , sino también pone en estado de no conducción a ambos transistores  $Q_2$  y  $Q_3$  e impide que el transistor  $Q_2$  amplifique señales que se aplicarán al terminal 24 de salida. El terminal 21 de entrada está bien aislado del terminal 24 de salida. Ambos transistores  $Q_7$  y  $Q_8$  están en conducción entre los impulsos H de paso, pero estos transistores están en el lado de entrada del circuito y su corriente media es por consiguiente relativamente baja.

15 Cuando es aplicado el impulso H de paso al terminal 22 de entrada, es mantenida relativamente fija la tensión a través del diodo Zener  $ZD_1$  y hace que la tensión en la base del transistor  $Q_8$  caiga a la misma velocidad que el impulso H. La tensión en la base del transistor  $Q_3$  es suficientemente alta de modo que ese transistor estaría en conducción si fuese posible que la corriente que fluye a través del circuito de salida emisor colector de ese transistor fluyese a través del transistor  $Q_1$ . Cuando la tensión en la base del transistor  $Q_8$  alcanza el nivel en el cual el transistor  $Q_8$  ya no condu-



ce, el transistor  $Q_1$  es capaz de entrar en conducción. Puede entonces fluir corriente a través de los circuitos emisor colector de los transistores  $Q_1$  y  $Q_3$  hasta que el impulso H de paso alcanza un nivel suficientemente bajo para hacer que el transistor  $Q_3$  quede en estado de no conducción. El funcionamiento diferencial transfiere entonces la conductividad al transistor  $Q_2$  y ese transistor es capaz de amplificar la señal de entrada que ha pasado a través de los transistores  $Q_7$  y  $Q_1$  y es tá disponible en el colector del transistor  $Q_1$ .

Después que el impulso H ha alcanzado su nivel más negativo y comienza a hacerse positivo, la tensión aplicada a la base del transistor  $Q_3$  alcanza el nivel de conductividad y, por funcionamiento diferencial, hace que el transistor  $Q_2$  quede al corte, lo cual impide el paso de cualquier cantidad sustancial de señal al terminal 24 de salida. Habría alguna señal de fuga a través de las capacidades parásitas alrededor del transistor  $Q_2$ , pero cualquier señal de fuga es puesta efectivamente en corto circuito por el transistor  $Q_3$  en conducción. Esto reduce considerablemente la señal de fuga en el terminal 24 de salida. A medida que la tensión del impulso H de paso continúa aumentando hacia su nivel de reposo, se alcanza un nivel tal que el transistor  $Q_3$  se hace conductor nuevamente y pone al corte al transistor  $Q_1$ . Esto



reduce adicionalmente la posibilidad de que la señal de fuga alcance el terminal 24 de salida hasta que se recibiera el siguiente impulso de paso en el terminal 22 de entrada.

5 Son parámetros típicos para el circuito de la figura 7 los siguientes:

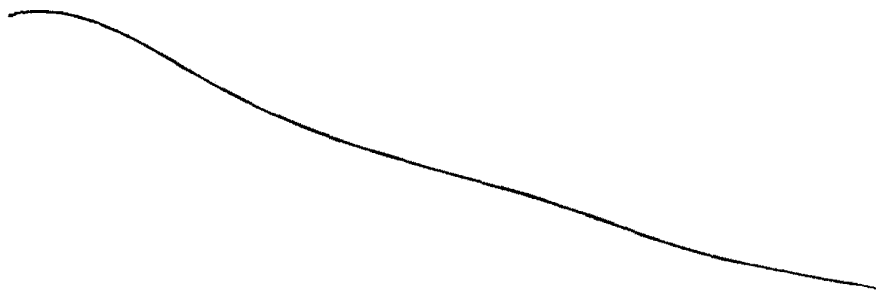
	$R_1$	330 ohmios
	$R_2$	6,8 K
10	$R_3$	5,1 K
	$R_8$	2 K
	$R_9$	1 K
	$C_1$	68 pF
	$V_{cc}$	12 voltios

15

Esta solicitud que corresponde a la presentada en Japón, el día 22 de Septiembre de 1.972, bajo el Número 110350/72, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

20

25



6-11-73

- 23 -



## REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

- 10           1ª.- Un dispositivo de circuito de puerta que comprende un terminal de entrada de señal de información; un terminal de entrada de señal de impulso de paso; un
- 15           circuito diferencial que comprende primer, segundo y tercer dispositivos semiconductores, cada uno de los cuales
- 20           tiene un primer, un segundo y un tercer electrodos; primero y segundo terminales de fuente de alimentación, estando conectado el primer electrodo de dicho primer dispositivo semiconductor a dicho terminal de entrada de se
- 25           ñal de información, estando conectado el segundo electrodo de dicho primer dispositivo semiconductor a dicho segundo terminal de tensión, estando conectados los segundos electrodos de cada uno de dichos segundo y tercero dispositivos semiconductores al tercer electrodo de dicho primer dispositivo semiconductor, estando conectado el
- tercer electrodo de dicho tercer dispositivo semiconduc-

*P*  
/6-11-73



tor a dicho primer terminal de tensión de fuente de ali-  
mentación, caracterizado por medios ( $R_4$  o  $Q_6$ ,  $R_7$ ;  $Q_5$  o  
 $ZD_1$ ,  $Q_8$ ) que conectan el primer electrodo de dicho pri-  
mer dispositivo ( $Q_1$ ) semiconductor y el primer electro-  
do de uno de dichos dispositivos ( $Q_2$ ,  $Q_3$ ) semiconducto-  
res segundo y tercero a dicho terminal (22) de entrada  
de señal de paso, con lo cual dicho primer dispositivo  
( $Q_1$ ) semiconductor se hace conductor solamente durante  
una porción de cada impulso (H) de paso; medios ( $R_2, R_3$ )  
de polarización conectados al primer electrodo del otro  
de dichos segundo y tercer dispositivos ( $Q_3$ ,  $Q_2$ ) semi-  
conductores para polarizar al mismo en un estado normal-  
mente de conducción; y un terminal de salida conectado  
al tercer electrodo de dicho segundo dispositivo ( $Q_2$ )  
semiconductor estando en estado de conducción dicho se-  
gundo dispositivo ( $Q_2$ ) semiconductor durante un interva-  
lo no más largo que dicha porción de cada impulso de pa-  
so cuando dicho primer dispositivo ( $Q_1$ ) semiconductor  
está en conducción.

20            2ª.- El dispositivo de la reivindicación 1ª, caracte-  
rizado porque dichos terceros medios de circuito conec-  
tan el primer electrodo de dicho segundo dispositivo se-  
miconductor a dicho terminal de entrada de señal de paso  
y dichos medios de polarización están conectados al pri-  
mer electrodo de dicho tercer dispositivo semiconductor,

(K)



con lo cual dicho tercer dispositivo semiconductor se hace conductor a un nivel más bajo de la señal de paso que dicho segundo dispositivo semiconductor.

5 3ª.- El dispositivo de la reivindicación 2ª, caracterizado porque dichos sextos medios de circuito consisten en una resistencia.

10 4ª.- El dispositivo de la reivindicación 2ª, caracterizado porque dichos primeros medios de circuito comprenden un diodo; y un cuarto dispositivo semiconductor conectado como amplificador entre dicho diodo y dicho primer dispositivo semiconductor; y dichos sextos medios de circuito comprenden un quinto dispositivo semiconductor conectado a dicho terminal de entrada de señal de paso y a la conexión común entre dicho diodo y dicho cuarto dispositivo semiconductor.

15 5ª.- El dispositivo de la reivindicación 1ª, caracterizado porque dichos terceros medios de circuito conectan dicho primer electrodo de dicho tercer dispositivo semiconductor a dicho terminal de entrada de señal de paso y dicha señal de paso tiene una polaridad adecuada para excitar dicho tercer dispositivo semiconductor en el sentido de hacerle no conductor.

20 6ª.- "UN DISPOSITIVO DE CIRCUITO DE PUERTA".

25 Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan, y

(N)



para los fines que se han especificado.

Esta Memoria consta de veintisiete hojas escritas  
a máquina por una sola cara.

Madrid, 15 NOV 1973  
P.A. Alberto de Eizabere  
For Eodes

5

10

15

20

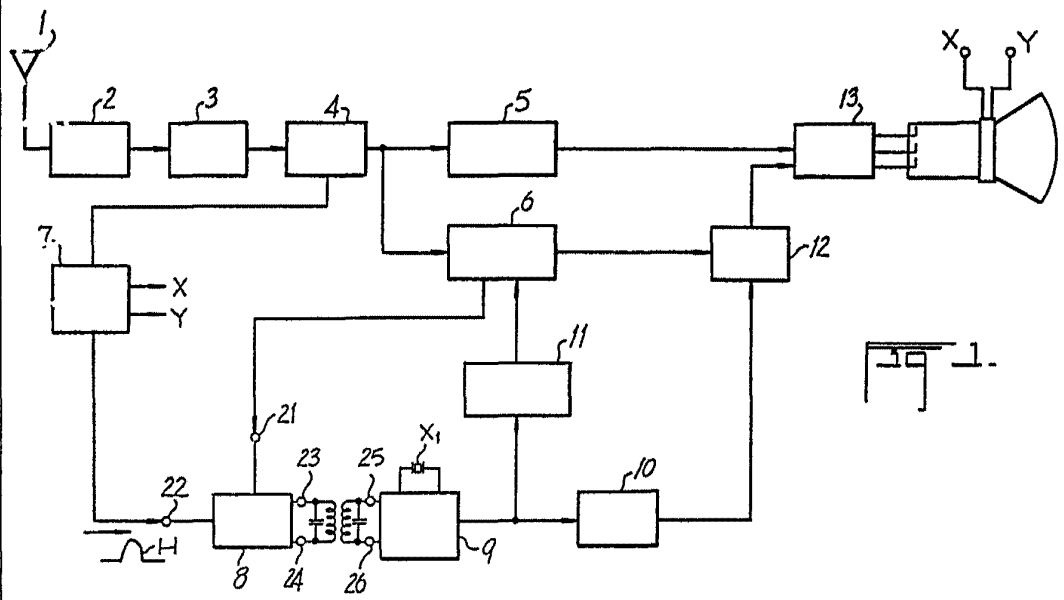
25

*h/*

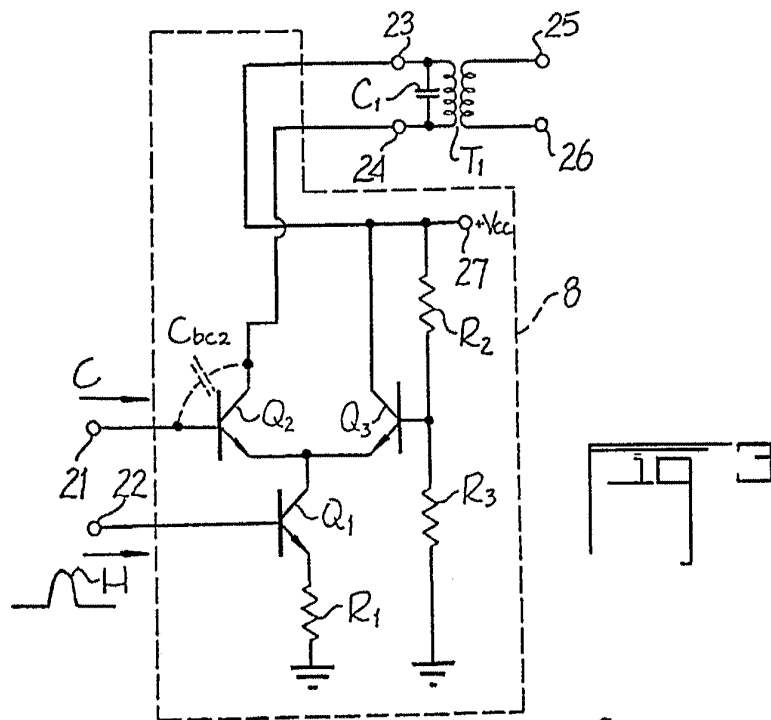
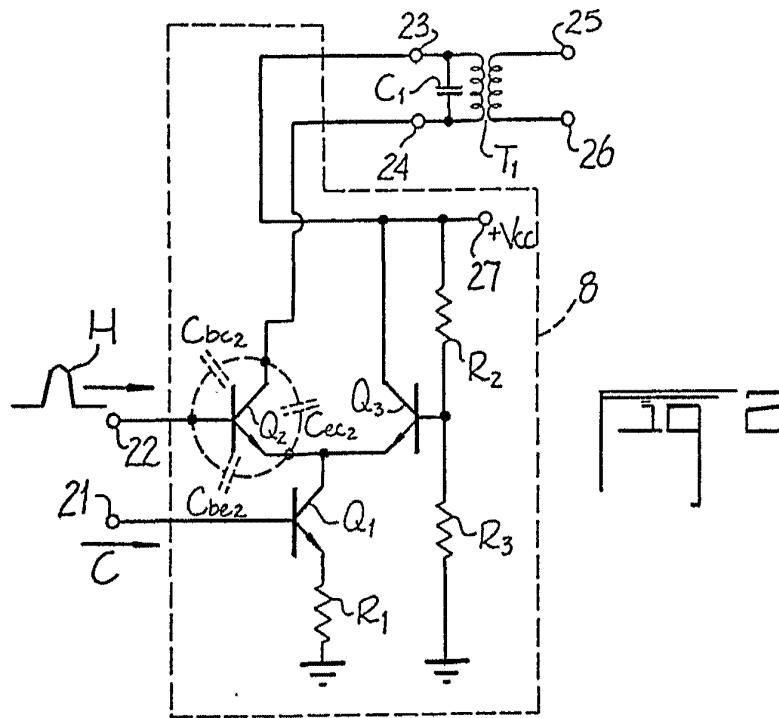
6-11-73

- 27 -

MPB.-



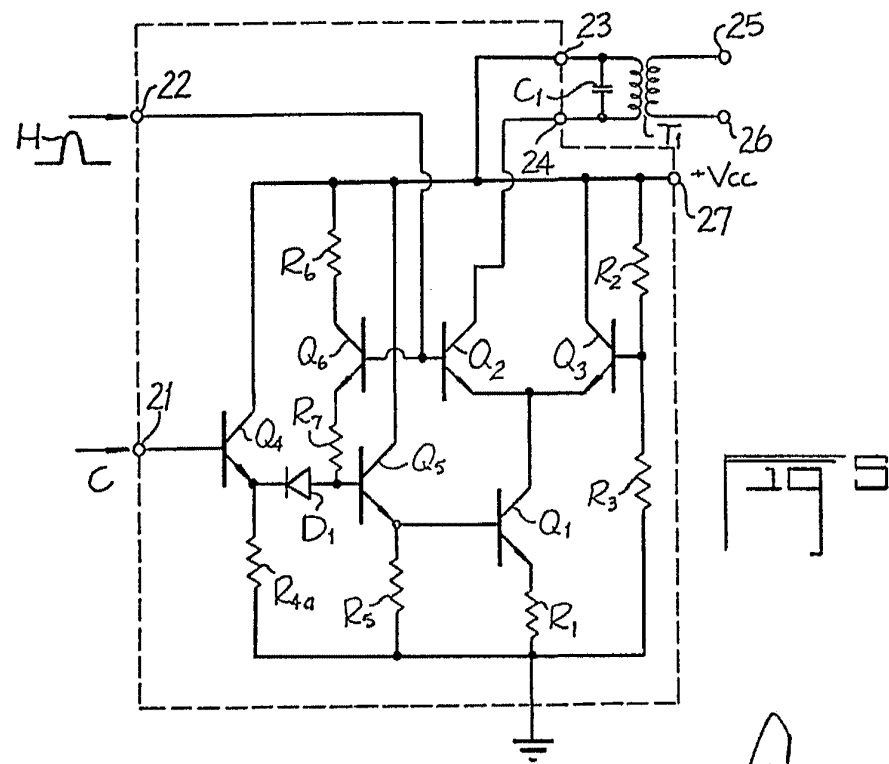
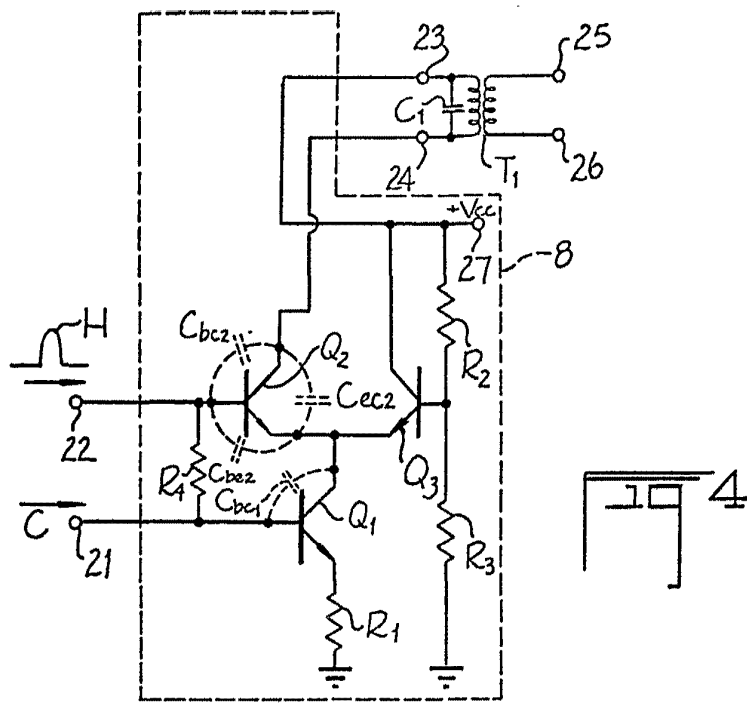
1955  
 SONY ELECTRONIC  
 MADE IN JAPAN  
*[Handwritten Signature]*



Handwritten signature or initials.

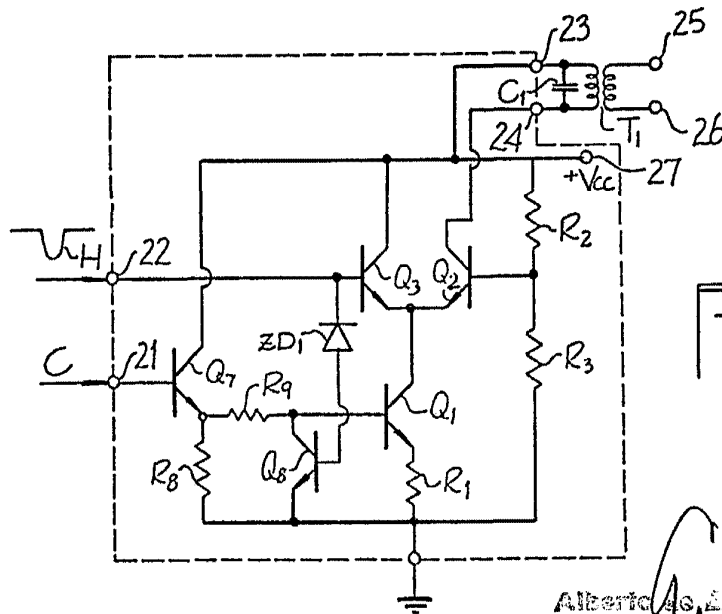
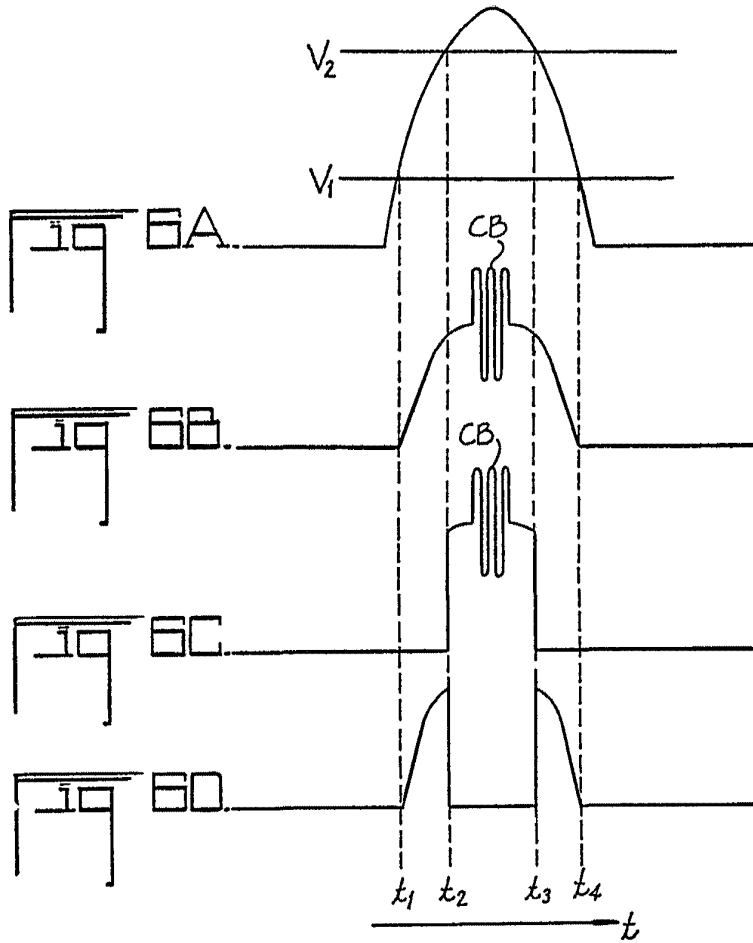


15 NOV



Alberto de Elizaburu  
For Podol

15



Albert G. Lindberg  
For Patent